

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5026257号
(P5026257)

(45) 発行日 平成24年9月12日(2012.9.12)

(24) 登録日 平成24年6月29日(2012.6.29)

(51) Int.Cl.		F I		
HO 1 L 29/868	(2006.01)	HO 1 L 29/91		K
HO 1 L 29/861	(2006.01)	HO 1 L 29/91		C
HO 1 L 27/04	(2006.01)	HO 1 L 27/04		H
HO 1 L 21/822	(2006.01)			

請求項の数 11 (全 10 頁)

(21) 出願番号	特願2007-512641 (P2007-512641)	(73) 特許権者	306043703
(86) (22) 出願日	平成17年5月3日(2005.5.3)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2007-536759 (P2007-536759A)		N X P B. V.
(43) 公表日	平成19年12月13日(2007.12.13)		オランダ国 5656 エイジー アイ
(86) 国際出願番号	PCT/IB2005/051433		ドーフエン ハイ テク キャンパス 6
(87) 国際公開番号	W02005/109636		O
(87) 国際公開日	平成17年11月17日(2005.11.17)	(74) 代理人	100075812
審査請求日	平成20年5月2日(2008.5.2)		弁理士 吉武 賢次
(31) 優先権主張番号	04101966.2	(74) 代理人	100088889
(32) 優先日	平成16年5月6日(2004.5.6)		弁理士 橋谷 英俊
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100112793
			弁理士 高橋 佳大

最終頁に続く

(54) 【発明の名称】 電子装置

(57) 【特許請求の範囲】

【請求項 1】

半導体材料の基板の第1の面上に少なくとも1つの薄膜キャパシタ及び少なくとも1つのインダクタの回路網を含み、前記基板は、前記インダクタの電氣的損失を制限するための100・cm以上の高抵抗を有し、前記第1の面上の電気絶縁表面層を備え、

第1及び第2の横型PINダイオードは前記基板に画定され、前記PINダイオードが互いにp導電型領域、n導電型領域、及び中間真性領域を有し、前記PINダイオードのうち前記第1のPINダイオードの前記真性領域の幅は前記第2のPINダイオードの真性領域の幅よりも大きく、前記インダクタと前記キャパシタは2つのPINダイオード間に横方向に存在し、前記第1のPINダイオードは受信パス用ダイオードを構成し、前記第2のPINダイオードは送信パス用ダイオードを構成する、電子装置。

【請求項 2】

請求項1に記載の電子装置であって、前記基板は、前記第1と前記第2のPINダイオードの間のクロストークを防ぐ手段を備える電子装置。

【請求項 3】

請求項2に記載の電子装置であって、前記クロストークを防ぐ手段は、前記第1のPINダイオードが画定される基板部分のアイソレーションを含み、前記アイソレーションは、前記基板の埋め込み層と前記埋め込み層から前記基板表面へ延伸するリング状側壁を含み、前記基板部分は、他の基板部分から電氣的に絶縁される電子装置。

【請求項 4】

請求項 2 に記載の電子装置であって、前記クロストークを防ぐ手段は、粒子の電磁放射線のビームによる前記基板の部分的な照射により得られる前記結晶格子に対するダメージを引き起こす電子装置。

【請求項 5】

請求項 2 に記載の電子装置であって、前記クロストークを防ぐ手段は、電気導電粒子を含む電子装置。

【請求項 6】

請求項 1 に記載の電子装置であって、前記第 1 の P I N ダイオードは、前記基板表面に対して平行な断面において、円形又は楕円形を有する電子装置。

【請求項 7】

請求項 6 に記載の電子装置であって、前記 n 導電型領域は、前記真性領域の内部に横方向に存在する電子装置。

【請求項 8】

請求項 6 又は 7 に記載の電子装置であって、前記円形又は楕円形はギャップを備え、前記第 1 の P I N ダイオードの領域を接続するための相互接続は、前記基板表面上の前記相互接続の垂直射影上に前記ギャップに重なるように配置される電子装置。

【請求項 9】

請求項 1 に記載の電子装置であって、前記コイル及び前記キャパシタは、第 1 及び第 2 の電気導電層、誘電層、並びにそれらの間の絶縁層を含む束に埋め込まれ、前記絶縁層は、スペーサとして機能し、前記キャパシタの電極を接続するためのコンタクトウインドウを含む電子装置。

【請求項 10】

請求項 1 に記載の電子装置であって、前記第 1 の P I N ダイオードは、受信パスのアンテナスイッチとして用いられ、前記第 2 の P I N ダイオードは、送信パスのアンテナスイッチとして用いられる電子装置。

【請求項 11】

請求項 9 に記載の電子装置であって、受動素子の前記回路網は、インピーダンスマッチング回路網として用いられる電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体材料の基板の第 1 の面上に薄膜のキャパシタ及びインダクタの回路網を含み、その基板は、インダクタの電氣的損失を制限するために十分に高い抵抗を有し、半導体材料の基板の第 1 の面上に電氣的絶縁表面層を備える電子装置に関する。

【背景技術】

【0002】

そのような電子装置は、U S 6 , 5 3 8 , 8 7 4 号から知られている。知られている電子装置は、第 1 及び第 2 の電気導電層を有し、第 1 の電気導電層と第 2 の電気導電層の間に誘電層及び絶縁層が存在する回路網である。

【0003】

ここでの絶縁層は、スペーサとして機能するとともにコンタクトウインドウを備え、これを通じてキャパシタの電極が接続され得る。第 2 の導電層は、この絶縁層に隣接して存在し、好ましくは、動作周波数での貫通深さより大きな厚さを有する。1 0 0 M H z ~ 3 G H z までの R F 周波数でアルミニウム又はアルミニウム合金を用いるためには、この厚さは少なくとも 1 μ m である。

【0004】

第 1 の導電層は誘電層の反対側に存在する。ここでは、キャパシタ電極と相互接続が画定される。追加の中間導電層は、他のキャパシタ電極が画定される部分に存在しても良い。この知られている電子装置は、主に、インピーダンスマッチングのために作られる。

【0005】

10

20

30

40

50

知られている装置の欠点は、スイッチとして用いられる個別半導体素子を組み合わせる必要がある点である。それとともに、依然として多くの部品がキャリア上に集められる必要があり、集積された回路網の利点が制限される。

【0006】

従って、本発明の目的は、スイッチが回路網内に集積され得るものであって、依然として回路網が高い周波数、特にRF応用に適するような冒頭の段落で述べられた種類の電子装置を提供することである。

【0007】

この目的は、基板に画定される第1及び第2の横型PINダイオードであって、いずれもp導電型領域、n導電型領域及び中間真性領域を有するPINダイオードにより達成される。

10

【0008】

本発明によれば、横型PINダイオードはスイッチとして用いられる。横型PINダイオードは異なる大きさの真性領域を有する。このことは、所望の応用に従ってPINダイオードを設計することを可能とするものとして十分な利点であるので、性能は要求を十分満たす。

【0009】

横型PINダイオードは既に知られているが、基板内で発生させられる電气的効果を考慮すると、それらの集積に問題がある。これらの効果は、PINダイオード間のクロストークと呼ばれる。そのクロストークは、大きな距離にわたって発生し、特に、基板の高いオーム性を考慮すると、いかなる方法による基板を介した電界の構成も妨げる。本発明の好ましい実施例では、そのクロストークを抑える手段がある。慣用的なアンテナスイッチング回路のようないくつかの応用に関しては、クロストーク自体は主な問題ではなく、両方のPINダイオードが同時にスイッチオフ又はオンになることは明らかである。そのようなスイッチング回路では、2つのPINダイオードの間に1/4波長(/ 4)の送信線を備える。基板効果は、基板を介した寄生パス、特に、アース又は第2のPINダイオードを引き起こすかもしれない。そのようなパスの存在は、 / 4 波長からの逸脱を導くので、信号の送信を悪化させる。

20

【0010】

クロストークを抑える手段は異なる方法により具体化され得る。まず第1に、シールド層又はシールド領域が第1のPINダイオードと第2のPINダイオードの間に設けられても良い。シールド層は、基板に埋め込まれても良く、基板表面に対してほぼ平行であっても良い。その埋め込み層は、好ましくは、酸化膜層又は酸窒化膜層のような高絶縁層である。シールド層は、代替的には、基板面に対してほぼ横向きの領域であっても良い。横方向にPINダイオードを囲むこともあり得るし、ドライエッチング又はウェットエッチング技術を用いた微細孔のエッチングにより作られることもあり得る。その微細孔は、好ましくは、処理上の理由で充填される。シールドは、電気絶縁性があっても良く、電気導電性があってもアースに接続されても良い。

30

【0011】

第1の好ましい実施例では、クロストークを抑える手段は、第1のPINダイオードが画定される基板部分のアイソレーションを含む。その基板部分が他の基板部分から電气的にほぼ絶縁されるように、このアイソレーションは、基板中の埋め込み層と、その埋め込み層から基板表面まで広がるリング状の側壁とを含む。空洞部分の絶縁体を形成するシールド層のこの組み合わせは、シールド原因に対して高い利点があると思われる。それにもかかわらず、どこにでも存在する絶縁層を有する高価な基板を必要とせずに製造され得る。このことは、微細孔を充填することによりリング状の側壁が設けられている間に、注入ステップを用いて埋め込み層が局所的に設けられることにより達成される。各PINダイオードにとっては、バルク基板が、PINダイオードから発生するいかなる電荷担体がほぼない状態を保たれるようなアイソレーションを備えることが大いに好ましい。

40

【0012】

50

第1の変形例では、埋め込み層は、モリブデン、チタン又はコバルトのような適切な要素の注入により設けられるシリサイドである。他の加熱ステップと組み合わせられても良く、又は、X線照射によりもたらされる可能性のあるような後続の加熱ステップでは、固相反応がシリサイドを形成するように発生させられる。そのようなシリサイド化は、PINダイオードの形成前後に行われ得る。そのことは、極めて高い周波数に対する極めて良い保護を提供する。好ましくは、微細孔は、十分な電磁シールドを有するように、電気導電性のある材料を含む。適切な材料は、電気メッキすることにより強化され得るもので、例えば、ポリシリコンである。

【0013】

第2の変形例では、埋め込み層は、注入により設けられる酸化膜である。埋め込み層は、好ましくは、注入された酸素による分離を表すSIMOX層である。SIMOX層は、薄いシリコンの層の真下に極めて薄い絶縁層をもたらず。絶縁層は、高い歩留まりを維持しながらも、なめらかで、欠点や不純物がほぼないという特徴がある。SIMOX層の供給は、本質的には、“S. Wolf and R. N. Tauber, Silicon Processing for the VLSI Era, (Sunset Beach: Lattice Press 2000), 258-259”から知られている。微細孔は、以下のように、好ましくは、側壁を形成する電気絶縁材料が充填される。適切な充填材料は、例えば、酸化膜、窒化膜及び酸化膜層の積層である。

【0014】

さらなる追加の実施例では、基板は、垂直トレンチキャパシタ及びノ又は基板との垂直相互接続を画定する追加の微細孔を含む。垂直トレンチキャパシタは、低コストで高密度な容量を提供するのに適切である。この方法により、トレンチキャパシタはその側壁と同じ製造ステップにおいて作られ得る。プロセス互換性の観点から、この場合には、側壁は、電気導電性材料を含むであろう。

【0015】

しかしながら、クロストークを抑える手段は、基板内において不規則又は一様に設けられることが好ましい。これに関する第1の実施例は、結晶に対する欠陥を電磁波放射線のビーム又は粒子の放射により作るものである。適切なビームは、電子ビーム、特に、高エネルギーの電子、中性子及びイオンを含む。この実施例は、キャパシタの等価直列抵抗が低減されるという追加の利点を有する。その第2の実施例は、金、プラチナ、ニッケル又はそれらと同様のもののような導電性粒子が埋め込まれたものを利用するものである。

【0016】

その上、これらの手段が組み合わせて用いられても良いことがわかる。追加の手段として特に好ましいのは、アルゴン、窒素、ヘリウムのイオン注入のような基板表面でのイオン注入を利用するものである。注入は、熱酸化膜を成長させた後、及び第1の導電層の堆積前に与えられる。その結果、酸化膜層と連動して基板がアモルファス化しても良い。注入は、PINダイオードから発生するイオンにとっての再結合中心として機能するという点において、追加の手段として適している。

【0017】

追加の実施例では、PINダイオードは、基板表面に対して平行な断面において、ほぼ円形又は楕円形を有する。特に円形は、真性領域の幅がはっきりと画定されるという利点を有する。もう1つの利点は、全体としてのPINダイオードが装置のほかの部分から適切に分離され得るということである。一般的には、円形PINダイオードの大きさは、互いにかみ合わされた電極を有するレイアウトにおいて類似の特性を有するPINダイオードより大きいと見なされる。しかしながら、大きさは、キャパシタ及びインダクタを含む本発明の装置において主に重要な点ではない。

【0018】

特に、ここでの適切な変形例では、n導電型領域は、真性領域内で横方向に存在する。このことは、一般的にn導電型である基板にとって、好ましいオプションである。

【0019】

10

20

30

40

50

他の好ましい変形例では、楕円形又は円形は間隙を備える。P I Nダイオードの内部領域を相互接続するための相互接続部が配置されるので、基板表面上の相互接続の垂直射影上に間隙とほぼ重なる部分を有する。意外にも、楕円形又は円形の間隙は、P I Nダイオードの特性に悪い影響を与えないことが分かった。同時に、この間隙は、相互接続と外部領域の間の寄生容量を低減するために有益である。

【 0 0 2 0 】

追加の実施例では、回路網は、スペーサとして機能する絶縁層を有する。この実施例は、先行技術のそれである。その抵抗を制限するために十分な厚さを有するどの相互接続も第2の導電層に設けられ得る点において、特に有益である。このように、P I Nダイオードと他の部品との距離は、設計を最適化するように選択され得るが、一方、誘導損失は極めて小さい。さらなる追加の実施例では、第1の導電層は、第2の層の相互接続が送信線特性を有するようなアース面を含む。このさらなる追加の実施例は、電子装置のR F動作を改善する。

10

【 0 0 2 1 】

本発明の電子装置は、アンテナインピーダンスマッチングとアンテナスイッチの組み合わせとして使用するために極めて適している。このことは、いくつかの理由に起因するが、まず第1に、組み合わせ部品の量が集積規模により極めて制限されることである。次に、相互接続は全体として設計され得るし、R F応用に適することである。その上、アンテナスイッチが異なるサイズの真性領域を有することである。

【 0 0 2 2 】

20

本発明の装置は、約1 0 0 M H z以上の周波数での使用に極めて適している。その周波数は、携帯電話機に用いられても良いし、基地局に用いられても良い。本発明の装置は、その上、上部に追加の装置が組み合わせられるような挿入基板として用いられ得る。

【 0 0 2 3 】

アンテナスイッチの受信パスに関しては、いかなる信号も、受信パス上の電力増幅器による増幅と低雑音増幅器の絶縁破壊を引き起こすことを防ぐために、極めて大きな絶縁体が必要とされる。従って、真性領域はより大きく、例えば、5 ~ 2 5 μm 、好ましくは8 ~ 1 0 μm になり得る。送信パスに関しては、既に増幅した信号の損失を制限するように抵抗が制限されることが重要である。送信パスのP I Nダイオードの真性領域は、このように小さな幅、例えば、0 . 1 ~ 1 0 μm 、好ましくは、1 ~ 3 μm の幅を有する。これらの幅は、基板を通した拡散の結果として製造において用いられるマスクの幅よりも小さくても良いような装置の幅に言及する。

30

【 0 0 2 4 】

追加の利点は、第1及び第2のP I Nダイオードが直列に接続されることである。そのような接続は、そのものとは異なる実施例であるが、そのような構造は1つのパス内で適用されても良い。

【 0 0 2 5 】

P I Nダイオードの並列スイッチングと比較したこの実施例の利点は、小さなインピーダンス損失である。それにもかかわらず、このことは、1つの基板上に直列に配置された垂直P I Nダイオードとは異なり、拡張性は、直列に接続されたP I Nダイオードが異なる特性を与えられても良いことを提示する。1つの基板上の垂直P I Nダイオードでは、全ての真性領域が同じ幅を有する。

40

【 0 0 2 6 】

本発明の装置の基板はより薄く作られ得る。その上、能動デバイスは、基板内の空洞に配置されても良い。次に、導電層は、その装置に対する相互接続としても作用し得る。さらに、ヒートシンクは、いかなる余分な熱も取り除くように、基板の裏面、好ましくは、基板の薄い部分の裏面に設けられ得る。このヒートシンクは、同時に、アース面として適している。好ましいコンタクトパッド、バンプの配置、又はワイヤボンドは、第2の導電層に設けられ得る。

【 0 0 2 7 】

50

インダクタの電氣的損失を制限するのに十分高い抵抗は、一般的には、 $100 \cdot \text{cm}$ 以上の抵抗であり、好ましくは、少なくとも $1 \text{ k} \cdot \text{cm}$ である。基板は全体的に高いオーム性であることが好ましいが、このことは、主には必要ではなく、ある領域に対して高いオーム性が制限されても良い。

【0028】

基板上面の導電層、誘電層及びスペーサを含む積層内には、追加の部品が画定されても良い。追加の電子部品は、送信線、微小電気機械システム(MEMS)スイッチ、並びに、可変キャパシタ、バラクタ、抵抗及び共振器を含む。このことは、1又はそれ以上の低雑音増幅器及び電力増幅器、トランシーバIC、電圧制御オシレータ、並びに、マッチング、カップリング、フィードバックループ等に必要とされるいかなる相互接続及び追加の電子部品を含む多様な機能が集積され得るプラットフォーム及びキャリアとして基板を利用することを可能にする。積層は、パターンニングされた犠牲層を第2の導電層の下に設けることにより実現されるMEMS素子の集積に特に適しており、犠牲層は、第2の導電層が設けられた後にエッチングにより取り除かれる。

10

【発明を実施するための最良の形態】

【0029】

これら及びその他の本発明の装置の態様は、添付の図面を参照してさらに説明されるであろう。

【0030】

図1は、装置の概略断面図を示す。電子装置10は、第1の面41と第2の面42を有するシリコンの基板1を含む。第2の面42上では、基板1は、シリコン酸化膜の電気絶縁層2で覆われる。第1のキャパシタ11の第1のキャパシタ電極21が画定されるアルミニウムの第1の電気導電層3は層2上に存在する。ビア13の領域で除去される誘電材料5の層は、第1の電気導電層3上に位置する。誘電材料5の層は、 0.5×2 の SiN_x を含み、キャパシタ11の中間区域24の誘電体26を構成する。エッジ区域22及び23では、誘電体26は、誘電材料5の層だけでなく、電気絶縁材料5の層、この例では 1×2 の SiO_x も含む。アルミニウムを含む中間層6は誘電材料5の層上に位置し、電気絶縁材料4の層に部分的に覆われる。導電トラック28は中間層6中に画定される。アルミニウムも含む第2の電気導電層7の第2のパターン29は、この導電トラック28に対する電気コンタクト中にある。導電トラック28及び第2のパターン29は共に、第1のキャパシタ11の第2のキャパシタ電極25を形成する。第2の導電層7は、さらに、第1のパターンとしての第1のコイル12、ビア13及び相互接続14を含み、保護層8に覆われる。中間層6上の第2のパターン29の垂直射影は、導電トラック28の外側に部分的に位置する。第1の導電層3上の第2のパターン29の垂直射影は、第1のキャパシタ電極21の外側、すなわち、相互接続14の領域に部分的に位置する。この相互接続14は、第2のキャパシタ電極25を装置110の他の部分と接続するために必要である。従って、第1の導電層3上の第2のキャパシタ電極25の垂直射影は、第1のキャパシタ電極21の内部に少なくとも部分的に位置する。

20

30

【0031】

本発明によれば、装置10は、第1の横型PINダイオード50と第2の横型PINダイオード60を含む。PINダイオード50、60の両方は、この実施例では、第2のp導電型領域52、62内に横方向に位置する第1のn導電型領域51、61と一体となった円形形状を有する。n導電型領域51、61とp導電型領域52、62との間に真性領域53、63が設けられる。本発明によれば、第1のPINダイオード50の真性領域53の幅d1は、第2のPINダイオードの真性領域63の幅d2より小さい。この結果、第1のPINダイオード50は、第2のPINダイオード60より低い抵抗を有する。従って、第1のPINダイオード50は、携帯電話の送信パスにおける集積に極めて適切しており、第2のPINダイオード60は、携帯電話の受信パスにおける集積に適している。クロストークを防ぐために、適切な高抵抗である基板1は、クロストークを防ぐ手段を含む。冒頭の測定が示したように、 $8 \mu\text{m}$ の幅を有する真性領域の横型PINダイオード

40

50

は、1 mAの電流と100 MHzの周波数で3～6の抵抗を有し、抵抗は、電流が増加すると、10 mAで0.3～0.6まで減少する。挿入損失は700 MHz周辺の周波数で-1.5 dBより小さく、低電流でもある。絶縁破壊電圧は20 V～30 Vである。

【0032】

図1から明らかなように、横型PINダイオード50、60は、上部から接触され得るという明らかな利点を有する。相互接続56、66、67は、このように、第1及び第2の導電層3、7に集積され得る。当業者に明らかなように、PINダイオードは相互接続を介して回路に集積され得る。ここでの実施例は、例えば、ここでの記述を含む未公開出願EP03102255.1 (PHNL030882)及びEP02079324.6 (PHNL020986)から知られている。インダクタ12とキャパシタ11がPINダイオード50、60の間に横方向に存在するような、示された実際の配置が唯一典型的である。他の配置も同様に設計されても良い。ここでの例は、インダクタとPINダイオードが横方向に間隔をあけて分離され、インダクタ及びキャパシタの直接の近傍の下又は内部の基板領域だけが高抵抗で作られる。さらに、第2の導電層7は、大きな厚さを有するように示される。しかしながら、銅のような代替的な材料を選択することにより、この厚さは低減され得る。

【0033】

図2は、アンテナスイッチに利用するためのPINダイオードを有する回路を図示する電氣的概略図を示す。示されたものは、1周波数帯のみの回路である。回路は、電力増幅器を有する送信パスに対する接続点110、低雑音増幅器を有する受信パスに対する接続点120、そして、アンテナ130に対する接続点を含む。さらに、受信パス120に対する接続点とアースとの間に配置される第1のPINダイオード50、及び、送信パス110とアンテナ130に対する接続点との間に配置される第2のPINダイオードと同様に、4分の1波長/4に共鳴する送信線140が設けられる。送信パス110からの信号がアンテナ130に送られなければならない場合は、PINダイオード50、60はスイッチが入る。代替的には、受信モードでは、PINダイオード50、60はスイッチが切れる。

【0034】

図3は、基板における電氣的損失のモデルである電氣的概略図を示す。このモデルからは、キャパシタにとっては、基板損失が低周波数で支配的であり、インダクタにとっては、損失が高周波数で支配的になり始めるということが分かる。損失誘導基板は、損失誘導バルクとSi-SiO₂インタフェースで誘導される損失とに分割され得る。ゼロバイアス条件下では、集積層が、例えば、一般的に熱シリコン酸化膜に存在する固定電荷により誘導されるSi-SiO₂インタフェースに存在する。CV測定によれば、蓄積された電荷の量は、おおよそ、全ての移動電荷が4 k mシリコンのバルクに存在するよりも大きな規模であると推定される。従って、バルク抵抗に隣接して、この集積された電荷に関連するインタフェース抵抗が、上部に加工された受動損失に大いに影響を与える。シリコン基板のアモルファスの上面を作ることによりSi-SiO₂インタフェースでの低抵抗が増加させられ得るし、その結果、キャリア移動度が減少する。我々の場合は、このことは、熱酸化膜の成長後で第1の導電層3の堆積前に、例えば、アルゴン又は窒素のイオン注入を用いて達成される。

【0035】

図4は、基板抵抗の関数としての5 nHインダクタのQ計数のグラフを示す。インダクタのQの重要な改善は、本発明で用いられる高抵抗シリコン(- 4 k . . cm)で得られることが分かった。インダクタのQの増加は、ほとんどが1 k . cm未満のバルク抵抗の欠如である。1 k mより低い基板抵抗に関しては、バルク誘導損失がSi-SiO₂インタフェースで誘導される損失を明らかに支配する。

【0036】

基板損失のさらなる抑制は、バルクへの格子欠陥の導入により達成される。シリコンのバンドギャップ内の局所的なエネルギー状態を作ることにより、移動電荷はトラップされ

10

20

30

40

50

なくなり、結果として、固有の抵抗が増加する。結晶格子に対する永続的なダメージは、電磁放射線の高エネルギー（ $E > 1 \text{ MeV}$ ）ビーム、又はイオンのような粒子及び中性子を用いた場合に引き起こされても良い。放射は低温プロセスであるので、層3、4、5、7の積層が堆積させられ、構造化された後に行われ得る。ファン・デ・グラーフ（Van-de-Graaf）アクセラレータは、 150 MeV の電子エネルギーを作り出すために用いられる。処理されたウェハは、 $1.4 \times 10^{15} \text{ e. cm}^{-2}$ のドーズ量で放射される。

【0037】

図5は、異なる取り扱いを受けた基板に対する周波数の関数としてのキャパシタ11の等価直列抵抗（ESR）のグラフを示す。破線（dotted line）は、取り扱いを受けていない装置を示し、点線（dashed line）は、放射を伴う取り扱いを受けた装置を示す。破線と点線（dash-and-dot line）は、注入を伴う取り扱いを受けた装置を示す。破点線（dash-dot line）は、注入と照射の両方を伴う取り扱いを受けた装置を示す。比較のために、ESRは、実践で示されるように、ガラス基板上で処理された同じキャパシタのものがプロットされる。この図5によれば、電子ビーム放射後のESRが、インタフェースへのイオン注入を用いて達成されるのと同程度だけ低減したことが分かった。ESRは、インタフェースへのイオン注入を伴う電子ビーム放射と組み合わせる場合に、さらに低くなる。期待されるように、このことは、放射が注入に対して相補的であることを明らかに示す。図3に図示されたモデルにこれらのデータをフィルタリングすることは、効果的な基板抵抗が、「取り扱われていない」高抵抗シリコンと比較して、要素10,000(!)程も増加することを示す。電子ビーム放射の後、キャパシタ11のリーク電流はそれほど変化しなかった。

【図面の簡単な説明】

【0038】

【図1】第1の実施例に係る装置の概略断面図を示す。

【図2】2つのPINダイオードを備える電気回路図を示す。

【図3】高抵抗基板上のインダクタ及びキャパシタの電気回路図を示す。

【図4】様々な抵抗の基板に対する周波数の関数としてのインダクタのQ係数の間の関係を示す。

【図5】様々な抵抗の基板に対する周波数の関数としてのキャパシタの直列抵抗の間の関係を示す。

10

20

30

【 図 1 】

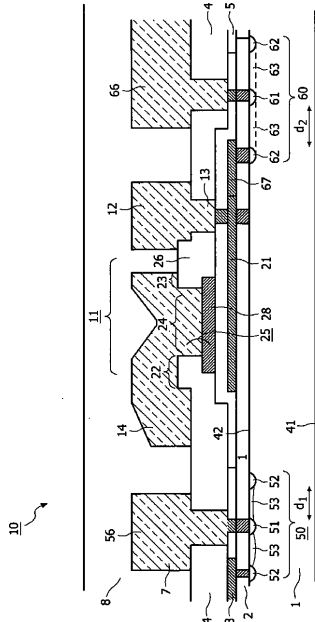


FIG. 1

【 図 2 】

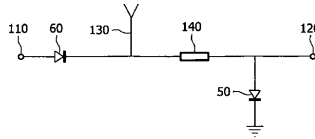


FIG. 2

【 図 3 】

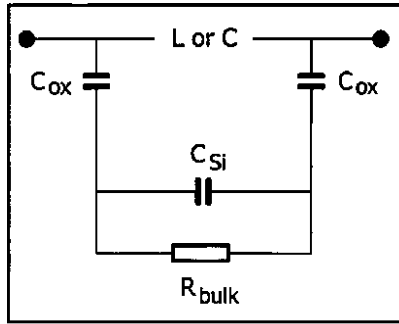
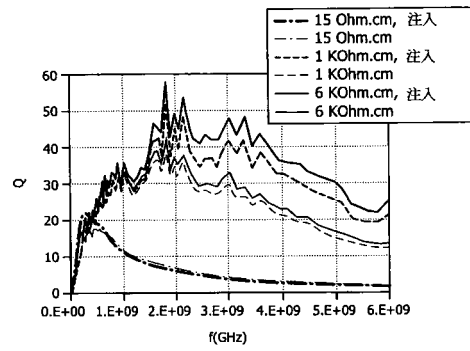


FIG. 3

【 図 4 】



【 図 5 】

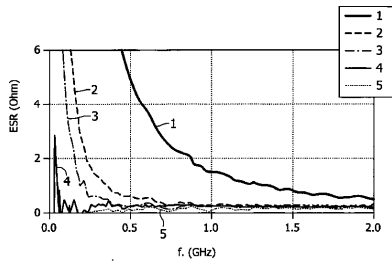


FIG. 5

フロントページの続き

- (72)発明者 アーノルドゥス、デン、デッカー
オランダ国5656、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 ヨハネス、エフ・デイクイス
オランダ国5656、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 ニコラス、ジェイ・ブルスフォード
オランダ国5656、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 ヨゼフ、テー・エム・ファン、ベーク
オランダ国5656、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 フレディー、ローゼボーム
オランダ国5656、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 アントニウス、エル・アー・エム・ケメレン
オランダ国5656、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 ヨハン、ハー・クロートウェイク
オランダ国5656、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 マーテン、デー イェー・ノレン
オランダ国5656、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6

審査官 村岡 一磨

- (56)参考文献 米国特許第04810980(US,A)
特開平10-284694(JP,A)
特開2004-014658(JP,A)
特開平07-231072(JP,A)
特開平09-214278(JP,A)
特表2003-530689(JP,A)
特開2003-234411(JP,A)
特表2003-523639(JP,A)
特開2004-088012(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/861
H01L 21/822
H01L 27/04
H01L 29/868