



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 6 H04N 7/24	A1	(11) 国際公開番号 WO 95/02948 (43) 国際公開日 1995年1月26日 (26.01.95)
(21) 国際出願番号 PCT/JP94/01141 (22) 国際出願日 1994年7月12日 (12. 07. 94) (30) 優先権データ 特願平5/171921 1993年7月12日 (12. 07. 94) JP (71) 出願人 (米国を除くすべての指定国について) ソニー株式会社 (SONY CORPORATION) [JP/JP] 〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 住広 博 (SUMIHIRO, Hiroshi) [JP/JP] 江本 晴一 (EMOTO, Seiichi) [JP/JP] 福山 貴士 (FUKUYAMA, Takashi) [JP/JP] 〒141 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP) (74) 代理人 弁理士 小池 晃, 外 (KOIKE, Akira et al.) 〒105 東京都港区虎ノ門二丁目6番4号 第11森ビル Tokyo, (JP) (81) 指定国 BR, JP, KR, US, VN, 欧州特許 (DE, FR, GB). 添付公開書類 国際調査報告書		

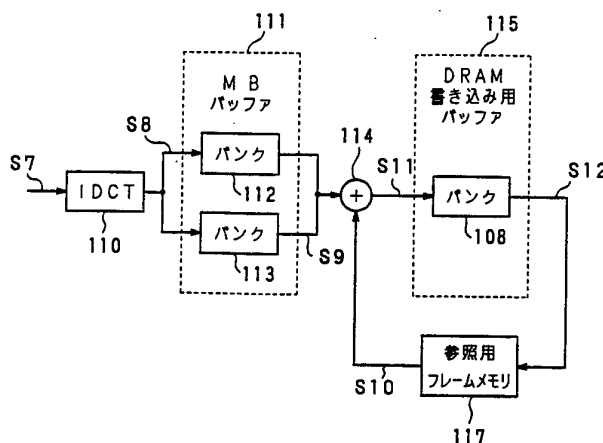
(54) Title : METHOD AND APPARATUS FOR DECODING IMAGE AND METHOD AND APPARATUS FOR ENCODING IMAGE

(54) 発明の名称 画像復号化方法及び装置並びに画像符号化方法及び装置

(57) Abstract

A dynamic image decoder wherein an MB (micro-block) buffer (111) absorbs a difference in speed between the reading from an IDCT (inverse discrete cosine transform) circuit (110) and the writing into a reference frame memory (117) in a motion compensation unit, and a buffer (115) for writing into a DRAM adjusts the timing between the reading from, and writing into, the reference frame memory (117). The adder (114) adds an estimated macro-block signal (S10) from the reference frame memory (117) and an output signal (S9) from the MB buffer (111), and writes the result into the buffer (115) for writing into DRAM. The buffer (115) for writing into DRAM holds the data until the reference frame memory (117) is ready for being

written, and then writes the data into the reference frame memory (117). This permits an inexpensive DRAM to be used as a reference frame memory. Here, when a speed for reading of the reference frame memory (117) is higher than a speed of the IDCT circuit (110), a bank (116) is provided in the buffer (115) for writing into DRAM. The data input to the bank (116) are read out before a next data arrives. Therefore, at the time when the next block data is input, the buffer (115) is becoming empty. This makes it possible to reduce the memory size necessary for the timing-adjusting buffer and, hence, to reduce the scale of the hardware.



111 ... MB buffer

108, 112, 113 ... bank

115 ... buffer for writing into DRAM

117 ... reference frame memory

(57) 要約

本発明は、動画像復号化装置において、MB（マクロブロック）バッファ111を設けることにより、IDCT（インバース離散コサイン変換）回路110からの読み出しと動き補償部の参照用フレームメモリ117への書き込みスピードの違いを吸収し、DRAM書き込み用バッファ115を設けることにより、参照用フレームメモリ117との読み出しと書き込みの間のタイミング調整を行っている。すなわち、加算既114では、参照用フレームメモリ117からの予測マクロブロック信号S10と、MBバッファ111からの出力信号S9を加算して、DRAM書き込み用バッファ115に書き込む。DRAM書き込み用バッファ115では、参照用フレームメモリ117が書き込む準備のできるまでの間データを保持し、その後参照用フレームメモリ117に書き込んでいく。これによって、参照用フレームメモリとして安価なDRAMを用いることができる。ここで、IDCT回路110のスピードに対して参照用フレームメモリ117の読み出し書き込みスピードが速い場合、DRAM書き込み用バッファ115内には1つのバンク116を設けることにより、このバンク116に入力したデータは、次のデータが来る前に読み出しが終了しているため、次のブロックデータが入力されるときは、バッファ115内は空の状態になっている。これによって、タイミング調整用バッファに必要なメモリサイズを削減し、ハードウェア規模の縮小を図ることができる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AM	アルメニア	DK	デンマーク	LI	リヒテンシュタイン	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LT	リトアニア	RU	ロシア連邦
BB	バルバドス	FI	フィンランド	LR	リベリア	SD	スーダン
BE	ベルギー	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BF	ブルキナ・ファソ	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア
BG	ブルガリア	GB	イギリス	MC	モナコ	SK	スロヴァキア共和国
BJ	ベナン	GE	グルジア	MD	モルドバ	SN	セネガル
BR	ブラジル	GN	ギニア	MG	マダガスカル	SZ	スワジランド
BY	ベラルーシ	GR	ギリシャ	ML	マリ	TD	チャード
CA	カナダ	HU	ハンガリー	MN	モンゴル	TG	トーゴ
CF	中央アフリカ共和国	IE	アイルランド	MR	モーリタニア	TJ	タジキスタン
CG	コンゴ	IT	イタリア	MW	マラウイ	TT	トリニダード・トバゴ
CH	スイス	JP	日本	MX	メキシコ	UA	ウクライナ
CI	コート・ジボアール	KE	ケニア	NE	ニジェール	US	米国
CM	カメルーン	KG	キルギスタン	NL	オランダ	UZ	ウズベキスタン共和国
CN	中国	KP	朝鮮民主主義人民共和国	NO	ノルウェー	VN	ベトナム
CZ	チェコ共和国	KR	大韓民国	NZ	ニュージーランド		
DE	ドイツ	KZ	カザフスタン	PL	ポーランド		

-1-

明 細 書

画像復号化方法及び装置並びに画像符号化方法及び装置

技 術 分 野

本発明は、画像復号化方法及び装置並びに画像符号化方法及び装置に関し、特に、変換符号化及び予測符号化により得られる符号化データを復号化して、元の画像データを再生する動画像復号化方法及び装置、並びに変換符号化及び予測符号化により得られる符号化データを局所復号化して予測画像を得る動画像符号化方法及び装置に関する。

背 景 技 術

従来、例えばテレビ会議システム、テレビ電話システム等のように動画の映像信号を遠隔地に伝送するシステムや、動画の映像信号を光ディスク、磁気ディスク、磁気テープ等の画像記録媒体に記録し、また記録された動画の映像信号を再生するシステム等において、伝送路あるいは記録媒体を効率良く利用するために、映像信号の有するライン相関やフレーム相関を利用して映像信号を所謂高能率符号化し、空間軸方向と時間軸方向の冗長度を落として有意情報のみを伝送し、伝送効率を高めるようになされている。

例えば空間軸方向の符号化（以下、画像内符号化という。）では、図1のAに示すように、映像信号の例えばライン相関を利用するもので、時刻 t_1 、 t_2 、 t_3 、・・・において動画を構成する各画

-2-

像 P C 1、 P C 2、 P C 3、 . . . を伝送しようとする場合、 伝送処理すべき画像データを、 例えば同一走査線内で 1 次元符号化したり、 例えば画像を複数のブロックに分割し、 各ブロックの画像データを 2 次元符号化することにより、 データ圧縮を行い、 伝送効率を向上させている。

また、 時間軸方向の符号化（以下、 画像間符号化という。）では、 映像信号の画像間相関を利用して例えば所謂予測符号化により、 すなわち図 1 の B に示すように、 順次隣合う画像 P C 1 及び P C 2、 P C 2 及び P C 3、 . . . 間の対応する画素毎の画像データの差分（所謂予測誤差）でなる画像データ P C 1 2、 P C 2 3、 . . . を求め、 これらの画像データ P C 1 2、 P C 2 3、 . . . を伝送することにより、 データ圧縮を行い、 伝送効率を向上させている。

かくして、 画像 P C 1、 P C 2、 P C 3、 . . . の全ての画像データを伝送する場合と比較して、 格段に少ないデータ量で映像信号を伝送することができる。

また、 上述の画像間符号化における予測符号化では、 さらに効率を高めるために、 動き補償予測符号化が用いられる。 すなわち、 例えば画面中央の人物が移動する場合等、 画面中の動いている物体に対してその動きを検出し、 その動き分だけ前の画像中で予測に用いる画像データの位置を補正して予測符号化を行うことにより、 符号化効率を向上させることができる。 しかし、 これでもまだ、 物体が移動して後ろから出現した部分に対しては、 多くのデータを送らなければならない。 そこで、 動き補償予測を上述の前方だけではなく、 後方あるいは両者を組み合わせて行うことにより、 さらに符号化効率を高めることができる。

上述のような動き補償予測符号化の代表的な方式として、いわゆる M P E G (Moving Picture Experts Group) 2 が知られている。M P E G 2 とは、I S O (国際標準化機構) と I E C (国際電気標準会議) の J T C (Joint Technical Committee) 1 の S C (Sub Committee) 29 の W G (Working Group) 11 において進行してきた動画像符号化方式の通称である。

M P E G 2 では、動き補償予測符号化と離散コサイン変換 (以下、D C T: Discrete Cosine Transform という。) を組み合わせたハイブリッド (Hybrid) 方式が採用されている。

ここで、M P E G 2 において、画像がどのようなシーケンスに従って画像内符号化又は画像間符号化されるかについて説明する。図 2 は、M P E G 2 で採用されているいわゆる G O P (グループオブピクチャ: Group Of Picture) の構成を示す図であり、この図 2 では、G O P が 15 枚のフレームで構成されている例を示したものである。

フレーム F 2 は、画像内符号化されるので、I ピクチャ (Intra coded picture) と呼ばれる。フレーム F 5、F 8、F 11、F 14 は、前方向からのみから予測されてフレーム間符号化されるので、P ピクチャ (Predictive coded picture) と呼ばれる。フレーム F 0、F 1、F 3、F 4、F 6、F 7、F 9、F 10、F 12、F 13 は、前方向から、後方向から、又は両方向から予測されてフレーム間符号化されるので、B ピクチャ (Bidirectionally-predictive coded picture) と呼ばれる。

1 枚のピクチャは、図 3 に示すように、N 個のスライスに分割され、各スライスが M 個のマクロブロックを含んでいる。各マクロブ

-4-

ブロックは、 8×8 画素からなる輝度ブロックであって上下左右に隣接した4つの輝度ブロックに含まれる輝度データ Y_0 、 Y_1 、 Y_2 、 Y_3 と、これらの4つの輝度ブロックに対応する範囲の 8×8 画素からなる色差ブロックの色差データ C_b 、 C_r とを含んでいる。すなわち、マクロブロックは、輝度信号に対して、水平及び垂直走査方向に連続する 16×16 画素分の輝度データ $Y_1 \sim Y_4$ を含んでいるのに対し、これに対応する2つの色差信号においては、データ量が低減処理された後、時間軸多重化処理され、それぞれ1つの色差ブロックに輝度信号の 16×16 画素分に対するデータが割り当てられる。

そして、スライス内の画像データの配列は、マクロブロック単位で画像データが連続するようになされており、このマクロブロック内ではラスタ走査の順にブロック単位で画像データが連続するようになされている。そして、MPEG2では、上述したマクロブロック単位で符号化又は復号化処理が行われるようになっている。

具体的には、MPEG2に準拠した動画像符号化装置は、図4に示すように、フレームメモリ群12を備え、フレームメモリ群12には、動きベクトル検出回路11を介して前処理回路（図示せず）から画像データが供給される。すなわち、前処理回路は、入力映像信号を輝度信号と色差信号に分離した後、それぞれ8ビットからなる輝度データ、色差データに変換すると共に、例えば所謂4:2:0では色差データの画素数を例えば1/4に低減し、これらの輝度データ、色差データを動きベクトル検出回路11を介してフレームメモリ群12に供給する。

フレームメモリ群12は、予め設定されているシーケンスに従っ

て、各フレームの画像データを参照原画像、前方原画像又は後方原画像の画像データとして記憶する。具体的には、例えば図2に示したフレームF3（Bピクチャ）の画像データを符号化するときは、このフレームF3の画像データを参照原画像の画像データとして記憶し、フレームF2（Iピクチャ）の画像データを前方原画像の画像データとして記憶し、フレームF5（Pピクチャ）の画像データを後方原画像の画像データとして記憶する。

動きベクトル検出回路11は、フレームメモリ群12に記憶された各フレームの画像データを上述したデータ配列、すなわちブロックフォーマットで読み出して、参照原画像の動きベクトルをマクロブロック単位で検出する。すなわち、動きベクトル検出回路11は、フレームメモリ群12に記憶された前方原画像及び／又は後方原画像を用いて、現在の参照画像の動きベクトルをマクロブロック単位で検出する。ここで、動きベクトルの検出は、マクロブロック単位での輝度データの画像間差分の絶対値和が最小になるものを、その動きベクトルとする。そして、検出された動きベクトルは動き補償回路23等へ供給され、マクロブロック単位での画像間差分の絶対値和は画像内／前方／後方／両方向予測判定回路13へ供給される。

この画像内／前方／後方／両方向予測判定回路13は、この値をもとに、参照原画像のマクロブロックの予測モードを決定し、決定した予測モードに基づいて、マクロブロック単位で画像内／前方／後方／両方向予測の切り換えを行うように予測符号化回路14を制御する。

予測符号化回路14は、画像内符号化モードのときは入力画像データそのものを、前方／後方／両方向予測モードのときはそれぞれ

の予測画像に対する入力画像データの画素毎の差分（以下、差分データという。）を選択し、選択したデータをDCT回路15に供給する。すなわち、この予測符号化回路14は、加算回路14a、14b、14c及び切換スイッチ14dを備え、これらの加算回路14a、14b、14cには、後述する動き補償回路23から前方予測画像と後方予測画像の画像データが供給されており、加算回路14aは、前方予測画像に対する差分データを生成し、加算回路14bは、後方予測画像に対する差分データを生成し、加算回路14cは、前方予測画像と後方予測画像を平均した画像に対する差分データを生成し、切換スイッチ14dは、予測モードに基づいて、入力画像データ、各予測画像に対する差分データのいずれか1つを切り換え選択して、DCT回路15に供給する。

DCT回路15は、映像信号の2次元相関を利用して、入力画像データ又は差分データをブロック単位でDCT処理し、得られる係数データ（所謂DCT係数）を量子化回路16に供給する。

量子化回路16は、マクロブロック又はスライス毎に定まる量子化スケール（量子化ステップサイズ）を用いて係数データを量子化し、得られる量子化データを可変長符号化（以下、VLC: Variable Length Codeという。）回路17及び逆量子化回路18に供給する。ところで、この量子化に用いる量子化スケールは、後述する送信バッファメモリ19のバッファ残量をフィードバックすることによって、送信バッファメモリ19が破綻しない値に決定され、この量子化スケールも、VLC回路17及び逆量子化回路18に供給される。

VLC回路17は、量子化データを、量子化スケール、予測モー

-7-

ド、動きベクトルと共に可変長符号化し、得られる符号化データを送信バッファメモリ 19 に供給する。

送信バッファメモリ 19 は、符号化データを一旦記憶した後、一定のビットレートで読み出すことにより、符号化データを平滑化し、ビットストリームとして出力すると共に、メモリに残留している残留データ量に応じてマクロブロック単位の量子化制御信号を量子化回路 16 にフィードバックして量子化スケールを制御する。これにより、送信バッファメモリ 19 は、ビットストリームとして発生されるデータ量を調整し、メモリ内に適正な残量（オーバーフロー又はアンダーフローを生じさせないようなデータ量）のデータを維持する。例えば、データ残量が許容上限にまで増量すると、送信バッファメモリ 19 は、量子化制御信号によって量子化回路 16 の量子化スケールを大きくすることにより、量子化データのデータ量を低下させる。一方、データ残量が許容下限まで減量すると、送信バッファメモリ 19 は、量子化制御信号によって量子化回路 16 の量子化スケールを小さくすることにより、量子化データのデータ量を増量させる。

このようにして、送信バッファメモリ 19 から出力されるビットストリームは一定のビットレートで伝送路や、光ディスク、磁気ディスク、磁気テープ等の記録媒体からなる伝送メディアを介して、動画像復号化装置に供給される。

一方、逆量子化回路 18 は、量子化回路 16 から供給される量子化データを逆量子化して、上述の DCT 回路 15 の出力に対応する係数データ（量子化歪みが加算されている）を再生し、この係数データを逆離散コサイン変換（以下、IDCT: Inverse Discrete C

osine Transformという。)回路20に供給する。

I D C T回路20は、係数データをI D C T処理して、画像内符号化モードでは入力画像データに対応する画像データを再生し、前方／後方／両方向予測モードでは予測符号化回路14の出力に対応する差分データを再生して、加算回路21に供給する。

この加算回路21には、前方／後方／両方向予測モードのとき、動き補償回路23から動き補償された前方予測画像又は後方予測画像の画像データ(以下、予測画像データという。)が供給されており、この動き補償された予測画像データと差分データを加算することにより、入力画像データに対応する画像データをマクロブロック単位で再生する。

そして、このようにして再生された画像データは、フレームメモリ22に記憶される。すなわち、逆量子化回路18～動き補償回路23は、局所復号化回路を構成し、予測モードに基づいて、量子化回路16から出力される量子化データを局所復号化し、得られる復号画像を前方予測画像又は後方予測画像としてフレームメモリ22に記憶する。具体的には、フレームメモリ22は、2フレーム分の記憶容量を有する半導体メモリからなり(以下、1フレーム分のメモリをフレームバッファという。)、フレームバッファのバンク切り換えを行い、加算回路21から供給される画像データを前方予測画像データ又は後方予測画像データとして記憶する。そして、記憶された画像データは、符号化する画像に応じて、単一のフレームの画像データが、前方予測画像データとして出力されたり、後方予測画像データとして出力される。これらの予測画像データは、後述する動画像復号化装置で再生される画像と全く同一の画像であり、次

の符号化処理画像はこの予測画像をもとに前方／後方／両方向予測符号化が行われる。

具体的には、動き補償回路 23 は、予測モード、動きベクトルに基づいて、フレームメモリ 22 から画像データを動き補償を施して読み出し、この読み出した予測画像データを、上述したように、予測符号化回路 14 及び加算回路 21 に供給する。

次に、動画像復号化装置について説明する。

動画像復号化装置は、図 5 に示すように、受信バッファメモリ 31 を備え、この受信バッファメモリ 31 は、伝送路や伝送メディアを介してビットストリームが入力され、このビットストリームを一旦記憶した後、可変長復号化回路 32 に供給する。

可変長復号化回路 32 は、ビットストリーム、すなわち符号化データを可変長復号化して、量子化データ、動きベクトル、予測モード、量子化スケール等を再生する。これらの量子化データ、量子化スケールは逆量子化回路 33 に供給され、動きベクトル、予測モード等は動き補償回路 38 に供給される。

逆量子化回路 33 ～動き補償回路 38 の動作は上述した動画像符号化装置の局所復号化回路と同じであり、これらの回路は、量子化データ、動きベクトル、予測モード、量子化スケール、及び既に再生されてフレームメモリ 37 のフレームバッファ 37a、37b に記憶されている前方予測画像データと後方予測画像データを用いて、復号化を行う。この結果、加算回路 35 から再生画像データがブロックフォーマットで出力される。

しかしながら、従来の動画像符号化装置や動画像復号化装置においては、各処理ブロック間で生ずる処理スピードを吸収するための

具体的な構成が提案されていなかった。

本発明は、このような実情に鑑みてなされたものであり、各処理ブロック間で生ずる処理スピードを吸収できるような画像復号化方法及び装置並びに画像符号化方法及び装置を提供することを目的とする。

また、本発明の他の目的は、各ブロック間の処理スピードを吸収するために用いられるバッファメモリの利用効率を上げ、バッファの容量を減らし、全体のメモリ量を減らして回路規模を小さくし得るような画像復号化方法及び装置並びに画像符号化方法及び装置を提供することである。

発 明 の 開 示

本発明に係る画像復号化方法は、予測符号化及びDCTを用いて符号化された符号化画像信号を復号化する画像復号化方法において、DCT係数にIDCT処理を施し、上記IDCT処理されたデータを、第1のバッファに記憶し、参照用メモリから読み出された予測画像と上記第1のバッファから読み出されたデータとを加算して復号化画像を生成し、上記復号化画像を第2のバッファに記憶し、上記第2のバッファから読み出された上記復号化画像を上記参照用メモリに記憶することを特徴とする。

このような構成によって、各処理ブロック間で生ずる処理スピードを吸収することができる。

また、本発明に係る画像復号化方法は、予測符号化及びDCTを用いて符号化された符号化画像信号を復号化する画像復号化方法に

において、上記 D C T 係数に I D C T 処理を施し、上記 I D C T 処理された画像データを第 1 のバッファに記憶し、上記第 1 のバッファから読み出されたデータと第 2 のバッファから読み出された予測画像とを加算して復号化画像を生成し、上記復号化画像を上記予測画像を生成するための参照用メモリに記憶し、上記参照用メモリから上記予測画像を読み出し、上記参照用メモリから読み出された上記予測画像を上記第 2 バッファに記憶することを特徴とする。

さらに、上記第 1 のバッファは上記第 2 のバッファと兼用であって、上記復号化画像は、上記第 1 のバッファから上記参照用メモリの書き込みタイミングに同期して読み出されることが好ましい。

このような画像復号化方法を画像復号化装置に適用することによって、タイミング調整用バッファに必要なメモリを削減し、ハードウェアの規模の縮小を図ることができる。

また、上述した画像復号化方法を局所復号化に用いた画像符号化方法及び画像符号化装置を構成することができ、この場合も、各処理ブロック間で生ずる処理スピードを吸収することができ、さらにタイミング調整用バッファに必要なメモリを削減し、ハードウェアの規模の縮小を図ることができる。

図面の簡単な説明

図 1 は、高能率予測符号化の原理を説明するための図である。

図 2 は、画像シーケンスの G O P (グループオブピクチャ) の具体的な構成を示す図である。

図 3 は、ピクチャの具体的な構成を示す図である。

図 4 は、動画像符号化装置の従来例を示すブロック図である。

図 5 は、動画像復号化装置の従来例を示すブロック図である。

図 6 は、本発明の第 1 の実施例となる動画像符号化装置の構成を示すブロック回路図である。

図 7 は、本発明の第 1 の実施例となる動画像復号化装置の構成を示すブロック回路図である。

図 8 は、本発明の第 1 の実施例に用いられる動き補償部を示すブロック図である。

図 9 は、本発明の第 1 の実施例に用いられる動き補償部のデータタイミングを表す図である。

図 10 は、本発明の第 2 の実施例となる動画像復号化装置に用いられる動き補償部を示すブロック図である。

図 11 は、本発明の第 2 の実施例に用いられる動き補償部のデータタイミングを表す図である。

図 12 は、本発明の第 3 の実施例となる動画像復号化装置に用いられる動き補償部を示すブロック図である。

図 13 は、本発明の第 3 の実施例に用いられる動き補償部のデータタイミングを表す図である。

図 14 は、本発明の第 4 の実施例となる動画像復号化装置に用いられる動き補償部を示すブロック図である。

図 15 は、本発明の第 4 の実施例に用いられる動き補償部のデータタイミングを表す図である。

発明を実施するための最良の形態

以下、本発明に係る画像復号化方法及び装置並びに画像符号化方法及び装置の好ましい実施例について、図面を参照しながら説明する。

図6は、本発明の第1の実施例となる動画像符号化装置あるいはエンコーダの概略構成を示すブロック回路図である。

この図6において、前述した図4の各部と対応する部分には同じ指示符号を付して説明を省略する。

図6の動画像符号化装置に入力されたブロックフォーマットの画像に対して、動きベクトル検出回路11で動きベクトルの検出を行う。動きベクトル検出回路11は、すでに図2で説明したように、非補間フレームを予測画像として、動き検出を用いて補間画像の生成を行う。このため動きを検出するための予測画像を保持するために、前方原画像と後方原画像を保持して動きベクトルの検出を、現在の参照画像との間で行う。ここで、動きベクトルの検出は、ブロック単位でのフレーム間差分の絶対値和が最小になるものを、その動きベクトルとする。このブロック単位でのフレーム間差分の絶対値和はフレーム内／前方／両方向予測判定回路13に送られる。フレーム内／前方／両方向予測判定回路13は、この値をもとに、参照ブロックの予測モードを決定する。

この予測モードをもとに、予測符号化回路14では、ブロック単位でフレーム内／前方／両方向予測の切り換えを行い、フレーム内符号化モードの場合は入力画像そのものを、前方／両方向予測モードのときはそれぞれの予測画像からのフレーム間符号化データを発生し、当該差分データを、切換回路14dを介し、DRAM読み出し用バッファ100を介してディスクリートコサイン変換(DCT

:discrete cosine transform) 回路 15 に出力するようになされている。

DCT回路 15 は、映像信号の 2 次元相関を利用して、入力画像データ又は差分データをブロック単位でディスクリートコサイン変換し、その結果得られる変換データを量子化回路 16 に出力するようになされている。

量子化回路 16 は、マクロブロックおよびスライス毎に定まる量子化ステップサイズで DCT 変換データを量子化し、その結果出力端に得られる量子化データを可変長符号化 (VLC: variable length code) 回路 17 及び逆量子化回路 18 に供給する。量子化に用いる量子化スケールは、送信バッファ 19 のバッファ残量をフィードバックすることによって、送信バッファ 19 が破綻しない値に決定する。この量子化スケールも、可変長符号化回路 17 及び逆量子化回路 18 に、量子化データとともに供給される。

量子化データを受けとった可変長符号化回路 17 は、量子化データを、量子化スケール、予測モード、動きベクトル、CBP (Coded block pattern) などと共に可変長符号化処理し、伝送データとして送信バッファメモリ 19 に供給する。

送信バッファメモリ 19 は、伝送データを一旦メモリに格納した後、所定のタイミングでビットストリームとして出力すると共に、メモリに残留している残留データ量に応じてマクロブロック単位の量子化制御信号を量子化回路 16 にフィードバックして量子化スケールを制御するようになされている。これにより送信バッファメモリ 19 は、ビットストリームとして発生されるデータ量を調整し、メモリ内に適正な残量、すなわちオーバーフロー又はアンダーフロ

ーを生じさせないようなデータ量、のデータを維持するようになされている。ちなみに送信バッファメモリのデータ残量が許容上限にまで増量すると、送信バッファメモリは量子化制御信号によつて量子化回路の量子化スケールを大きくすることにより、量子化データのデータ量を低下させる。

また、これとは逆に送信バッファメモリ 19 のデータ残量が許容下限値まで減量すると、送信バッファメモリ 19 は量子化制御信号によつて量子化回路 16 の量子化スケールを小さくすることにより、量子化データのデータ量を増大させる。

逆量子化回路 18 は、量子化回路 16 から送出される量子化データを代表値に逆量子化して逆量子化データに変換し、出力データの量子化回路 16 における変換前の変換データを復号し、逆量子化データをディスクリートコサイン逆変換 I D C T (inverse discrete cosine transform) 回路 20 に供給するようになされている。

I D C T 回路 20 は、逆量子化回路 18 で復号された逆量子化データを、D C T 回路 15 とは逆の変換処理で復号画像データに変換し、マクロブロック (M B : macro block) バッファ 102、加算器 21、D R A M 書き込み用バッファ 106 及び参照用フレームメモリ 22 を介して、動き補償回路 23 に出力するようになされている。動き補償回路 23 は、I D C T 回路 20 の出力データと予測モード、動きベクトルをもとに局所復号を行い、復号画像を前方参照画像もしくは後方参照画像としてフレームメモリ 22 に書き込む。前方／両方向予測の場合は、参照画像からの差分が I D C T 回路 20 の出力として送られてくるために、この差分を参照画像に対して足し込むことで局所復号を行っている。この参照画像は、デコーダ

で復号される画像と全く同一の画像であり、次の処理画像は、この参照画像をもとに、前方／両方向予測を行う。

ここで、DRAM読み出し用バッファ100、DRAM書き込み用バッファ106、及びMBバッファ102は、参照用フレームメモリ22としてDRAM（ダイナミックランダムアクセスメモリ：dynamic random access memory）のような安価なメモリを用いる場合に必要とされるバッファである。

どのバッファにおいても、 8×8 のブロック内の全画素を一度貯め込む必要があるため、その分の遅延が生じる。すなわちDRAM読み出し用バッファ100は、参照用フレームメモリ22からの読み出しスピードとDCT回路15への書き込みスピードの違いを吸収するためのバッファである。またMBバッファ102は、IDCT回路20からの読み出しスピードとフレームメモリ22への書き込みスピードの違いを吸収するためのバッファである。DRAM書き込み用バッファ106は、参照用フレームメモリ22から読み出したデータを、MBバッファ102からの出力データと足しあわせた後に、遅延をかけるためのバッファである。

参照用フレームメモリ22は、読み出しと書き込みを同時に行うことができないため、参照用フレームメモリ22から読み出したデータを、再び参照用フレームメモリ22に書き込む前に遅延をかける必要があり、そのために、このバッファが必要となる。また、参照用フレームメモリ22へのアクセスは、いろいろな部分から非常に頻繁に行われているため、可能な限り無駄な時間は除かれるのが望ましい。参照用フレームメモリ22をなるべく効率良く利用するというこの観点からも、参照用フレームメモリ22の前段には、こ

のバッファが必要不可欠である。

次に、図 7 に動画像復号化装置あるいはデコーダのブロック図を示す。この図 7 において、前述した図 5 の各部と対応する部分には同じ指示符号を付して説明を省略する。

図 7 の動画像復号化装置には、伝送メディアを介してビットストリームが入力される。このビットストリームは受信バッファ 31 を介して可変長復号化 (I V L C) 回路 32 に入力される。可変長復号化回路 32 は、ビットストリームから量子化データと、動きベクトル、予測モード、量子化スケールなどを復号する。この量子化データと量子化スケールは次の逆量子化回路 33 に入力される。

逆量子化回路 33、I D C T 回路 34、動き補償回路 38 の動作は図 5 の動画像符号化装置あるいはエンコーダの説明で述べた通りであり、上述した図 6 の動画像符号化装置の局所復号化回路と同じである。

具体的には、動き補償回路 38 は、I D C T 回路 34 の出力データと予測モード、動きベクトルをもとに復号を行い、復号画像を前方参照画像もしくは後方参照画像としてフレームメモリ 37 に書込む。この参照画像は、エンコーダで局所復号される画像と全く同一の画像であり、次の復号画像はこの参照画像をもとに、前方／両方向での復号が行われる。なお、M B バッファ 102、及び D R A M 書き込み用バッファ 106 は、図 6 のエンコーダのブロックダイアグラムにおける、M B バッファ 102、D R A M 書き込み用バッファ 106 と機能、目的とも、同じものである。

ここで、各バッファの動作中の信号の入出力タイミングに絞って表したブロック図を図 8 に示す。またそのときのタイミングを示し

たものが図9である。図9中のWは書き込み動作を、Rは読み出し動作をそれぞれ示している。

各バッファ102、106の大きさは、実際には図8に示すように、マクロブロックの大きさのメモリを2バンク分使用しており、そのバンクの書き込みと読み出しとを切り換えることにより、各部のスピードの違いの吸収やタイミング合わせを行なっている。すなわち、MBバッファ102は、マクロブロックの大きさのメモリのバンク103とバンク104とから成り、DRAM書き込み用バッファ106は、同じくマクロブロックの大きさのメモリのバンク107とバンク108とから成っている。図9には、これらのバンク103、104、107、108についての書き込み(W)及び読み出し(R)動作と、各部の信号S2、S3、S6とをそれぞれ示している。

MBバッファ102には、図9の信号S2のタイミングに示すように、マクロブロック単位でIDCT回路101(図6の回路20、図7の回路34に相当)のスピードに依存した速度で書き込みを行なっている。一方読み出しは、図9の信号S3のタイミングに示されるように、参照用フレームメモリ109(図6の22、図7の37)の書き込みスピードに依存した速度で行なっている。このようにMBバッファ102では、速度の違いを吸収している。MBバッファ102から読み出したデータS3は、参照用フレームメモリ109からの予測マクロブロック信号S4と足し合わせた後で、DRAM書き込み用バッファ106に書き込む。読み出しは、図9の信号S6のタイミングで示されるように行なわれる。ここでは参照用フレームメモリ109の読み出し書き込みタイミングの調整を行な

っている。

以上により、動き補償部では、参照用フレームメモリ109（図6の22、図7の37）からのデータS4と、IDCT回路101（図6の20、図7の34）からの読み出しデータS2より動き補償を行なっている。

これらのバッファを用いることにより、IDCT回路101（図6の20、図7の34）からの読み出しと、参照用フレームメモリ109（図6の22、図7の37）への書き込みスピードの違いを吸収でき、参照用フレームメモリ109として安価なDRAMを用いることが可能となる。

ところで、上述した本発明の第1の実施例においては、MBバッファ102とDRAM書き込み用バッファ106とで、マクロブロック4個分の大きさが必要となり、さらにメモリの量を減らすことが望まれている。そこで、バッファ部分の回路を工夫して、バッファの利用効率を上げることにより、バッファの容量を減らし、さらには全体のメモリ容量を減らし、回路規模を小さくすることが考えられる。

すなわち、後述する本発明の第2の実施例においては、DRAM書き込み用バッファの容量を半分に減らしており、また、本発明の第3の実施例においては、MBバッファとDRAM書き込み用バッファとの両方の機能を併せ持つバッファを用いている。

これは、図8、図9に示す本発明の第1の実施例のタイミングを考えると、IDCT回路101のスピードに対して、フレームメモリ109の読み出し書き込みスピードが速い場合、DRAM書き込み用バッファ106のバンク107に入力したデータは、次のデー

タが来る前に読み出しが終了しているため、次のブロックデータが入力するときは、バッファ106内は空の状態になっている。上記第1の実施例の方法では、バンク107が空の状態でも、データはバンク108に書き込んでしまい、その間バンク107は空の状態が続いてしまう。すなわちDRAM書き込み用バッファ106には、常に1ブロック分以上のデータを持つことが起こりえない。

そこで、DRAM書き込み用バッファを1ブロック分の大きさにして、バンクの切り換えを行なわないようにしたものが、図10及び図12にそれぞれ示す第2及び第3の実施例である。これらの実施例では、それぞれのDRAM書き込み用バッファ115、124の位置が異なっている。

さらに、これら第2、第3の実施例のタイミングを検討すると、例えば図10の第2の実施例におけるMBバッファ111のバンク112、113について、IDCT回路110からの書き込みを行なっているバンクとは逆の読み出しを行なっているバンクは、書き込み時間に比べて読み出し時間が非常に短い場合、その大半の時間は次の書き込み待ちの状態になる。そこで、この待ち時間にDRAM書き込み用バッファ115で行なっている遅延動作を行なわせることにより、各バッファを1つにまとめることができる。この方法は、図14に本発明の第4の実施例として示しており、そのタイミングを図15に示す。ただし、この方法は、IDCT回路126からの書き込みスピードと、参照用フレームメモリ132の書き込み読み出しスピードを比較して、参照用フレームメモリのスピードが、十分早い場合に有効である。

以下、本発明の第2～第4の実施例としての動画像復号化装置、

あるいは動画像符号化装置の局所復号化回路について、図面を参照しながら説明する。ここで、動き補償回路及びその周辺部分以外の構成については、これらの実施例の主眼とするところに影響を与えないので、ここでは説明を省略する。

図10には、本発明の第2の実施例として、動画像符号化装置の局所復号化部、あるいは動画像復号化装置の内部の動き補償部を示している。

この図10に示す動き補償部においては、IDCT回路110から出力したデータS8は、2バンクあるMBバッファ111に、IDCT回路110の読み出し速度で書き込まれる。MBバッファ111からの読み出しは、参照用フレームメモリ117の読み出し速度と同じ速度で行なわれる。このとき、図11に示すように、一方のバンク112に書き込み(W)を行なっているときは他方のバンク113は読み出し(R)を、他方のバンク113に書き込みを行なっているときは、一方のバンク112は読み出しを行なっている。読み出したデータS9は加算器114に送る。

参照用フレームメモリ117からは、予測マクロブロック信号S10を取り出し加算器114に送る。加算器114では、参照用フレームメモリ117からの予測マクロブロック信号S10と、MBバッファ111からの出力信号S9を加算して、DRAM書き込み用バッファ115に書き込む。DRAM書き込み用バッファ115では、参照用フレームメモリ117が書き込む準備のできるまでの間データを保持し、その後参照用フレームメモリ117に書き込んでいく。

このとき、DRAM書き込み用バッファ115への書き込みから

読み出しまでの時間が、IDCT回路110からマクロブロックデータを読み出す速度より十分早いため、DRAM書き込み用バッファ115は、1マクロブロック分の大きさすなわちメモリ容量で、上記第1の実施例と同等の機能を果たすことができ、DRAM書き込み用バッファ115の大きさを半分に節約できる。しかも、上記第1の実施例においてバンク切り換えを行っていた部分の回路が必要なくなり、さらに回路の縮小ができる。

次に、本発明の第3の実施例として、図12の動き補償回路では、IDCT回路118から出力したデータS14は、2バンクあるMBバッファ119に、IDCT回路118の読み出し速度で書き込まれる。

MBバッファ119からの読み出しは、参照用フレームメモリ125の読み出し速度と同じ速度で行なわれる。このとき、図13に示すように、一方のバンク120に書き込み(W)を行なっているときは他方のバンク121は読み出し(R)を、他方のバンク121に書き込みを行なっているときは、一方のバンク120は読み出しを行なっている。読み出しは、参照用フレームメモリ125の書き込みタイミングと同期して行ない、データは加算器122に送っている。

参照用フレームメモリ125は、DRAM書き込み用バッファ123に予測マクロブロック信号S16を書き込む。DRAM書き込み用バッファ123では、参照用フレームメモリ125が書き込む準備のできるまでの間データを保持し、参照用フレームメモリ125が書き込む準備ができしだい、加算器122にデータを送る。

加算器122では、DRAM書き込み用バッファ123の出力デ

ータと、M Bバッファ119からの出力信号S15とを加算して、参照用フレームメモリ125に書き込んでいく。このとき、DRAM書き込み用バッファ123への書き込みから読み出しまでの時間が、IDCT回路118からマクロブロックデータを読み出す速度より十分早いため、DRAM書き込み用バッファ123は、1マクロブロックの大きさで、上記第1の実施例の通りの機能を果たすことができ、DRAM書き込み用バッファ123の大きさを半分に節約できる。しかも、上記第1の実施例でバンク切り換えを行っていた部分の回路が必要なくなり、さらに回路の縮小ができる。

次に、図14は本発明の第4の実施例として、動画像符号化装置の局所復号化部あるいは動画像復号化装置の内部の動き補償部を示している。

この図14において、IDCT回路126から出力したデータS19は、2バンクあるM Bバッファ128にIDCT回路126の読み出し速度で書き込まれる。M Bバッファ128からの読み出しは、参照用フレームメモリ132の読み出し速度と同じ速度で行なわれる。このとき、図15に示すように、一方のバンク129にIDCT回路126の出力S19の書き込みを行なっているときは、他方のバンク130は参照用フレームメモリ132に対する処理を行ない、他方のバンク130にIDCT回路126の出力S19の書き込みを行なっているときは、一方のバンク129は参照用フレームメモリ132に対する処理を行なっている。

M Bバッファ128の一方のバンク129と他方のバンク130は、マクロブロック単位でその入力が、IDCT回路の出力S19と加算器出力S22を切り換える必要があるため、書き込み切り換

え器 1 2 7 を M B バッファ 1 2 8 の前に置く。

書き込み切り換え器 1 2 7 では、以下のような動作を行なっている。

M B バッファ 1 2 8 の一方のバンク 1 2 9 に I D C T 回路の出力 S 1 9 の書き込みを行なっているときは、I D C T 回路 1 2 6 の出力 S 1 9 と一方のバンク 1 2 9 の入力 S 2 0 を接続し、加算器出力 S 2 2 を他方のバンク 1 3 0 の入力 S 2 3 に接続している。M B バッファ 1 2 8 の他方のバンク 1 3 0 に I D C T 回路の出力 S 1 9 の書き込みを行なっているときは、I D C T 回路の出力 S 1 9 と他方のバンク 1 3 0 の入力 S 2 3 を接続し、加算器出力 S 2 2 を一方のバンク 1 2 9 の入力 S 2 0 に接続している。

ここで、参照用フレームメモリ 1 3 2 に対する処理とは、以下に示すような手順で行なわれる。

M B バッファ 1 2 8 から読み出したデータ S 2 4 はまず加算器 1 3 1 に送られる。参照用フレームメモリ 1 3 2 からは、予測マクロブロック信号 S 2 1 を取り出し、加算器 1 3 1 に送られる。加算器 1 3 1 では、参照用フレームメモリ 1 3 2 からの予測マクロブロック S 2 1 信号と、M B バッファ 1 2 8 からの出力信号 S 2 4 を加算して、再び、M B バッファ 1 2 8 に書き込む。このとき、M B バッファ 1 2 8 にはデュアルポート R A M を使用することにより、読み出しと書き込みを同時に行なうことができる。

M B バッファ 1 2 8 では、参照用フレームメモリ 1 3 2 へ書き込むまでの間、データを保持し、その後再度読み出しを行ない、参照用フレームメモリ 1 3 2 に書き込む。この方法により、動き補償部でのバッファの容量を半減することができる。ただしこれらの方法

は、I D C T回路126からの書き込みスピードと、参照用フレームメモリ132の書き込み読み出しスピードを比較して、参照用フレームメモリ132のスピードが十分早い場合に有効である。

従って、上記第1の実施例の動き補償部には、全部でマクロブロック4個分の大きさのバッファが必要であったが、上記第4の実施例によれば、入力からのタイミングおよび参照用フレームメモリへのタイミングを崩すことなく2個分に減らすことができ、大幅なメモリの縮小が行なわれ、ハードウェアの規模を小さくすることができる。

請 求 の 範 囲

1. 予測符号化及びDCTを用いて符号化された符号化画像信号を復号化する画像復号化方法において、

DCT係数にIDCT処理を施し、

上記IDCT処理されたデータを、第1のバッファに記憶し、

参照用メモリから読み出された予測画像と上記第1のバッファから読み出されたデータとを加算して復号化画像を生成し、

上記復号化画像を第2のバッファに記憶し、

上記第2のバッファから読み出された上記復号化画像を上記参照用メモリに記憶する

ことを特徴とする画像復号化方法。

2. 上記第1のバッファは、それぞれ少なくとも1マクロブロック分の容量を有する第1のバンクと第2のバンクから成り、

上記IDCT処理されたデータはマクロブロック単位で上記IDCT処理の読み出し速度と同じ速度で上記第1及び第2のバンクに交互に書き込まれ、

上記第1及び第2のバンクに記憶されたデータは、上記参照用メモリの読み出し速度と同じ速度で交互に読み出される

ことを特徴とする請求項1に記載の画像復号化方法。

3. 上記第2のバッファは、少なくとも1マクロブロック分の容量を有する第3及び第4のバッファからなり、

上記第 1 のバッファから読み出されたデータは、上記第 3 及び第 4 のバッファに交互に書き込まれ、

上記第 3 及び第 4 に書き込まれたデータは、上記第 3 及び第 4 のバッファから上記参照メモリの書き込みタイミングに同期して交互に読み出される

ことを特徴とする請求項 1 に記載の画像復号化方法。

4. 上記復号化画像は、上記第 2 のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項 1 に記載の画像復号化方法。

5. 上記第 1 のバッファは上記第 2 のバッファと兼用であって、

上記復号化画像は、上記第 1 のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項 1 に記載の画像復号化方法。

6. 予測符号化及び D C T を用いて符号化された符号化画像信号を復号化する画像復号化方法において、

上記 D C T 係数に I D C T 処理を施し、

上記 I D C T 処理された画像データを第 1 のバッファに記憶し、

上記第 1 のバッファから読み出されたデータと第 2 のバッファから読み出された予測画像とを加算して復号化画像を生成し、

上記復号化画像を上記予測画像を生成するための参照用メモリに記憶し、

上記参照用メモリから上記予測画像を読み出し、

上記参照用メモリから読み出された上記予測画像を上記第2のバッファに記憶すること
ことを特徴とする画像復号化方法。

7. 上記第1のバッファは、それぞれ少なくとも1マクロブロック分の容量を有する第1のバンクと第2のバンクから成り、

上記IDCT処理された画像データはマクロブロック単位で上記IDCT処理の読み出し速度と同じ速度で上記第1及び第2のバンクに交互に書き込まれ、

上記第1及び第2のバンクに記憶されたデータは、上記参照用メモリの読み出し速度と同じ速度で交互に読み出される

ことを特徴とする請求項6に記載の画像復号化方法。

8. 上記予測画像は、上記第2のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項6に記載の画像復号化方法。

9. 予測符号化及びDCTを用いて符号化された符号化画像信号を復号化する画像復号化装置において、

DCT係数にIDCT処理を施すIDCT手段と、

上記IDCT処理されたデータを記憶する第1のバッファと、

参照用メモリから読み出された予測画像と上記第1のバッファから読み出されたデータとを加算して復号化画像を生成する加算手段と、

上記復号化画像を記憶する第2のバッファと、

上記第２のバッファから読み出された上記復号化画像を記憶する
上記参照用メモリと
を有することを特徴とする画像復号化装置。

１０． 上記第１のバッファは、それぞれ少なくとも１マクロブロック分の容量を有する第１のバンクと第２のバンクから成り、

上記ＩＤＣＴ処理されたデータはマクロブロック単位で上記ＩＤＣＴ処理の読み出し速度と同じ速度で上記第１及び第２のバンクに交互に書き込まれ、

上記第１及び第２のバンクに記憶されたデータは、上記参照用メモリの読み出し速度と同じ速度で交互に読み出される

ことを特徴とする請求項９に記載の画像復号化装置。

１１． 上記第２のバッファは、少なくとも１マクロブロック分の容量を有する第３及び第４のバッファからなり、

上記第１のバッファから読み出されたデータは、上記第３及び第４のバッファに交互に書き込まれ、

上記第３及び第４に書き込まれたデータは、上記第３及び第４のバッファから上記参照メモリの書き込みタイミングに同期して交互に読み出される

ことを特徴とする請求項９に記載の画像復号化装置。

１２． 上記復号化画像は、上記第２のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項９に記載の画像復号化装置。

13. 上記第1のバッファは上記第2のバッファと兼用であって、かつ2つバンクを有するデュアルポートRAMで構成され、

上記IDCT手段の出力及び上記加算手段の出力を上記2つのバンクのいずれか入力する切り換え手段を有し、

上記復号化画像は、上記第1のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項9に記載の画像復号化装置。

14. 予測符号化及びDCTを用いて符号化された符号化画像信号を復号化する画像復号化装置において、

上記DCT係数にIDCT処理を施すIDCT手段と、

上記IDCT処理された画像データを記憶する第1のバッファと、

上記第1のバッファから読み出されたデータと第2のバッファから読み出された予測画像とを加算して復号化画像を生成する加算手段と、

上記復号化画像を記憶する上記予測画像を生成するための参照用メモリと、

上記参照用メモリから読み出された上記予測画像を記憶する上記第2のバッファと

を有することを特徴とする画像復号化装置。

15. 上記第1のバッファは、それぞれ少なくとも1マクロブロック分の容量を有する第1のバンクと第2のバンクから成り、

上記IDCT処理された画像データはマクロブロック単位で上記

I D C T 処理の読み出し速度と同じ速度で上記第 1 及び第 2 のバンクに交互に書き込まれ、

上記第 1 及び第 2 のバンクに記憶されたデータは、上記参照用メモリの読み出し速度と同じ速度で交互に読み出される

ことを特徴とする請求項 1 4 に記載の画像復号化装置。

1 6. 上記予測画像は、上記第 2 のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項 1 4 に記載の画像復号化装置。

1 7. 予測符号化及び D C T を用いた画像符号化方法において、

画像データに D C T 処理を施して D C T 係数を生成し、

上記 D C T 係数に I D C T 処理を施し、

上記 I D C T 処理されたデータを、第 1 のバッファに記憶し、

参照用メモリから読み出された予測画像と上記第 1 のバッファから読み出されたデータとを加算して局所復号化画像を生成し、

上記局所復号化画像を第 2 のバッファに記憶し、

上記第 2 のバッファから読み出された上記局所復号化画像を上記参照用メモリに記憶する

ことを特徴とする画像符号化方法。

1 8. 入力画像データと上記予測画像との差分を演算し、

上記差分をバッファに記憶し、

上記バッファに記憶された差分を上記画像データとして読み出す

ことを特徴とする請求項 1 7 に記載の画像符号化方法。

19. 上記第1のバッファは、それぞれ少なくとも1マクロブロック分の容量を有する第1のバンクと第2のバンクから成り、

上記IDCT処理されたデータはマクロブロック単位で上記IDCT処理の読み出し速度と同じ速度で上記第1及び第2のバンクに交互に書き込まれ、

上記第1及び第2のバンクに記憶されたデータは、上記参照用メモリの読み出し速度と同じ速度で交互に読み出される

ことを特徴とする請求項17に記載の画像符号化方法。

20. 上記第2のバッファは、少なくとも1マクロブロック分の容量を有する第3及び第4のバッファからなり、

上記第1のバッファから読み出されたデータは、上記第3及び第4のバッファに交互に書き込まれ、

上記第3及び第4に書き込まれたデータは、上記第3及び第4のバッファから上記参照メモリの書き込みタイミングに同期して交互に読み出される

ことを特徴とする請求項17に記載の画像符号化方法。

21. 上記局所復号化画像は、上記第2のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項17に記載の画像符号化方法。

22. 上記第1のバッファは上記第2のバッファと兼用であって、

上記局所復号化画像は、上記第1のバッファから上記参照用メモ

りの書き込みタイミングに同期して読み出される

ことを特徴とする請求項 17 に記載の画像符号化方法。

23. 予測符号化及び DCT を用いた画像符号化方法において、
画像データに DCT 処理を施して DCT 係数を生成し、
上記 DCT 係数に IDCT 処理を施し、
上記 IDCT 処理された画像データを第 1 のバッファに記憶し、
上記第 1 のバッファから読み出されたデータと第 2 のバッファから読み出された予測画像とを加算して局所復号化画像を生成し、
上記局所復号化画像を上記予測画像を生成するための参照用メモリに記憶し、
上記参照用メモリから上記予測画像を読み出し、
上記参照用メモリから読み出された上記予測画像を上記第 2 のバッファに記憶する
ことを特徴とする画像符号化方法。

24. 入力画像データと上記予測画像との差分を演算し、
上記差分をバッファに記憶し、
上記バッファに記憶された差分を上記画像データとして読み出す
ことを特徴とする請求項 23 に記載の画像符号化方法。

25. 上記第 1 のバッファは、それぞれ少なくとも 1 マクロブロック分の容量を有する第 1 のバンクと第 2 のバンクから成り、
上記 IDCT 処理された画像データはマクロブロック単位で上記 IDCT 処理の読み出し速度と同じ速度で上記第 1 及び第 2 のバン

クに交互に書き込まれ、

上記第 1 及び第 2 のバンクに記憶されたデータは、上記参照用メモリの読み出し速度と同じ速度で交互に読み出される

ことを特徴とする請求項 23 に記載の画像符号化方法。

26. 上記予測画像は、上記第 2 のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項 23 に記載の画像符号化方法。

27. 予測符号化及び DCT を用いた画像符号化装置において、

画像データに DCT 処理を施して DCT 係数を生成する DCT 手段と、

上記 DCT 係数に IDCT 処理を施す IDCT 手段と、

上記 IDCT 処理されたデータを記憶する第 1 のバッファと、

参照用メモリから読み出された予測画像と上記第 1 のバッファから読み出されたデータとを加算して局所復号化画像を生成する加算手段と、

上記局所復号化画像を記憶する第 2 のバッファと、

上記第 2 のバッファから読み出された上記局所復号化画像を記憶する上記参照用メモリと

を有することを特徴とする画像符号化装置。

28. 入力画像データと上記予測画像との差分を演算する手段と、

上記差分を記憶するバッファとを有し、

上記 DCT 手段は上記バッファから読み出された差分に DCT 処

理を施す

ことを特徴とする請求項 27 に記載の画像符号化装置。

29. 上記第 1 のバッファは、それぞれ少なくとも 1 マクロブロック分の容量を有する第 1 のバンクと第 2 のバンクから成り、

上記 I D C T 処理されたデータはマクロブロック単位で上記 I D C T 処理の読み出し速度と同じ速度で上記第 1 及び第 2 のバンクに交互に書き込まれ、

上記第 1 及び第 2 のバンクに記憶されたデータは、上記参照用メモリの読み出し速度と同じ速度で交互に読み出される

ことを特徴とする請求項 27 に記載の画像符号化装置。

30. 上記第 2 のバッファは、少なくとも 1 マクロブロック分の容量を有する第 3 及び第 4 のバッファからなり、

上記第 1 のバッファから読み出されたデータは、上記第 3 及び第 4 のバッファに交互に書き込まれ、

上記第 3 及び第 4 に書き込まれたデータは、上記第 3 及び第 4 のバッファから上記参照メモリの書き込みタイミングに同期して交互に読み出される

ことを特徴とする請求項 27 に記載の画像符号化装置。

31. 上記局所復号化画像は、上記第 2 のバッファから上記参照メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項 27 に記載の画像符号化装置。

32. 上記第1のバッファは上記第2のバッファと兼用であって、
かつ2つバンクを有するデュアルポートRAMで構成され、

上記IDCT手段の出力及び上記加算手段の出力を上記2つのバンクのいずれか入力する切り換え手段を有し、

上記復号化画像は、上記第1のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項27に記載の画像符号化装置。

33. 予測符号化及びDCTを用いた画像符号化装置において、

画像データにDCT処理を施してDCT係数を生成するDCT手段と、

上記DCT係数にIDCT処理を施すIDCT手段と、

上記IDCT処理された画像データを記憶する第1のバッファと、

上記第1のバッファから読み出されたデータと第2のバッファから読み出された予測画像とを加算して局所復号化画像を生成する加算手段と、

上記局所復号化画像を記憶する上記予測画像を生成するための参照用メモリと、

上記参照用メモリから読み出された上記予測画像を記憶する上記第2のバッファと

を有することを特徴とする画像符号化装置。

34. 入力画像データと上記予測画像との差分を演算する手段と、

上記差分を記憶するバッファとを有し、

上記DCT手段は上記バッファから読み出された差分にDCT処

理を施す

ことを特徴とする請求項 33 に記載の画像符号化装置。

35. 上記第1のバッファは、それぞれ少なくとも1マクロブロック分の容量を有する第1のバンクと第2のバンクから成り、

上記IDCT処理された画像データはマクロブロック単位で上記IDCT処理の読み出し速度と同じ速度で上記第1及び第2のバンクに交互に書き込まれ、

上記第1及び第2のバンクに記憶されたデータは、上記参照用メモリの読み出し速度と同じ速度で交互に読み出される

ことを特徴とする請求項 33 に記載の画像符号化装置。

36. 上記予測画像は、上記第2のバッファから上記参照用メモリの書き込みタイミングに同期して読み出される

ことを特徴とする請求項 33 に記載の画像符号化装置。

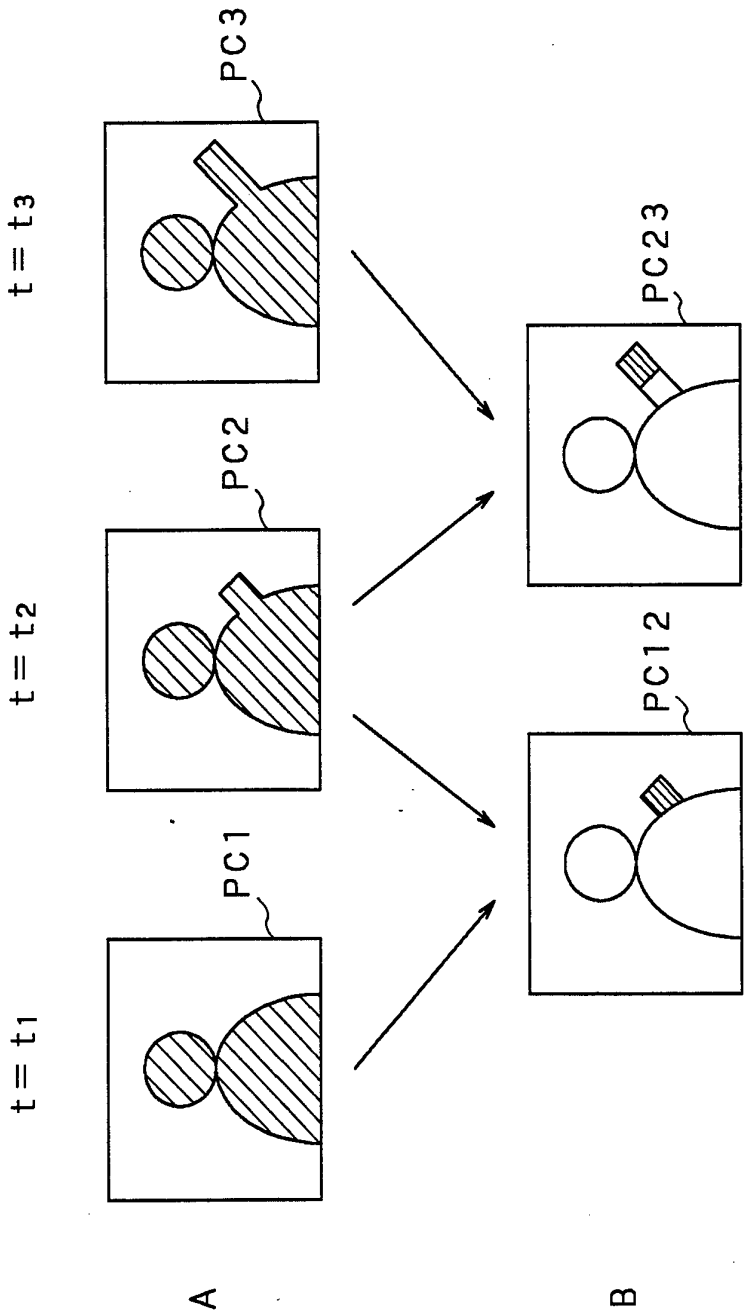


FIG. 1

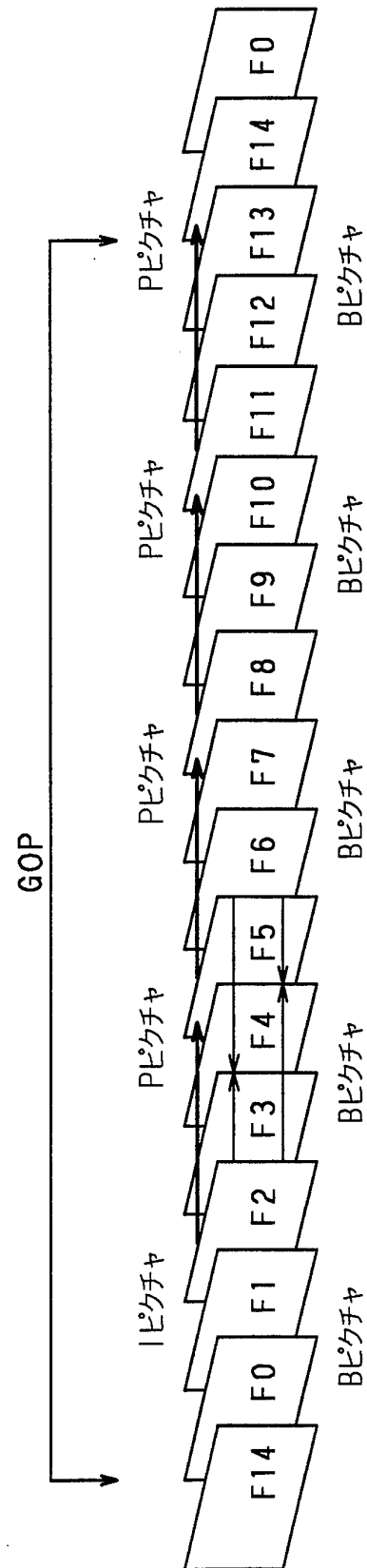


FIG. 2

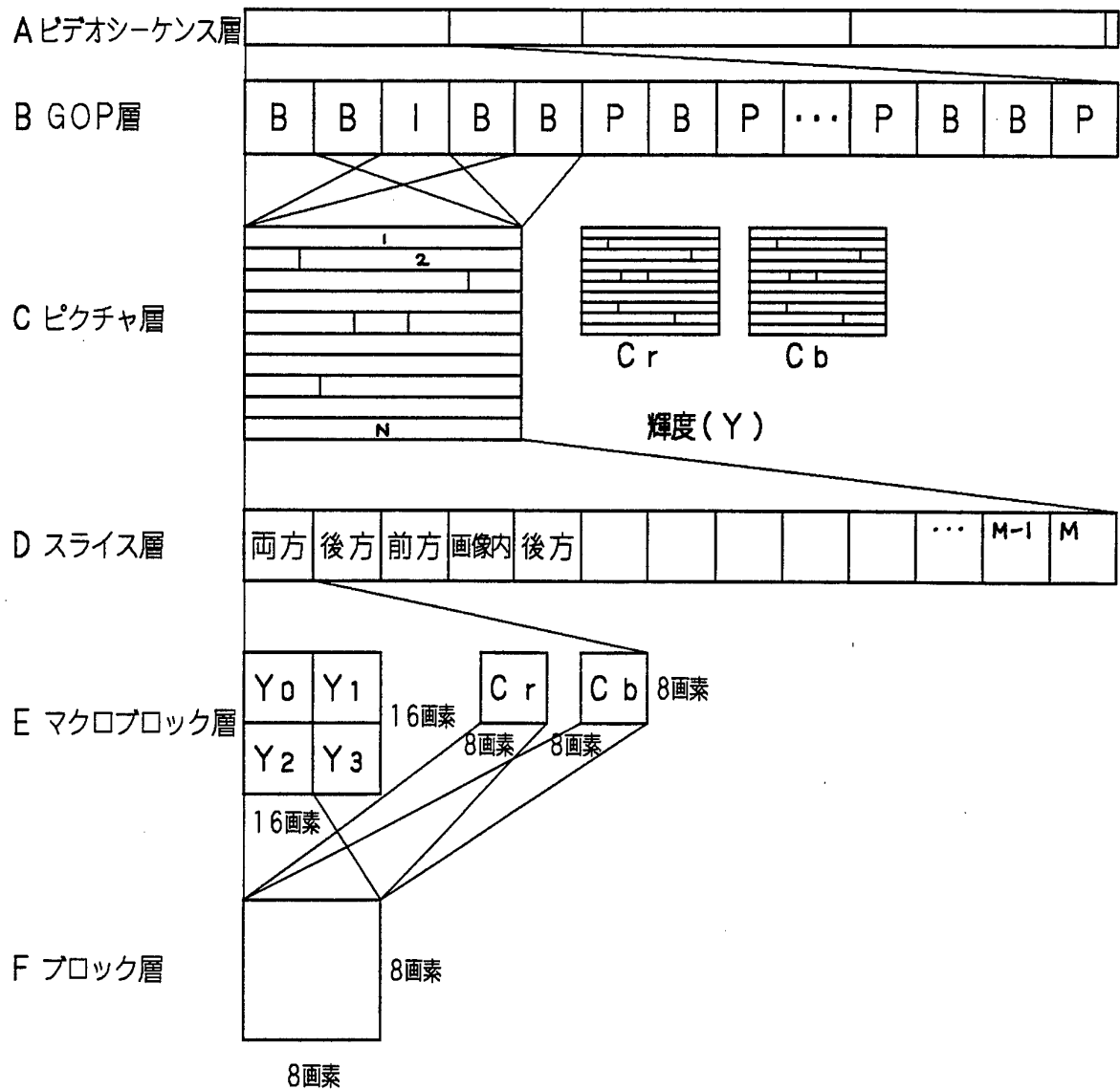


FIG. 3

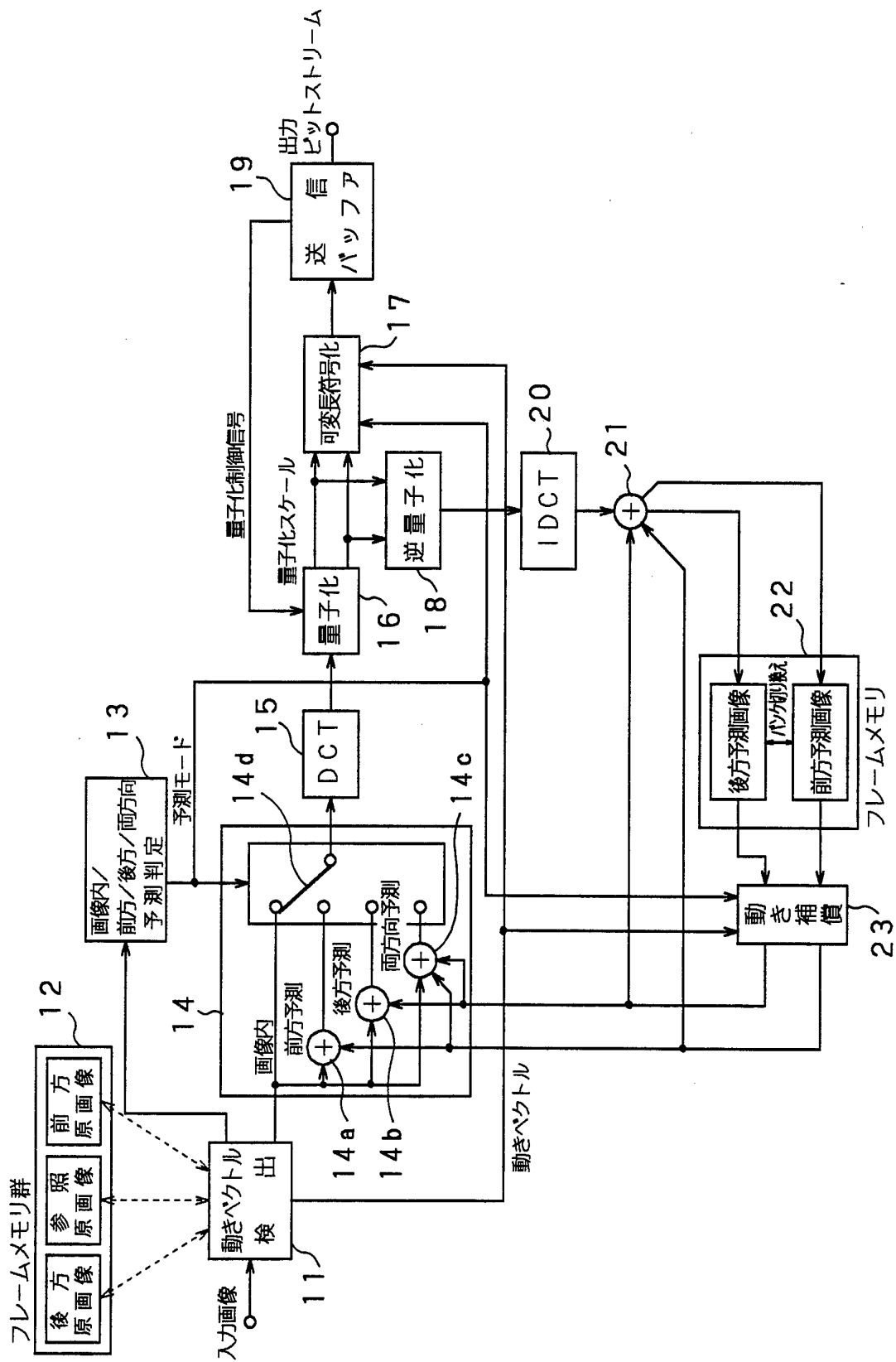


FIG. 4

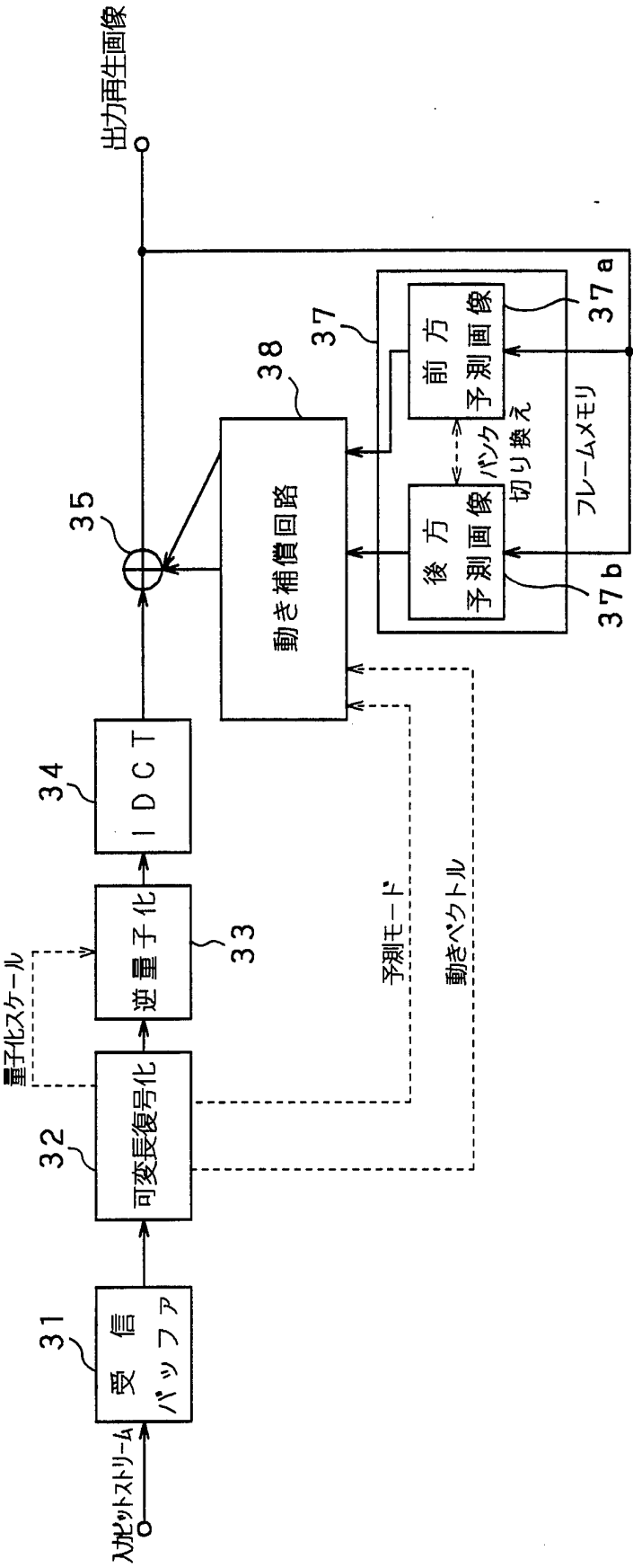


FIG. 5

6/15

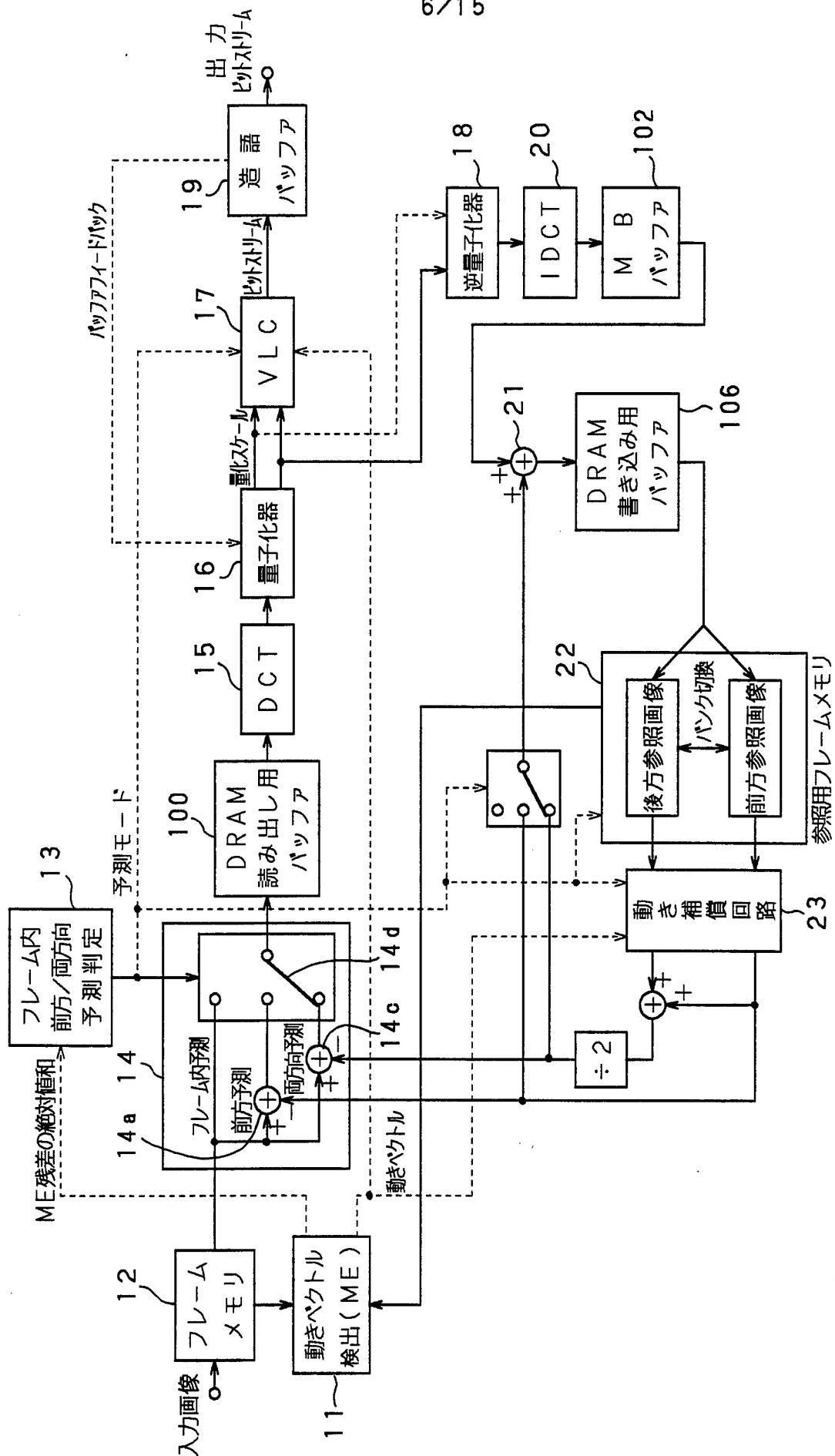


FIG. 6

7/15

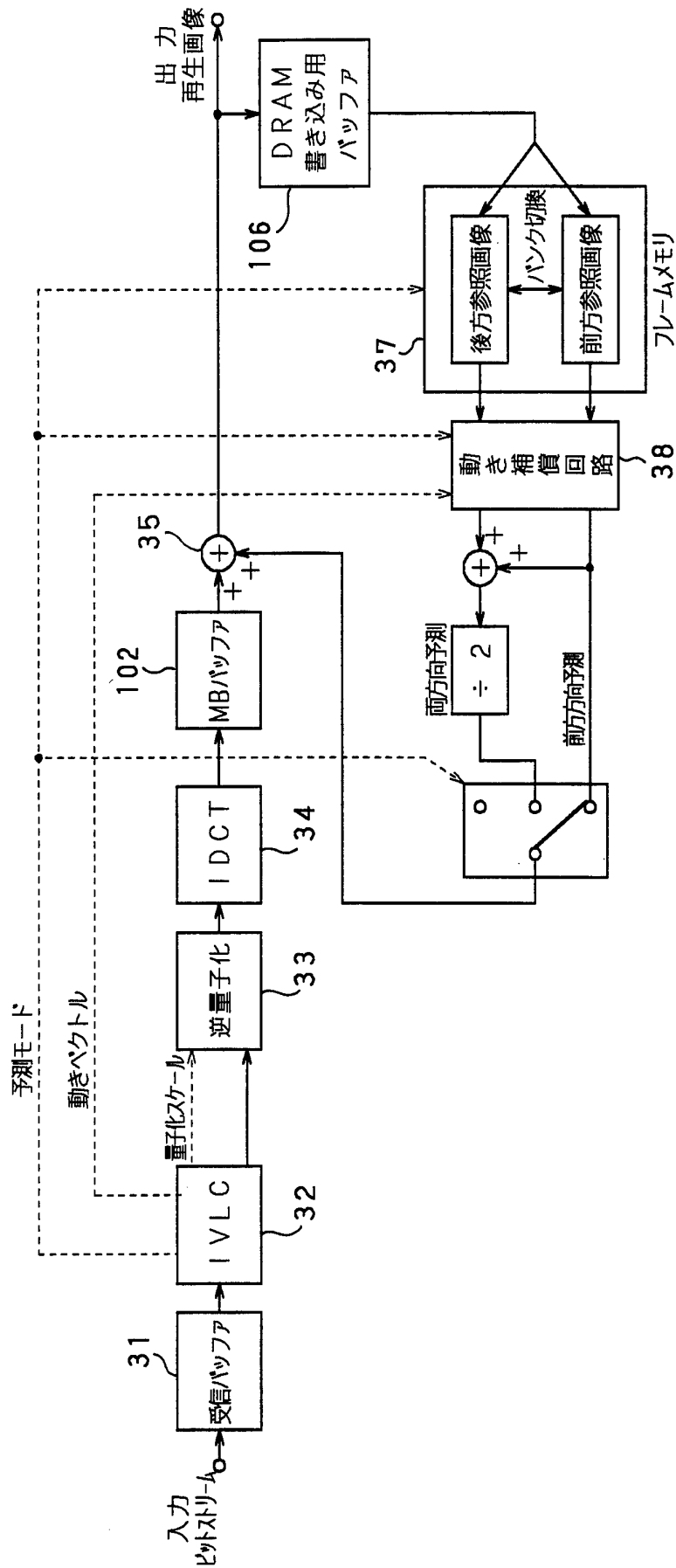


FIG. 7

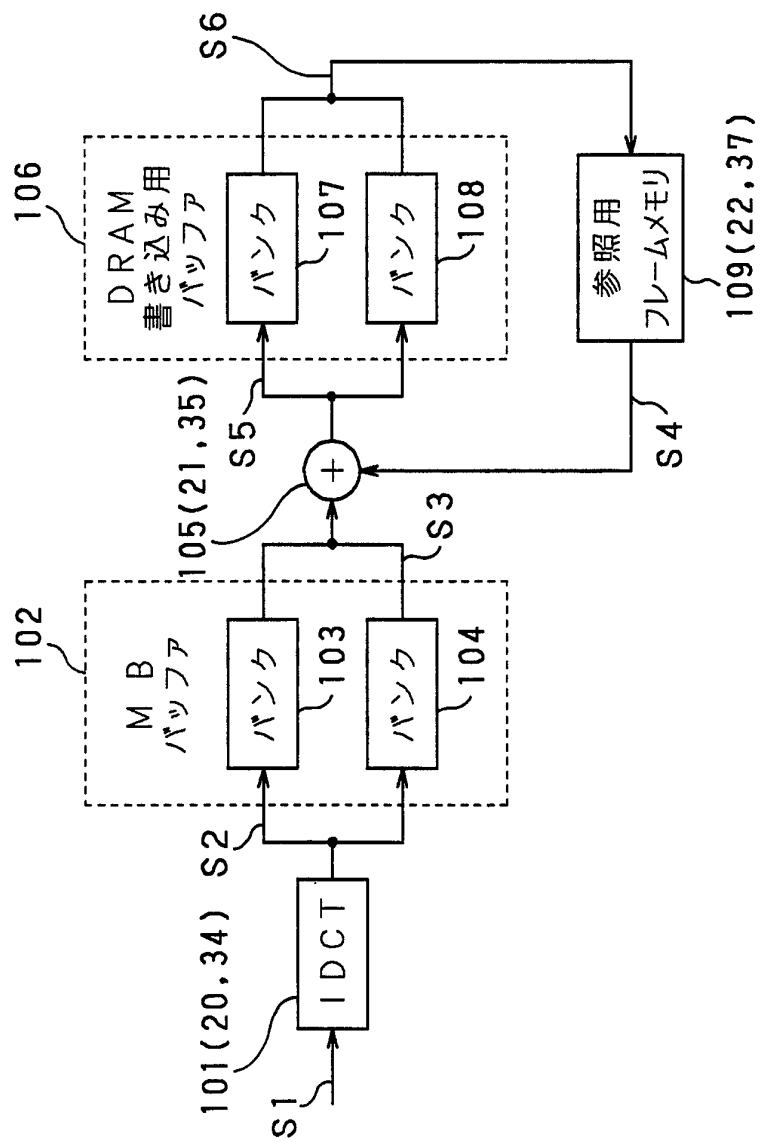


FIG. 8

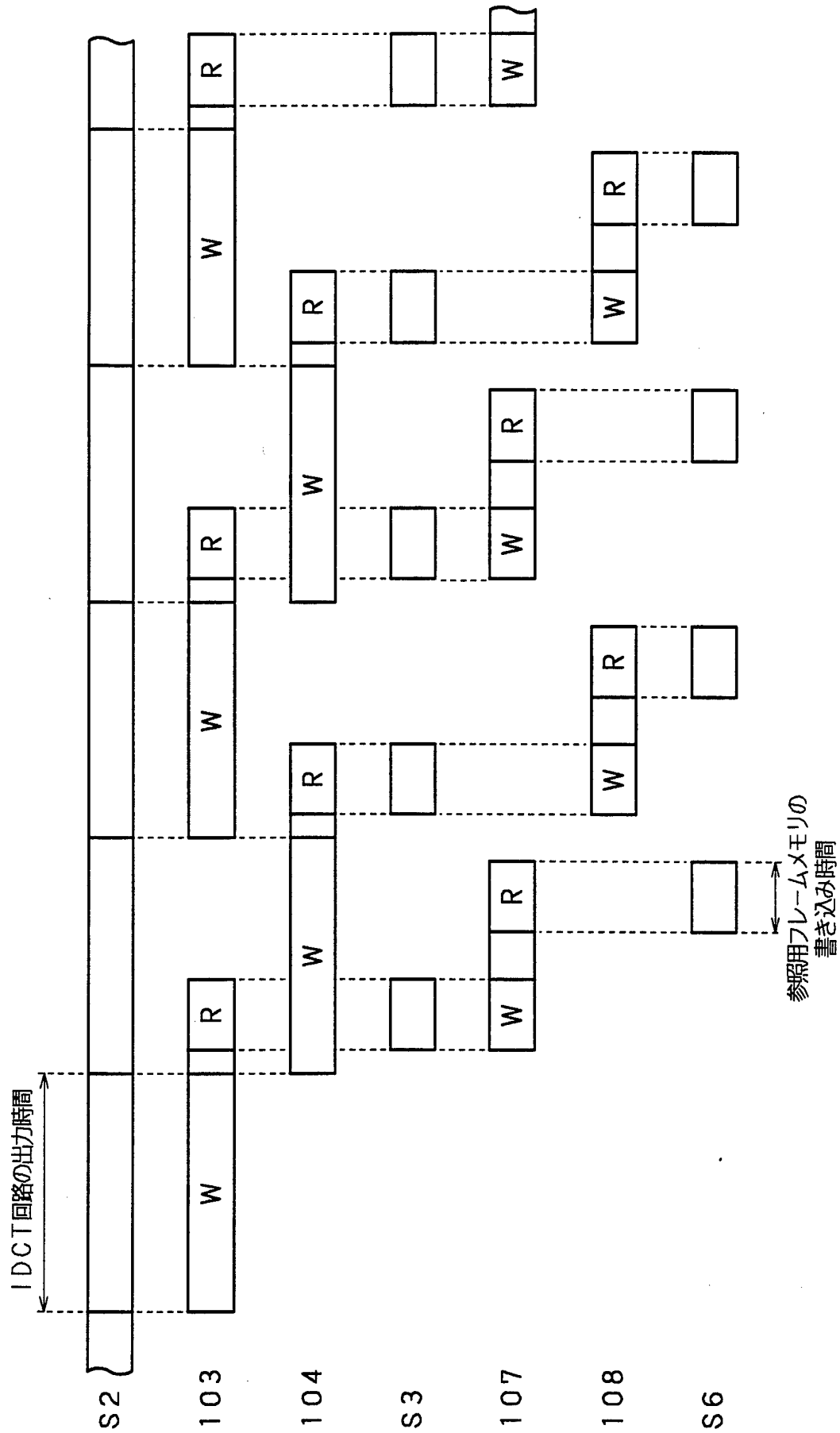


FIG. 9

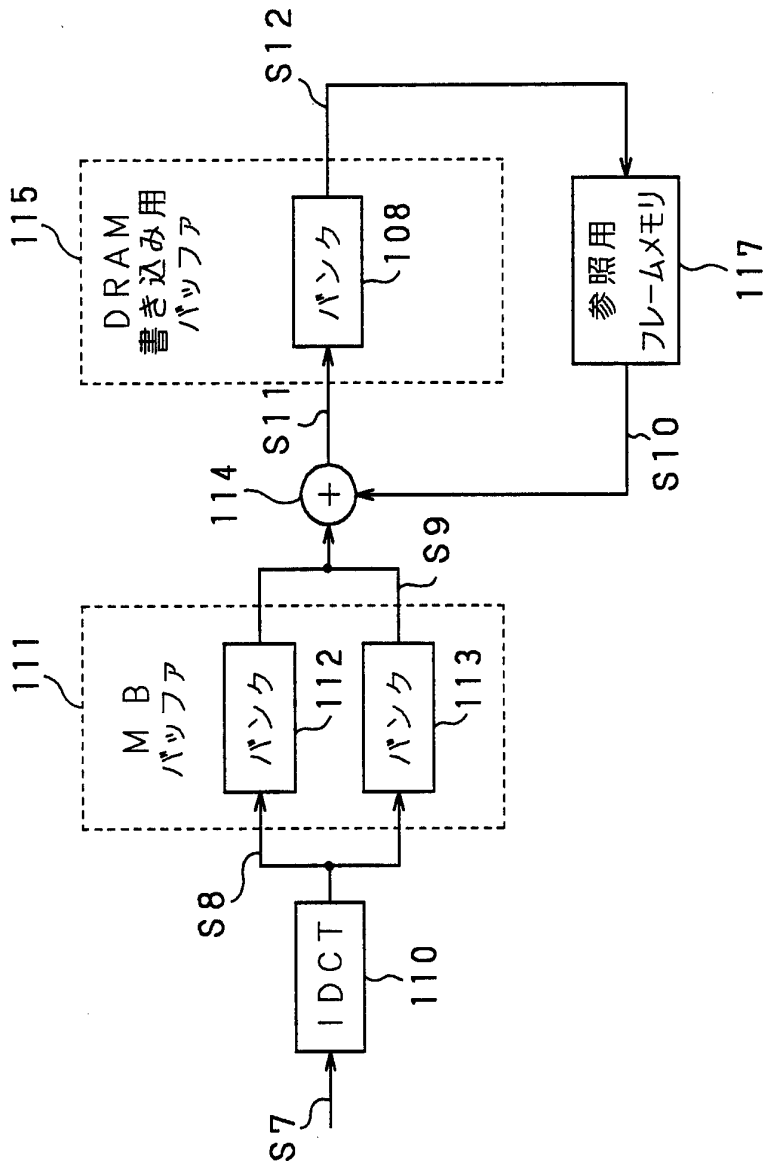


FIG. 10

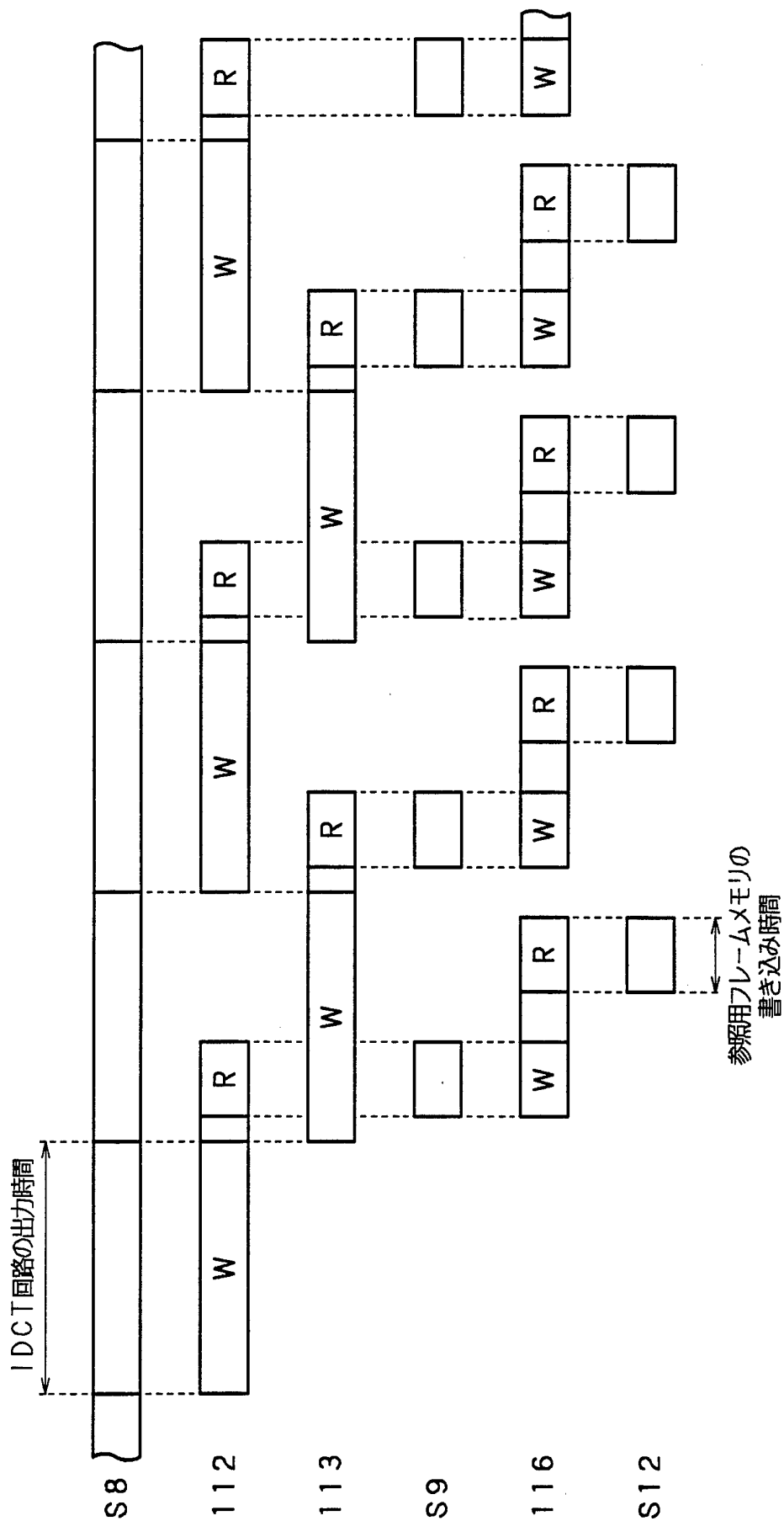


FIG. 11

12/15

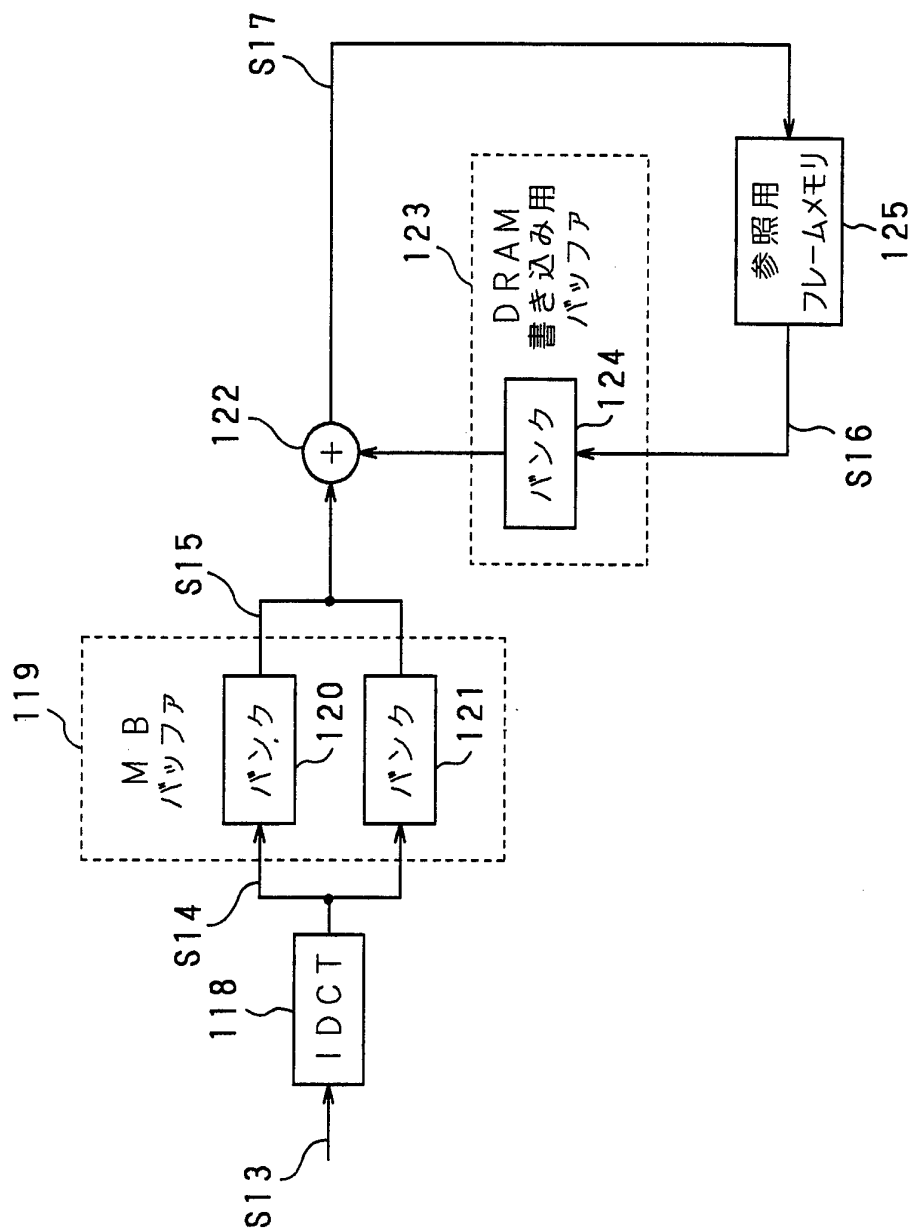


FIG. 12

13/15

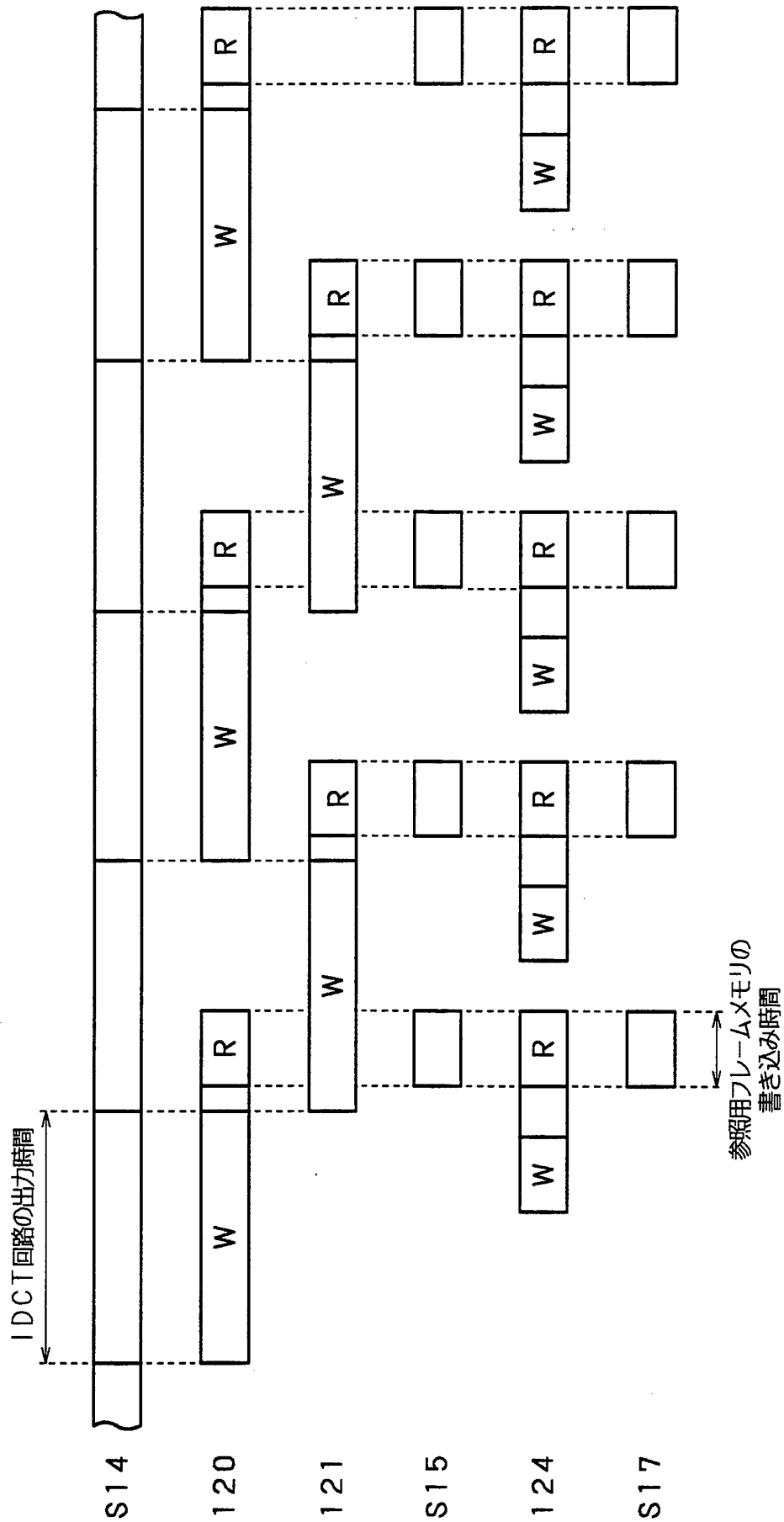


FIG. 13

14/15

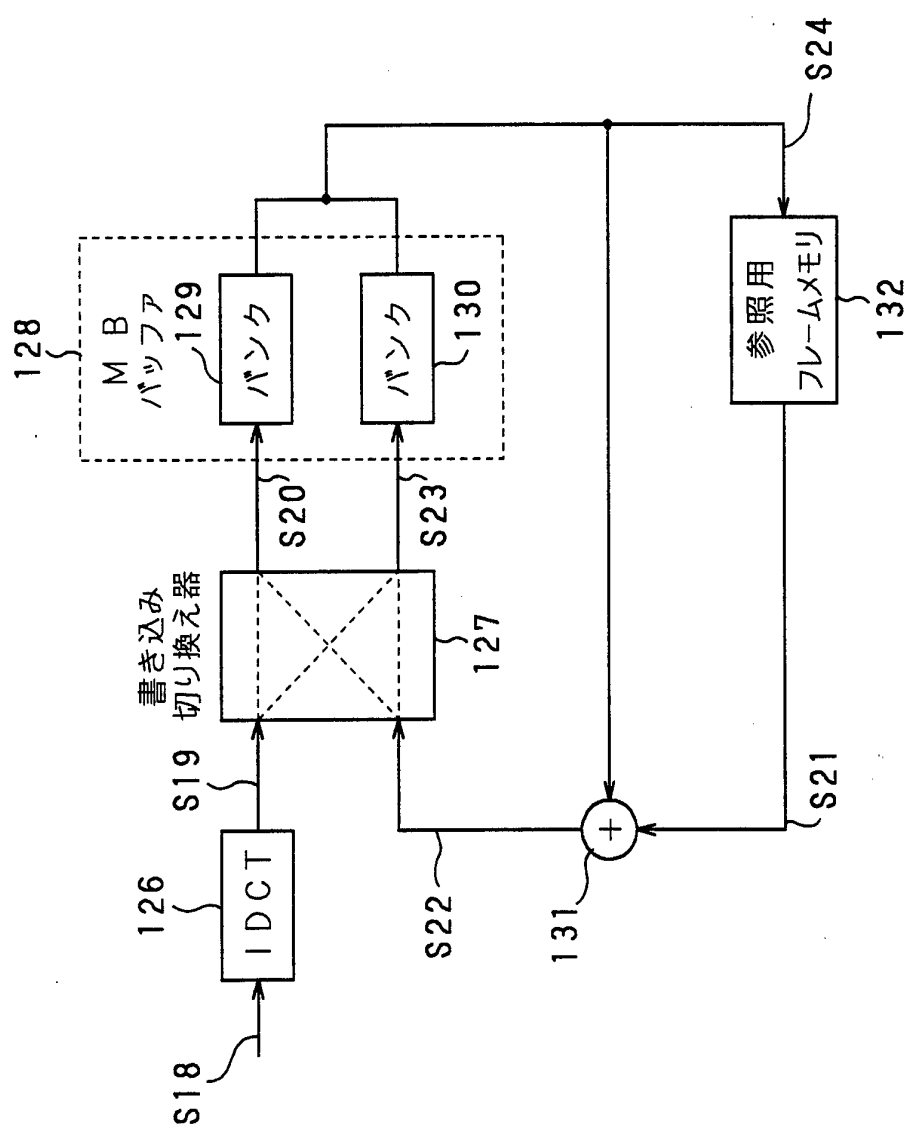


FIG. 14

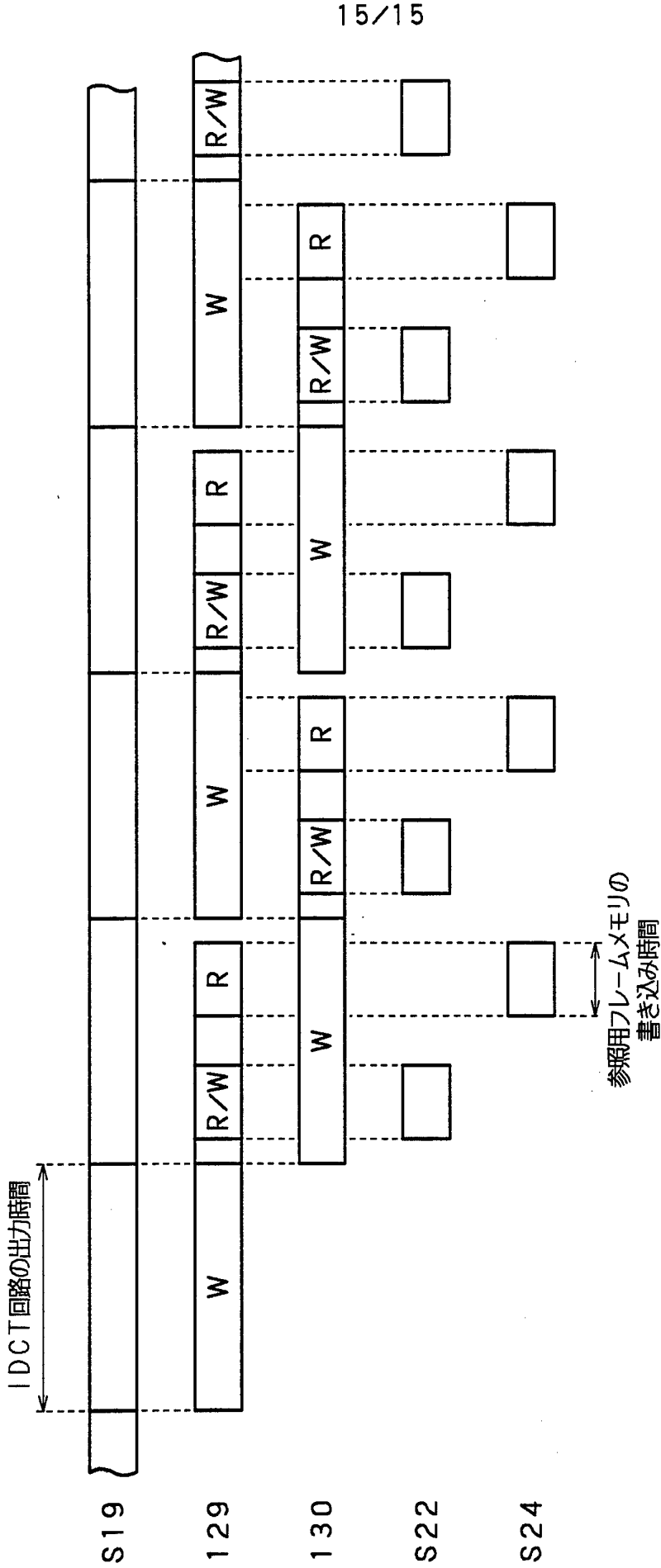


FIG. 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP94/01141

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H04N7/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H04N7/12-H04N7/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1994

Kokai Jitsuyo Shinan Koho 1971 - 1994

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Image Electronics Society Journal Vol. 20, No. 4, August, 1991 (Tokyo) Jun Yonezawa "MPEG Standard Plan Video Part (ISO11172 VIDEO)", P. 306-323	1-2, 6-7
Y	JP, A, 61-198988 (Mitsubishi Electric Corp.), September 3, 1986 (03. 09. 86), Fig. 1 & US, A, 4710812 & EP, A2, 433268	1-2, 6-7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

September 30, 1994 (30. 09. 94)

Date of mailing of the international search report

October 25, 1994 (25. 10. 94)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁶ H04N7/24

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ H04N7/12 - H04N7/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1994年
日本国公開実用新案公報 1971-1994年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	画像電子学会誌, 第20巻, 第4号, 8月, 1991 (東京) 米清洞「MPEG標準案ビデオパート (ISO11172 VIDEO)」p. 306-323	1-2, 6-7
Y	JP, A, 61-198988 (三菱電機株式会社), 3. 9月. 1986 (03. 09. 86), 第1図 & US, A, 4710812 & EP, A2, 433268	1-2, 6-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日
若しくは他の特別な理由を確立するために引用する文献
(理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日
の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と
矛盾するものではなく、発明の原理又は理論の理解のため
に引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規
性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文
献との、当業者にとって自明である組合せによって進歩性
がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

30.09.94

国際調査報告の発送日

25.10.94

名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 康 仁 印

5 C 4 2 2 8

電話番号 03-3581-1101 内線

3543