

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4278317号

(P4278317)

(45) 発行日 平成21年6月10日 (2009. 6. 10)

(24) 登録日 平成21年3月19日 (2009. 3. 19)

(51) Int. Cl.

F I

G 0 6 F 7/00 (2006. 01)

G 0 6 F 7/00 2 O 2

G 0 6 F 9/34 (2006. 01)

G 0 6 F 9/34 3 5 O A

H 0 4 J 13/00 (2006. 01)

H 0 4 J 13/00 A

請求項の数 7 (全 16 頁)

(21) 出願番号 特願2001-204162 (P2001-204162)
 (22) 出願日 平成13年7月5日 (2001. 7. 5)
 (65) 公開番号 特開2003-15862 (P2003-15862A)
 (43) 公開日 平成15年1月17日 (2003. 1. 17)
 審査請求日 平成18年8月16日 (2006. 8. 16)

(73) 特許権者 308014341
 富士通マイクロエレクトロニクス株式会社
 東京都新宿区西新宿二丁目7番1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 黒岩 功一
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 谷口 章二
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 金杉 雅己
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 演算装置および受信装置

(57) 【特許請求の範囲】

【請求項 1】

複数のデータから構成されるデータ群を入力し、先に入力された他のデータ群との間で
 所定の演算処理を実行する演算装置において、

前記データ群を入力する入力部と、

前記データ群のうち少なくとも一部を格納可能な第1記憶部と、

前記データ群のうち少なくとも一部を格納可能な第2記憶部と、

前記第1記憶部および前記第2記憶部のいずれか一方を読み出し対象として指定し、他
 方を書き込み対象として指定するリードライト制御部と、

アドレス信号を発生するアドレス発生部と、

読み出し対象として指定された前記第1記憶部または前記第2記憶部から、前記アドレ
 ス信号に対応するアドレスに格納されているデータを読み出すセクタ部と、

一の前記データ群については、前記入力部から入力されたデータと等しい出力データを
 、他の前記データ群については前記入力部から入力されたデータと前記セクタ部から読
 み出したデータを加算した出力データを、書き込み対象として指定された前記第1記憶部
 または前記第2記憶部に対し、前記アドレス信号に対応するアドレスに格納する加算器と
 、 を有することを特徴とする演算装置。

【請求項 2】

前記セクタ部が読み出したデータを初期化する初期化部を有し、

前記加算器は、一の前記データ群について、前記入力部から入力されたデータと前記初

10

20

期化部が初期化して供給したデータとを加算した出力データを格納することを特徴とする請求項 1 記載の演算装置。

【請求項 3】

前記リードライト制御部は、前記第 1 記憶部を読み出し対象として指定する第 1 の制御信号と、前記第 2 記憶部を読み出し対象として指定する第 2 の制御信号と、前記初期化部に初期化を指示する第 3 の制御信号とを出力することを特徴とする請求項 2 記載の演算装置。

【請求項 4】

前記第 1 の制御信号と、前記第 2 の制御信号と、前記第 3 の制御信号とは、二値信号であり、信号の変化タイミングでは、すべての信号が同期して反転出力されることを特徴とする請求項 3 記載の演算装置。

10

【請求項 5】

前記変化タイミングは、前記アドレス信号が循環するタイミングであることを特徴とする請求項 4 記載の演算装置。

【請求項 6】

前記アドレス発生部は、0 から最大アドレスまでカウントアップして、最大値に達した場合には 0 に循環する動作をおこなうことを特徴とする請求項 5 記載の演算装置。

【請求項 7】

複数のデータから構成されるデータ群を入力し、先に入力された他のデータ群との間で所定の演算処理を実行する受信装置において、

20

前記データ群を入力する入力部と、

前記データ群のうち少なくとも一部を格納可能な第 1 記憶部と、

前記データ群のうち少なくとも一部を格納可能な第 2 記憶部と、

前記第 1 記憶部および前記第 2 記憶部のいずれか一方を読み出し対象として指定し、他方を書き込み対象として指定するリードライト制御部と、

アドレス信号を発生するアドレス発生部と、

読み出し対象として指定された前記第 1 記憶部または前記第 2 記憶部から、前記アドレス信号に対応するアドレスに格納されているデータを読み出すセクタ部と、

一の前記データ群については、前記入力部から入力されたデータと等しい出力データを、他の前記データ群については前記入力部から入力されたデータと前記セクタ部から読み出したデータを加算した出力データを、書き込み対象として指定された前記第 1 記憶部または前記第 2 記憶部に対し、前記アドレス信号に対応するアドレスに格納する加算器と、を有することを特徴とする受信装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は演算装置および受信装置に関し、特に、複数のデータから構成されるデータ群を入力し、先に入力された他のデータ群との間で所定の演算処理を実行する演算装置および受信装置に関する。

【0002】

40

【従来の技術】

情報処理の分野では、複数のデータから構成されるデータ群を入力し、先に入力された他のデータ群との間で所定の演算処理を行う場合がある。

【0003】

このような演算は、例えば、W - C D M A (Wideband Code Division Multiple Access) 方式の携帯電話システムにおいて、基地局との相関値を算出する場合に、受信信号を 1 スロット単位で積分する際に用いられる。

【0004】

図 8 は、W - C D M A に使用されている従来の積分回路の構成例を示す図である。この図に示すように、従来の積分回路は、A D D (Adder: 加算回路) 10、D P - R A M (Dua

50

I Port Random Access Memory) 11 によって構成されている。

【0005】

ここで、ADD10は、入力されたデータ(DATA)と、DP-RAM11から読み出されたデータとを加算し、演算即ち加算の結果のデータ1を出力する。

【0006】

DP-RAM11は、Read__B信号がアクティブである場合において、Address__B信号によって指定されたアドレスに格納されているデータを2として読み出して出力する。また、Write信号がアクティブである場合において、Address__A信号によって指定される領域に対して、ADD10から出力されるデータを書き込む。

【0007】

なお、DP-RAM11は、クロック信号(CLOCK)に同期して動作する。
次に、以上の従来例の動作について説明する。

【0008】

まず、第1番目のデータ群が入力される際には、図示せぬ制御装置からの制御信号により、DP-RAM11からの出力データが“0”になるように制御される。その結果、ADD10へ供給されるデータは“0”となり、第1番目のデータ群に対しては、“0”が加算されるため、ADD10から入力されたデータがそのまま出力されることになる。

【0009】

ADD10から出力されたデータは、Address__B信号によって指定されるアドレスへ順次格納される。ここで、Address__B信号は、“0000”から1ずつインクリメントされ、最大アドレス値に到達した場合には、“0000”に復元する。なお、この処理は各データ群のデータについて行われ、ADD10から出力された各データ群のデータは、アドレス“0000”から最大アドレスまでに対して順次格納されることになる。

【0010】

その結果、第1番目のデータ群がそのままの状態、アドレス“0000”から最大アドレスのそれぞれに対して格納された状態となる。

続いて、第2番目のデータ群が入力されると、DP-RAM11は、アドレス“0000”から、既に格納されているデータ(第1番目のデータ群の最初のデータ)を読み出し、ADD10に供給する。

【0011】

ADD10は、第2番目のデータ群の先頭のデータと、DP-RAM11から供給された第1番目のデータ群の先頭のデータとを加算し、計算結果のデータ1として出力する。

【0012】

このとき、Write信号がアクティブとされており、また、Address__A信号はDP-RAM11のアドレス“0000”を指定する信号を出力していることから、計算結果のデータ1は、DP-RAM11の先頭アドレスに格納されることになる。

【0013】

なお、データ1を書き込むタイミングよりも、データ2を読み出すタイミングの方が、1クロック分だけ先行しているので、データ1によってデータ2が上書きされ、データ2が失われることはない。

【0014】

図9は、従来の演算装置の動作を簡単に説明するための図である。

この図に示すように、DP-RAM11のアドレス“0000”から1クロック前に読み出されたデータ2は、新たに入力されたデータと加算され、計算結果のデータ1として、同一のアドレス“0000”に書き込まれることになる。

【0015】

同様の動作は、次に入力されたデータと、アドレス“0001”に格納されているデータとの間でも実行され、計算結果のデータ1がアドレス“0001”に格納されることになる。

10

20

30

40

50

【 0 0 1 6 】

以上のような動作が所定の回数繰り返されることにより、入力されたデータ群を順次加算し、得られた結果を積分値として出力することが可能になる。

【 0 0 1 7 】

【発明が解決しようとする課題】

ところで、以上に示す従来の演算装置では、D P - R A M 1 1 を使用していたため、読み出し動作と書き込み動作を並行して行うことが可能となるので、演算処理を高速に行うことができるというメリットを有する一方で、D P - R A M 1 1 は、S P - R A M (Single Port RAM) に比較して、チップ上に占める面積が大きいので、演算装置のサイズを小型化することが困難であるという問題点があった。

10

【 0 0 1 8 】

その結果、このような演算装置を搭載した携帯電話等の受信装置のサイズを小型化することが困難であるという問題点もあった。

本発明は、以上のような状況に鑑みてなされたものであり、高速動作が可能であるとともに、装置の小型化が可能である演算装置および受信装置を提供することを目的とする。

【 0 0 1 9 】

【課題を解決するための手段】

本発明では上記課題を解決するために、図 1 に示す、複数のデータから構成されるデータ群を入力し、先に入力された他のデータ群との間で所定の演算処理を実行する演算装置において、前記データ群を入力する入力手段 2 0 と、前記データ群の少なくとも一部又は全部を格納することが可能な容量を有する第 1 乃至第 n ($n > 1$) の格納手段 2 3 - 1 ~ 2 3 - 2 と、前記第 1 乃至第 n の格納手段 2 3 - 1 ~ 2 3 - 2 の何れかを選択し、既に格納されているデータ群を読み出す読み出し手段 2 4 と、前記読み出し手段 2 4 によって読み出されたデータ群と、前記入力手段 2 0 から新たに入力されたデータ群との間で所定の演算を行う演算手段 2 1 と、前記演算手段 2 1 の演算結果を、前記読み出し手段 2 4 が読み出しの対象としていない所定の格納手段に対して書き込む書き込み手段 2 2 と、を有することを特徴とする演算装置が提供される。

20

【 0 0 2 0 】

ここで、入力手段 2 0 は、データ群を入力する。第 1 乃至第 n ($n > 1$) の格納手段 2 3 - 1 ~ 2 3 - 2 は、データ群の少なくとも一部又は全部を格納することが可能な容量を有する。読み出し手段 2 4 は、第 1 乃至第 n の格納手段 2 3 - 1 ~ 2 3 - 2 の何れかを選択し、既に格納されているデータ群を読み出す。演算手段 2 1 は、読み出し手段 2 4 によって読み出されたデータ群と、入力手段 2 0 から新たに入力されたデータ群との間で所定の演算を行う。書き込み手段 2 2 は、演算手段 2 1 の演算結果を、読み出し手段 2 4 が読み出しの対象としていない所定の格納手段に対して書き込む。

30

【 0 0 2 1 】

また、複数のデータから構成されるデータ群を受信し、先に受信した他のデータ群との間で所定の演算処理を実行する受信装置において、前記データ群を入力する入力手段と、前記データ群の少なくとも一部又は全部を格納することが可能な容量を有する第 1 乃至第 n ($n > 1$) の格納手段と、前記第 1 乃至第 n の格納手段の何れかを選択し、既に格納されているデータ群を読み出す読み出し手段と、前記読み出し手段によって読み出されたデータ群と、前記入力手段から新たに入力されたデータ群との間で所定の演算を行う演算手段と、前記演算手段の演算結果を、前記読み出し手段が読み出しの対象としていない所定の格納手段に対して書き込む書き込み手段と、を有することを特徴とする受信装置が提供される。

40

【 0 0 2 2 】

ここで、入力手段は、データ群を入力する。第 1 乃至第 n ($n > 1$) の格納手段は、データ群の少なくとも一部又は全部を格納することが可能な容量を有する。読み出し手段は、第 1 乃至第 n の格納手段の何れかを選択し、既に格納されているデータ群を読み出す。演算手段は、読み出し手段によって読み出されたデータ群と、入力手段から新たに入力され

50

たデータ群との間で所定の演算を行う。書き込み手段は、演算手段の演算結果を、読み出し手段が読み出しの対象としていない所定の格納手段に対して書き込む。

【 0 0 2 3 】

【 発明の実施の形態 】

以下、本発明の実施の形態を図面を参照して説明する。

図 1 は、本発明の動作原理を説明する原理図である。この図に示すように、本発明の演算装置は、入力手段 2 0、演算手段 2 1、書き込み手段 2 2、第 1 の格納手段 2 3 - 1、第 2 の格納手段 2 3 - 2、および、読み出し手段 2 4 によって構成されている。なお、この原理図は、 $n = 2$ に対応している。

【 0 0 2 4 】

ここで、入力手段 2 0 は、演算対象となるデータ群を入力する。

演算手段 2 1 は、読み出し手段 2 4 によって読み出されたデータ群と、入力手段 2 0 から新たに入力されたデータ群との間で所定の演算を行う。

【 0 0 2 5 】

書き込み手段 2 2 は、演算手段 2 1 の演算結果を、読み出し手段 2 4 が読み出し対象としていない所定の格納手段に対して書き込む。

第 1 の格納手段 2 3 - 1 および第 2 の格納手段 2 3 - 2 は、データ群の少なくとも一部又は全部を格納することが可能な容量を有している。

【 0 0 2 6 】

読み出し手段 2 4 は、第 1 の格納手段 2 3 - 1 および第 2 の格納手段 2 3 - 2 の何れかを選択し、既に格納されているデータ群を読み出す。

次に、以上の原理図の動作について説明する。

【 0 0 2 7 】

まず、演算処理を実行する前に、第 1 の格納手段 2 3 - 1 および第 2 の格納手段 2 3 - 2 の双方を初期値 “ 0 ” により初期化する。

次に、入力手段 2 0 は、第 1 番目のデータ群の入力を開始する。このとき、読み出し手段 2 4 は、第 1 の格納手段 2 3 - 1 のアドレス “ 0 0 0 0 ” に格納されているデータ（いまの例では、初期値 “ 0 ” ）を読み出し、演算手段 2 1 に供給している。従って、演算手段 2 1 は、入力手段 2 0 から入力されたデータと、読み出し手段 2 4 から供給されたデータを加算し、書き込み手段 2 2 に供給する。いまの例では、読み出し手段 2 4 から供給されるデータは、初期値 “ 0 ” であるので、入力されたデータがそのまま書き込み手段 2 2 に対して供給されることになる。

【 0 0 2 8 】

書き込み手段 2 2 は、演算手段 2 1 から出力されたデータを、読み出しの対象となっていない第 2 の格納手段 2 3 - 2 のアドレス “ 0 0 0 0 ” に対して書き込む。

【 0 0 2 9 】

図 2 は、以上の動作の概要を説明するための図である。この図に示すように、第 1 の格納手段 2 3 - 1 のアドレス “ 0 0 0 0 ” から読み出されたデータ（いまの例では初期値 “ 0 ” ）は、入力されたデータ群の第 1 番目のデータと加算され、第 2 の格納手段 2 3 - 2 のアドレス “ 0 0 0 0 ” に格納されることになる。

【 0 0 3 0 】

次に、第 1 番目のデータ群の第 2 番目のデータが入力手段 2 0 から入力されると、読み出し手段 2 4 は、第 1 の格納手段 2 3 - 1 のアドレス “ 0 0 0 1 ” からデータを読み出し、演算手段 2 1 に供給する。

【 0 0 3 1 】

演算手段 2 1 は、入力手段 2 0 から供給されたデータと、読み出し手段 2 4 から供給されたデータを加算し、書き込み手段 2 2 に供給する。

書き込み手段 2 2 は、第 2 の格納手段 2 3 - 2 のアドレス “ 0 0 0 1 ” に対して、演算手段 2 1 から供給されたデータを格納する。

【 0 0 3 2 】

10

20

30

40

50

図3は、以上の動作の概要を説明するための図である。この図に示すように、第1の格納手段23-1のアドレス“0001”から読み出されたデータ（いまの例では初期値“0”）は、入力されたデータ群の第2番目のデータと加算され、第2の格納手段23-2のアドレス“0001”に格納されることになる。

【0033】

以上の動作は、格納手段23-1, 23-2の最大アドレス（この例ではアドレス“1000”）まで繰り返される。その結果、入力手段20から入力された第1番目のデータ群の全てが、第2の格納手段23-2のアドレス“0000”からアドレス“1000”のそれぞれに格納される。

【0034】

第1番目のデータ群に対する処理が終了すると、書き込み手段22および読み出し手段24は、書き込みまたは読み出しの対象となる格納手段を交換する。即ち、書き込み手段22は、第1の格納手段23-1を書き込みの対象とし、また、読み出し手段24は、第2の格納手段23-2を読み出しの対象とする。

【0035】

入力手段20から第2番目のデータ群の第1番目のデータが入力されると、演算手段21は、読み出し手段24から供給されたデータと、入力手段20から供給されたデータとを加算し、書き込み手段22に供給する。このとき、読み出し手段24は、第2の格納手段23-2のアドレス“0000”に格納されているデータを読み出して供給しているので、演算手段21は、第2の格納手段23-2のアドレス“0000”に格納されているデータ（第1番目のデータ群の第1番目のデータ）と、入力手段20から入力された第2番目のデータ群の第1番目のデータとを加算し、書き込み手段22に供給する。

【0036】

書き込み手段22は、演算手段21から供給されたデータを、第1の格納手段23-1のアドレス“0000”に格納する。

図4は、以上の動作の概要を説明する図である。この図に示すように、第2の格納手段23-2のアドレス“0000”から読み出されたデータ（いまの例では第1番目のデータ群の第1番目のデータ）は、入力された第2のデータ群の第1番目のデータと加算され、第1の格納手段23-1のアドレス“0000”に格納されることになる。

【0037】

次に、第2番目のデータ群の第2番目のデータが入力手段20から入力されると、読み出し手段24は、第2の格納手段23-2のアドレス“0001”に格納されているデータ（第1のデータ群の第2番目のデータ）を読み出し、演算手段21に供給する。

【0038】

演算手段21は、入力手段20から入力されたデータと、読み出し手段24から供給されたデータとを加算し、得られた結果を書き込み手段22に供給する。いまの例では、読み出し手段24からは第1のデータ群の第2番目のデータが供給され、また、入力手段20からは第2番目のデータ群の第2番目のデータが供給されるので、これらのデータが加算された値が、書き込み手段22に供給されることになる。

【0039】

書き込み手段22は、演算手段21から供給されたデータを、第1の格納手段23-1のアドレス“0001”に格納する。

図5は、以上の動作の概要を説明する図である。この図に示すように、第2の格納手段23-2のアドレス“0001”から読み出されたデータ（いまの例では第1番目のデータ群の第2番目のデータ）は、入力された第2番目のデータ群の第2番目のデータと加算され、第1の格納手段23-1のアドレス“0001”に格納されることになる。

【0040】

以上の動作は、格納手段23-1, 23-2の最大アドレス（この例ではアドレス“1000”）まで繰り返される。その結果、入力手段20から入力された第2番目のデータ群のそれぞれは、第2の格納手段23-2に格納されているデータ群の対応するデータと加

10

20

30

40

50

算され、第1の格納手段23-1の対応するアドレスに格納されることになる。

【0041】

そして、第2番目のデータ群に対する処理が終了すると、第3番目のデータ群に対する処理が実行される。第3番目のデータ群に対する処理では、図2および図3に示す場合と同様に、第1の格納手段23-1に格納されているデータ(第1番目のデータ群と第2番目のデータ群が加算されたデータ)と、入力手段20から新たに入力された第3番目のデータ群とが順次加算され、第2の格納手段23-2に順次格納されることになる。

【0042】

第3番目のデータ群に対する処理が終了すると、続いて、第4番目のデータ群に対する処理が実行され、全てのデータ群に対する処理が終了するまで同様の動作が繰り返される。

10

【0043】

そして、最後のデータ群である第m番目のデータ群に対する処理が完了すると、書き込み手段23-1が最後に書き込みの対象とした格納手段(第1または第2の格納手段)には、第1~第m番目のデータ群のそれぞれのデータを累積加算(積分)したデータが格納されている。

【0044】

このようなデータを利用することにより、例えば、W-CDMA方式の携帯電話システムにおいて、基地局との相関値を算出することができる。

以上に説明したように、本発明の演算装置によれば、第1乃至第n(図1の例ではn=2)の格納手段を設け、所定の格納手段からそれまでのデータ群を累積加算値を読み出しながら、新たに入力されたデータ群との加算処理を行い、得られた結果を他の格納手段に格納するようにしたので、格納手段として、例えば、SP-RAMを使用することが可能になる。従って、演算装置のサイズを小型化するとともに、DP-RAMを使用した場合と同様に高速な演算処理を実現することが可能になる。

20

【0045】

なお、以上の原理図では、第1の格納手段23-1および第2の格納手段23-2の2つの格納手段を設けるようにしたが、3以上の格納手段を設けることも可能である。

【0046】

また、以上の実施の形態では、入力手段20から入力されたデータ群の全てに対して演算を施し、第1の格納手段23-1および第2の格納手段23-2に格納するようにしたが、これらの一部のみに対して演算を施し、第1の格納手段23-1および第2の格納手段23-2に格納するようにすることも可能である。

30

【0047】

次に、本発明の実施の形態について説明する。

図6は、本発明の実施の形態の構成例を示す図である。この図に示すように、本発明の演算装置は、ADD50、記憶部51、セクタ52、初期化部53、アドレス発生部54、R/W制御部55、および、制御部56によって構成されている。

【0048】

ADD50は、入力されたデータ(DATA)と、セクタ52から供給されたデータを加算し、SP-RAM51bに供給する。

40

記憶部51は、SP-RAM51aおよびSP-RAM51bによって構成されている。ここで、記憶部51は、R/W制御部55から供給される制御信号によって指定されるSP-RAMであって、アドレス発生部54から供給されたアドレス信号の値に対応するアドレスに格納されているデータを読み出して出力するとともに、データの読み出しの対象となっていないSP-RAMであって、アドレス発生部54から供給されたアドレス信号の値に対応するアドレスに対してADD50の演算結果を格納する。

【0049】

セクタ52は、R/W制御部55によって読み出しの対象として指定されたSP-RAMを選択し、出力されるデータを初期化部53に供給する。

初期化部53は、第1番目のデータ群が入力された場合には、セクタ52から出力され

50

るデータを全て“ 0 ”に初期化し、ADD 50に供給する。

【 0 0 5 0 】

アドレス発生部 5 4 は、制御部 5 6 の制御に従って、アドレス信号を発生し、記憶部 5 1 のSP - RAM 5 1 a , 5 1 b のそれぞれに供給する。

R / W制御部 5 5 は、制御部 5 6 の制御に従って、SP - RAM 5 1 a およびSP - RAM 5 1 b の何れか一方を読み出し対象として指定し、他方を書き込み対象として指定する。

【 0 0 5 1 】

制御部 5 6 は、アドレス発生部 5 4、R / W制御部 5 5、および、セクタ 5 2 を制御する。

10

次に、以上の実施の形態の動作について説明する。

【 0 0 5 2 】

図 7 は、本発明の実施の形態の動作を説明するタイミングチャートである。以下、この図を随時参照しながら、図 6 に示す実施の形態の動作について説明する。

【 0 0 5 3 】

まず、制御部 5 6 は、図 7 (A) に示すクロック信号のパルスの立ち上がりエッジに同期して、初期化部 5 3 に対して初期化を指示する。また、制御部 5 6 は、アドレス発生部 5 4 に対してアドレス信号を発生するように指示するとともに、R / W制御部 5 5 に対してR / W信号を発生するように指示する。

【 0 0 5 4 】

20

アドレス発生部 5 4 は、制御部 5 6 からの指示を受け、“ 0 ”から最大アドレス“ 1 0 2 3 9 ”までカウントアップし、最大値に達した場合には、“ 0 ”に循環する動作を行う。また、アドレス発生部 5 4 から出力されるアドレス信号の最上位のビット (MSB) には、SP - RAM 5 1 a またはSP - RAM 5 1 b の何れかを読み出し対象 (または書き込み対象) として指定するための信号を含んでいる。なお、SP - RAM 5 1 a とSP - RAM 5 1 b には、上位ビット (MSB) を除外したアドレス信号がADD 1 およびADD 2 として供給されるので、これらのアドレス信号は“ 0 ”から“ 1 0 2 3 9 ”までの値を循環する信号となる (図 7 (E) , (F) 参照) 。

【 0 0 5 5 】

R / W制御部 5 5 は、アドレス発生部 5 4 から供給されるデータのMSBが“ 0 ”である場合には、R / W 1 信号を“ L ”に、R / W 2 信号を“ H ”に、また、R / W 3 信号を“ L ”の状態にする。また、アドレス発生部 5 4 から供給されるデータのMSBが“ 1 ”である場合には、R / W 1 信号を“ H ”に、R / W 2 信号を“ L ”に、また、R / W 3 信号を“ H ”の状態にする (図 7 (B) ~ (D) 参照) 。

30

【 0 0 5 6 】

いま、ADD 50 に対するデータ群の供給が開始されたとすると、ADD 50 は、初期化部 5 3 から供給されたデータ 2 と、入力されたデータ (“ 1 0 0 ” : 図 7 (G) 参照) とを加算して出力する。いまの例では、初期化部 5 3 は制御部 5 6 から初期化処理を指示されているので、データ 2 としては、セクタ 5 2 から出力されるデータの値に拘わらず、“ 0 ”がADD 50 に供給される (図 7 (I) 参照) 。

40

【 0 0 5 7 】

ADD 50 は、入力されたデータ (= “ 1 0 0 ”) と、初期化部 5 3 から供給されたデータ (= “ 0 ”) とを加算し、データ 1 として出力する。このとき、アドレス発生部 5 4 は、SP - RAM 5 1 a と、SP - RAM 5 1 b に対して、値 “ 0 ” を有するアドレス信号ADD 1 , ADD 2を出力している。また、アドレス信号のMSBは“ 0 ”であり、R / W制御部 5 5 は、R / W 1 信号として“ L ”を、R / W 2 信号として“ H ”を、また、R / W 3 信号として“ L ”を出力する (図 7 (B) ~ (D) 参照) 。

【 0 0 5 8 】

その結果、SP - RAM 5 1 a は読み出し状態に、SP - RAM 5 1 b は書き込み状態に設定され、また、セクタ 5 2 はSP - RAM 5 1 a からの出力を選択する状態になる。

50

【 0 0 5 9 】

従って、ADD 5 0 から出力されたデータ “ 1 0 0 ” は、SP - RAM 5 1 b のアドレス “ 0 ” に格納されることになる。

続いて、次のクロック信号の立ち上がりエッジが到来すると、アドレス発生部 5 4 はアドレス値を “ 1 ” だけインクリメントし、値 “ 1 ” を有するアドレス信号 ADD 1 , ADD 2 を生成し、SP - RAM 5 1 a と SP - RAM 5 1 b にそれぞれ供給する。

【 0 0 6 0 】

このとき、アドレス信号の MSB は変化しないので、SP - RAM 5 1 a は読み出しの対象となり、SP - RAM 5 1 b は書き込みの対象となる。更に、初期化部 5 3 からは、“ 0 ” が出力されるので、ADD 5 0 は入力されたデータ “ 1 5 0 ” (図 7 (G) 参照) に対して “ 0 ” を加算して得られた値 “ 1 5 0 ” を、SP - RAM 5 1 b のアドレス “ 1 ” に対して書き込む。

【 0 0 6 1 】

以上の動作は、アドレス値が “ 1 0 2 3 9 ” になるまで繰り返される。その結果、SP - RAM 5 1 b には、入力されたデータ群がそのまま格納されることになる。

【 0 0 6 2 】

続いて、アドレス発生部 5 4 は、MSB を “ 1 ” に設定するとともに、それ以外のビットを全て “ 0 ” に設定する。その結果、R / W 制御部 5 5 は、R / W 1 信号を “ H ” の状態に、R / W 2 信号を “ L ” の状態に、また、R / W 3 信号を “ H ” の状態に設定するので、SP - RAM 5 1 a が書き込み状態に、SP - RAM 5 1 b が読み出し状態に、また、セクタ 5 2 は SP - RAM 5 1 b からの出力を選択して出力する状態になる。

【 0 0 6 3 】

なお、このとき、制御部 5 6 は、初期化部 5 3 に対して初期化を終了するように指示するので、初期化部 5 3 は、セクタ 5 2 から出力されたデータを、そのまま、ADD 5 0 に供給する。

【 0 0 6 4 】

このような状態において、第 2 番目のデータ群が入力されると、SP - RAM 5 1 b は、アドレス “ 0 ” に格納されているデータ (第 1 番目のデータ群の第 1 番目のデータ “ 1 0 0 ”) を読み出して出力する。

【 0 0 6 5 】

セクタ 5 2 は、SP - RAM 5 1 b から供給されたデータを選択し、初期化部 5 3 に供給する。

初期化部 5 3 は、セクタ 5 2 から出力されたデータ “ 1 0 0 ” をそのまま ADD 5 0 に供給する。ADD 5 0 は、初期化部 5 3 から出力されたデータ “ 1 0 0 ” と、新たに入力されたデータ “ 4 7 7 ” とを加算し、得られたデータ “ 5 7 7 ” を、SP - RAM 5 1 a のアドレス “ 0 ” に格納する。

【 0 0 6 6 】

続いて、アドレス発生部 5 4 は、アドレス値を “ 1 ” だけインクリメントし、得られた値 “ 1 ” を有するアドレス信号 ADD 1 , ADD 2 を出力する。その結果、SP - RAM 5 1 b のアドレス “ 1 ” からは、先に格納されたデータ “ 1 5 0 ” が読み出され、セクタ 5 2 および初期化部 5 3 を介して ADD 5 0 に供給される。

【 0 0 6 7 】

ADD 5 0 は、新たに入力されたデータ “ 1 4 4 ” と、初期化部 5 3 から供給されたデータ “ 1 5 0 ” とを加算し、得られたデータ “ 2 9 4 ” を、SP - RAM 5 1 a に供給する。

【 0 0 6 8 】

SP - RAM 5 1 a は、供給されたデータ “ 2 9 4 ” をアドレス “ 1 ” に格納する。以上の処理は、アドレス値が “ 1 0 2 3 9 ” になるまで繰り返される。その結果、SP - RAM 5 1 a には、第 1 番目のデータ群と、第 2 番目のデータ群のそれぞれのデータを加算した値が格納されることになる。

【 0 0 6 9 】

続いて、MSBが“ 0 ”に設定されるとともに、MSB以外のビットが“ 0 ”に設定され、SP-RAM51aを読み出し対象とし、また、SP-RAM51bを書き込み対象として演算処理が実行される。

【 0 0 7 0 】

以上の処理は、制御部56によって予め設定された回数だけ繰り返され、全てのデータの加算が終了した場合には、最後の演算結果が格納された何れかのSP-RAMからデータを読み出すことにより、演算結果を取得することが可能になる。

【 0 0 7 1 】

以上に説明したように、本実施の形態によれば、SP-RAMを複数設け、これらを交互に読み出し側および書き込み側として使用し、入力されたデータ群を累積加算するようにしたので、演算処理を高速に実行することが可能になるとともに、SP-RAMの使用により装置のサイズを小型化することが可能になる。

10

【 0 0 7 2 】

なお、以上の実施の形態においては、演算回数は固定の場合を例に挙げて説明したが、動作状況に応じて演算回数を変更するようにしてもよい。そのような実施の形態によれば、積分の時間（積分対象となるデータ）を、動作中に変更することが可能になる。

【 0 0 7 3 】

また、ブロック単位での演算の回数を計数し、その回数が所定の値になった場合には、演算処理を停止するようにしてもよい。そのような実施の形態によれば、設定された値に応じてデータの積分を行うことが可能になる。

20

【 0 0 7 4 】

また、前述のブロック単位での演算回数を、動作状況その他に応じて変更することも可能である。そのような実施の形態によれば、使用目的または使用環境に応じて最適な動作が可能になる。

【 0 0 7 5 】

また、以上の実施の形態では、SP-RAMが2つの場合について説明したが、これらが3以上であってもよい。なお、その場合には、アドレス信号の上位の複数ビットを使用することにより、所望のSP-RAMを選択することができる。

【 0 0 7 6 】

また、以上の実施の形態では、MSBを選択用のビットとして使用したが、LSBその他のビットを使用することができることはいうまでもない。

30

また、以上の実施の形態では、セクタ52とADD50の間に初期化部53を設け、初回の演算時において初期化を行うようにしたが、本発明は、このような場合のみに限定されるものではなく、これ以外にも種々の変形実施例が想定できることはいうまでもない。要は、初回の演算時において、ADD50から出力されるデータが、入力データと等しくなるようにすればよい。

【 0 0 7 7 】

また、以上の実施の形態では、データ群間の演算処理として、加算を行う場合を例に挙げて説明したが、本発明はこのような場合のみに限定されるものではなく、例えば、減算その他を行うことも可能であることはいうまでもない。

40

【 0 0 7 8 】

また、本実施の形態では、同一の値を有するアドレスに対するデータの読み出し動作と、書き込み動作とを並行して行うようにしたが、ADD50等における遅延を考慮して、読み出し動作を先行して行うことも可能である。

【 0 0 7 9 】

また、本実施の形態では、演算装置単体として説明を行ったが、このような演算装置を、例えば、携帯電話等の受信装置に内蔵することも可能であることはいうまでもない。

【 0 0 8 0 】

（付記1） 複数のデータから構成されるデータ群を入力し、先に入力された他のデータ

50

群との間で所定の演算処理を実行する演算装置において、
前記データ群をデータを入力する入力手段と、
前記データ群の少なくとも一部又は全部を格納することが可能な容量を各々有する第1乃至第 n ($n > 1$) の格納手段と、
前記第1乃至第 n の格納手段の何れかを選択し、既に格納されているデータ群を読み出す読み出し手段と、
前記読み出し手段によって読み出されたデータ群と、前記入力手段から新たに入力されたデータ群との間で所定の演算を行う演算手段と、
前記演算手段の演算結果を、前記読み出し手段が読み出しの対象として選択していない所定の格納手段に対して書き込む書き込み手段と、
を有することを特徴とする演算装置。

10

【0081】

(付記2) 前記第1乃至第 n の格納手段の何れかに格納されている演算結果のデータを出力する出力手段を更に有することを特徴とする付記1記載の演算装置。

【0082】

(付記3) 前記第1乃至第 n の格納手段は、メモリアレイによって構成されており、前記メモリアレイをバンク形式で切り換えて前記第1乃至第 n の格納手段として使用することを特徴とする付記1記載の演算装置。

【0083】

(付記4) 前記メモリアレイはシングルポートメモリから構成されることを特徴とする付記3記載の演算装置。

20

(付記5) 前記読み出し手段および前記書き込み手段がアクセスするアドレスを発生するアドレス発生手段を更に有し、
前記アドレス発生手段が発生するアドレスの所定のビットにより、前記第1乃至第 n の格納手段のうち、前記読み出し手段および前記書き込み手段がそれぞれアクセスすべき格納手段を特定することを特徴とする付記3記載の演算装置。

【0084】

(付記6) 前記読み出し手段は、前記書き込み手段の書き込みより先行してデータを読み出すことを特徴とする付記1記載の演算装置。

(付記7) 前記演算手段は、加算処理を行うことにより、前記データ群単位で積分演算を実行することを特徴とする付記1記載の演算装置。

30

【0085】

(付記8) 演算処理を開始することを指示する演算開始指示手段と、
前記演算開始指示手段によって演算の開始が指示された場合には、前記読み出し手段から供給される第1番目のデータ群の全てのデータを初期値“0”に設定する初期化手段と、
を有することを特徴とする付記1記載の演算装置。

【0086】

(付記9) ブロック単位での演算の回数を計数する計数手段と、
前記計数手段によって計数された値が所定の設定値になった場合には演算処理を停止する停止手段と、
を更に有することを特徴とする付記1記載の演算装置。

40

【0087】

(付記10) 前記設定値を変更する設定値変更手段を更に有することを特徴とする付記9記載の演算装置。

(付記11) 複数のデータから構成されるデータ群を受信し、先に受信した他のデータ群との間で所定の演算処理を実行する受信装置において、
前記データ群をデータを入力する入力手段と、
前記データ群の少なくとも一部又は全部を格納することが可能な容量を有する第1乃至第 n ($n > 1$) の格納手段と、
前記第1乃至第 n の格納手段の何れかを選択し、既に格納されているデータ群を読み出す

50

読み出し手段と、
 前記読み出し手段によって読み出されたデータ群と、前記入力手段から新たに入力されたデータ群との間で所定の演算を行う演算手段と、
 前記演算手段の演算結果を、前記読み出し手段が読み出しの対象としていない所定の格納手段に対して書き込む書き込み手段と、
 を有することを特徴とする受信装置。

【 0 0 8 8 】

【発明の効果】

以上説明したように本発明では、複数のデータから構成されるデータ群を入力し、先に入力された他のデータ群との間で所定の演算処理を実行する演算装置において、データ群を入力する入力手段と、データ群の少なくとも一部又は全部を格納することが可能な容量を有する第1乃至第 n ($n > 1$)の格納手段と、第1乃至第 n の格納手段の何れかを選択し、既に格納されているデータ群を読み出す読み出し手段と、読み出し手段によって読み出されたデータ群と、入力手段から新たに入力されたデータ群との間で所定の演算を行う演算手段と、演算手段の演算結果を、読み出し手段が読み出しの対象としていない所定の格納手段に対して書き込む書き込み手段と、を設けるようにしたので、演算を高速に実行するとともに、装置のサイズを小型化することができる。

【 0 0 8 9 】

また、複数のデータから構成されるデータ群を受信し、先に受信した他のデータ群との間で所定の演算処理を実行する受信装置において、データ群を入力する入力手段と、データ群の少なくとも一部又は全部を格納することが可能な容量を有する第1乃至第 n ($n > 1$)の格納手段と、第1乃至第 n の格納手段の何れかを選択し、既に格納されているデータ群を読み出す読み出し手段と、読み出し手段によって読み出されたデータ群と、入力手段から新たに入力されたデータ群との間で所定の演算を行う演算手段と、演算手段の演算結果を、読み出し手段が読み出しの対象としていない所定の格納手段に対して書き込む書き込み手段と、を設けるようにしたので、データを高速に受信するとともに、装置のサイズを小型化することが可能になる。

【図面の簡単な説明】

【図1】本発明の動作原理を説明する原理図である。

【図2】図1に示す原理図の動作を説明するための図である。

【図3】図1に示す原理図の動作を説明するための図である。

【図4】図1に示す原理図の動作を説明するための図である。

【図5】図1に示す原理図の動作を説明するための図である。

【図6】本発明の実施の形態の構成例を示す図である。

【図7】図6に示す実施の形態の動作を説明するためのタイミングチャートである。

【図8】従来の演算装置の構成例を示す図である。

【図9】図8に示す演算装置の動作を説明するための図である。

【符号の説明】

1 0 A D D

1 1 D P - R A M

2 0 入力手段

2 1 演算手段

2 2 書き込み手段

2 3 - 1 第1の格納手段

2 3 - 2 第2の格納手段

2 4 読み出し手段

5 0 A D D

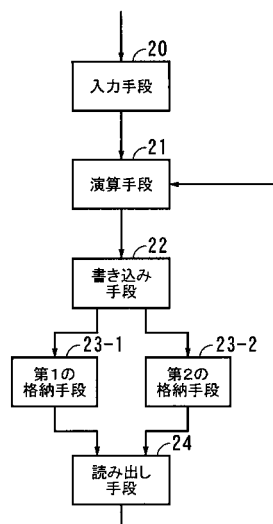
5 1 記憶部

5 1 a S P - R A M

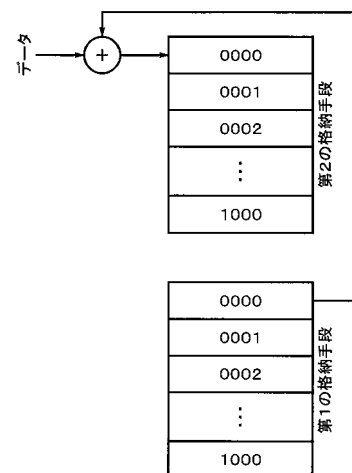
5 1 b S P - R A M

- 5 2 セレクタ
- 5 3 初期化部
- 5 4 アドレス発生部
- 5 5 R / W制御部
- 5 6 制御部

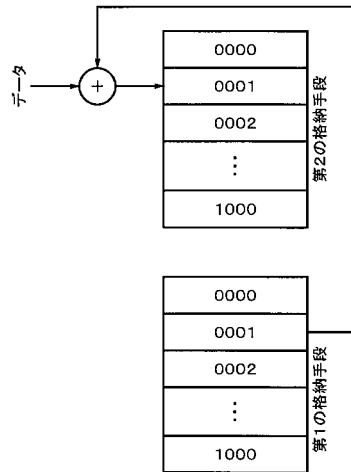
【図 1】



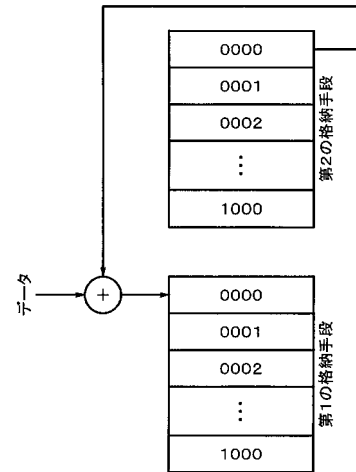
【図 2】



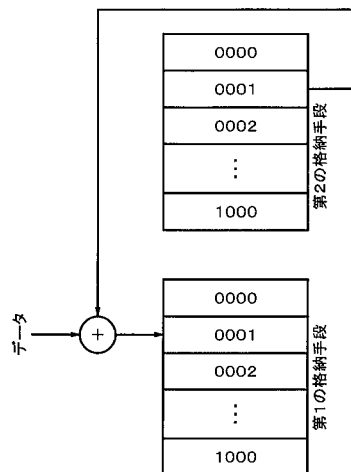
【図 3】



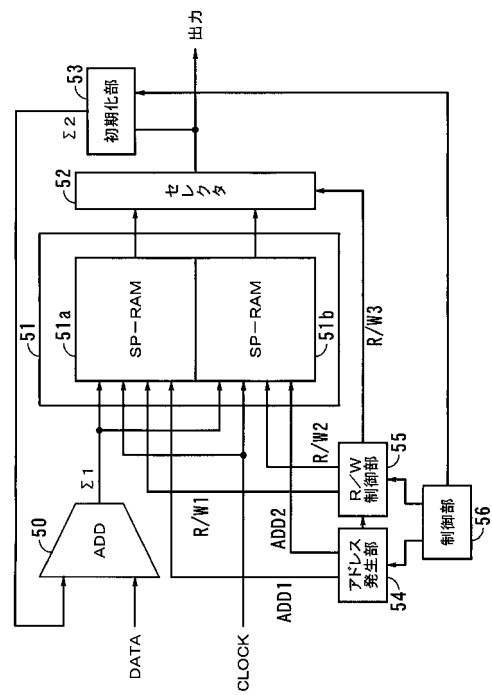
【図 4】



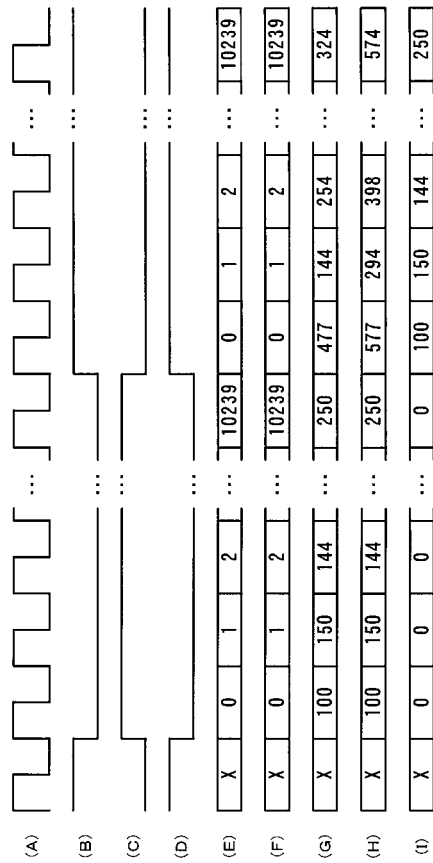
【図 5】



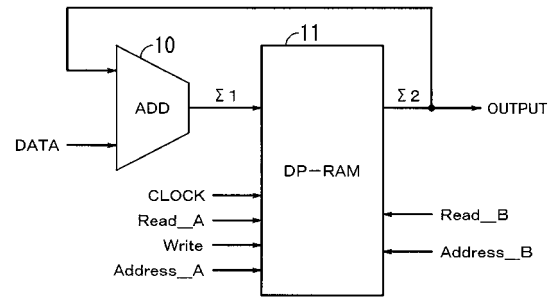
【図 6】



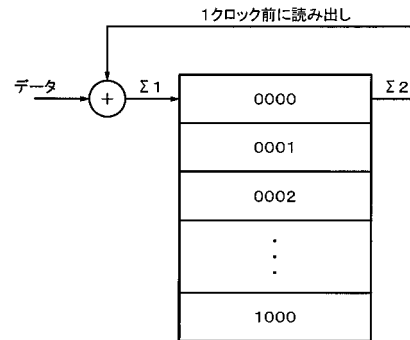
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 山田 良和
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 田中 友章

(56)参考文献 特開2001-092778(JP,A)
特開平09-265381(JP,A)
特開2000-267838(JP,A)
特開平10-074190(JP,A)
特開昭63-301339(JP,A)
特開平11-085511(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 7/00
G06F 5/06
G06F 9/34
H04J 13/00