

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 29/786 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년06월23일 10-0592503 2006년06월15일
--	-------------------------------------	--

(21) 출원번호	10-2004-0008543	(65) 공개번호	10-2005-0080503
(22) 출원일자	2004년02월10일	(43) 공개일자	2005년08월17일

(73) 특허권자                    장 진  
   서울 서초구 잠원동 65-32 신반포7차아파트 302-908

(72) 발명자                        장 진  
   서울 서초구 잠원동 65-32 신반포7차아파트 302-908

   허지호  
   서울특별시동대문구회기동경희대학교창업보육센터131

   김성환  
   서울특별시동대문구회기동경희대학교창업보육센터131

   최혜영  
   서울특별시동대문구회기동경희대학교창업보육센터131

(74) 대리인                        김인한  
   김희곤

심사관 : 임동우

(54) 유기 반도체의 선택적 증착을 통한 박막트랜지스터 어레이제조 방법

요약

본 발명은, 유기 반도체의 선택적 증착 방법을 이용한 유기 박막트랜지스터 어레이의 제작 방법에 관한 것이다. 본 발명에 따른 박막 트랜지스터 어레이는 유기 반도체 증착전 기판상에 국부적으로 플라즈마 처리를 해주기 때문에 유기 반도체를 증착 했을 때, 아일랜드 형태의 활성층 영역만이 증착이 되고 그 외의 영역은 증착이 이루어지지 않기 때문에 액티브 매트릭스(active matrix) 어레이를 제작하는데 있어서 웨도우 마스크 방법이나 활성층의 사진 식각 방법을 이용할 필요가 없다. 따라서 본 발명의 방법은 고해상도의 어레이를 제작할 수 있는 장점이 있으며, 또한 어레이 제작시 박막트랜지스터의 특성감소 없이 어레이를 제작할 수 있는 장점이 있다.

대표도

도 6

색인어

유기 반도체, 선택적 증착, 유기기상증착, 어레이, 펜타신

명세서

도면의 간단한 설명

도 1은 종래의 역스태거드 방식의 유기 반도체 박막트랜지스터의 제작 단면도,

도 2는 종래의 역코플라나 방식의 유기 반도체 박막트랜지스터의 제작 단면도,

도 3은 본 발명인 박막트랜지스터 어레이 제조 방법의 실시 예 1에서 산소 플라즈마 처리 공정이 수행된 박막트랜지스터의 단면도,

도 4는 본 발명의 실시 예 1의 도 3부터 단분자 자기조립법 공정의 단면도,

도 5a 내지 도 5h는 본 발명의 실시 예 1의 박막 계면 상태에 따른 탈 이온수(deionized water)에 대한 접촉각을 측정한 광학사진로서,

도 5a는 금 계면위의 접촉각 광학사진,

도 5b는 유기 게이트 절연막 계면위의 접촉각 광학사진,

도 5c는 산소 플라즈마 처리한 금 계면위의 접촉각 광학사진,

도 5d는 산소 플라즈마 처리한 유기 게이트 절연막 계면위의 접촉각 광학사진,

도 5e는 옥타데실트리클로로실란 처리한 금 계면위의 접촉각 광학사진,

도 5f는 옥타데실트리클로로실란 처리한 유기 게이트 절연막 계면위의 접촉각 광학사진,

도 5g는 산소 플라즈마 및 옥타데실트리클로로실란 처리한 금 계면위의 접촉각 광학사진,

도 5h는 산소 플라즈마 및 옥타데실트리클로로실란 처리한 유기 게이트 절연막 계면위의 접촉각 광학사진,

도 6은 본 발명의 실시 예 1의 최종 단면도,

도 7은 본 발명인 유기 반도체의 선택적 증착을 위한 유기기상증착기(organic vapor phase deposition)의 단면도,

도 8은 본 발명인 유기 반도체 박막트랜지스터 어레이의 구조도,

도 9는 박막트랜지스터 어레이에 유기 반도체를 증착했을 때의 광학사진,

도 10은 본 발명의 실시 예 2의 단면도,

도 11은 본 발명의 실시 예 3의 단면도,

도 12는 본 발명인 유기 반도체 박막트랜지스터 어레이의 트랜스퍼 동작특성을 나타낸 그래프,

도 13은 본 발명인 유기 반도체 박막트랜지스터 어레이의 아웃풋 동작특성을 나타낸 그래프,

도 14는 본 발명인 유기 반도체 박막트랜지스터 어레이의 문턱전압 및 전계효과 이동도 동작특성을 나타낸 그래프이다.

\*\*\* 도면의 주요 부분에 대한 부호의 설명 \*\*\*

- 11. 절연기판 12a. 게이트 전극
- 12b. 공통전극 13. 유기 게이트 절연막
- 14. 유기 반도체 15a. 소스 전극
- 15b. 드레인 전극 16a. 보호 절연막
- 16b. 보호 절연막 17. 화소 전극
- 35. 사진 저항기 36. 트랜지스터 채널
- 37. 산소 플라즈마 41. 옥타데실트리클로로실란
- 63. 비어 홀 64a. 2차 보호 절연막
- 64b. 2차 보호 절연막 71. 유기 반도체 소스
- 72. 기화부 73. 가스 투입구
- 74. 기관

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 유기 반도체의 선택적 증착 방법을 이용하여 유기 반도체 박막트랜지스터 어레이를 제작하는 방법에 관한 것이다.

보다 상세하게는, 어레이를 제작하려는 기관의 계면처리를 통하여 유기 반도체가 원하는 부분에만 증착되도록 하여 박막트랜지스터의 특성을 저하시키는 활성층의 사진 식각 방법을 사용하지 않도록 하는 유기 반도체의 선택적 증착을 통한 박막트랜지스터 어레이 제조 방법에 관한 것이다.

특히, 웨도우 마스크로 제작할 수 없는, 고 특성, 고해상도의 유기 반도체 박막트랜지스터 어레이를 제작할 수 있도록 하는 유기 반도체의 선택적 증착을 통한 박막트랜지스터 어레이 제조 방법에 관한 것이다.

종래의 일반적인 유기 반도체 박막트랜지스터의 구조는 주로 역스태거드 방식과 역코플라나 방식의 두가지로 나누어지는데, 그 이유는 유기 반도체 박막 공정 후에 진행되는 다른 박막 공정을 수행할 때, 유기 반도체 박막에 손상을 주기 때문에 이를 최소화하기 위함이다.

**(역스태거드 방식을 이용한 박막트랜지스터의 제작방법)**

도 1은 역스태거드 방식을 이용한 박막트랜지스터의 제작 단면도이다.

첨부 도면 도 1에 의하면 절연기판(11) 상에 스위칭 박막트랜지스터의 게이트 전극(12a)과 하부공통전극(12b)이 이격되어 형성되고, 그 상면에 게이트 절연막(13)이 증착되어 형성된다.

그리고 게이트 절연막(13)의 상면에는 보호 절연막(16a, 16b)이 적층되며, 상기 게이트 절연막(13)과 보호 절연막(16a, 16b) 사이에는 웨도우 마스크를 이용하여 아일랜드 형태의 유기 반도체 활성층(14)이 적층되는 한편 상기 유기 반도체 활성층(14) 상부에 웨도우 마스크를 이용하여 소스/드레인 전극(15a, 15b)이 증착되어 적층된다. 또한 상기 보호 절연막(16a, 16b)의 상면에는 화소전극(17)이 드레인 전극(15b)과 연결되도록 적층된다.

또한 상기 게이트 전극(12a)은 인접한 어레이의 다른 게이트 전극들과 공통으로 연결되며, 상기 게이트 전극(12a)은 상기 화소전극(17)과 하부 공통전극(12b)사이 에 캐패시턴스를 형성시킨다.

상기와 같은 구조를 가지는 역스태거드 방식의 종래의 유기 반도체 박막트랜지스터 어레이에 의하면, 그 화소의 제작시 웨도우 마스크에 의해 유기 반도체 활성층(14) 및 소스/드레인 전극(15a, 15b)이 형성되므로, 유기 반도체 활성층(14)이 유기용매나 화학약품에 의해 손상되는 것을 최소화시킬 수 있다.

따라서 상기와 같은 방법으로 박막트랜지스터를 제작하게 되는 경우 웨도우 마스크를 정확하게 정렬시키기 어려울 뿐만 아니라, 해상도에 한계 때문에 고해상도의 어레이를 제작할 수 없다는 문제점이 있다.

또한, 웨도우 마스크의 특성상 소스/드레인 전극의 정확한 너비와 길이를 규정하기 어려운 문제점이 있다.

**(역코플라나 방식을 이용한 박막트랜지스터 제작방법)**

도 2는 종래의 역코플라나 방식의 박막트랜지스터의 제작 단면도이다.

첨부한 도면 도 2에 도시된 바와 같이, 절연기판(21)과 게이트 전극(22a), 하부 공통전극(22b), 게이트 절연막(23)의 구조는 상기 언급한 역스태거드 방식의 경우와 같다.

그리고 게이트 절연막(23)의 상면에는 보호 절연막(26a, 26b)이 적층되고, 게이트 절연막(23)과 보호 절연막(26a, 26b) 사이에는 사진 식각공정을 이용한 소스/드레인 전극(24a, 24b)이 적층되며, 그 다음에 아일랜드 형태로 증착된 유기 반도체 활성층(25)이 적층, 형성된다. 또한 상기 보호 절연막(26a, 26b)의 상면에는 화소전극(27)이 드레인 전극(24b)과 연결되도록 적층된다.

또한 상기 게이트 전극(22a)은 인접한 어레이의 다른 게이트 전극들과 공통으로 연결되며, 상기 화소전극(27)과 하부 공통전극(22b)사이 에 캐패시턴스가 형성되도록 하는 구조 또한 역스태거드 방식의 박막트랜지스터 어레이와 동일하다.

상기 구조를 가지는 역코플라나 방식의 종래의 유기 반도체 박막트랜지스터 어레이에 의하면 소스/드레인 전극(24a, 24b)을 형성할 때 사진 식각 공정을 이용하기 때문에 역스태거드 방식에 비하여 고해상도의 박막트랜지스터 어레이의 제작이 가능하나, 그 상부에 형성되는 유기 반도체 활성층(25)의 제작 방법에 따라 한계를 갖게 된다.

상기 유기 반도체 활성층(25)의 제작 방법에는 두 가지 방식이 존재하는데, 첫 번째 방식은 역스태거드 방식과 마찬가지로 웨도우 마스크를 이용하여 아일랜드를 형성하는 방법이고, 두 번째 방식은 유기 반도체 활성층(25)을 전면 증착한 후 사진 식각 기술로 아일랜드를 형성하는 방법이다.

그러나 상기 첫 번째 방식은 고해상도의 어레이를 제작하는데 문제점이 있으며, 두 번째 방식은 유기 반도체 활성층이 유기용매나 화학약품으로부터의 손상을 받기 때문에 박막트랜지스터 어레이의 특성이 저하되는 문제점이 있다.

이러한 역코플라나 방식의 유기 반도체 박막트랜지스터 어레이 제작시 유기 반도체 활성층(25)의 유기용매나 화학약품으로부터의 손상을 줄이기 위하여 미국 펜실바니아 주립대학(Penn. state Univ.)에서는 용매가 물인 감광성 폴리비닐알콜(PVA, polyvinyl-alcohol)을 이용하여 박막트랜지스터 어레이의 유기 반도체 활성층(25)을 패터닝하였으나, 상기와 같은 경우 폴리비닐알콜이 수분에 취약하여 유기 반도체 활성층의 수분에 대한 안정성이 떨어지며, 또한 건조 식각(dry etching) 공정을 거치면서 유기 반도체의 플라즈마 손상에 의한 특성저하를 예상하지 않을 수 없다는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

본 발명의 목적은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 본 발명은 어레이를 제작하려는 기관의 계면처리를 통하여 유기 반도체가 원하는 부분에만 증착되도록 하여 박막트랜지스터의 특성을 저하시키는 활성층의 사진 식각 방법을 사용하지 않도록 하는 유기 반도체의 선택적 증착을 통한 박막트랜지스터 어레이 제조 방법을 제공하는데 있다.

본 발명의 다른 목적은 웨도우 마스크나 사진 식각 공정을 사용하지 않고 유기 반도체 활성층을 선택적으로 증착하여 고해상도의 유기 반도체 박막트랜지스터 어레이를 제조하는 방법을 제공함에 있다.

본 발명의 또다른 목적은 임의의 기판에 플라즈마 처리를 통하여 원하는 부분에만 유기 반도체 활성층을 증착하는 박막트랜지스터 어레이 제조 방법을 제공하는데 있다.

본 발명의 또다른 목적은 유기 반도체 활성층의 보호를 위한 보호절연막을 이중으로 형성하여 유기 반도체 박막트랜지스터 어레이의 안정성을 확보할 수 있는 유기 반도체의 선택적 증착을 통한 박막트랜지스터 어레이 제조 방법을 제공하는데 있다.

본 발명의 또다른 목적은 유기 게이트 절연막 상에 화소전극을 형성하여 유기 반도체 활성층 형성후의 공정을 최소화시킬 수 있는 유기 반도체의 선택적 증착을 통한 박막트랜지스터 어레이 제조 방법을 제공하는데 있다.

본 발명의 또다른 목적은 유기 게이트 절연막 상에 화소 전극을 형성하여 종래의 구조와 비교하여 보다 큰 캐패시턴스를 확보할 수 있는 유기 반도체의 선택적 증착을 통한 박막트랜지스터 어레이 제조 방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 일 실시예는, 스위칭 박막 트랜지스터와 화소 전극을 연결하는 연결부로 이루어진 박막트랜지스터 어레이에 있어서, 기판 상에 게이트 라인을 형성시키는 단계; 상기 게이트 라인이 형성된 기판 상부에 게이트 절연막을 형성시키는 단계; 상기 절연막 상부에 소스/드레인 전극을 형성시키는 단계; 상기 소스/드레인 전극이 형성된 절연막 상부에 유기 반도체 아일랜드를 형성하는 단계; 상기 유기 반도체 상부에 보호막을 형성하는 단계; 및 상기 보호막에 접촉 구멍을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

또한, 상기 게이트 라인이 알루미늄 또는 알루미늄 합금으로 이루어진 것을 특징으로 한다.

또한, 상기 게이트 절연막이 유기 물질로 이루어진 것을 특징으로 한다.

또한, 상기 유기 절연막이 폴리비닐페놀(PVP, poly(vinylphenol)) 또는 비씨비(BCB, benzocyclobutene) 또는 폴리이미드(PI, polyimide)로 이루어진 것을 특징으로 한다.

또한, 상기 소스/드레인 전극은 금과 다른 재질의 금속으로 이루어진 2층 구조인 것을 특징으로 한다.

또한, 상기 2층 구조에서 다른 재질의 금속이 크롬인 것을 특징으로 한다.

또한, 상기 절연막 상부에 화소 전극을 형성시키는 단계를 더 포함하여 이루어진 것을 특징으로 한다.

또한, 상기 화소 전극이 ITO 또는 IZO인 것을 특징으로 한다.

또한, 본 발명은 유기 반도체 층을 소스/드레인 전극 상부에 선택적으로 형성시키기 위하여 기판의 온도를 100℃에서 200℃ 사이로 유지시키는 단계를 더 포함하는 것을 특징으로 한다.

또한, 펜타신을 선택적으로 소스/드레인 사이에 선택적으로 증착시키기 위하여 상기 펜타신 증착 전에 기판 상부에 표면 처리하는 단계를 더 포함하는 것을 특징으로 한다.

또한, 상기 표면 처리 단계는 플라즈마를 기판 상부에 처리하여 준 후 단분자 자기조립막이 형성되는 단분자층을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

또한, 상기 단분자층이 옥타데실트리클로로실란(OTS, octadecyltri-chlorosilane)인 것을 특징으로 한다.

또한, 본 발명은 상기 유기 반도체 층이 펜타신인 것을 특징으로 한다.

또한, 상기 유기 박막 층의 상부에 보호층으로 유기 반도체 또는 유기 절연막을 형성시키는 단계를 더 포함하는 것을 특징으로 한다.

또한, 상기 유기 반도체 또는 유기 절연막은 광 선택 식각 방식에 의해 형성되는 것을 특징으로 한다.

또한, 상기 유기 반도체 또는 유기 절연막 상부에 2차 보호 절연막을 형성시키는 단계를 더 포함하는 것을 특징으로 한다.

또한, 상기 2차 보호 절연막이 무기 절연막인 것을 특징으로 한다.

이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

### 실시 예 1

도 3은 본 발명인 박막트랜지스터 어레이 제조 방법의 실시 예 1에서 산소 플라즈마 처리 공정이 수행된 박막트랜지스터의 단면도이고, 도 4는 본 발명의 실시 예 1의 도 3부터 단분자 자기조립법 공정의 단면도이며, 도 6은 본 발명의 실시 예 1의 최종 단면도이다.

첨부 도면 도 3, 도 4 및 도 6에 도시된 바와 같이 유기 반도체 박막트랜지스터는 절연기판(31)상에 스위칭 박막트랜지스터의 게이트 전극(32a), 하부 공통전극(32b)이 이격되어 나란히 형성된다. 이때, 상기 전극(32a, 32b)들은 절연기판 상부에 직류전압 또는 라디오 주파수 스퍼터링(DC, RF sputtering) 방식으로 약 100 nm 두께의 금속을 증착시키고 사진 식각 방법으로 패터닝 하여 형성한다.

또한 유기 게이트 절연막(33)은 상기 게이트 전극(32a)과 하부 공통전극(32b)의 상부에 회전 도포(spin coating) 방식에 따라 도포되고 180℃에서 경화(curing) 방식으로 경화되어 400nm ~ 450nm 두께로 증착되어 형성되며, 상기 게이트 절연막(33) 상부에는 소스/드레인 전극(34a, 34b)이 형성된다. 이때, 상기 전극(34a, 34b)들은 유기 게이트 절연막(33) 상부에 직류전압 또는 라디오 주파수 스퍼터링(DC, RF sputtering) 방식으로 약 100nm 두께의 금속을 증착시키고 사진 식각 방법으로 패터닝 하여 형성한다.

상기 유기 게이트 절연막(33) 및 소스/드레인 전극(34a, 34b) 상부에 유기 반도체 활성층을 증착하기 전 플라즈마 및 화학 처리를 하게 된다. 즉, 상기 유기 반도체 활성층은 펜타신으로 이루어지며 상기 펜타신을 소스/드레인 사이에 선택적으로 증착시키기 위해 상기 펜타신 증착 전에 기판 상부에 표면처리 공정을 통해 표면처리를 해야 한다. 상기 표면처리 공정은 다음과 같다.

먼저 사진 저항기(photo-resistor)(35)는 소스/드레인 전극(34a, 34b)까지 형성된 기판 상부에 사진 인쇄술(photo-lithography) 방식에 의해 유기 반도체 활성층이 증착되어야 하는 소스/드레인 전극(34a, 34b) 및 채널(channel)(36) 영역 상부에 형성된다.

그리고, 사진 저항기(35)는 산소 플라즈마(37)가 이온반응식각기(reactive ion etching system)에 의해 기판 상부에 약 1 분 정도 처리된 후 박리제(remover or stripper)에 의해 제거된다.

한편, 상기 공정을 수행된 후 이루어지는 단분자 자기조립법 공정을 첨부 도면 도 4를 참조하여 설명하면, 즉 박리제에 의해 사진 저항기(35)가 제거된 기판을 옥타데실트리클로로실란(OTS, octadecyltrichlorosilane)과 toluene이 1:200의 비율로 희석된 용액에 약 15 초 ~ 30 초 정도 담근 후 IPA(isopropyl alcohol) 용액에 담갔다가 세척하면 상기 기판 상부에 단분자자기조립막(41)이 형성된다.

도 5a 내지 도 5h는 본 발명의 실시 예 1의 박막 계면 상태에 따른 탈 이온수(deionized water)에 대한 접촉각을 측정한 광학사진으로서, 사진 저항기를 이용하여 산소 플라즈마 처리를 하지 않았을 때, 즉 상기 계면들에 아무런 처리를 하지 않았을 때 탈 이온수에 대한 접촉각을 측정해 보면, 소스/드레인 금속은 약 60°이고(첨부 도면 5a 참조), 유기 게이트 절연막은 약 27°이다(첨부 도면 도 5e 참조). 또한 산소 플라즈마 처리를 한 후 상기 계면들의 접촉각을 측정해 보면, 소스/드레인 금속은 약 40°이고(첨부 도면 도 5b 참조), 유기 게이트 절연막은 약 9°이다(첨부 도면 도 5f 참조).

또한 산소 플라즈마 처리를 하지 않고 희석된 옥타데실트리클로로실란 용액으로 상기 계면들을 화학처리 한 후 접촉각을 측정해 보면, 소스/드레인 금속은 약 84°이고(첨부 도면 도 5c 참조), 유기 게이트 절연막은 약 63°이다(첨부 도면 도 5g 참조).

또한 산소 플라즈마 처리를 한 후 희석된 옥타데실트리클로로실란 용액으로 상기 기판들을 화학처리 한 후 접촉각을 측정해 보면, 소스/드레인 금속은 약 55°이고(첨부 도면 도 5d 참조), 유기 게이트 절연막은 약 29°이다(첨부 도면 도 5h 참조).

따라서 상기 언급한 바와 같이 사진 저항기를 이용한 산소 플라즈마 처리 및 희석된 옥타데실트리클로로실란 화학처리를 하면 유기 반도체 활성층이 형성되어야 할 소스/드레인 금속(34a, 34b) 및 유기 게이트 절연막 채널(36) 상부의 접촉각은 약 84°(첨부 도면 도 5c 참조) 및 63°(첨부 도면 도 5g 참조)가 되어 다른 계면에 비하여 보다 소수성(hydrophobic)이 되고, 그 이외의 산소 플라즈마 처리 및 희석된 옥타데실트리클로로실란 용액으로 화학 처리된 유기 게이트 절연막 상부의 접촉각은 약 29°(첨부 도면 도 5h 참조)가 되어 앞서 언급한 계면에 비하여 상대적으로 친수성(hydrophilic)이 되어 계면 특성에 큰 차이를 보이게 된다.

그리고, 첨부도면 도 6은 본 발명의 실시 예 1의 최종 단면도로서, 유기 반도체 활성층(61) 및 보호 절연막(62a, 62b), 그리고 화소전극(64a)(64b)에 대한 공정 단면도로서, 상기 계면 처리된 기판 상부에 유기 반도체 활성층(61)이 유기기상증착법(OVPD, organic vapor phase deposition)에 의해 증착된다.

그리고 첨부 도면 도 7에 도시된 유기기상증착법의 모식도에 나타난 바와 같이, 유기 반도체(71)는 승화부(72)에서 약 285°C의 온도로 가열되어 승화된다. 승화부(72)는 유기 반도체(71)인 소스를 가열함과 동시에 가스 주입구(73)를 통하여 챔버(chamber) 내부로 고순도 질소가 유입되며, 내부 분압은 약 2 Torr 정도이다. 또한, 유기 반도체를 증착하고자 하는 기판(74)은 약 100°C ~ 180°C 정도로 유지되며 옆으로 누어져 있다. 기판(74) 측의 온도가 150°C 이하일 때는 유기 반도체 활성층(61)이 원하는 영역에 선택적 증착이 이루어지지 않고 전면이 고르게 증착이 되는 반면, 150°C ~ 180°C 일 때는 상기 언급한 것과 같이 기판(74) 전면에 유기 반도체 활성층(61)이 원하는 영역에 부분적으로 증착이 이루어진다.

도 9는 상기 설명한 내용에 따라 제작된 어레이에 유기 반도체를 증착한 광학 사진이다.

유기기상증착법으로 상기 기판(74) 상부에 유기 반도체를 증착하게 되면, 일반적으로 유기 반도체는 소수성의 특징을 갖기 때문에 접촉각이 큰 소수성 계면에 더욱 증착이 잘 되며 증착이 시작되면 증착면 주변으로 유기 반도체 박막이 확산될 때, 소수성 계면쪽으로 확산되는 경향을 갖는다. 따라서 플라즈마 처리 및 희석된 옥타데실트리클로로실란 용액의 화학 처리로 원하는 부분에만 유기 반도체 박막을 증착할 수 있게 된다. 이는 또한 소스/드레인 금속이 없는 유기 절연막만 있는 계면에서도 같은 박막이 형성된다.

즉, 첨부 도면 도 6에 도시된 바와 같이 상기 증착된 박막의 상면에 보호 절연막(62a, 62b)으로 역 감광성 유기 절연체인 폴리비닐알콜(PVA, poly(vinyl-alcohol)) 박막이 형성된다. 상기 보호 절연막(62a, 62b)은 상기 유기 반도체 활성층(61)인 박막층의 고체 구조가 손상되는 것을 방지하기 위해 형성되는 층이다.

이때 폴리비닐알콜 박막의 제작 방법은 폴리비닐알콜과 암모늄다이크로메이트(중크롬산암모늄, ammonium-dichromate)를 30:1의 비율로 섞어서 탈 이온수에 용해시킨다. 그리고, 회전도포 방식법을 사용하여 기판 상부에 회전 도포시켜 보호 절연막(62a, 62b)을 형성시킨 후 진공에서 약 30분에서 1시간 정도 건조시켜 용매인 탈 이온수를 날림으로써 제거한다. 이때 보호 절연막(62a, 62b)의 두께는 용매인 탈 이온수의 비율에 따라 조절할 수 있는데, 약 1000 nm 두께로 형성된다. 그 후 사진 식각공정을 이용하는데, 상기 보호 절연막(62a, 62b) 자체가 역 감광성 사진저항기이므로 일반적인 사진 저항기와 반대의 패턴을 얻으며, 상기 설명한 방법으로 비어홀(via hole)(63)을 형성한다. 사진 식각 공정시 현상액은 탈 이온수를 사용한다.

그리고 상기 보호 절연막(62a, 62b) 상부에 2차 보호 절연막(64a, 64b)을 형성시킨다. 상기 2차 보호 절연막(64a, 64b)의 역할은 수분이 보호 절연막(62a, 62b)에 전달되는 것을 방지하기 위한 것이다. 그 이유는 보호 절연막(62a, 62b)이 수분에 취약하기 때문이다. 이때 상기 2차 보호 절연막(64a, 64b)은 감광성 아크릴(photo-acrylic)계열 물질 혹은 파릴렌(parylene) 혹은 무기 절연막인 실리콘 산화막(silicon dioxide) 혹은 실리콘 질화막(silicon nitride)으로 형성된다.

상기 박막 상부에 화소전극(65)이 드레인(34)과 연결되도록 형성된다. 이때, 상기 전극(65)은 보호 절연막(62a, 62b)막 상부에 직류전압 또는 라디오 주파수 스퍼터링(DC, RF sputtering) 방식으로 약 150 nm 두께의 금속 또는 인듐틴옥사이드(ITO, indium tin oxide) 또는 인듐징크옥사이드(IZO, indium zinc oxide)를 증착시켜 사진 식각 방법으로 패터닝 하여 형성된다.

## 실시 예 2

도 10은 본 발명의 실시 예 2에 의한 유기 반도체 박막트랜지스터 어레이의 단면도이다.

첨부 도면 도 10에 도시된 바와 같이, 상기 실시 예 2는 유기 반도체 활성층(101) 상부의 보호 절연막(102a, 102b)을 파릴렌(parylene) 혹은 자외선경화접착제(UV cure bond) 또는 역 감광성 사진저항기(negative photoresistor)를 이용하여 형성시킨다. 그리고 비어홀(103)은 사진 식각 방법에 의해 형성된다.

그 외의 형성공정은 실시 예 1과 동일하므로 여기서는 그 상세한 설명을 생략하기로 한다.

### 실시 예 3

도 11은 본 발명의 실시 예 3에 의한 유기 반도체 박막트랜지스터 어레이의 단면도이다.

첨부 도면 도 11에 도시된 바와 같이 상기 실시 예 3은 소스/드레인 전극(111a, 111b)을 형성시킨 후, 소스/드레인 전극(111a, 111b) 및 유기 게이트 절연막(112) 상부에 화소 전극(113)을 형성시킨다. 드레인 전극(111b)과 화소 전극(113)은 별다른 비어홀을 형성시키지 않아도 연결되는 구조를 갖는다. 상기와 같이 형성된 화소 전극(113)과 하부 공통전극(115) 사이에는 유기 게이트 절연막(112)만이 형성되어 있다. 따라서 본 발명의 캐패시턴스는 종래의 구조와 비교하여 보다 큰 캐패시턴스를 확보할 수 있다.

그 후 실시 예 1과 동일한 방법으로 사진저항기를 이용하여 산소 플라즈마(116)를 국부적으로 처리해 준 후, 기판 상면에 희석된 옥타데실트리클로로실란 용액으로 화학 처리를 해준다. 상기 실시된 기판위에 유기 반도체 활성층(117)을 선택적으로 형성시켜 준 후, 유기 반도체 활성층(117)이 형성된 상부에만 실시 예 1, 2와 동일한 방법으로 상부 보호 절연막(118)을 형성시킨다.

그 외의 형성공정은 실시 예 1과 동일하므로 여기서는 그 상세한 설명을 생략하기로 한다.

한편, 도 12, 도 13, 도 14는 본 발명의 실시 예에 따른 유기 반도체 박막트랜지스터의 전기적 동작특성을 나타낸 것이다. 도 12는 유기 반도체 박막트랜지스터의 트랜스퍼 특성을, 도 13은 아웃풋 특성을, 도 14는 문턱전압 및 전계효과 이동도를 나타낸 그래프이다.

본 발명의 예시에 따른 유기 반도체 박막트랜지스터 특성의 경우, 전계효과 이동도가  $0.41 \text{ cm}^2/\text{Vs}$ , 문턱전압이  $-1 \text{ V}$ , 전류비가  $10^7$ 의 특성을 나타내므로 종래의 비정질 실리콘 박막트랜지스터와 비교하여 조금도 손색이 없는 어레이의 제작이 가능하다.

### 발명의 효과

상기와 같이, 본 발명인 유기 반도체의 선택적 증착을 통한 박막트랜지스터 어레이 제조 방법은 단순한 공정을 유지한 반면, 무기 반도체 박막트랜지스터와 상응하는 특성을 가지는 장점이 있다.

또한 본 발명에 의해 제작된 어레이는 화소의 면적이 작을수록 유기 반도체의 증착 선택비가 좋아지기 때문에 고해상도의 어레이로 발전 할수록 더욱 깨끗한 패턴을 얻을 수 있는 장점이 있다.

또한 하부의 공통전극과 화소전극간의 차이를 줄여 보다 큰 캐패시턴스를 확보할 수 있는 장점이 있다.

또한 본 발명에 의해 제작된 유기 반도체 박막트랜지스터 어레이는 이제까지 개발된 다른 유기 반도체 박막트랜지스터 어레이에 비하여 월등히 우수한 해상도와 특성을 갖고 있어, 과학적·상업적 분야에 다양하게 응용될 수 있는 장점이 있다.

한편, 본 발명은 상술한 특정한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 이탈함이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

### (57) 청구의 범위

#### 청구항 1.



스위칭 박막 트랜지스터와 화소 전극을 연결하는 연결부로 이루어진 박막트랜지스터 어레이에 있어서,

기관상에 게이트 라인을 형성시키는 단계;

상기 게이트 라인이 형성된 기관 상부에 게이트 절연막을 형성시키는 단계;

상기 절연막 상부에 소스/드레인 전극을 형성시키는 단계;

**상기 소스/드레인 전극이 형성된 절연막 상부에 산소 플라즈마 처리와 자기 조립 단분자 층을 선택적으로 실시하고, 펜타신을 증착하면서 반도체 아일랜드를 형성시키는 단계;**

상기 유기 반도체 상부에 보호막을 형성하는 단계; 및

상기 보호막에 접촉 구멍을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

## 청구항 2.

제 1 항에 있어서, 상기 게이트 라인이,

알루미늄 또는 알루미늄 합금으로 이루어진 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

## 청구항 3.

제 1 항에 있어서, 상기 게이트 절연막이,

유기 물질로 이루어진 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

## 청구항 4.

제 3 항에 있어서, 상기 유기 물질이,

폴리비닐페놀(PVP, poly(vinylphenol)) 또는 비씨비(BCB, benzocyclobutene) 또는 폴리이미드(PI, polyimide)로 이루어진 것을 특징으로 하는 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

## 청구항 5.

제 1 항에 있어서, 상기 소스/드레인 전극은,

금과 다른 재질의 금속으로 이루어진 2층 구조인 것을 특징으로 하는 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

## 청구항 6.

제 5 항에 있어서, 상기 2층 구조에서 다른 재질의 금속이,

크롬인 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

**청구항 7.**

제 1 항에 있어서,

상기 절연막 상부에 화소 전극을 형성시키는 단계를 더 포함하여 이루어진 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

**청구항 8.**

제 7 항에 있어서, 상기 화소 전극이,

ITO 또는 IZO인 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

**청구항 9.**

제 1 항에 있어서,

유기 반도체 아일런드를 소스/드레인 전극 상부에 선택적으로 형성시키기 위하여 기판의 온도를 100℃ 에서 200℃ 사이로 유지시키는 단계를 더 포함하는 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

**청구항 10.**

삭제

**청구항 11.**

삭제

**청구항 12.**

제 1 항에 있어서, 상기 단분자층이,

옥타데실트리클로로실란(OTS, octadecyltri-chlorosilane)인 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

**청구항 13.**

제 1 항에 있어서,

상기 유기 반도체 아일런드가 펜타신인 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

**청구항 14.**

제 1 항에 있어서,

상기 유기 반도체 아일런드의 고체구조가 손상되는 것을 방지하기 위하여 상부에 보호층으로 유기 반도체 또는 유기 절연막을 형성시키는 단계를 더 포함하는 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

**청구항 15.**

제 14 항에 있어서, 상기 유기 반도체 또는 유기 절연막은,

광 선택 식각 방식에 의해 형성되는 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

**청구항 16.**

제 14 항에 있어서, 상기 유기 반도체 또는 유기 절연막 상부에,

2차 보호 절연막을 형성시키는 단계를 더 포함하는 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

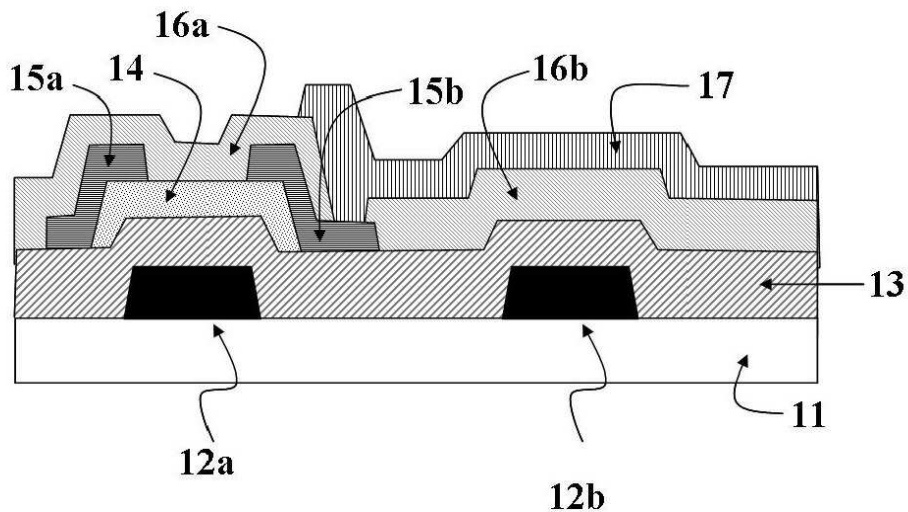
**청구항 17.**

제 16 항에 있어서, 상기 2차 보호 절연막이,

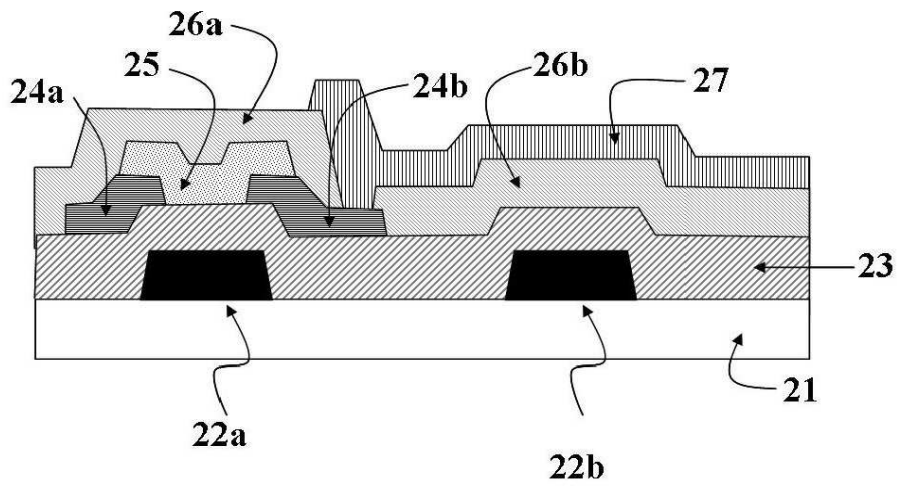
무기 절연막인 것을 특징으로 하는 것을 특징으로 하는 유기 박막 트랜지스터 어레이의 제조 방법.

도면

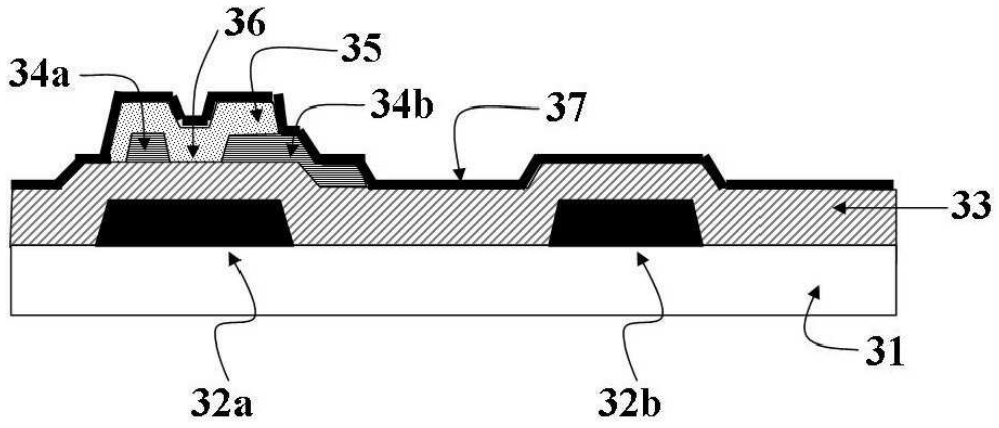
도면1



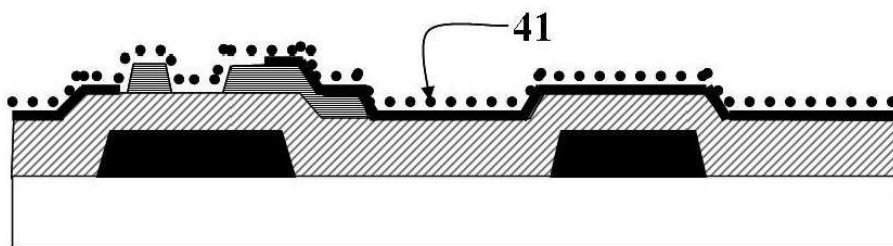
도면2



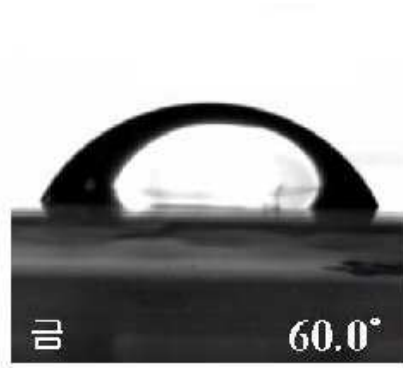
도면3



도면4



도면5a



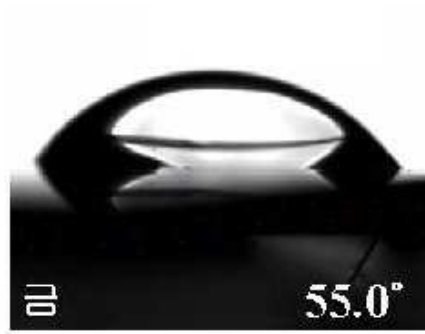
도면5b



도면5c



도면5d



도면5e



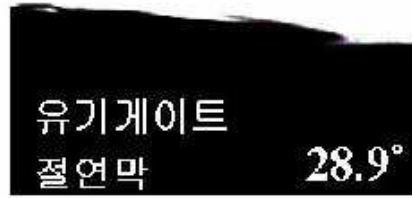
도면5f



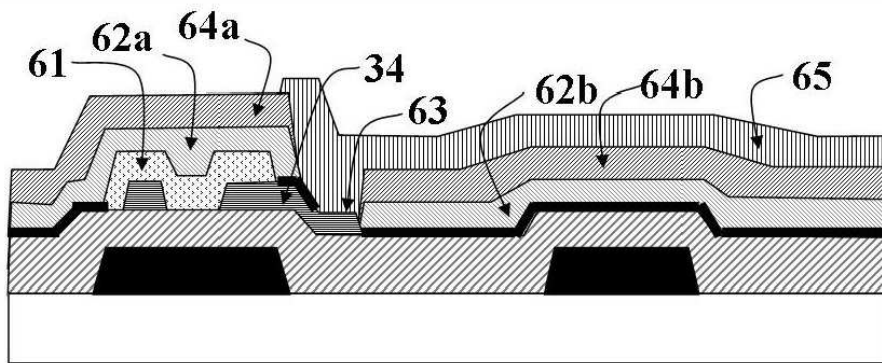
도면5g



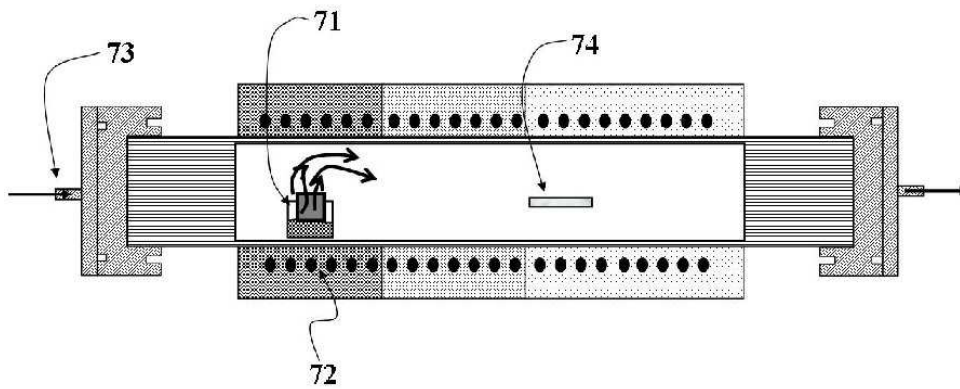
도면5h



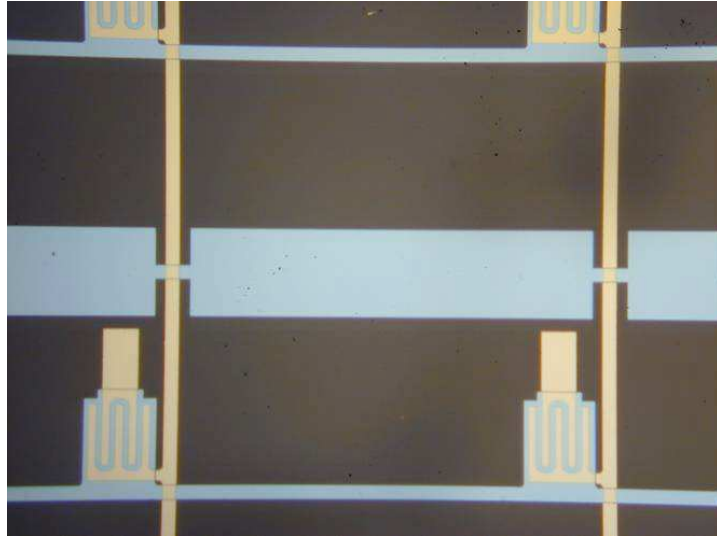
도면6



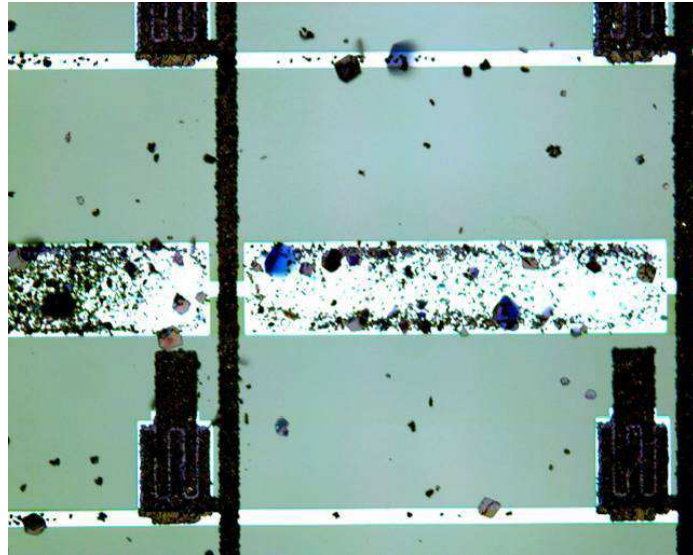
도면7



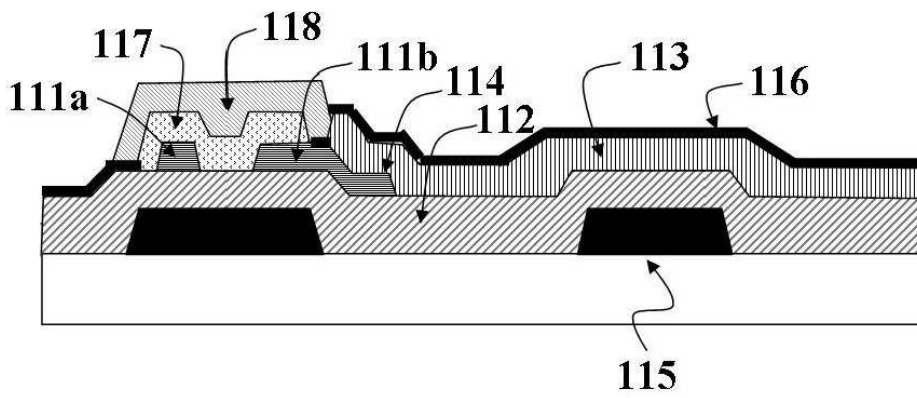
도면8



도면9

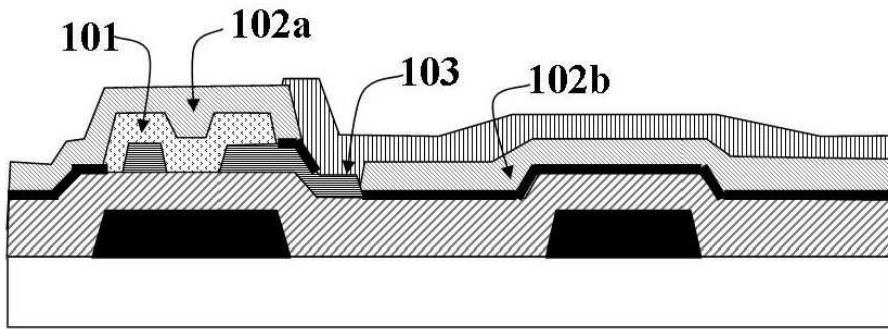


도면10

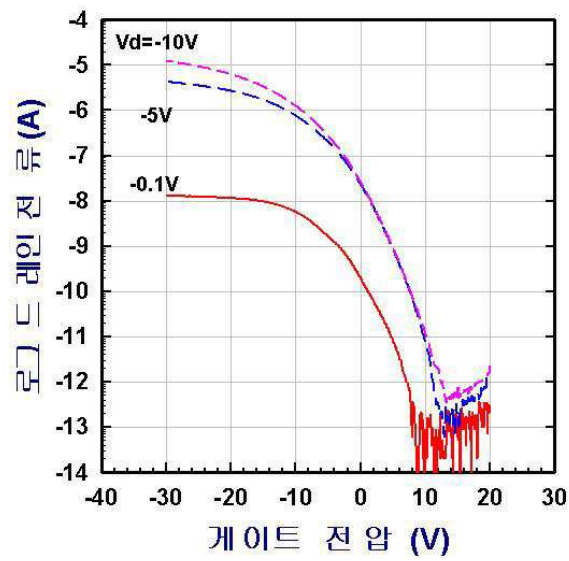




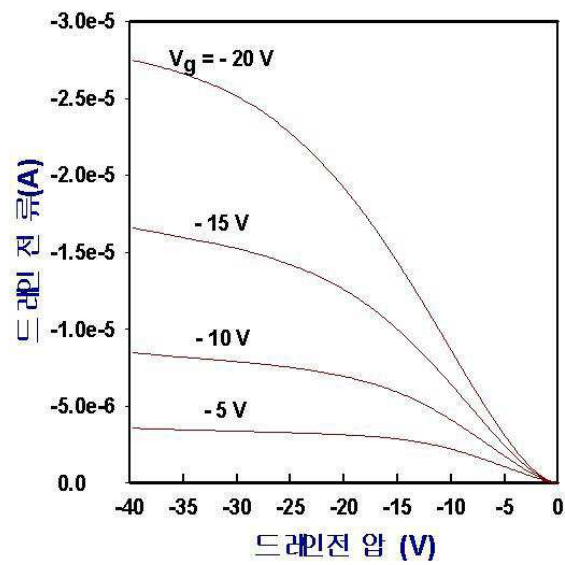
도면11



도면12



도면13



도면14

