



[12] 发明专利说明书

[21] ZL 专利号 91104073.0

[51]Int.Cl⁵

H04N 5/04

[45]授权公告日 1994年12月7日

[24]颁证日 94.10.2

[21]申请号 91104073.0

[22]申请日 91.6.15

[30]优先权

[32]90.6.20 [33]US[31]541,425

[73]专利权人 国际商业机器公司

地址 美国纽约

[72]发明人 利昂·拉姆利斯克

[74]专利代理机构 中国国际贸易促进委员会专利商

H04N 9/64

标事务所

代理人 乔晓东

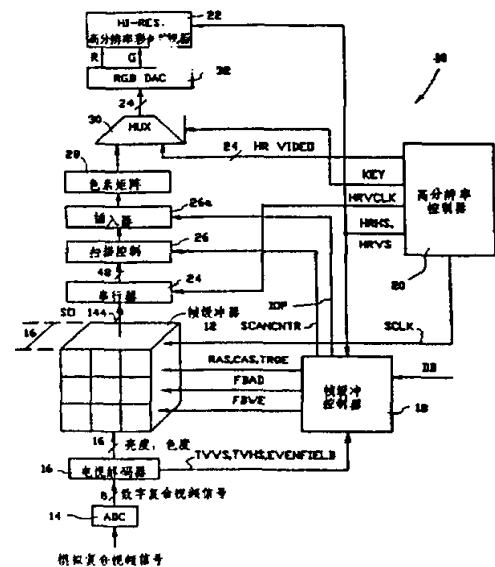
说明书页数:

附图页数:

[54]发明名称 在非隔行扫描显示装置上显示图像的方法和装置

[57]摘要

图像转换方法和器件，它包括如下步骤 (a) 往第一存贮器存第一图像场；(b) 往第二存贮器存第二图像场；(c) 读这第一和第二存贮器；(d) 在显示屏上同时显示第一和第二图像场成一单独图像帧；和 (e) 在执行读步骤的同时，此方法包括一个往第三存贮器存第三图像场的步骤。第一、第二和第三存贮器构成一个具有 3×3 存贮区结构的帧缓冲器。本发明的系统根据一个预定的顺序每次读两个图像场。这个顺序可根据高分辨率帧周期和电视场周期的相位差进行周期性改变。



权利要求书

1. 把一个代表一幅隔行扫描图像的图像信号与一个非隔行扫描图像显示装置相耦合以供在一显示帧期间进行显示的器件, 该隔行扫描图像由多个顺序提供的图像场组成, 所述器件的特征在于还包括:

用于提供数字形式的图像场的装置;

缓冲存贮装置, 其输入与该图像场提供装置相连; 其输出与该图像显示装置相连, 所述缓冲存贮装置包含足够数量的存贮单元以存贮至少三个图像场; 和

读出装置, 它把两个先前存入的图像场从所述缓冲存贮装置中读出以供图像显示装置显示; 同时将一个由图像场提供装置当前正在提供的图像场写入所述缓冲存贮装置。

2. 权利要求 1 所述器件, 其特征为: 所述缓冲存贮装置被构造为多个存贮区, 每个存贮区存贮三个图像场之一的一部分。

3. 权利要求 1 所述器件, 其特征为: 所述缓冲存贮装置被构造为 9 个存贮区的 3×3 结构, 12 个存贮区的 4×3 结构或 24 个存贮区的 8×3 结构, 每个存贮区存贮三个图像场之一的一部分; 其中每个图像场包含多个图像行, 且其中被存贮的图像之一由隔行扫描图像的偶数行组成并且其中被存贮的图像之一由隔行扫描图像的奇数行组成。

4. 权利要求 1 所述器件, 其特征为: 对相继提供的编号为 1, 2, 3, 4, 5...n... 的图像场, 所述读出装置根据一个预定的顺序: 1 和 2, 2 和 3, 3 和 4, 4 和 5, ... (n-1) 和 n, n 和 (n+1), 一次读出两个图像场。

5. 权利要求 4 所述器件, 其特征为: 每一图像场具有与其有关的第一延续时间, 其中所述显示帧具有与其有关的第二延续时间, 并且其中所述读出装置响应第一和第二延续时间之差以周期地更改所述预定的顺序。

6. 权利要求 5 所述器件, 其特征为: 所述第一延续时间与所述第二延续时间不同, 并且互不同步。

7. 权利要求 6 所述器件, 其特征为: 所述显示帧的延续时间长于一个图像场的最长延续时间, 且其中预定的顺序被更改使得图像场以如下给定顺序

显示: (n-2) 和 (n-1), (n-1) 和 n, 以及 (n+1) 和 (n+2)。

8. 权利要求 6 所述器件, 其特征为: 所述显示帧的延续时间短于一个图像场的最短延续时间, 且其中预定的顺序被更改使得图像场以如下顺序显示: (n-2) 和 (n-1), (n-2) 和 (n-1), 以及 (n+1) 和 (n+2)。

9. 权利要求 1 所述器件, 其特征为: 所述图像信号包括一个复合彩色电视信号, 且其中所述器件还包括串联地接在数字信号提供装置与缓冲存贮装置之间的装置, 用于把数字信号解码为一个代表亮度的数字信号、一个代表色度的数字信号和一个代表电视垂直同步信号的信号。

10. 权利要求 1 所述器件, 其特征为: 所述图像信号包括一个复合彩色电视信号, 且其中所述器件还包括串联地接在缓冲存贮装置和非隔行扫描显示装置之间的装置, 用于把数字信号解码为一个代表亮度的数字信号、一个代表色度的数字信号、和一个代表电视垂直同步信号的信号。

11. 权利要求 6 所述器件, 其特征为: 所述图像信号包括一个复合电视信号, 其中所述器件还包括串联地接于数字信号提供装置和非隔行扫描显示装置之间的装置, 用于解码所述数字信号并从中至少抽取一个第一垂直同步信号; 其中所述读出装置和所述第一垂直同步信号相连且与所述非隔行扫描显示器有关的一个第二垂直同步信号相连以检测第一和第二垂直同步信号出现的时差。

12. 权利要求 11 所述器件, 其特征为: 所述读出装置在检测出第一和第二垂直同步信号出现的时差为预定的时差时改变所述预定的顺序, 这个预定的时差表明在需要有关的缓冲存贮单元来存贮下一个图像场之前, 不足量的时间将可以读出一个图像场。

13. 一种显示一个代表隔行扫描图像的图像信号的方法, 所述隔行扫描图像由多个独立提供的图像场组成,

此方法的特征为包括以下步骤:

把一个第一图像场存入一个第一缓冲装置;

把一个第二图像场存入一个第二缓冲装置;

读该第一和第二缓冲装置;

用显示装置把所述第一和第二图像场显示成一个图像帧; 以及

在执行读步骤时，此方法包括把一个第三图像场存入一个第三缓冲装置的步骤。

14. 权利要求 13 所述方法，其特征为：对于编号为 1, 2, 3, 4, 5...n... 的图像场，读出步骤根据 1 和 2, 2 和 3, 3 和 4, 4 和 5... (n-1) 和 n, n 和 (n+1) 的预定顺序一次读两个图像场。

15. 权利要求 14 所述方法，其特征为：每个图像场有一个与其有关的第一延续时间，其中图像帧具有与其有关的第二延续时间，其中读步骤包括以下步骤：

确定所述第一延续时间和所述第二延续时间之间的临时关系；和

响应一个与预定的临时关系的比较，改变预定的顺序。

16. 权利要求 15 所述的方法，其特征为：所述第一延续时间与所述第二延续时间不同且互不同步。

17. 权利要求 16 所述的方法，其特征为：所述图像帧的延续时间长于图像场的最长延续时间，且其中改变步骤改变预定的顺序使得图像场按以下给定顺序显示：(n-2) 和 (n-1)，(n-1) 和 n，和 (n+1) 和 (n+2)。

18. 权利要求 16 所述的方法，其特征为：所述图像帧的延续时间短于一个图像场的最短延续时间，且其中改变步骤改变预定的顺序使得图像场按以下顺序显示：(n-2) 和 (n-1)，(n-2) 和 (n-1)，和 (n+1) 和 (n+2)。

19. 权利要求 13 所述方法，其特征为：所述图像信号包括一个复合电视信号，且其中存储步骤包括一个初始步骤，把这个复合电视信号解码成一个代表亮度的数字信号、一个代表色度的数字信号和一个代表电视垂直同步信号的信号。

20. 权利要求 13 所述方法，其特征为：所述图像信号包括一个复合电视信号，且其中显示步骤包括一个初始步骤，把这个复合电视信号解码成一个代表亮度的数字信号、一个代表色度的数字信号和一个代表电视垂直同步信号的信号。

21. 权利要求 16 所述的方法，其特征为：确定临时关系的步骤包括检测与隔行扫描图像信号有关的第一垂直同步信号的出现和与显示装置有关有第二垂直同步信号的出现之间的时间差的步骤。

22. 权利要求 21 所述方法，其特征为：改变步

骤在检测出第一和第二垂直同步信号出现的时差为预定的时差时改变预定的顺序。

23. 权利要求 13 所述的方法，其特征为：包括一个步骤，它在显示步骤执行以前处理存入的图像场。

24. 权利要求 23 所述的方法，其特征为：所述处理步骤处理与奇数和与偶数图像场有关的三个垂直设置像点。

25. 权利要求 24 所述的方法，其特征为：所述处理步骤插入至少两个垂直设置的像点以得出单个显示像点的值。

26. 权利要求 24 所述的方法，其特征为：所述处理步骤确定三个垂直设置的像点的平均值以得出单个显示像点的值。

本发明一般说来涉及用非隔行扫描显示终端显示电视图像。更具体地，它涉及一种包括帧缓冲器和控制器件的显示系统，这种系统因而可存取数字化电视彩色图像数据以完成数字滤波，动作检测及校正以及实现同步等。

诸如多媒介工作站的某些图形系统的一个理想的性能是用非隔行扫描的图形显示屏显示诸如彩色电视图像的隔行扫描图像。但是，为了满意地提供这种性能，必须解决几个问题。

第一个问题与提高电视图像的质量有关。实现图像增强的一个现有方法涉及数字滤波或解码技术，如图 1a 所示。但是这项技术需要实时存取（相对到来的视频信号而言）位于视频场三条相继电视线上各像点 (B) 的邻域 (A)。

第二个问题与实现动作自适应的消隔行扫描有关，如图 1b 所示。这项技术需要存取位于三条电视线上的各象点 (B)，三行中的两行属于当前视频场而虚线所示的第三行与先前视频场有关。另外，所有这三行都必须与图形显示器的图像行同步。

第三个问题与实现消隔行扫描电视图像相对于图形图像的完全同步有关。这种同步意指完整存储的电视视频帧（一帧包括两场）必须用于电视图像在图形屏幕上的显象。

有关第二和第三个问题在图 1c 和图 1d 中作了进一步说明。图 1c 图示了一个物体（由一条垂直

线表示) 在两个相继电视场中的位置, 此时物体沿水平方向移动。第一场如图 1c (a) 所示; 其后的第二场如图 1c (b) 所示。可以看到, 如果两个电视场的所有行都同时在图形屏幕上显示, 那么由于两场中物体图像之间的水平偏离 (如图 1c (c) 所示), 物体的图像就模糊了。

图 1d 描述了同一移动垂直物体在图形屏幕不与到来的电视视频信号同步时的情形。结果, 如果新场被部分地写入包含前场的帧缓冲器, 则移动中物体的图像被劈开了。图 1d (c) 图示了消隔行扫描和图像劈开的合成效应。可以看到, 最终结果是在非隔行扫描图形显示屏上显示的电视图像模糊。

在 1987 年 9 月 15 日公告的美国专利第 4, 694, 325 号中, S.Mehrgardt 公开了一种把彩色电视接收机接入家用计算机的接口电路, 其中家用计算机的图形时钟信号不与电视接收机的信号同步。Mehrgardt 电路包括一个具有级联延迟级的数字延迟线。但是, Mehrgardt 只考虑了已解码的红、绿和蓝信号, 而没有考虑复合信号的接收和其后的显示。

在 1982 年 8 月 10 日公告的美国专利第 4, 344, 075 号中, J.Rudy 公开了一种消除由非隔行扫描显示器上 NTSC 彩色载波器显示的垂直毛边的系统。Rudy 公开了一种时序控制电路, 这种电路只在某个特定的非隔行扫描电视光栅扫描线格式的每个后续场不显示部分 (第 2 列, 第 45-61 线) 的选定的单个扫描线期间工作。

在 1987 年 10 月 6 日公告的美国专利第 4, 698, 674 号中, L.Bloom 公开了一种把来自电视摄像机或其它数据源的数字化隔行扫描数据顺序地转换成非隔行扫描数据存入计算机内存的转换器。Bloom 方法是把图像的两场存入内存。显然 Bloom 假设电视图像的场与图形屏幕的帧同步 (一般锁定)。但是, 在所有实际应用中并不存在这种情形。相反, 非隔行扫描图形控制器的时序一般完全与电视视频信号源无关。

以下为其它一般性参考文献。在 1976 年 6 月 20 日发表的美国专利第 3, 970, 776 号中, K.Kinuhata 等人公开了一种对具有隔行扫描帧 (每帧由两相邻隔行扫描场构成) 的电视信号的线数进行转换的系统。在 1984 年 11 月 20 日发表的美国专利第 4, 484, 188 中, G.Ott 公开了一种通

过在相继扫描线之间另加视频信号扫描线来改进视频信号分辨率的视频信号发生电路。ott 系统是通过把两相邻扫描线的视频特性结合起来形成附加视频扫描行的。在 1984 年 10 月 30 日发表的美国专利第 4, 480, 267 中, P.van den Avoort 等人公开了一种从电视信号的两相继场获得幅值基本上相等的信息的场插值法。van den Avoort 方法是把 313 线电视图像转换成 625 线电视图像。在 1987 年 9 月 15 日发表的美国专利第 4, 694, 348 中, K.Kamiya 等人公开了一种电视接收机液晶显示板的隔行扫描转换器。在 1987 年 4 月 21 日发表的美国专利第 4, 660, 070 中, Uishi 等人公开了一种把视频图像数据写入视频存贮器的视频显示处理器。这个视频显示处理器根据水平和垂直的同步信号生成存贮器的地址数据。在 1985 年 5 月 21 日发表的美国专利第 4, 518, 984 中, H.Mitschke 公开了一种包括视频帧存贮器 221 的电路, 在进行合成的文本与图形 (视频文本) 的显示时可获得无闪烁的图像。

但是, 所有以前的美国专利 (不管单独还是结合起来) 都未能提供一种方法或器件, 能够满意地解决上述与用非隔行扫描图形显示系统显示隔行扫描图像 (如电视信号) 时的像质增强、动作自适应的消隔行扫描和同步有关的问题。

因此, 本发明的目的是提供在非隔行扫描的图形显示屏上显示隔行扫描图像信号的方法和器件。

本发明的进一步目的是提供在非隔行扫描图形显示屏上显示由两隔行扫描场组成的电视彩色图像帧的方法和器件; 本发明提供了三个场缓冲器, 两个用来存贮一整帧的两场, 而第三个场缓冲器存贮当前的电视场。

通过一种用非隔行扫描的显示系统显示表达隔行扫描图像的图像信号的方法和器件可解决以前的问题和实现本发明的目的。可由提供多个分别供给的图像场的复合彩色电视信号提供隔行扫描图像。根据本发明的方法, 公开了如下步骤: (a) 在第一存贮器中存入第一图像场; (b) 在第二存贮器中存入第二图像; (c) 读第一和第二存贮器; (d) 在显示屏上同时显示第一和第二图像场成一单幅图像帧; 以及 (e) 在执行读步骤时, 此方法包括一在第三存贮器存入第三图像场的步骤。对序号为 1, 2, 3, 4, 5...n... 的图像场, 本发明的系统根

据预先确定的顺序每次读两个图像场，这个预定顺序为：1 和 2，2 和 3，3 和 4，4 和 5，…… $(n-1)$ 和 n ， n 和 $(n+1)$ 。

对于指定图像帧比图像场延续时间长的情况，本发明可检测图像帧和图像场之间的关系，并改变预定的显示顺序，使得图像场按以下顺序显示： $(n-2)$ 和 $(n-1)$ ， $(n-1)$ 和 n ，以及 $(n+1)$ 和 $(n+2)$ 。

对于指定图像帧比图像场延续时间短的情况，本发明可改变预定顺序使得图像场按以下顺序显示： $(n-2)$ 和 $(n-1)$ ， $(n-2)$ 和 $(n-1)$ ，以及 $(n+1)$ 和 $(n+2)$ 。

本发明的帧缓冲器具有 3×3 ， 4×3 或 8×3 存储区结构。每个区存储一个电视场的一部分。该帧缓冲器使得（例如） -3×3 的像点邻域能并行给出，供显示或供其后诸如插值的预显示处理用。

结合附图阅读本发明的细节性描述能更好地理解本发明的上述和其它特征，其中：

图 1a 图示了常规的数字滤波或解码方案，它对从三条相继扫描线上选出的像点邻域进行处理。

图 1b 图示了一种实现动作自适应的消隔行扫描的技术；

图 1c 和图 1d 分别图示了用先有技术系统显示一个线性的，垂直放置的正沿水平方向移动的物体时的消隔行扫描效应和带有画面劈开的消隔行扫描效应；

图 2 以框图形式图示了本发明一个实施例，它在帧缓冲器的前面串联放置了一个电视解码器，且在此帧缓冲器的后面放置了一个插入器；

图 3 以框图形式图示了本发明另一实施例，它在帧缓冲器的后面串联放置了电视解码器；

图 4 以框图形式图示了本发明另一实施例，它在帧缓冲器的后面串联放置了电视解码器和插入器；

图 5 图示了帧缓冲器当前优选的 3×3 存储区结构；

图 6 详细描述了帧缓冲器存储区的一个实施例；

图 7 详细描述了帧缓冲器存储区的另一实施例；

图 8a 图示了一个优选的帧缓冲器视频行存储顺序；

图 8b 详细图示了图 8a 的存储顺序；

图 9 是用以说明本发明的显示系统用于多个相继显示的高分辨率帧的工作情况的时序图；

图 10 是一时序图，它详细图示了涉及高分辨率的增量 (INC) 信号与电视垂直同步信号之间的关系。

图 11 是一框图，它详细图示了图 2，3 和 4 的串行器框；

图 12 是一框图，它详细图示了图 2，3 和 4 的帧缓冲控制器框；

图 13 是一框图，它详细图示了图 12 的增量时序发生器框；

图 14 是图示图 13 的增量时序发生器框工作的时序图；

图 15 是一框图，它详细图示了图 12 的电视地址发生器框的一部分；

图 16 是一框图，它详细图示了图 12 的电视地址发生器框的另一部分；

图 17 是一框图，它详细图示了图 12 的视频更新地址发生器框；

图 18 是说明图 17 的视频更新地址发生器工作的时序图；

图 19 是一框图，它详细图示了图 2，3 和 4 的扫描控制框；

图 20 是一框图，它详细图示了图 4 的存储器的结构；

图 21，22 和 23 是表，它针对本发明的不同实施例说明了从显示器的帧缓冲器读出行的顺序的执行过程的各个方面。

图 2，3 和 4 以框图形式图示了三个本发明目前优选实施例。图 2 图示的实施例描述了往 16 位帧缓冲器 12 存入分量数字视频信号的系统 10。系统 10 还包括一个插入器，并解决了前述动作虚影消除和电视与图形图像完全同步的两个问题。虽然图 2 的实施例存储电视图像所占存储区比本发明其它实施例要多，但是此实施例为采用分量视频信号再现的，其质量比 NTSC 更高的诸如生产 HDTV 标准 (SMPTE 240M 标准)，或 Super-VHS 制式的系统提供了完整方案。请注意诸如 HDTV 或 Super-VHS 采用色度/亮度模拟分量输入的系统是不需要电视解码器的。在这种情况下，不需要 TV 解码器，而需要增加一个模数转换器 (ADC)

将亮度和色度分量数字化。

现在详细讨论图 2 的实施例。来自电视信号源的一个输入模拟复合视频信号被送到 ADC14, ADC14 提供一个数字复合视频信号。ADC14 的 8 位分辨率输出提供了合适的图像质量。这个数字复合视频信号被送到一个常规的电视解码器 16, 这个解码器给出一个数字亮度 (y) 输出, 一个数字色度 (c) 输出, 一个电视垂直同步 (TVVS) 信号, 一个电视水平同步 (TVHS) 信号, 和一个电视场标记信号 EVENFIELD。

philips 公司生产了提供转换器 14 和解码器 16 的除 EVENFIELD 发生功能以外其它功能的合适的器件, 象器件号 TDA8708 和 SAA9051。这些器件在 philips 元件用户指南第 939806330011 号“数字视频信号处理”中有说明。应当注意 12 位和 16 位的器件都可使用, 并且可以购得符合 1987 年的《国际电讯制造协会推荐的标准和规程》中第 62 页上陈述的电视编码和发送的 CCIR601-1 建议的这些及其它器件。EVENFIELD 信号发生如下所述。

亮度和色度信号都以 8 位分辨率来表示并送到帧缓冲器 12 中存起来。TVVS, TVHS 和 EVENFIELD 信号被送到一个帧缓冲控制器 18, 在那里以将要讨论的方式应用这些信号。

帧缓冲控制器 18 生成许多视频 RAM (VRAM) 控制信号, 包括一个行地址选通脉冲 (RAS), 一个列地址选通脉冲 (CAS), 一个转移/输出启动信号 TR/QE, 一个帧缓冲器地址 (FBAD), 一个帧缓冲器写启动 (FBWE)。控制器 18 的硬件设置数据从主机数据总线 (DB) 装入。帧缓冲控制信号以选定的 VRAM 说明所述方式发生并使用。例如, 一种合适的器件由 Toshiba 制造, 熟知的 TC24256 的 1 兆位 VRAM。虽然帧缓冲器 12 最好由 VRAM 器件组成, 但是不一定非要用 VRAM。用常规的动态 RAM (DRAM) 器件可获得同样的结果, 但需要更多的存贮芯片以提供帧缓冲器 12 输出所需要的存贮带宽。

控制器 20 生成一个高分辨率的图形图像 (HRVIDEO) 信号。控制器 20 还为一个高分辨率彩色监视器 22 提供时序功能, 诸如一个高分辨率垂直同步 (HRVS) 信号和一个高分辨率水平同步 (HRHS) 信号。HRVS 和 HRHS 信号还可用作

通到帧缓冲控制器 18 的输入。控制器 20 为从 VRAM 串行端口移送数据而生成一个串行时钟信号 SCLK, 并为从串行器 24 移送数据而生成一个高分辨率视频时钟信号 HRVCLK。HRVCLK 对应于高分辨率彩色监视器 22 的一条水平线上的全部像点数。SCLK 由 HRVCLK 除 3 而得。高分辨率彩色监视器 22 具有 (例如) 1024×1024 可显示像点的像点分辨率。

随着每个 SCLK, 帧缓冲器 12 的输出向串行器 24 提供了 9 个 16 位像点, 共 144 位。这 9 个像点表现为一个如图 19 所示的由 144 位组成的 3×3 像点邻域。换句话说, 帧缓冲器 12 在每个串行时钟时间向串行器 24 传递 3 条取样电视行 \times 3 个像点, 尽管最终在监视器 22 的显示屏上只显示一行。串行器 24 因此把帧缓冲器 12 的并行输出转换成一个顺序像点数据流以最终一个一个像点地显示在显示屏上。

按常规, 串行器只被用来串行移送从帧缓冲器并行读出的的一行的数据。但是, 根据本发明, 从帧缓冲器 12 并行读出三行。因此, 在每个 HRVCLK 周期, 串行器 24 的输出移出三个垂直相邻的像点 (48 位) 至扫描控制器件 26。

作为下面详细描述的对有“ 3×3 ”个区的存贮器结构的结果, 串行器 24 输出处的三行不一定是相继的视频线。而且, 它们的顺序是可变的且取决于这些行处于帧缓冲器的特定地址。扫描控制器件 26 以下面详细描述的方式重新安排串行器 24 的输出, 把所需的行顺序排列送到插入器 26a 的输入处。

如果不用动作校正处理, 那么扫描控制器件 26 的输出可以直接与一个色矩阵 28 相连。而且, 这种最简单情形不需要并行存取三条电视行。但是, 仍然要用 3×3 帧缓冲器结构以实现到来的电视图像与所显示的图形图像之间的真正同步。

如果用了动作检测和校正, 如图 2 所示, 那么插入器 26d (如图所示) 装在扫描控制 26 和色矩阵 28 之间。可以在诸如 1989 年 1 月出版的无线电电子学杂志第 43 页由 Leonard Feldman 描写的文章“改进清晰度电视”之类的文献中找到合适的插入器结构和使用说明。

应当注意, Feldman 描述的系统当需在同一屏幕显示两个独立的视频信号源时不能使用。插

入器需要同时存取三条电视行，其中两条属于当前电视场，一条属于先前场。信号源假设电视行传输率在输出处简单地加倍，即视频输出是视频输入的直接函数。在这种情况下，当前场总是在系统的输入处出现，而先前场被存贮起来。再采用一个线延迟，必需的三行就可在插入器的输入处获得。但是，正如先前所述，一幅高分辨率图像一般来说绝对与第二个图像源无关，并且当前视频场与帧缓冲器输出不同步。本发明通过反复向插入器 26a 的输入提供所需要的数据解决了这个问题。

如上所述，插入器 26a 向色矩阵 28 提供一个输入信号。根据诸如 CCIR601 之类的可适用的标准，色矩阵 28 把 8 位亮度信号和 8 位色度信号转换成 8 位红，8 位蓝和 8 位绿信号。这些基色信号作为转换开关 30 的输入。此转换开关 30 的第二个输入是由来自控制器的 24 位基色组成的 HRVIDEO 信号。

为在高分辨率彩色监视器 22 的屏幕进行显示，所选择的高分辨率电视图像或 HRVIDEO 信号这一过程由控制器 20 的一个 Key 信号输出控制。可以通过对一个图形像点数据值进行解码，或对标明欲在何处用一图形窗口来显示电视图像的所谓“窗口标识符”进行解码在像点基提供 Key 信号。在后一情形里，图形图像像点数据具有一个特殊场，称为“窗口-ID”。在前一情形里，色素之一不在屏幕上显示。而是让视频图像样本通过，送至屏幕上那个像点位置。例如，通过使用转换开关 30，电视图像可以同作为 HR VIDEO 信号提供的文本和 / 或图形信息一起显示。

转换开关 30 的 24 位输出被送往一个 RGB 数模转换器 (DAC) 32，而此转换器又以常规方式提供 R, G, B 模拟信号以驱动高分辨率彩色监视器 22。

图 3 所示的实施例描述了一个与图 2 的系统 10 相似的系统 10a。但是，系统 10a 存贮数字复合信号，因而包括一个 8 位帧缓冲器 12。而且系统 10a 不包括插入器 26a。因此此实施例只解决了前述同步问题。请注意系统 10a 不像图 2 的系统，它在帧缓冲器 12 后的数字通路中装有电视解码器 16。因此，图 2 的系统 10 需要一个以取样时钟频率工作的 TV 解码器 16，如根据 CCIR601 的频率为 13.5Mhz；而图 3 的系统需要一个以高分

辨率视频时钟频率工作的 TV 解码器 16，这个频率比取样时钟频率高得多。例如，640×480 分辨率的高分辨率视频时钟频率是 25Mhz，1280×1024 分辨率的是 110Mhz。适用的高频 TV 解码器可采用专用集成电路 (ASIC) 技术制造。

图 4 的系统 10b 为前述所有问题提供了完整的解决方案。系统 10b 除了图 3 所示的把一个数字复合信号存入 8 位帧缓冲器 12 的结构外，还装有多个行存贮器 34 和一个插入器 26a。图 4 的实施例对基于数字复合 NTSC 制式的电视演播室环境特别有用。这种环境处理直接从得到广泛应用的所谓 D₂ 一型数字磁带录象机输出的数字复合视频信号。这种录像机把视频信号作为复合模拟视频信号的以比色脉冲频率即 14、32Mhz 高 4 倍的频率取样而得的 8 位复合数字表示来存储。如果数字复合视频信号直接存入帧缓冲器 12，则为了进一步编辑或远程工作站之间的图像交换，图 4 所示的 ADC14 就不需要了。

对如图 3 和 4 所示电视图像作为 8 位复合信号存贮并在帧存贮器 12 之后解码的情形，TV 解码器 16 放在扫描控制 26 和色矩阵 28 之间，并通过一个常规的同步选择器或同步解码器 18a 从模拟复合信号得出电视同步信号 TVVS 和 TVHS。可从几家电视元件制造商购买到适用的设备。

图 3 所示系统 10a 所采用的解码过程需要并行存取两或三行的当前场数据。本发明提供了这两种解码方案的应用。例如，采用如 1984 年 8 月出版的《IEEE 消费电子学通讯》，卷 CE-30，第 3 期第 213-219 页上 S.Suzuki 等人所写“NTSC 和 PAL 制式的高图像质量数字电视”一文中所描述的三行解码方案。采用这项技术，从存入帧缓冲器 12 的一个电视场中读出这一行并送至串行器 24。由扫描控制 26 把这些行排成相应的顺序，并送至 TV 解码器 16 的输入。请注意这串行器 24 具有 72 位输入和 24 位输出，或图 2 所示实施例所需信号行的一半。

对图 4 所示的更复杂的情形，其中即应用了动作校正又应用了电视信号解码方案，有必要提供对当前场的三行和先前场的一行的同时存取。但是，3×3 的帧缓冲器 12 的存贮器结构不能现成地存取四条行的视频信息。通过交替进行 VRAM 主端口的写和读周期，可提供这种存取，用写周期存贮取

样数据，用读周期提供对三条相继行上 9 个像点的存取，然后把结果直接送至串行器供进一步处理。但是，这种方法需要一个复杂的读/写控制器 18，并且没有利用应用 VRAM 辅端口的优势。

而图 4 所示的目前优选的实施例应用了一个较简便的技术，按下述方式通过提供行存贮器 34 来存取三条视频行。

现在详细描述图 3、4 和 5 的三个目前优选实施例的各个方面的。

如从图 5 可见，帧缓冲器 12 具有 9 个存贮区或模块 MM00 到 MM22 的 3×3 矩阵结构。存贮模块 MM00, MM01, 和 MM02 由信号 RAS0 控制，MM10, MM11 和 MM12 由 RAS1 控制，而 MM20, MM21 和 MM22 由 RAS2 控制。MM00, MM10 和 MM20 的主端口数据端相连，提供一条 16 位（图 2）或 8 位（图 3 和 4）宽的 DQ0 数据总线，以同样方式，MM01, MM11 和 MM21 主数据端相连，提供一条数据总线 DQ1，而 MM02, MM12 和 MM22 主数据端提供一条数据总线 DQ2。

帧缓冲器存贮地址 FBAD, WE 和其它存贮控制信号与所有存贮模块共同连接。但是在图 5 中未示出以简化该附图。

存贮模块 MM00, MM01 和 MM02 的串行输出合成串行输出总线 S00。串行输出总线 S01 表示 MM10, MM11 和 MM12 的串行输出，而串行总线 S02 代表 MM20, MM21 和 MM22 的串行输出。

单个存贮模块的存贮容量随实现方式而变化，取决于存贮数字复合信号还是存贮数字分量信号，也取决于所用电视标准。例如，参见图 6，为存贮具有较低分辨率的数字复合 NTSC 信号，存贮模块可以包括两个 256K 比特存贮器件，每个组织成 64K 字 \times 4 位，即 256×256 字 \times 4 位。因此，一个存贮模块可视为具有 8 个主端口数据端 (DQ)，8 个串行输出引脚 (SO) 和公共控制信号的 $256 \times 256 \times 8$ 位的存贮器件。

适于存贮数字分量 NTSC 信号的存贮区如图 7 所示。4 个 $64K \times 4$ 位的存贮器件合起来以实现 16 位样本存贮。因此，再次参见图 5，数据总线 DQ0, DQ1 和 DQ2 在采用 8 位数字复合信号时为 8 位，在采用分量 16 位信号时为 16

位。因此，串行数据总线 (S00-S02) 具有 24 或 72 条线，以并行方式适应所有存贮器件的串行数据输出。

根据图 8 所示的结构，到来的取样电视线存入帧缓冲器 12。存贮三个电视场听需的帧缓冲器 12 的总存贮空间在图 8 中被称为存贮场 A, B 和 C。每个存贮场被存贮在所有存贮器件内，占用了每个存贮行（如 MM00, MM01 和 MM02）的三分之一的存贮空间。可以看到，帧缓冲器 12 以一个特殊顺序存贮电视线，使每个存贮区都参与存贮三个视频场。照这样，并假设偶数场被首先收到，那么第一到来场的行 0, 2 和 4 被装入存贮器行地址为 0 的上, 中, 和下存贮区。接着，第一到来场的行, 6, 8 和 10 以同样的顺序存贮，但存贮器行地址为 1。到来的行以这种方式存贮直到整个第一到来场存入。鉴于-NTSC 场具有大约 240 条有效行，在每个存贮器件里存贮一整场只需要 80 个存贮器行，而总共有 256 行可用。存贮第一到来场 (A) 所需的帧缓冲器存贮器 12 的总存贮空间占用了称为 FIELDA 的存贮空间。在这个例子中，FIELDA 需要 240 个存贮行，等分在三个存贮区内。

第二到来视频场占用了图 8 中称为 FIELDB 的存贮空间。第二场随地址移位或变更为 85 而存入帧缓冲器 12，但按照一种略有不同的顺序。

第三到来场占用了图 8 中称为场 c 的存贮空间，它随存贮地址变更为 170 而存入，但还是从存贮器件的第一行开始。

根据本发明，在首先到来的两场 (A 和 B) 全部存入以后，它们被并行读出并作为第一帧高分辨率图像显示出来。到来电视线的具体分布和帧缓冲器行地址如图 8b 所示。存贮场 A 存入所有三个存贮器件行中。第一存贮器件行存贮了存贮场 A 的一部分 A1，第二行存贮 A2，第三行存贮 A3。存贮场 B 和 C 照此分布。在图 9 的时序图中可以看到，在 6 个电视场取样和存贮以后，出现了寻址顺序重复。

请注意 NTSC 的情形，它每帧有大约 480 条有效行，或每场有 240 条有效行，因而需要 240 个存贮行。因此，对于 256×256 的存贮结构，只用了每个器件的 80 个存贮行，为下两场留下了足够的未用存贮空间。还请注意，因为所谓的帧“过

扫描”，通常一个电视帧有大约 15% 未在 TV 接收机上显示出来。因此，电视摄像机提供的图像比在电视监视器上通常显示出的要宽要高。结果取样行数可以减少。而且，每场的总取样行数是监视器 22（即送到图形屏幕的电视图像期望构图）上所示行数的函数。

对主要用于欧洲的 PAL 电视标准来说，每帧所具有的有效线大于 512，不能采用完全存贮。意指如果取样 255 行，那么大约 15% 的有效行被跳过了。但是这对于 NTSC 情形里不太重要，在这种情形里，通常 15% 的图像不需要显示。当然，如果一幅 PAL 图像的所有行都要求取样并存贮，那么可以采用较大的存贮器件，如具有 512×512 结构的器件。

目前，对规定 HDTV 格式有几个建议。最简单的方法是使行数加倍，因此对 NTSC 情形来说，这个建议使每帧具有 1050 条扫描行而不是 525 行，对 PAL 情形来说，它使每帧具有 1250 条扫描行。一个妥协方法是每帧具有 1125 条行，其中有 1035 条有效行。对所有这些所建议的标准，使用具有 512×512 结构的存贮器件足够对所需行数取样。既然水平分辨率高达 1536 像点的显示器不能显示出全部 HDTV 细节，那么上面讨论的构成存贮结构的 3×3 方法在采用 512×512 结构的存贮器件时是可用的。只是在极高分辨率显示器（如具有 2048 个水平像点的显示器）的情形里，对帧缓冲器 12 中的 HDTV 线完全取样才显示出优势。在这种情形里，帧缓冲器 12 的存贮行包括 4 个存贮模块，并需要增加 25% 存贮器件，它给出了 4×3 的帧缓冲器实施例，而不是前述 3×3 的实施例。对这种方法，本发明的论述仍然完全可用，且可修改使得现有四个来自串行器 24 的水平相邻的像点中的三个能同时使用。在这种情形下，一次采集 12 个像点，然后在四个周期内进行处理，而在三个时钟周期内从帧缓冲器 12 读出一组 12 个像点。

另一实施例使用了 8×3 帧缓冲器结构。用这种结构可以提供极高分辨率的显示，诸如在 60Hz 非隔行扫描下的 2048×1535 的显示，它具有对应于足够视频更新带宽的 260MHz 视频像点时钟。现有 VRAM 技术具有 35 或 40MHz 串行时钟极限，因而一帧缓冲器 12 存贮行需要 8 个存贮器

件。这种 8×3 结构也与本发明的论述完全相容。

为简单起见，下一步只讨论 NTSC 情形，而又应看到本发明的论述也可用于 PAL 标准和其它标准。

正如可以认识到的，存在的问题是高分辨率图形帧和电视场一般来说并不具有相同的延续时间或周期。况且，可用来规定帧延续时间的精度有一个有限的极限。而且，尽管高分辨率帧的延续时间和精确性可由高分辨率显示装置的生产厂家指定并可根据系统的要求更改，但是电视同步参数由装置用的实际电视标准规定。因此，图形显示装置与到来电视视频场之间的时序不兼容性将对高分辨率图形屏幕上显示的电视图像的质量产生不利的影响。

本发明通过选择高分辨率视频帧的周期比最长电视周期稍长一点，或者反过来，比最短电视场周期短，（电视场周期由可应用电视标准所指定）来解决这些与时序不兼容性有关的问题。例如，如果电视标准要求场频为 $60\text{Hz} \pm 1\%$ ，那么选择图形显示帧频高于 60.6Hz 或低于 59.4Hz。

本发明的这一方面由图 9 的时序图说明，图 9 所示的是图形帧延续时间比电视场的延续时间要长的情形。如前所述，高分辨率图形视频更新过程需要两个已存入电视场和一个在先前图形帧期间已显示的当前显示场。

图 9 的第一行图示了电视场的时间顺序，从取样过程开始顺序编号。行 A (WR) 图示存贮场 A 何时存贮取样数据并与到来场 1, 4, 7……等对应。行 A (RD) 图示场 A 何时向显示器输出提供数据。下面四行图示了帧缓冲器 12 存贮场 B 和 C 的进/出顺序。标有 HI-RES. FRAMES 的行图示从存贮场 A、B 和 C 读出的并合成由监视器 22 显示的高分辨率帧的成对电视场的顺序。例如，从存贮场 A 和 B 首先读出两个电视场 1 和 2，为监视器 22 上的显示提供第一高分辨率帧图像。从存贮场 B 和 C 读出下两个电视场 2 和 3 并在屏幕上合成第二个高分辨率帧等等。高分辨率 HRVS 和电视 TVVS 垂直同步脉冲也示出。可以看到，电视垂直场周期比高分辨率帧周期短。还可以看到，每个取样周期，A (WR) 和 B (WR)，位于两个 TVVS 脉冲之间，每个读周期，A (RD) 和 B (RD)，位于两个 HRVS 脉冲之间。

根据本发明的一个方面，读帧缓冲器 12 存贮

的顺序是 HRVS 和 TVVS 之间相位差增量的函数。为简单起见，取样过程在 HRVS 和 TVVS 信号间的相位差增量大约为 0 时开始。增量逐渐增加然后再次减少到大约 0。

因此，图 9 图示了电视场读顺序是 (1, 2), (2, 3), (3, 4), (4, 5)，其中一个后续显示场被再用作一个当前显示场，其后是对 (6, 7)。读顺序改变的时间点以增量即 TVVS 和 HRVS 间的时间差的测量为基础来决定。如图所示，当增量变到大约与电视场周期相等时，读存贮场顺序被改变了。

从图 9 可以看到，存贮场取样过程一般在存入的场完全读入屏幕以前用一个新场改写一个先前取样和存入的场。当增量值逼近电视场周期时，两个新场都从帧缓冲器 12 读出。这提供了一个时间“跳跃”，确保在电视场存入存贮场结束时，先已存入的电视场数据已被完全读出。测量增量的电路在值变到临界时提供一个信号 INC。INC 信号中断帧缓冲器读（或视频更新）地址的顺序，而且使帧缓冲器 12 的视频更新地址计数器递增。如图 9 所示，增量逐渐增加直到（增量 4）生成 INC 信号。然后从帧缓冲器 12 中读出两个新场（6 和 7）送到显示器输出而不是一个新场和一个“旧”场（5 和 6）。虽然增量值继续增加，但它最终降至大约为 0，然后再开始增加。当增量再次到达临界值时，生成另一个 INC 信号，使得所显示的场对是 (12, 13) 而不是 (11, 12)。

上述显示过程重复到某个时间点，即确定了这些电视场之一由于要求相关的帧缓冲器 12 的 FLELDA, B 或 C 存贮下一个到来的电视场，而不能全都读出的时候。因此，应用图 9 所给例子，在读和显示电视场 4 和 5 之后，读和显示两个新场 6 和 7，然后 7 和 8，8 和 9，9 和 10，10 和 11，最后又是两个新场 12 和 13。

帧缓冲控制器 18 通过确定高分辨率图形垂直同步脉冲 HRVS 和电视垂直同步脉冲 TVVS 间的增量来改变场存贮读过程的场序。当这个增量变得比电视和图形帧的最小重合时间还小时，它表明：如果电视场读顺序未被修改以获得两个新场，则将在图形帧显示周期结束以前需要一个当前显示的场（如果在下一高分辨率图形帧显示周期内再将被显示的话）以存贮一个新到来的电视场。如果相关的

FIELD 在这个周期内要被重新使用，不受欢迎的闪烁和 / 或其它显示异态将会发生。

对于图形帧周期比电视场周期小的情形，可应用同样的基本过程，但是，不是显示两个新场，而是显示先已显示的两个场。例如，电视显示顺序可以是 1 和 2, 2 和 3, 3 和 4, 4 和 5，以及 6 和 7。因此，跳过了一个电视场 (5)。这种方法可能导致闪烁虚影。但是，如果电视场周期和图形帧周期之差足够小，如 1%，那么，在 100 帧中大约只有一帧被跳过。因此，闪烁的视觉效果并不显著。

重复前面所述，对序号为 1, 2, 3, 4, 5...n...的图像场来说，本发明的系统根据预先确定的顺序 1 和 2, 2 和 3, 3 和 4, 4 和 5, ... (n-1) 和 n, n 和 (n+1) 一次读两个图像场。对于选定图像帧的延续时间比图像场长的情形，本发明检测图象帧的延续时间比图像场长的情形，本发明检测图象帧的延续时间与图象场的延续时间之间的关系并改变预先确定的显示顺序，使得象场按 (n-2) 和 (n-1), (n-1) 和 n 以及 (n+1) 和 (n+2) 的顺序显示，对于选定图像帧的延续时间比图象场短的情形，本发明改变了预定确定的顺序使得图象场按 (n-2) 和 (n-1), (n-2) 和 (n-1), 以及 (n+1) 和 (n+2) 的顺序显示。

请注意在帧缓冲器 12 的输出有两个场，一个奇数场和一个偶数场。因此，总是有两个场可供在高分辨率非隔行扫描监视器上显示一个隔行扫描的电视帧而无“劈开”虚影。

图 10 的时序图进一步描述了增量计算。时间间隔 RD1, RD2 等对应于从帧缓冲器 12 读出的周期，时间间隔 WR1, WR2 等对应于向帧缓冲器 12 写入的周期。在间隔 RD1 内，读处理在帧缓冲器 12 的相应单元被 R1 间隔内的新场更新以前完成。RD2 间隔是最后一个能“安全”地写入读出同一存贮场的间隔，因为在这个间隔内，写结束时正好读也完成了。相应地，在 HRVS 脉 2 以后，有必要发出一个 INC 信号使得 HRVS 脉冲 3 和 4 之间高分辨率周期的视频更新地址递增。增量值，即 TVVS 和 HRVS 出现的时差当

增量+THR>2TTV 时

发出一个报警信号，其中 THR 是高分辨率帧周期，TTV 是电视场周期。

为了提供一个安全系数，假设最低的电视场频是 61Hz，而高分辨率帧频是 59Hz，那么，

$TTV = 1 / 61 = 16393\text{ns}$, 并且
 $THR = 1 / 59 = 16949\text{ns}$, 因此
 增量 $= 2TTV - THR = 15387\text{ns}$

用 TVHS 周期来测量增量是方便的, NTSC 的 TVHS 周期等于

$TTV / 262.5 = 16393 / 262.5 = 62.5\text{ns}$, 其中 262.5 是一场中的电视行数。因此, 如果 TVVS 和 HRVS 之间的 TVHS 脉冲数变得大于 (增量 / 62.5) = 246, 则表明必须生成一个 INC 信号。

在 INC 信号生成以后, 增量继续增加, 但直到增量变得小于 246 之前, 不应再次生成 INC。

现在详细描述提供到帧缓冲器 12 的存取和提供适当的数据流以解决先前提到的问题的控制电路。

图 11 详细图示了串行器 24 和帧缓冲器 12 的连接。串行器 24 包括三个相同的元件 SER0, SER1 和 SER2, 它们基本上是具有并行装入能力的移位寄存器。移位寄存器把视频时钟 VCLK 作为移位时钟。在计数器 CNT24a 的有效输出期间由帧缓冲器 12 装入移位寄存器。CNT24a 用 3 除 VCLK, 提供一个 VCLK 周期来装入串行器内部的寄存器 SER0-SER2, 提供两个周期从寄存器移出数据。寄存器间的转换开关在装入期内切换帧缓冲器串行数据输出 S0 之间相应寄存器的输出, 而在移位期内切换先前寄存器的输出。计数器 CNT24a 的输出也可用作一个串行时钟 SCLK 以把数据从帧缓冲器 12 的辅端口移出。

图 12 图示了帧缓冲控制器 18。控制器 18 包括一个电视地址发生器 50, 视频更新地址发生器 51, 增量发生器 52, 状态机 53, 帧缓冲器地址转换开关 54 以及行地址选通脉冲转换开关 55, 56 和 57。

TV 地址发生器 50 转换开关 54 送一个帧缓冲器写地址 WRA 并生成在电视数据取样 (存贮) 进入帧缓冲器 12 期间帧缓冲器写控制用的行地址选通脉冲 WRAS0, WRAS1 和 WRAS2。正如在前面论述图 8a 和 8b 时提到的, 写地址顺序取决于取样场是奇还是偶, 并且写入 6 个场后写顺序出现重复。此外, 每条电视行在 RAS 选通脉冲控制下存入几行存贮器件中的一行。TV 地址发生器 50 接收来自 TV 解码器 16 或 SYNC 选择器 18a 的 TVVS 和 TVHS 信号并根据那一行帧缓冲器 12 存

贮器件必须存贮取样 TV 数据而把一个由状态机 53 生成的信号 RAS 切换到三个输出 WRAS0, WRAS1 和 WRAS2 之 1。

增量发生器 52 通过以电视水平同步信号 TVHS 一个周期的精度测量 TVVS 和 HRVS 间的时差来产生 INC 信号。它还将 HRHS 用于时序控制。发生器 52 的 INC 输出也输入到状态机 53 作为一种关于增量值是否小得足以开始取样过程的标志。

状态机接收来自主处理机的取样启动指令 SAMPLEEN。当 SAMPLEEN 信号起作用时, 状态机 53 生成必要的读和写周期的 RAS 时序信号。在每个 SAMPLEEN 信号后发出 RES 信号以适当地设置地址发生器 50 和 51 中的计数器。TVVS 使状态机 53 从电视帧的起始端启动取样过程。信号 R/W 的极性表明执行的是读周期还是写周期。写周期在每个 TVHS 信号之后开始并在一条有效电视行期间内持续。读周期对应于 HRHS 信号。把取样的电视数据写入帧缓冲器 12 主端口的过程使 HRHS 中断片刻以实现把取样电视行转移到帧缓冲器的辅端口, 再从这里, 由 SCLK 把它移出到串行器 24。

在被状态机 53 复位以后, 视频更新地址发生器 51 把系列帧缓冲器 12 的读地址: RRA0, RRA1 和 RRA2 送到帧缓冲器地址转换开关 54。它还生成三个在帧缓冲器 12 视频更新时间内有效的行地址选通脉冲 RRAS0, RRAS1 和 RRAS2。来自状态机 53 的 RAS 信号帮助视频更新地址发生器 51 生成 RRA0-2 选通脉冲。此外, 视频更新地址发生器 51 向扫描控制 26 发出一个 SCANCNTR 信号, 向插入器 26a 发出一个插入操作控制信号 IOP 后两个信号的作用将在下面说明。

转换开关 55, 56 和 57 在读和写周期期间分别允许来自 TV 地址发生器 50 的行地址选通脉冲或来自视频更新地址发生器 51 的行地址选通脉冲到达帧缓冲器 12。这些转换开关由来自状态机 53 的 R/W 信号控制。

帧缓冲器 12 的地址转换开关 54 在写周期期间把帧缓冲器 12 的地址总线 FBAD 连到来自 TV 地址发生器 50 的 WRA 总线, 并在读周期期间将其连到来自视频更新地址发生器 51 的 RRA0-2 总

线。转换开关 54 由来自状态机 50 的 R/W 信号 (例如, 它在读周期内为低; 否则为高) 来控制。应当注意在读周期内, 信号 RRAS0, RRAS1 和 RRAS2 分别把读地址 RRA0, RRA1 和 RRA2 切换到转换开关的输出。因而在写周期内, 所有帧缓冲器 12 的存贮器件都由地址 WRA 来寻址, 但在 RAS0, RAS1 或 RAS2 的控制之下几个存贮行中只有一个能够用来写入。在读周期期间, 有三个不同地址 RRA0, RRA1 和 RRA2 加在帧缓冲器地址总线上, 这些地址由 RRAS0-2 来进行时分多路转换。因此, 存贮器件的每一行接收它自己的相关地址, 三不同行然后被装到存贮器件的辅助端口, 然后并行并与 SCLK 同步地读出这些行。

请注意为了简单起见, 没有讨论存贮器件列地址控制。存贮器件这一方面的操作是常规的, 并根据特定的 VRAM 器件的说明进行。

参见图 14 的时序图, 图 13 的框图描述了增量发生器。计数器 CNT 由 TVVS 复位并把 TVHS 用作一个时钟。HRVS 脉冲把 CNT 输出装入寄存器 R1 中。因此, 寄存器 R1 所存贮的值代表以电视行周期表达的增量值。因为此数小于 255, 所以, 8 位分辨率对 CNT 和 R1 来说足够了。

主计算机系统在设计期间把一个临界增量值存入寄存器 R2。如前所示, 对 NTSC 的情形, 增量的临界值等于 246。比较器 CMP 比较 R1 和 R2 的输出, 实现门 AND1 和 AND2 的控制。此外, AND1 和 AND2 门的其它输入与 XOR 的输出相连, 而 XOR, 根据图 14 的时序图, 在每个 HRVS 期间提供一个具有 HRHS 长度的脉冲。

如果 $R1 < R2$, 那么 XOR 的输出经过 AND2 并使触发器 FF4 复位。如果 $R1 > R2$, 那么 AND1 输出置 FF3 为“1”, 启动 INC 脉冲。下一步, HRHS 输入将 FF4 触发器置位, 而后者反过来切断 AND2。接着的 HRHS 使 FF3 复位, 因而结束 INC。同时, FF4 由于从 FF4Q 输出经 OR 门到 D 输入的反馈而保持不变。因此, 只要增量值变得比存在寄存器 R2 中的数大时, 就生成 INC, 且电路 52 将准备好, 只在 R1 中存贮的数据变得比 R2 中存贮的数据小时再生成 INC 信号。

TV 地址发生器 50 主要由两个区组成。第一个区生成选通脉冲 WRAS0-2, 如图 15 所示。第

二区生成 WRA 地址, 如图 16 所示。

图 15 的 F/F66, 67 和 68 在偶数场开始时分别被 TVVS 脉冲置为状态 1, 0, 0; 在奇数场开始时分别被置为 0, 0, 1。对每一新电视行, TVHS 脉冲改变 F/F66, 67 和 68 中的数据。状态机在取样启动后把 RAS 选通脉冲加到门 69。

在偶数场期间, 第一条取样电视线伴随有从 RAS 信号形成的 WRAS0 信号。接着, 在 SAMPLEEN 起作用后, 第一 TVHS 脉冲把 F/F66, 67 和 68 中的数据移位成状态 010 且从 RAS 选通脉冲形成 WRAS1。下一个 TVHS 脉冲把 F/F 数据移位成状态 001, 因而从 RAS 生成 WRAS2。由于有从 F/F68 的输出到 F/F66 的输入的连接因而在第 4 行被取样时, 又重复数据形式 100。因此根据图 8a 和 8b, 在偶数场期间, 第一条取样行存入存贮器件的第一行, 下一取样行写入第二行如此等等。

在奇数场期间, 第一条取样电视行伴随有 WRAS2 信号, 第二电视行伴有 WRAS0, 第三电视行伴有 WRAS1。因此, 第一电视行存入存贮器件的第三行, 第二电视行存入第一行, 第三电视行存入第二行。

偶数场选择器 60 检查 TVVS 和 TYHS 脉冲间的相位差。对于偶数场, 相位为 0 且选择器 60 的输出为高, 在奇数场开始时, 相位等于电视行周期的一半, 把选择器 60 的输出切换为 0。因此, 在偶数场期间, 来自状态机 53 的 RES 信号使 F/F63 复位, 后者的输出允许 TVVS 在门 65 输出端出现, 以置位 F/F66 并使 F/F68 复位。F/F67 永远由 TVVS 来复位。在奇数场期间, F/F63 被置位, 且门 64 的输出置位 F/F68 并使 F/F66 复位到 0。

图 16 的写地址发生器包括其输入与数据总线 DB 相连的三个数据寄存器 70, 71 和 72。主计算机在系统设定期间把数值 0, 85 和 170 写进这些寄存器。根据计数器 76 的状态, 转换开关 73 把寄存器 70, 71 或 73 中的一个连接到计数器 74 的输入。计数器 74 由来自转换开关 73 输出的 TVVS 脉冲来装入, 并在奇数场期间由信号 WRAS1 以及在偶数场期间由信号 WRAS2 来使其递增。计数器 74 的计数控制以所描述的方式由逻辑电路 75 提供。计数器 76 靠 TVVS 信号来实现同步并用 3

除电视垂直同步频率。门 77 控制 RES 脉冲是将计数器 76 置位还是复位。如果取样过程从一个偶数场开始，则计数器 76 被复位；如果取样过程从一个奇数场开始，是计数器 76 被置位。因此，如果第一个被取样的场是偶数，则取样过程从一个零地址开始；如果第一个被取样的是奇数，则取样过程从一个等于 85 的地址开始。

门 78 的输出也置位使门 78 失效的 F/F79，确保计数器 76 只在取样期间被置位或复位。在 SAMPLEEN 信号为被动状态时，F/F79 被复位。

根据图 16 的电路，在取样过程开始时，如果第一取样电视场是偶数场，则计数器 76 允许地址零装入计数器 74。在 WRAS0, WRAS1 和 WRAS2 生成以后（见图 15），计数器 74 递增，为帧缓冲器 12 提供下三个电视行的地址。在下一场的第一行取样期间（本例中它为奇数场），计数器 76 递增，允许存在寄存器 71 的值 85 装入计数器 74。然后 WRAS2 把取样数据装入第三行帧缓冲器 12 存贮器件的行地址 85。下两行也取样装入行地址 85，但由 WRAS0 信号送到第一存贮行 MM00-02，由 WRAS1 信号送到第二存贮行 M10-12。WRAS1 信号使计数器 74 递增到地址 86，然后以同样方式重复这个过程直到这个奇数场完全被取样。当取样下一场（偶数场）时，计数器 76 再次递增，允许存在寄存器 72 的数 170 装入计数器。因此，写地址顺序与图 8b 所示对应。

图 17 图示了视频更新地址发生器 51。在一个读周期内，状态机 53 提供一个被 F/F81 和 82 延迟的 RAS 信号以产生三个行地址选通脉冲 RRAS0, RRAS1 和 RRAS2，如图 18 的时序图所描绘的。如图 12 所示在一个帧缓冲器 12 读（视频更新）操作期间，每个选通脉冲通过有关的转换开关 55, 56 或 57 与帧缓冲器 12 存贮器件相连，每个 RRAS 信号的下降沿启动相应的 RRA0, RRA1 和 RRA2 经转换开关 54 到帧缓冲器 12。因此，每个单独存贮行接收一个视频更新地址。

视频更新地址由三个 RAM（随机存取存贮器）存贮器件 RAM083, RAM184 和 RAM285 生成。RAM083 提供上行存贮芯片的一系列地址，RAM1 提供中行地址，RAM2 生成下行地

址。RAM83-85 具有一条公共地址总线，其高位由计数器 CNT188 在取样开始时由 RES 信号复位为 0 以后开始计数，其后以模 6 计数。RAM83-85 的低地址位对应于由计数器 CNT287 提供的高分辨率显示行数。CNT287 由 HRVS 信号来复位，其后把 HRHS 信号作为一个时钟对高分辨率行数进行计数。

对图 2 的情形，其中在帧缓冲器 12 的输出处没有电视解码器。存在 RAM83-85 的地址顺序在图 21 中描述。对照图示了写地址分布的图 8b 可更好地理解图 21。根据图 8b，假设场 0 和 1 已经被取样，目前正取样场 2。把场 0 和 1 从帧缓冲器 12 读出以提供一个由这两个场合成的非隔行扫描帧。请注意最后取样的是奇数场因而被认为是插入方案中的当前场。因此，当奇数线在屏幕上显示时，它被从帧缓冲器 12 直接送到插入器 26a 的输入；当显示偶行线时，它和两条奇行线（一条在其上，一条在其下）一起从帧缓冲器中读出。因此，所有三行都出现在插入器 26a 的输入处。插入器 26a 比较三个相邻的并垂直放置的象点（两个象点属于“当前”的奇数行，一个属于“先前”的偶数行）。在比较结果的基础上，插入器 26a 确定是允许把这个先前象点还是把所有三个象点的平均值送到屏幕。应当注意在另一个实施例中可以用某种其它的象点值合成方法，即可以把两个当前象点的插值而不是平均值送到屏幕。在任何情形里，插入需要三行，为了指示插入器 26a 是把这行送到输出端还是对其进行插入，用了 SCANRAM86。SCANRAM 86 提供一个“插入操作”位 IOP。如果 IOP 等于 0 则不做插入；如果 IOP 等于 1，插入发生。

图 21 第一列图示了被显示的行的序数。如果显示行 1，则从场缓冲器 B3 地址 85 读行 1；如果显示行 2，则从帧缓冲器 12 的存贮场 B3 的单元 85，存贮场 A2 的单元 0 和存贮场 B1 的单元 85 读出三条行。IOP 指示插入器 26a 是对象点值进行插入还是把它们直接送到显示屏幕。地址顺序可从图 8a 示出的信息中不费力地计数出。其次，从帧缓冲器 12 中读出场 1 和场 2。可从 8a 中场 1 和 2 的写地址得出地址顺序。类似地，可得出所有可能的场对组合的其它地址顺序。有六种不同的顺序从帧缓冲器 12 中读场对 (0, 1) (1, 2), (2,

3), (3, 4), (4, 5) 和 (5, 6)。场 (6, 7) 以与场 (0, 1) 相同的方式读出, 场 (7, 8) 以与场 (1, 2) 相同的方式读出, 等等... 图 17 的 CNT188 提供了一个挑选下一次读哪个场对的值。

如果场对 1 和 2 读出后, INC 信号生成, 视频更新地址生成器 51 跃过读场对 2 和 3 而去读场对 3 和 4。因此, INC 信号使 CWT188 递增, 得出下一地址顺序去读场对 (3, 4) 而不是 (2, 3)。

值得重视的是, 出现在插入器 26a 输入处的行序应当不变。例如, 三条相继行 1, 2 和 3 可被认为是“顶”“中”和“底”行。因此, 所有的“顶”行应当加在插入器 26a 的同一输入端。如果, 如果插入器有三条输入总线, 一条总线必须永远接收“顶”行一条总线永远接收“中”行, 一条输入总线永远接收“底”行。但是, 如果插入器 26a 输入总线直接与串行器 24 的串行输出相连, 而后者又与帧缓冲器 12 存贮器件的顶、中和底行的串行输出相连, 则出现在串行器 24 输入处的行序以一种图 21 的“行序”栏所示的方式变化。

根据本发明的一个方面, 行序由图 19 所示扫描控制 26 框修正。来自串行器 24 (图 11) 的串行视频数据总线 SD0, SD1, 和 SD2 与三个由来自图 17 的 SCANRAM86 输出的 6 位 SCANCCWTR 输入信号控制的转换开关 MuX090, MuX191 和 MuX292 相连。由 SCANRAM86 输出的 SCANTRCODE 也在图 21 中示出。采用 SCANCNTR COOE, MuX090 的顶行 (TL) 输出把一条顶行送到插入器 26a, MuX191 的中行 (ML) 输出永远提供中行, MuX292 的底行 (BL) 输出永远提供底行。

对图 3 的情形, 其中 TV 解码器 16 接在扫描控制 26 之后, 在图 17 的 RAM83-86 中装入了另一个行序码。TV 解码器 16 最好接收来自同一场的三条线以恢复亮度和色度 (Y, C) 信号。图 22 中所示表说明这个过程。这个表在某些方面与图 21 中所示表类似, 它示出为了显示行 2, 从帧缓冲器中读出了行 0, 2 和 4。所需要的场缓冲器、行地场和行序的次序也在图 22 中示出。

对图 4 的情形, 其中装有插入器 26a 和 TV 解码器 16, 插入器 26a 仍接收来自两个场的三行, 而 TV 解码器 16 仍接收来自同一场的三行, 一共

有四行。为了并行提供的行多于三行, 而只从帧缓冲器 12 中读出三行, 采用了行存贮器 34, 它在这些行被 TV 解码器 16 解码以后为插入器 26 提供必要的行。

图 20 详细图示了行存贮器 34。行存贮器 34 包括三个线存贮器 (LM134a, LM234b 和 LM334c), 每一个存一行电视行, 来自 TV 解码器 16 的数据顺序地移经这三个行存贮器。行存贮器的输出把必要的一系列电视行送到插入器 26a, 如图 23 的表所示。从帧缓冲器 12 中读出行 1, 3, 5 送到 TV 解码器 16, 而后者又抽出行 3 并送它至线存贮器 LM3.34C。下一次从帧缓冲器 12 中读行 2, 4, 6, 行 4 被 TV 解码器 16 解码并存在 LM334C 而线 3 被移至 LM234b。在下一周期, 从帧缓冲器 12 中读出行 3, 5, 7, 行 5 被 TV 解码器 16 解码并存在 LM334C 中而线 4 被移至 LM234b, 线 3 被移至 LM134a。因此, LM3, LM2 和 LM1 的输出把正确的行序送到插入器 26a。

虽然本发明以特定的存贮器件和结构以及特定的电视标准等为背景进行了上述说明, 但是应当认识到本发明的实际应用不应解释成只局限于这些实施例。因此, 在用有关本发明的目前优选实施例对其进行特别图示和描述的同时, 本领域同行将明白可以对本发明的形式和细节进行修改, 而不会背离本发明的范围和精神。

图 . 1a

复合视频信号样本

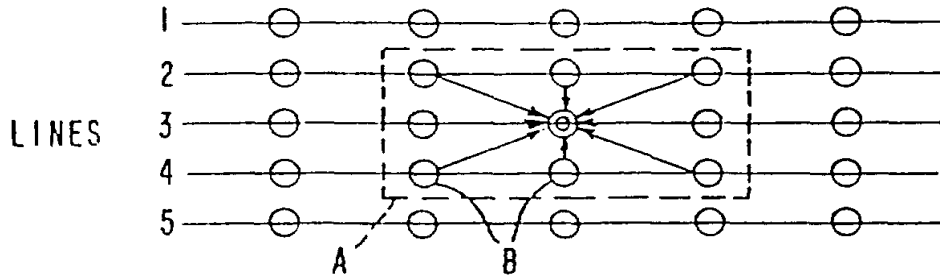


图 . 1b

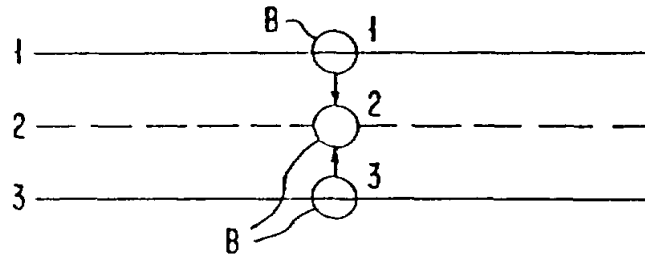


图 . 1c

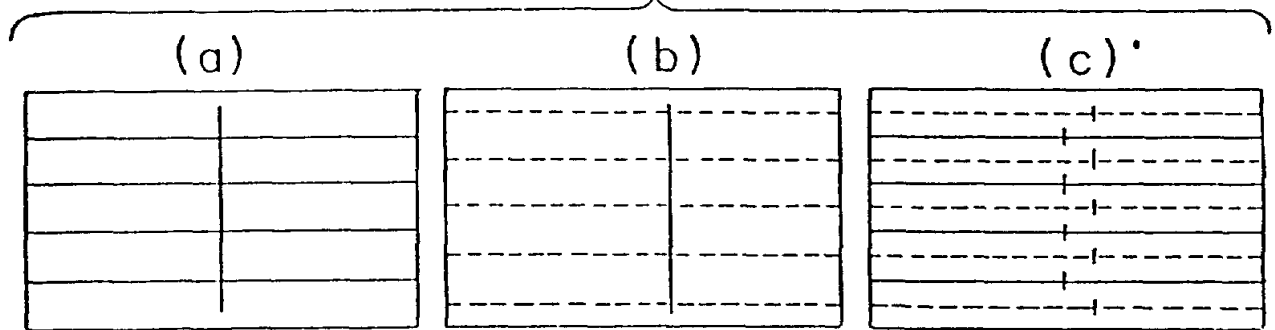


图 . 1d

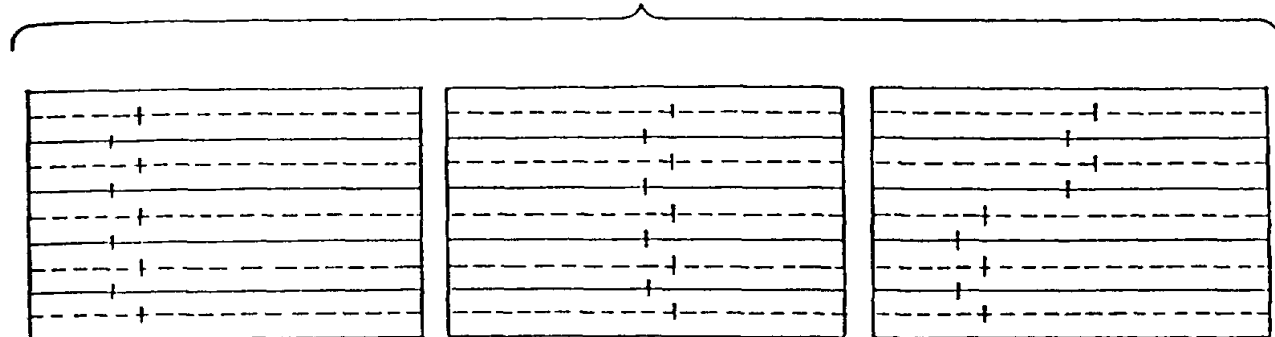


图 . 2

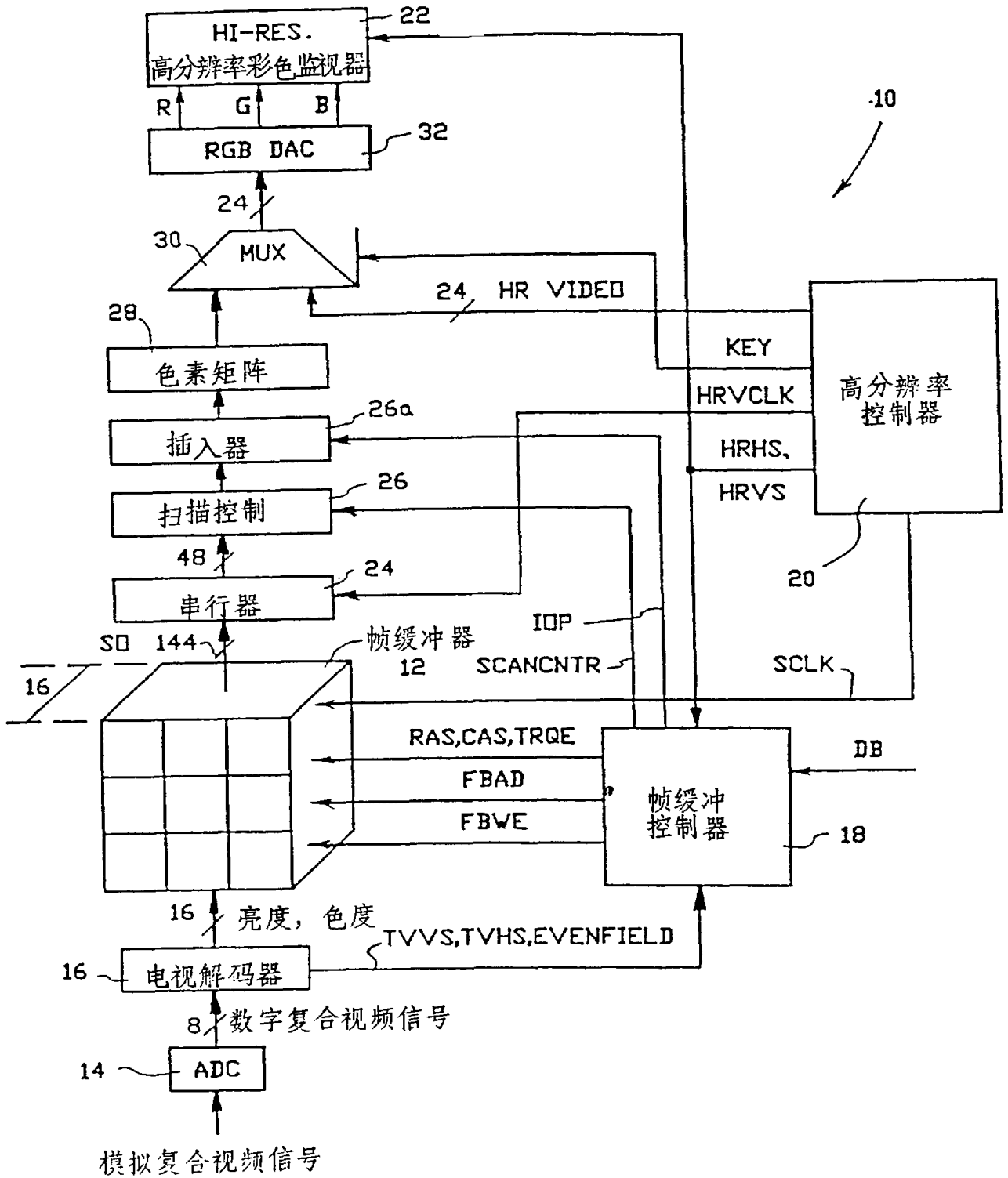


图 . 3

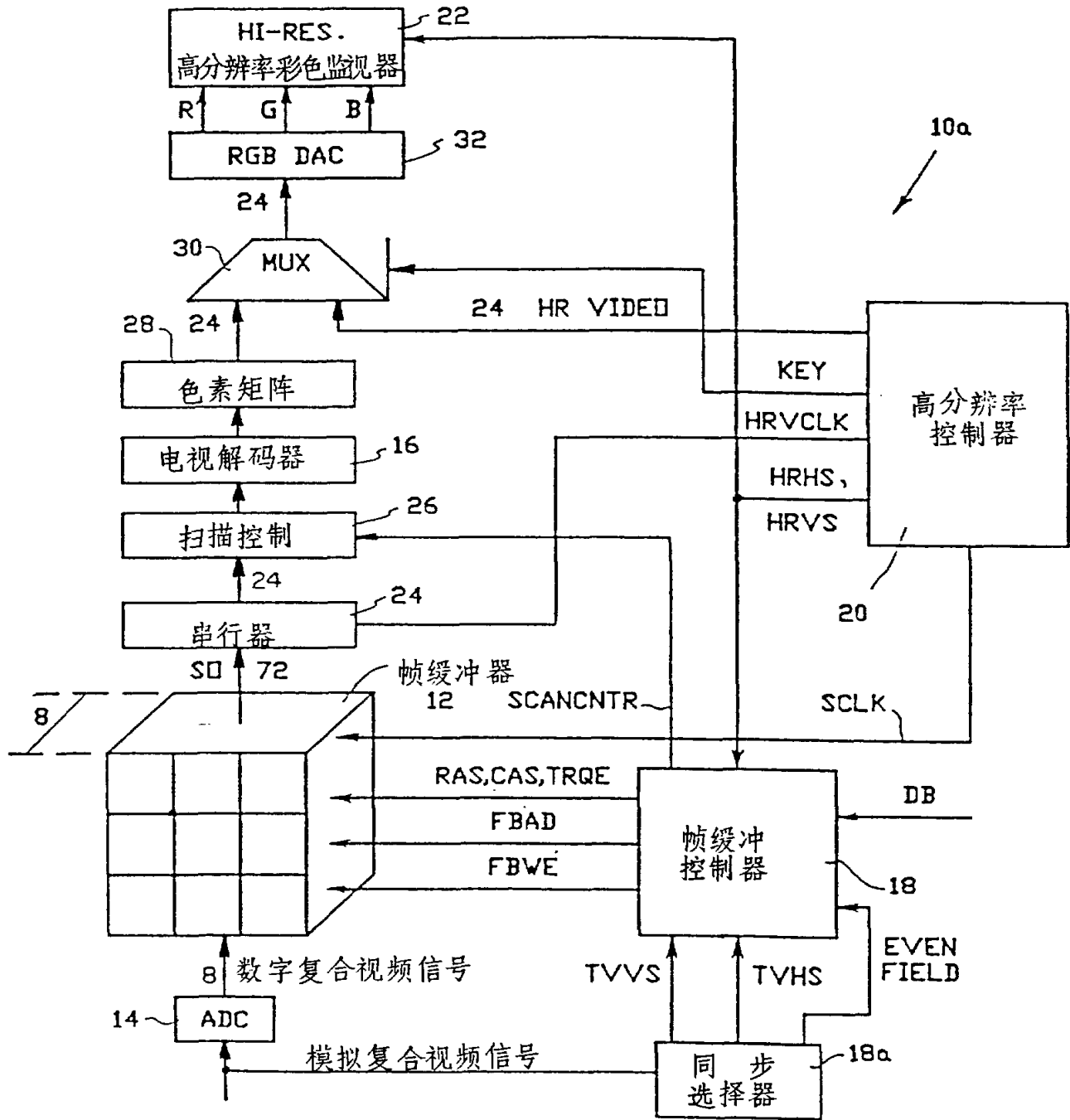


图 . 4

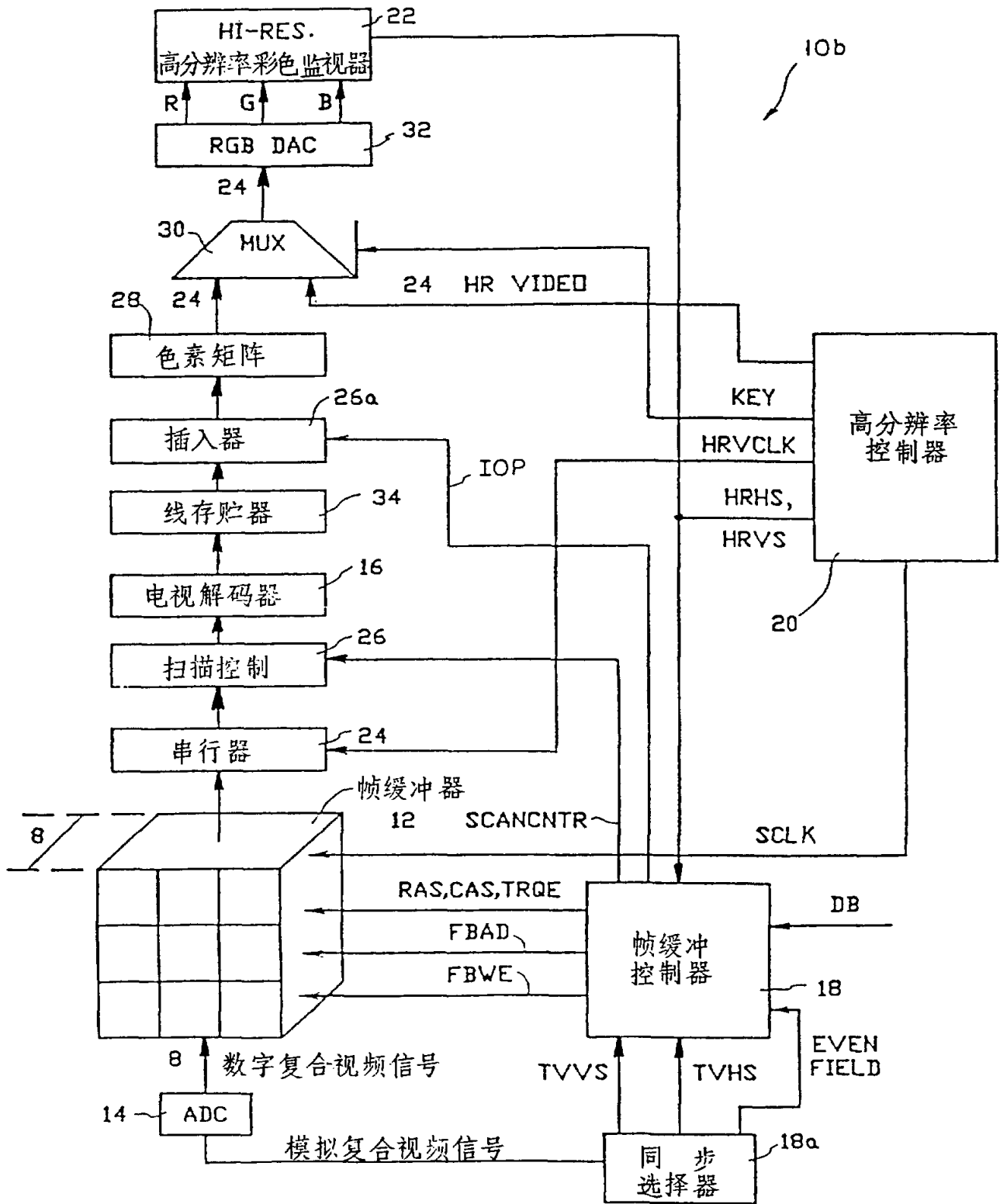


图 5

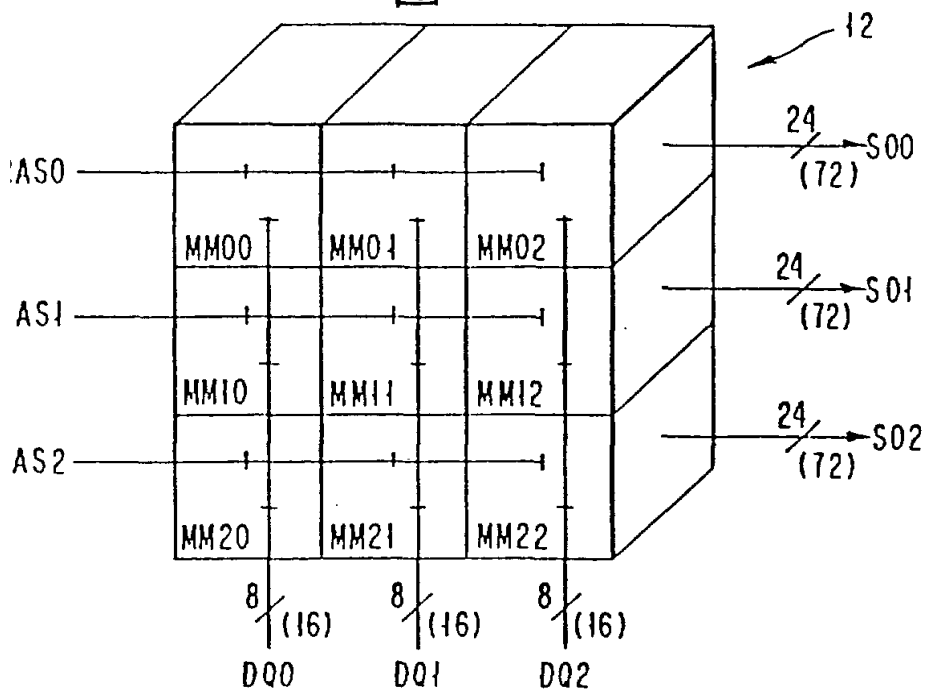


图 6

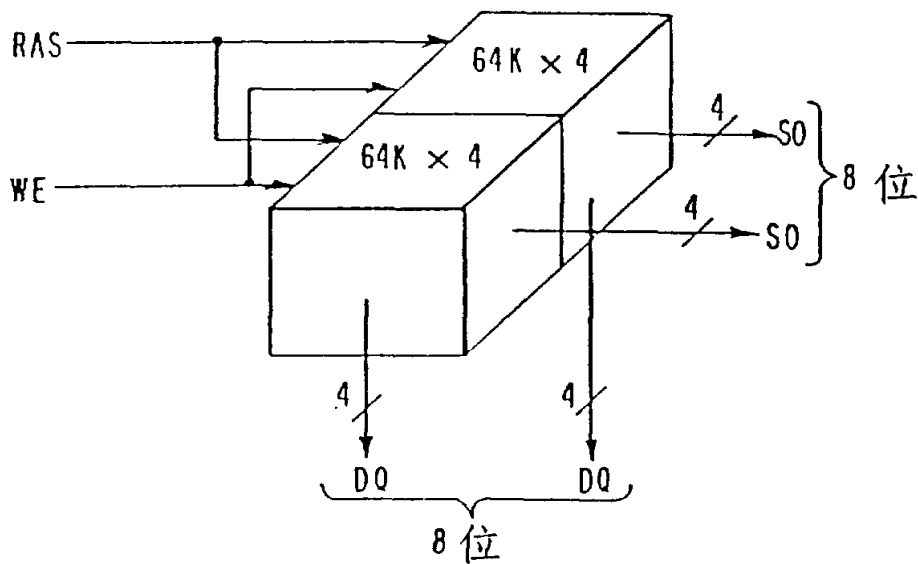


图. 7

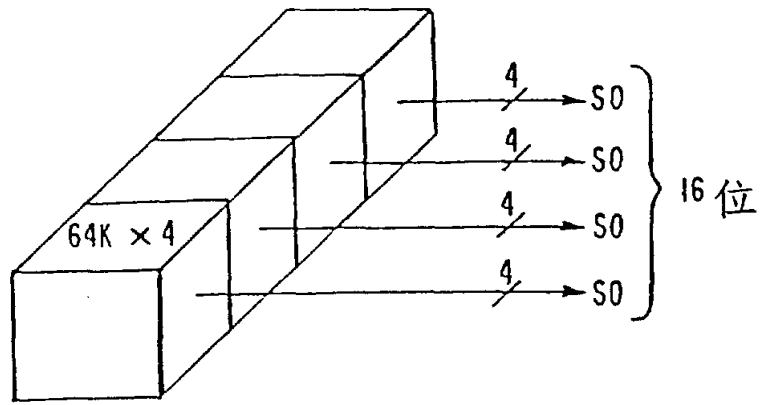


图. 8a

场 A	线	0 6 ⋮	
场 B		3 9 ⋮	
场 C		8 6 ⋮	
场 A	线	2 8 ⋮	
场 B		5 11 ⋮	
场 C		2 8 ⋮	
场 A	线	4 10 ⋮	
场 B		1 7 ⋮	
场 C		4 10 ⋮	

图 . 8b

存储场	地址	电视场 #						
		0	1	2	3	4	5	6
		线 #						
A1	0	0			3		0	
	1	6			9		6	
	2	12			15		12	
	3	18			21		18	
B1	85		3			0		
	86		9			6		
	87		15			12		
	88		21			18		
C1	170			0		3		
	171			6		9		
	172			12		15		
	173			18		21		
A2	0	2			5		2	
	1	8			11		8	
	2	14			17		14	
	3	20			23		20	
B2	85		5			2		
	86		11			8		
	87		17			14		
	88		23			20		
C2	170			2		5		
	171			8		11		
	172			14		17		
	173			20		23		
A3	0	4			1		4	
	1	10			7		10	
	2	16			13		16	
	3	22			19		22	
B3	85		1			4		
	86		7			10		
	87		13			16		
	88		19			22		
C3	170			4		1		
	171			10		7		
	172			16		13		
	173			22		19		

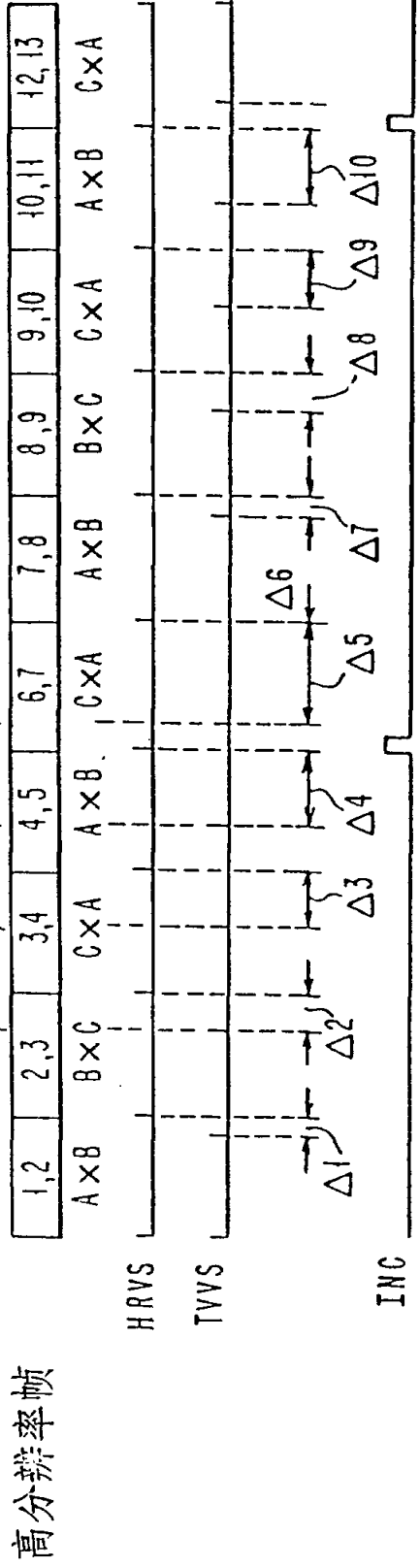
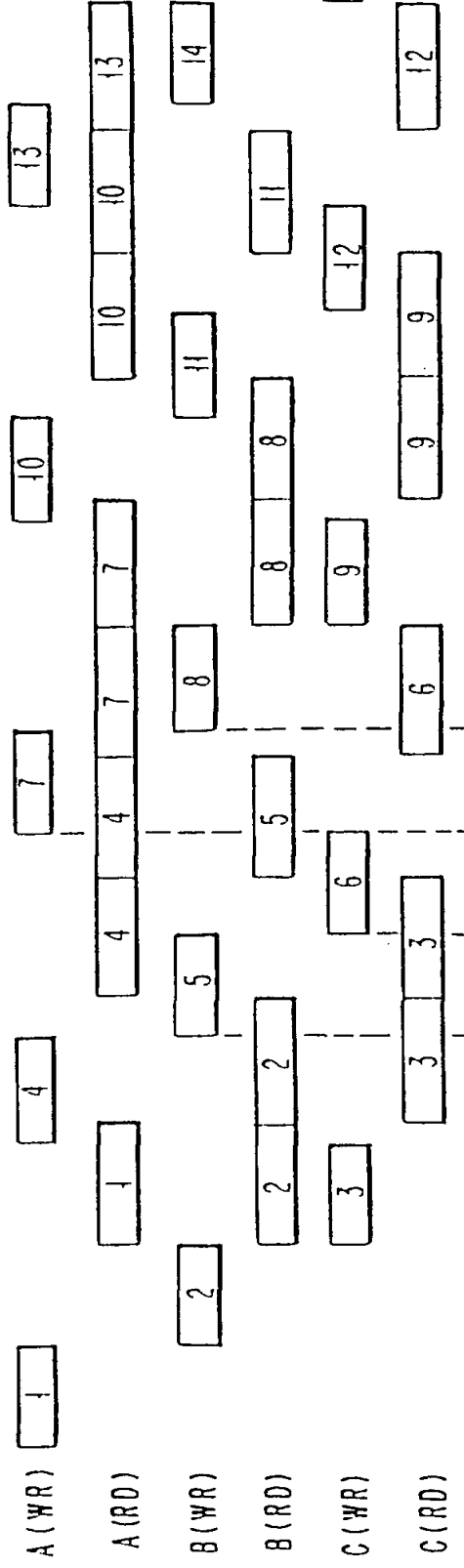
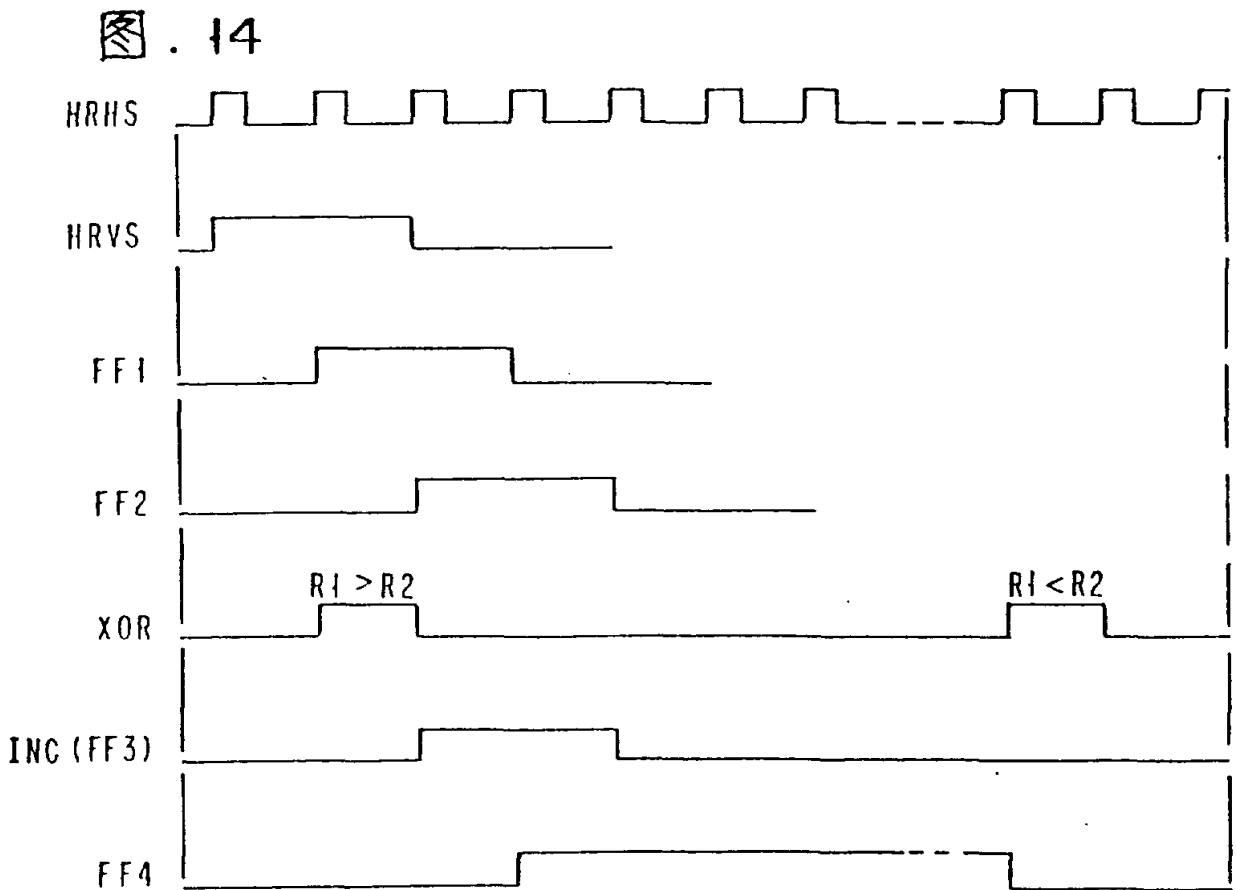
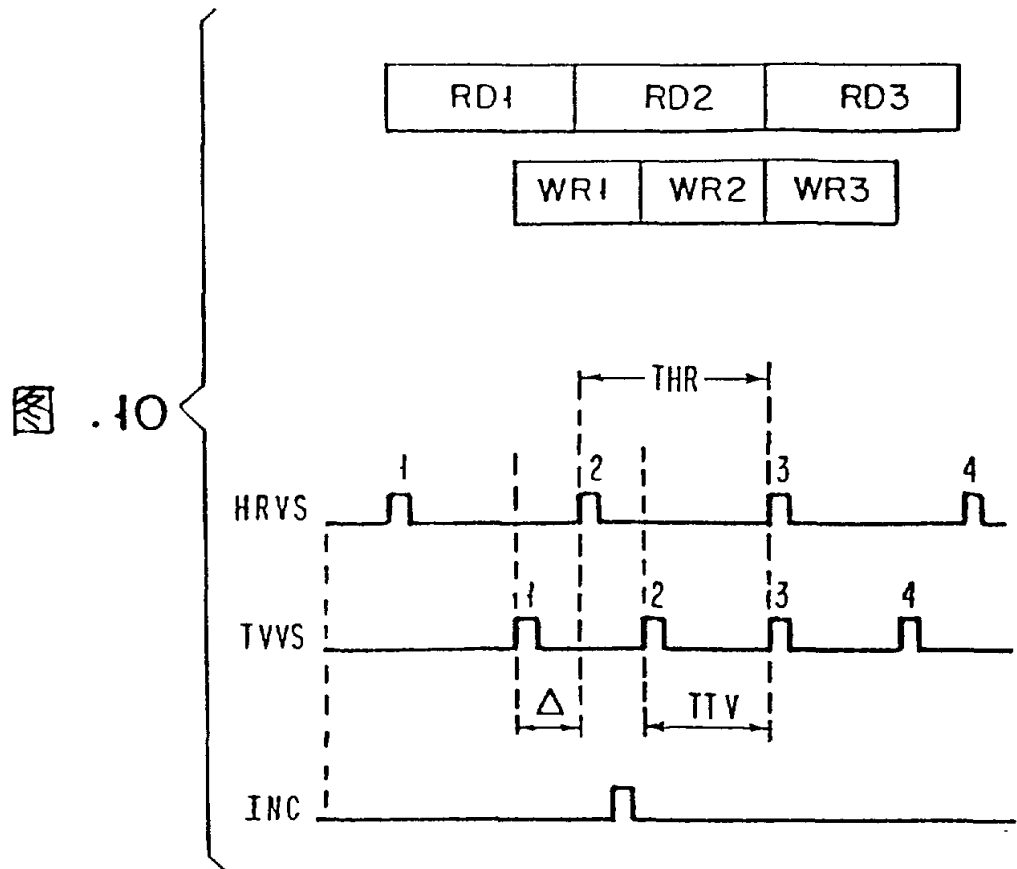


图 9



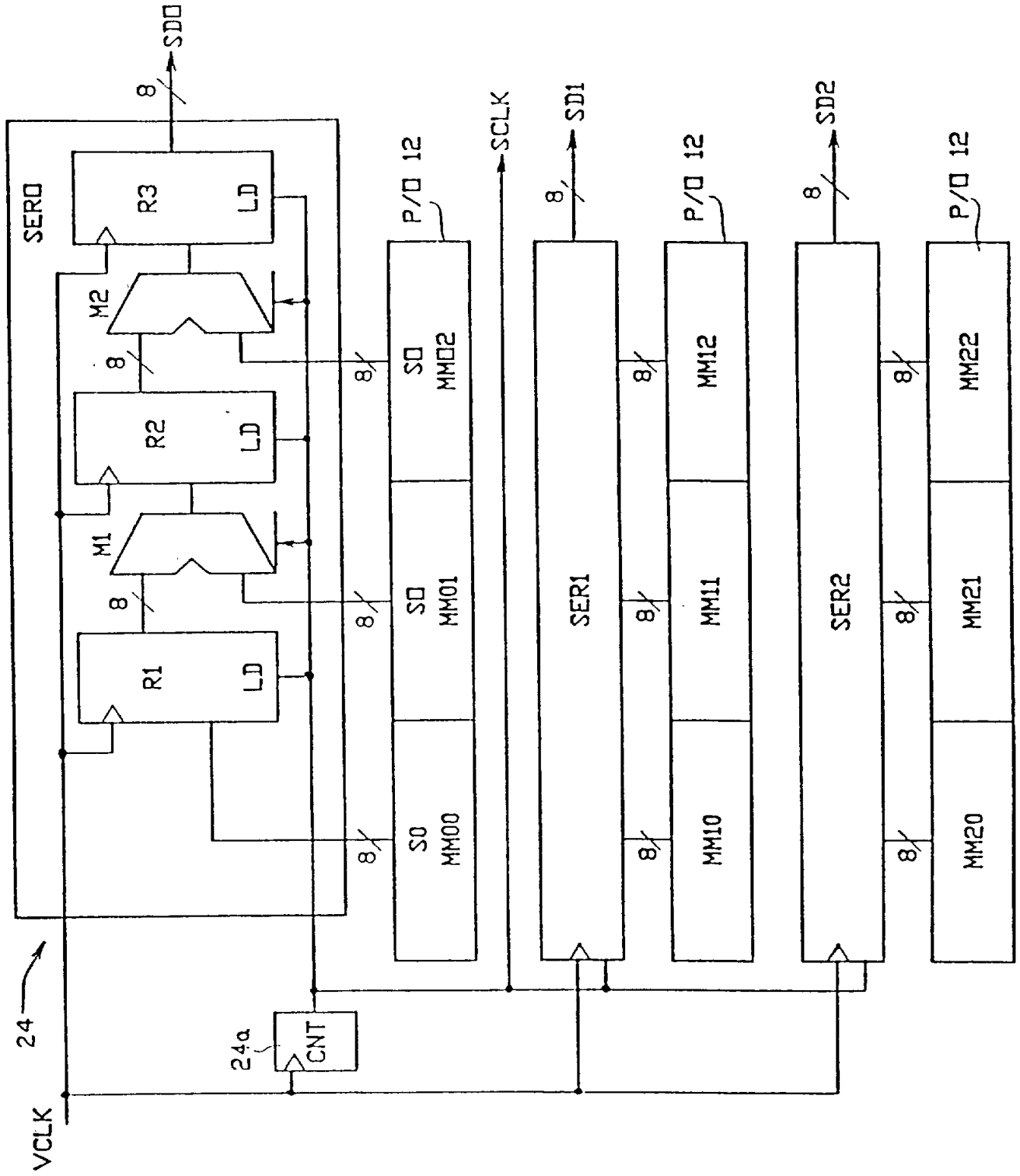


图 11

图 . 12

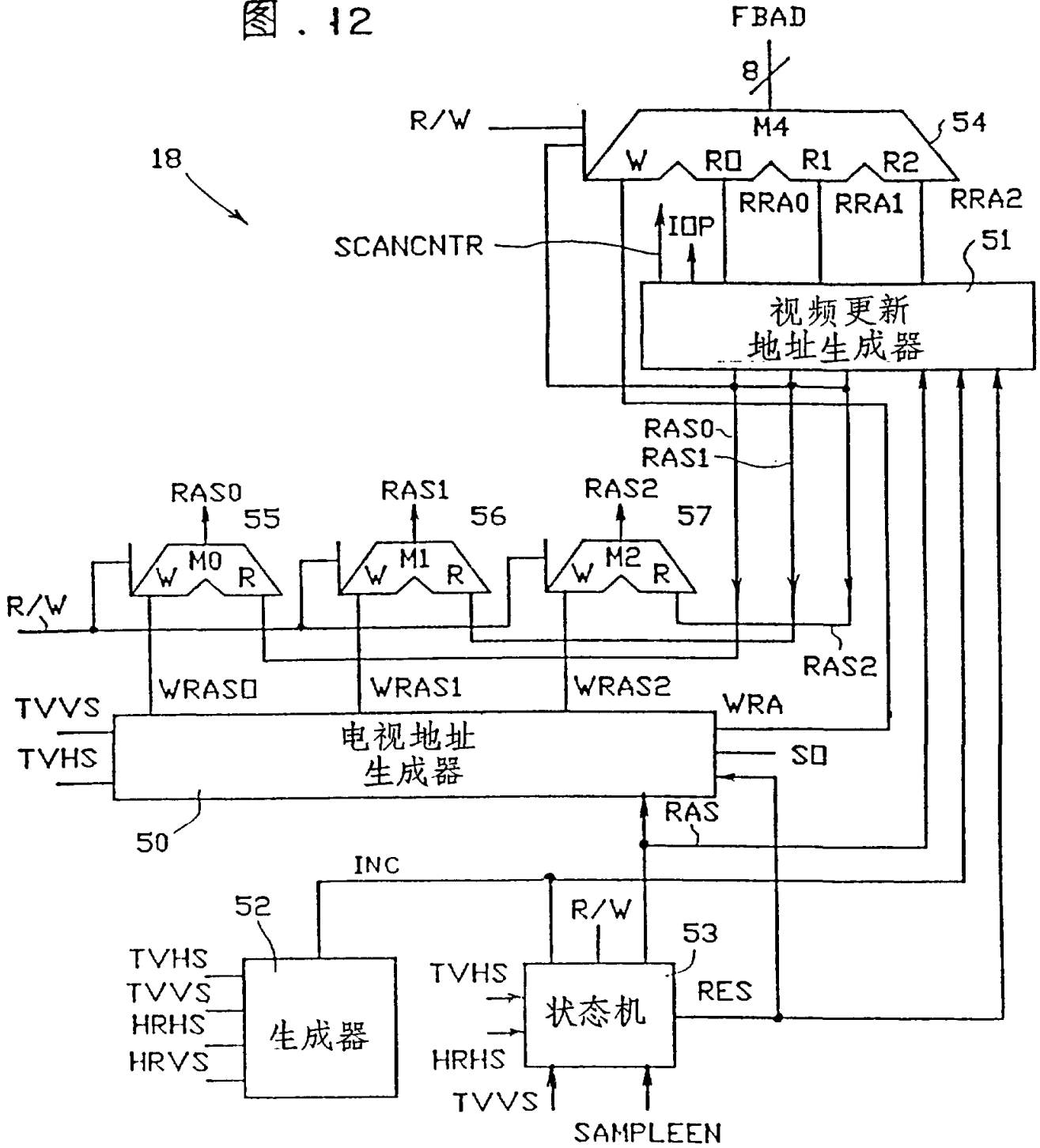


图 . 15

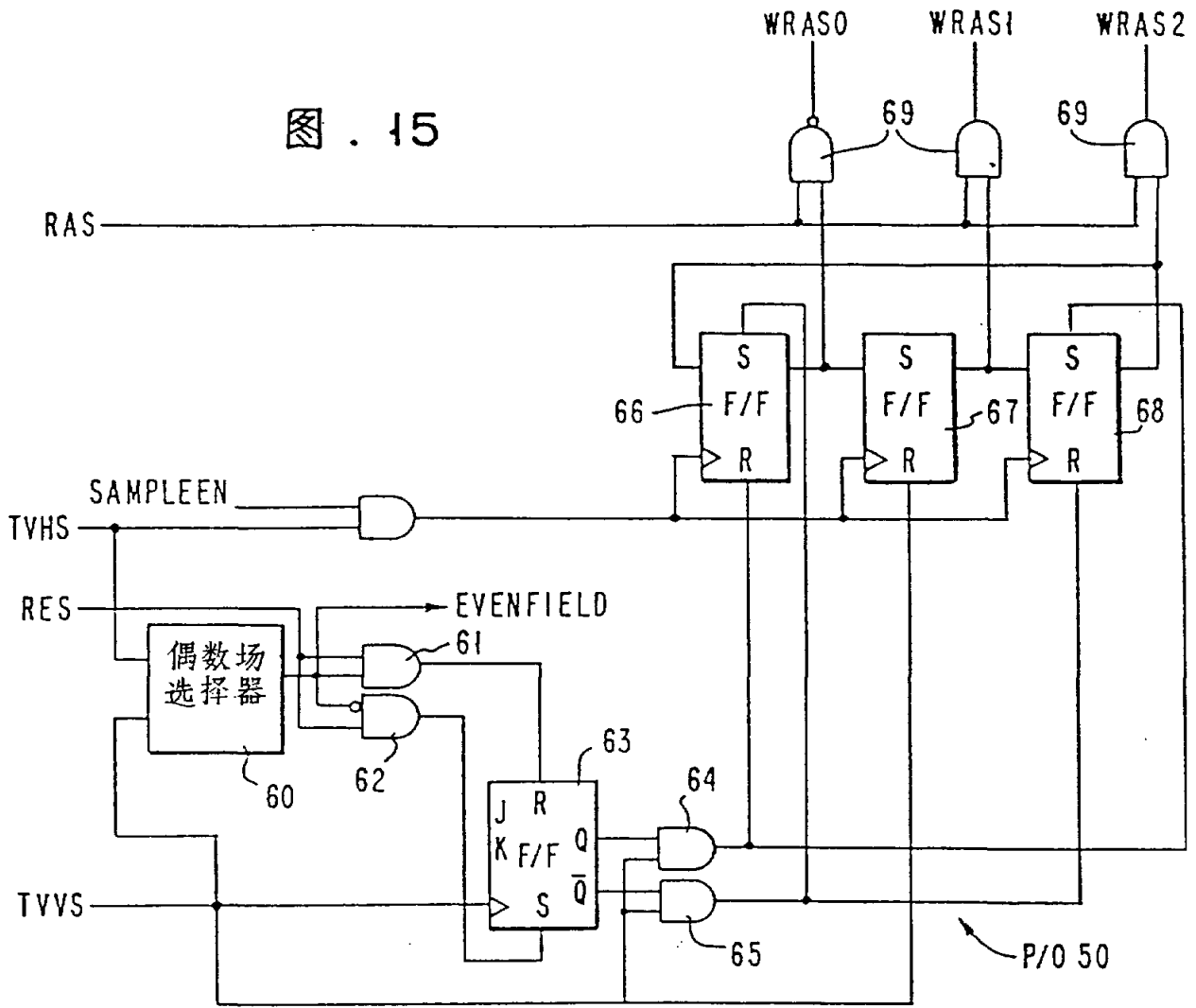
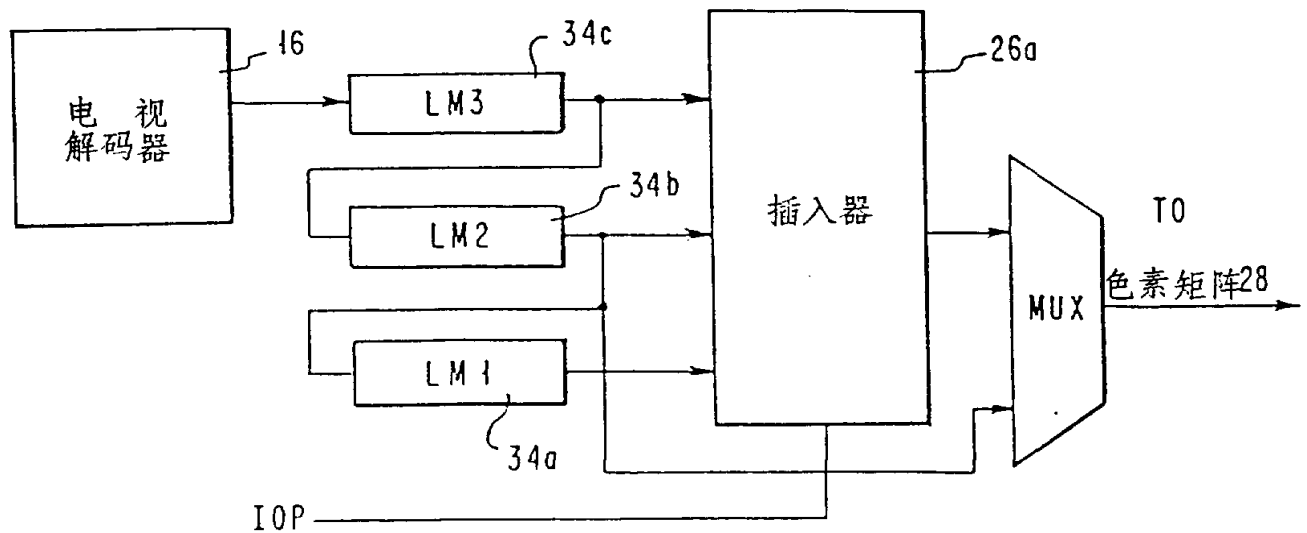


图 . 20



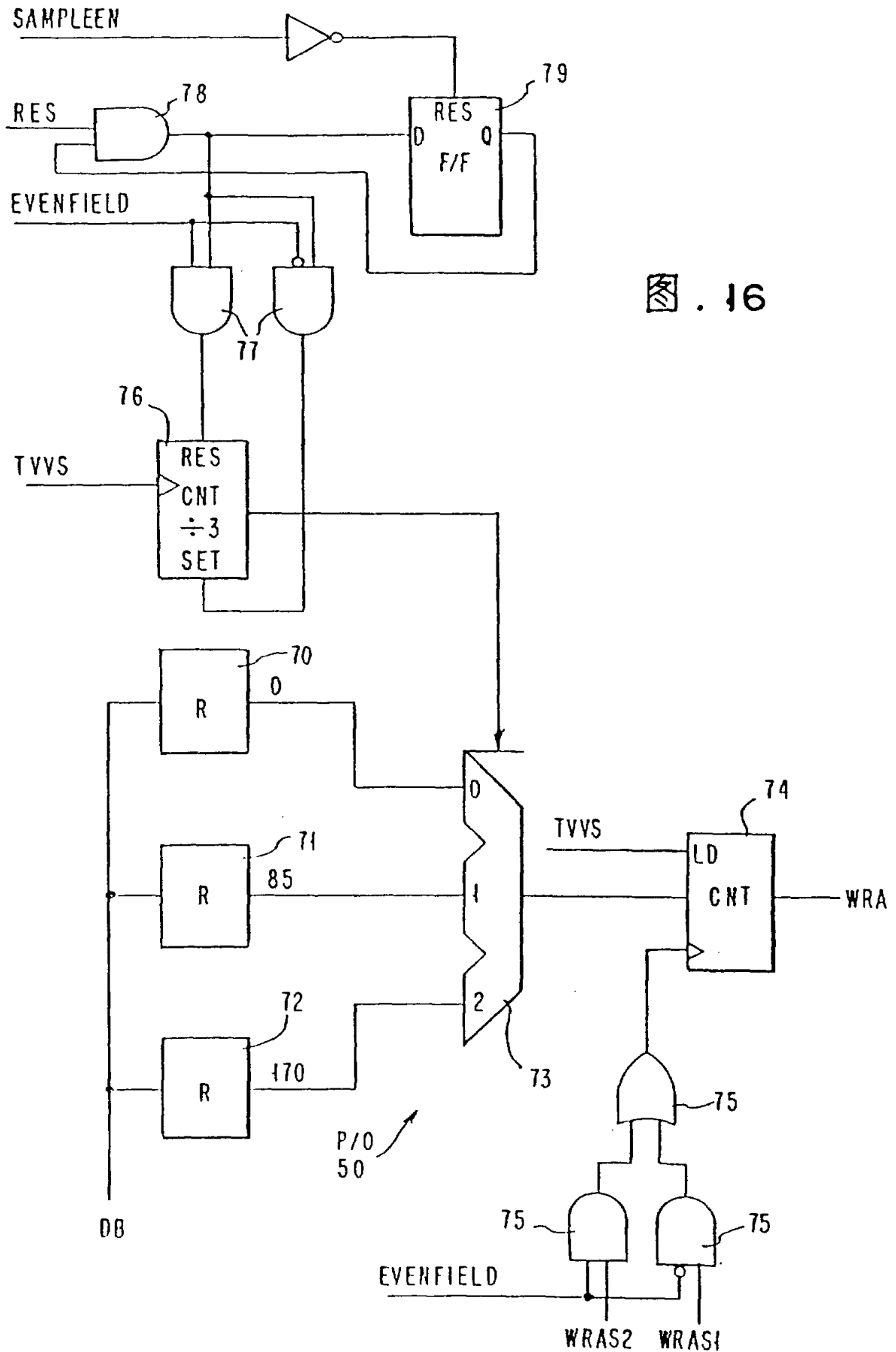


图 . 16

图 . 17

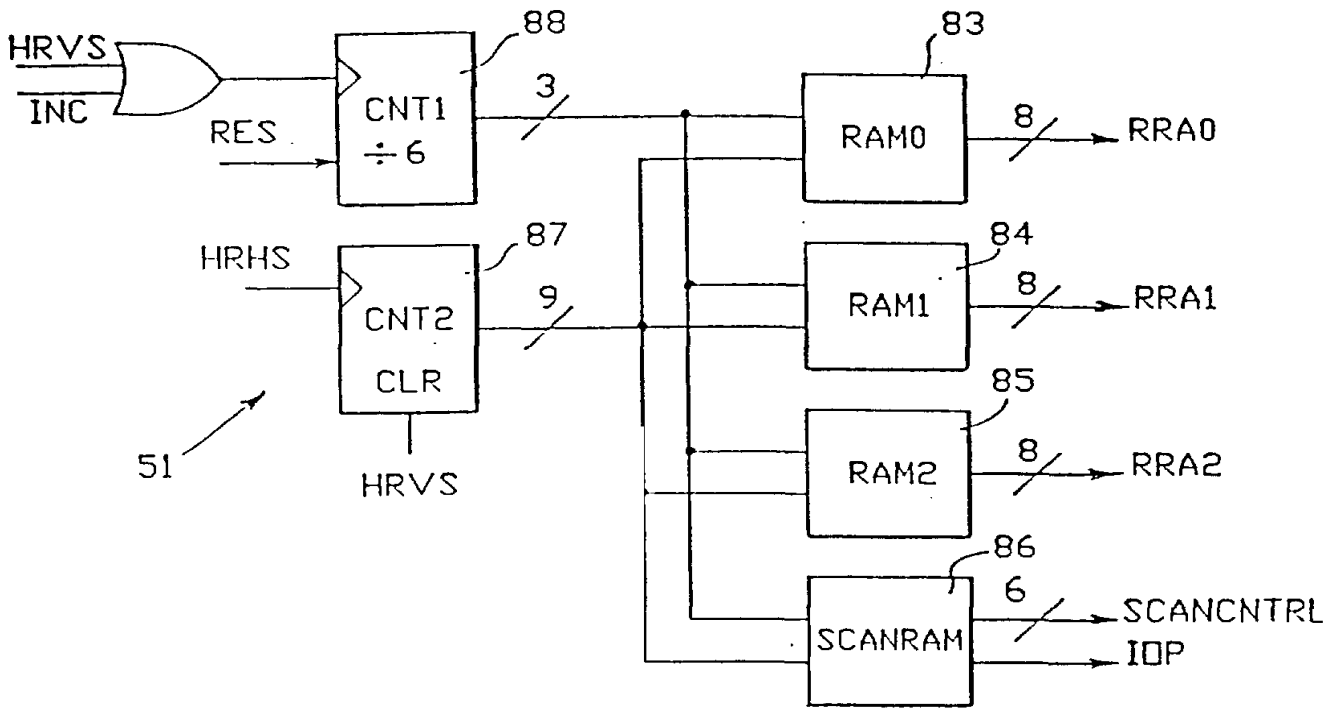
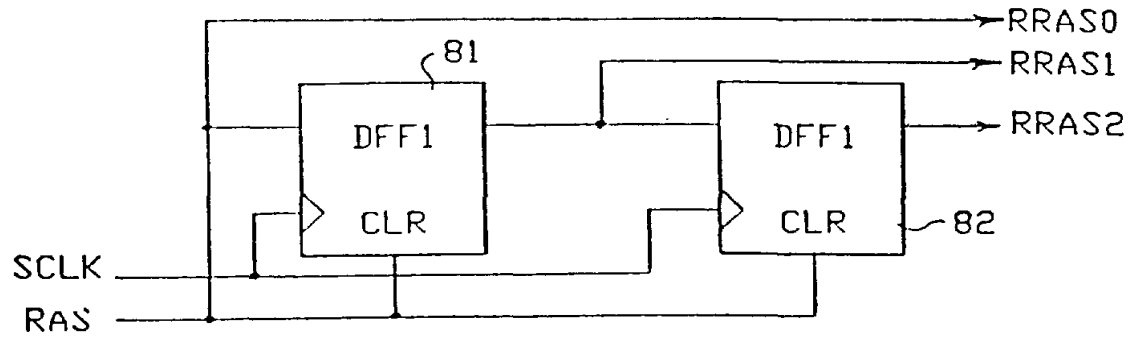


图 . 18

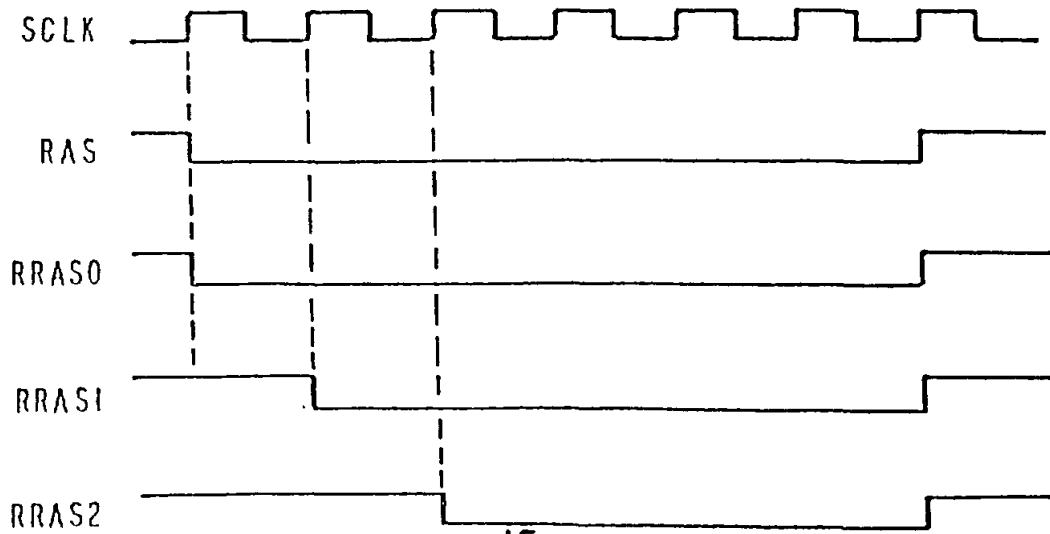


图 19

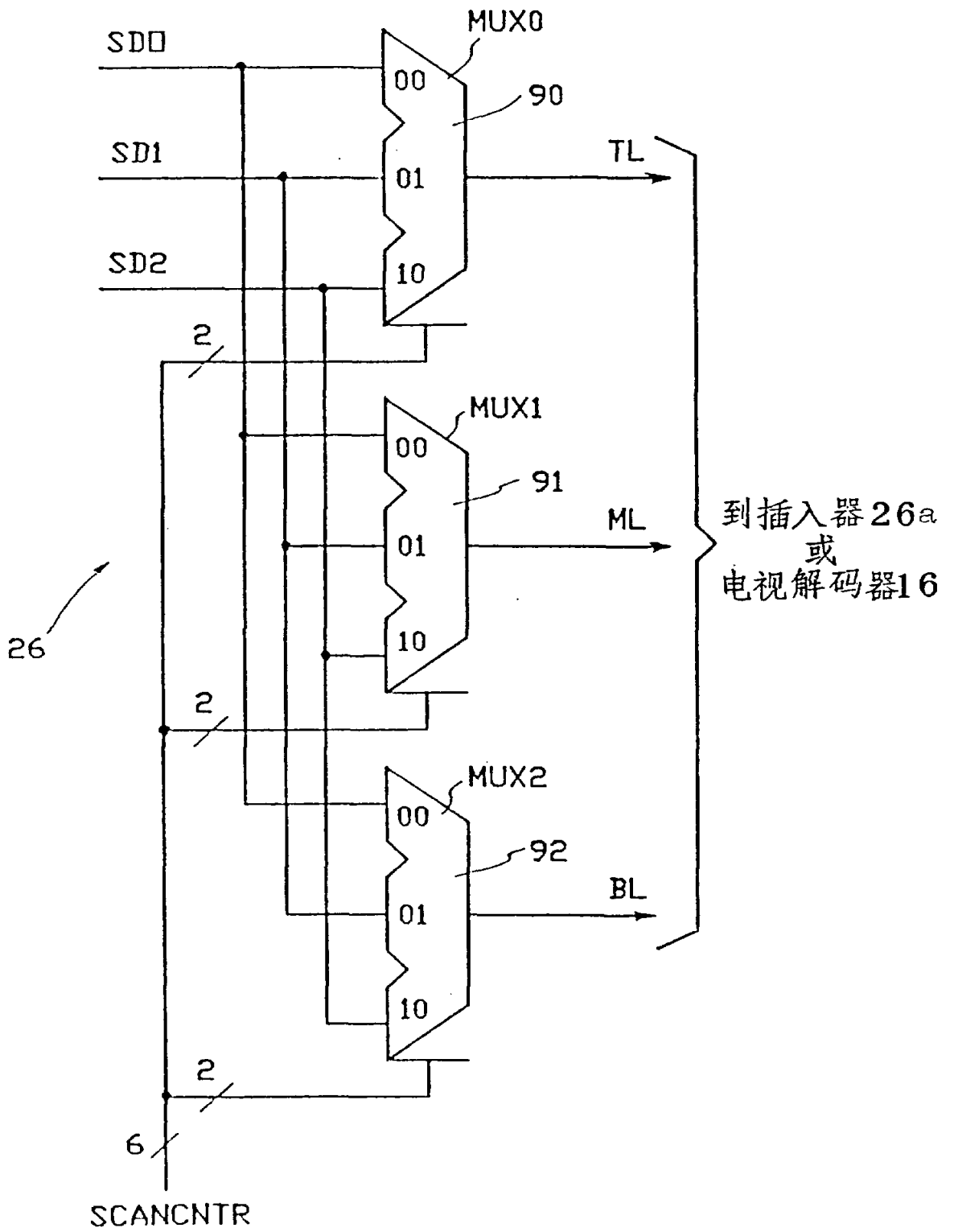


图 . 21

显示线	读线	场缓 冲器	行地址	线序	SCANCNTR 碼			IDP
					MUX1	MUX2	MUX3	
1	1	B3	85	底	X	10	X	0
2	1 2 3	B3 A2 B1	85 0 85	底 中 顶	10	01	00	1
3	3	B1	85	顶	X	00	X	0
4	3 4 5	B1 A3 B2	85 0 85	顶 底 中	00	10	01	1
5	5	B2	85	中	X	01	X	0
6	6	B2 A1 B3	85 1 86	中 顶 底	01	00	10	1
7	7	B3	86	底	X	10	X	0
8	7 8 9	B3 A2 B1	86 1 86	底 中 顶	10	01	00	1

图 . 22

显示线 #	读线	缓冲器	行地址	线序
2	0	A1	0	1
	2	A2	0	2
	4	A3	0	3
3	1	B3	85	3
	3	B1	85	1
	5	B2	85	2
4	2	A2	0	2
	4	A3	0	3
	6	A1	1	1
5	3	B1	85	1
	5	B2	85	2
	7	B3	86	3
6	4	A3	0	3
	6	A1	1	1
	8	A2	1	2
7	5	B2	85	2
	7	B3	86	3
	9	B1	86	1
8	6	A1	1	1
	8	A2	1	2
	10	A3	1	3
9	7	B3	86	3
	9	B1	86	1
	11	B2	86	2

图 . 23

显示线	读线	线寄存器			IOP
		LM3	LM2	LM1	
3	1 3 5	3			
3	2 4 6	4	3		0
4	3 5 7	5	4	3	1
5	4 6 8	6	5	4	0
6	5 7 9	7	6	5	1
7	6 8 10	8	7	6	0
8	7 9 11	9	8	7	1