

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4880889号  
(P4880889)

(45) 発行日 平成24年2月22日 (2012.2.22)

(24) 登録日 平成23年12月9日 (2011.12.9)

(51) Int. Cl.	F I
HO 1 L 21/02 (2006.01)	HO 1 L 21/02 Z
HO 1 L 21/66 (2006.01)	HO 1 L 21/66 Y
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 T
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 3 O 1 G
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 Z

請求項の数 10 (全 16 頁)

(21) 出願番号 特願2004-259654 (P2004-259654)	(73) 特許権者 000002325 セイコーインスツル株式会社 千葉県千葉市美浜区中瀬1丁目8番地
(22) 出願日 平成16年9月7日 (2004.9.7)	
(65) 公開番号 特開2005-109455 (P2005-109455A)	(74) 代理人 100154863 弁理士 久原 健太郎
(43) 公開日 平成17年4月21日 (2005.4.21)	
審査請求日 平成19年6月11日 (2007.6.11)	
(31) 優先権主張番号 特願2003-316588 (P2003-316588)	(74) 代理人 100142837 弁理士 内野 則彰
(32) 優先日 平成15年9月9日 (2003.9.9)	
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100123685 弁理士 木村 信行
(31) 優先権主張番号 特願2003-316589 (P2003-316589)	(72) 発明者 石井 和敏 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内
(32) 優先日 平成15年9月9日 (2003.9.9)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 小山内 潤 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内
(31) 優先権主張番号 特願2003-316590 (P2003-316590)	
(32) 優先日 平成15年9月9日 (2003.9.9)	
(33) 優先権主張国 日本国 (JP)	最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体装置が形成される本体ウェハを製造する複数の工程を含む本体ウェハ製造工程は、

モニタリング工程であるゲート酸化膜工程と、

前記モニタリング工程に後続する本体後処理工程に含まれるパラツキ低減工程として閾値電圧制御用の不純物をイオン注入し不純物注入領域を形成するチャンネルドーピング工程を有し、

モニタ素子が形成されるモニタウェハを製造するモニタウェハ製造工程は、

モニタ前処理工程と、

前記モニタウェハを前記本体ウェハと同一の装置内で、同時に同条件で処理する前記モニタリング工程と、

モニタ後処理工程と、

前記モニタリング工程を経て形成された前記モニタ素子のC V特性を測定する出来栄観測工程と、

前記出来栄観測工程において測定された前記モニタリング工程による工程影響から、前記パラツキ低減工程の製造条件としてイオン注入条件を決定する条件設定工程と、を有し、

前記本体ウェハ製造工程と前記モニタウェハ製造工程は前記モニタリング工程のみを共有し、

前記チャンネルドープ工程は、前記条件設定工程において決定された前記イオン注入条件により、前記本体ウェハに対して実施される半導体装置の製造方法。

【請求項 2】

半導体装置が形成される本体ウェハを製造する複数の工程を含む本体ウェハ製造工程は

、  
 モニタリング工程であるゲート酸化膜工程と、  
 前記モニタリング工程に後続する本体後処理工程に含まれるパラツキ低減工程として層間絶縁膜形成工程における高温処理工程を有し、

モニタ素子が形成されるモニタウェハを製造するモニタウェハ製造工程は、

モニタ前処理工程と、

前記モニタウェハを前記本体ウェハと同一の装置内で、同時に同条件で処理する前記モニタリング工程と、

モニタ後処理工程と、

前記モニタリング工程を経て形成された前記モニタ素子の C V 特性を測定する出来栄え観測工程と、

前記出来栄え観測工程において測定された前記モニタリング工程による工程影響から、前記パラツキ低減工程の製造条件として高温処理条件を決定する条件設定工程と、

を有し、

前記本体ウェハ製造工程と前記モニタウェハ製造工程は前記モニタリング工程のみを共有し

前記高温処理工程は、前記条件設定工程において決定された前記高温処理条件により、前記本体ウェハに対して実施される半導体装置の製造方法。

【請求項 3】

前記モニタ素子を M O S ダイオードとする請求項 1 あるいは 2 に記載の半導体装置の製造方法。

【請求項 4】

前記モニタ前処理工程として、半導体装置を形成する前記本体ウェハより 1 0 % ~ 5 0 % 程度低濃度のモニタウェハの表面付近に閾値電圧制御用の不純物をイオン注入し不純物注入領域を形成する工程を有する請求項 1 あるいは 2 に記載の半導体装置の製造方法。

【請求項 5】

前記モニタ後処理工程は、前記 M O S ダイオードのゲート酸化膜上に第 2 のゲート酸化膜を形成する工程を有する請求項 3 記載の半導体装置の製造方法。

【請求項 6】

前記第 2 のゲート酸化膜上に形成された酸化膜の膜厚を下地の前記ゲート酸化膜厚の 0 . 5 倍から 1 . 5 倍程度の膜厚で形成する請求項 5 記載の半導体装置の製造方法。

【請求項 7】

前記第 2 のゲート酸化膜を 6 0 0 ~ 8 0 0 程度以下の C V D 法で形成する請求項 5 記載の半導体装置の製造方法。

【請求項 8】

前記第 2 のゲート酸化膜を 8 0 0 ~ 8 5 0 程度の熱酸化法で形成する請求項 5 記載の半導体装置の製造方法。

【請求項 9】

前記第 2 のゲート酸化膜上にゲート電極をポリシリコンで形成する工程を有することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 1 0】

前記第 2 のゲート酸化膜上にゲート電極をアルミシリコンで形成する工程を有する請求項 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

10

20

30

40

50

本発明は、半導体装置の製造方法である。特に半導体装置の製造工程途中でのモニタリング方法とモニタリング情報を後続する製造工程への反映方法とを含む半導体装置の製造方法に関するものである。

【背景技術】

【0002】

もの作りにおいて、製造バラツキは製品の特性（機能、性能や形状を含む）の均一性を奪うものであり、製品規格を拡げて製造歩留を維持する（品質低下）か、製品規格を維持して製造歩留を落とす（コスト上昇）か、製造業者にとって重い決断になる。こうした中、代表的な大量生産品である半導体装置の製造方法についても、コスト優先の製造方法と品質優先の製造方法を融合させた改善された製造方法がいくつか試行されてきた。前記改善された製造方法を説明する前に、先ず半導体装置の一般的な製造方法について説明する。

10

【0003】

半導体装置は、多数のトランジスタやダイオード等の電子素子及びそれらの電子素子を電氣的に接続する配線が形成された半導体チップ（例えば、厚み0.5mm、たて10mm、横8mm）が、その使用形態に応じたパッケージに封止されて、コンピュータ等の電子装置に組み込まれ利用される。半導体装置の製造工程は、図2に示したマクロ製造工程フローのように、多数の半導体チップが形成されるウェハを数十枚まとめて一括（ロット）製造する製造前工程Xと、ウェハに形成された半導体チップを個々に切り離し、パッケージに実装し製品検査する製造後工程Yからなる。FPLD（デジタルIC）やフューズメモリ等の様に、製造後工程Y終了後にユーザが機能を決定する例外的な半導体装置もあるが、半導体装置の電気特性は、ウェハに半導体チップが形成された時点、言い換えれば製造前工程X終了時点でほぼ決定される。以下では製造後工程Y起因の特性変動は考えないものとする。従って、本明細書では、半導体装置の製造工程について製造前工程Xについてのみ説明し、製造後工程Yの説明は、非特許文献1に譲る。

20

【0004】

ここに、半導体装置の製造前工程Xを図3の一般的な製造工程フローを用いて説明する（例えば、非特許文献1参照。）。この半導体装置はCMOS半導体装置とも呼ばれる。

【0005】

1. フィールド酸化膜形成

30

半導体基板、P型半導体基板表面付近に部分的に膜厚の異なる絶縁膜を、熱酸化等により選択的に形成する（図3、工程J）。

【0006】

2. Nウェル形成

Nウェル形成用のPhos（リン）等を選択的に半導体基板表面にイオン注入しNウェルを形成する（図3、工程K）。

【0007】

3. LOCOS分離

P型半導体基板表面付近にP型チャンネルストッパー形成用の $\text{BF}_2$ 等を選択的に半導体基板表面にイオン注入した後、LOCOS法等により選択的に素子分離用絶縁膜とチャンネルストッパーを形成する（図3、工程L）。

40

【0008】

4. チャンネルドーブ

将来トランジスタを形成する素子形成用能動領域に選択的に閾値電圧制御用のPhos等を半導体基板表面にイオン注入し不純物注入領域を形成する（図3、工程M）。

【0009】

5. ゲート酸化

素子形成用能動領域の半導体基板表面付近の酸化膜を除去し、熱酸化等によりゲート酸化膜を形成する（図3、工程N）。

【0010】

50

## 6. ポリシリコンゲート

ゲート酸化膜上にCVD技術、フォトリソグラフィ技術、エッチング技術を用いて選択的にポリシリコンゲートを形成する(図3、工程O)。

【0011】

## 7. ソース/ドレイン形成

P型半導体基板表面にCVD法または熱酸化法により酸化膜を形成した後、素子形成用能動領域の所望領域にポリシリコンゲートと酸化膜に対してセルフアライメント的にソース/ドレイン(SD)形成用の不純物原子を半導体基板表面にイオン注入し、N型ソース領域とN型ドレイン領域、P型ソースとP型ドレイン領域を形成する(図3、工程P)。

【0012】

## 8. 層間絶縁膜形成

P型半導体基板表面にCVD法等により酸化膜を堆積し層間絶縁膜を形成する(図3、工程Q)。

【0013】

## 9. コンタクトホール形成

層間絶縁膜163の所望の領域にフォトリソグラフィ技術、エッチング技術を用いて選択的にコンタクトホールを形成する(図3、工程R)。

【0014】

## 10. 金属配線形成

層間絶縁膜上にスパッタ技術、フォトリソグラフィ技術、エッチング技術等を用いて選択的に金属配線を形成する(図3、工程S)。

【0015】

## 11. 保護膜

金属配線上に、保護膜270を堆積し、所望の領域(外部接続端子領域等の金属配線)を選択的に窓明けする(図3、工程T)。

【0016】

## 12. ウェハ検査

ウェハプローバを介して半導体チップとICテストを電氣的に接続し、半導体装置の電気特性等を検査する(図3、工程U)。

【0017】

以上述べたように、半導体装置は長い製造工程を経て製造される。この製造工程は細かく見ると100ステップを遥かに越える複雑な製造工程である。

【0018】

C半導体装置の電気特性は、前記半導体チップに含まれる回路素子の特性により決定される。C半導体装置の代表的な回路素子であるトランジスタの非飽和時における電気特性は、よく知られているように式1で近似される。

【0019】

$$I_d = \mu C (W/L) (V_g - V_t) V_d \quad \text{式 1}$$

ここで、

$I_d$ : トランジスタのドレイン電流

$\mu$ : トランジスタのキャリア移動度

$C$ : トランジスタの単位面積当ゲート容量

$W$ : トランジスタのゲート長

$L$ : トランジスタのゲート幅

$V_g$ : トランジスタのゲート・ソース間電圧

$V_d$ : トランジスタのドレイン・ソース間電圧

$V_t$ : トランジスタの閾値電圧

式1により、トランジスタの電流特性は多くの特性パラメータで決定されることがわかる。更に、閾値電圧 $V_t$ は式2で決定される。

【0020】

10

20

30

40

50

$$V_t = V_F + 2 \phi_F + (Q_A + Q_B) / C$$

式 2

ここで、

 $V_F$  : フラットバンド電圧 $\phi_F$  : 不純物によるフェルミ順位のシフト $Q_A$  : 酸化膜とシリコン表面の単位面積当界面電荷 $Q_B$  : 空乏層の単位面積当電荷 $C$  : トランジスタの単位面積当ゲート容量

前述の 100 ステップを越える製造工程で製造されるトランジスタの電気特性は、長い製造工程の影響で大きくばらつくことがある。半導体装置を商品化する場合は、このバラツキを考慮して品質とコストの兼ね合いで製品仕様を決定し、半導体装置の電気特性が製品仕様を満たすように回路設計する。しかし、市場の強い要求でコストを犠牲にして精度の良さという高品質を優先せざるを得ない場合がある。電気特性バラツキに敏感な特性パラメータ、例えば閾値電圧 $V_t$ は、ロット間はもとよりウェハ間やロット内、更に半導体チップ内でも大きなバラツキを生じることがある。閾値電圧 $V_t$ のような半導体装置の電気特性バラツキへの寄与率が大きいパラメータのバラツキを吸収し低減化する製造方法の実現が従来から望まれていた。

10

## 【0021】

従来から前記課題を解決する閾値電圧 $V_t$ のバラツキを低減化する半導体装置製造方法が提案されている。この製造方法は、例えば図2の一般的な製造工程フローに図14のバラツキを低減化する工程を追加したものである。前記バラツキを低減化する工程は、製造工程途中で製品の出来栄を測定観測する出来栄観測工程Fと、その観測情報を用いて、半導体装置の後続する製造工程に含まれるバラツキ低減工程Hの製造条件を設定する条件設定工程Gと、設定された製造条件で電気特性バラツキを吸収して半導体装置を製造するバラツキ低減工程Hを含む製造方法である。前記3工程は、前述のウェハ検査(図3、工程U)を拡張した工程とみなすことができる。

20

## 【0022】

前記課題を解決する第1の従来技術は、現行製造条件で製造中の半導体チップに含まれる電子素子の閾値電圧 $V_t$ を測定(またはシミュレーション)し、半導体装置の現行製造条件とその測定結果から、次ロット製造の次回製造条件を調節決定し半導体装置の閾値電圧 $V_t$ のバラツキを低減化し、電気特性バラツキを低減化するフィードバック式製造方法である(例えば、特許文献1参照)。前記課題を解決する第2の従来技術は、製造中の半導体チップに含まれる受動素子の値(例えば、抵抗値)を調節して閾値電圧 $V_t$ などのバラツキをチップ毎に吸収し、半導体装置の電気特性バラツキを低減化するトリミング式製造方法である(例えば、特許文献2参照)。これらの従来技術について以下簡単に説明するが、詳細な説明は特許文献に譲る。

30

## 【0023】

製造バラツキを低減化させる従来の半導体装置製造方法であるフィードバック式製造方法は、新たに半導体装置を製造する場合に、製造工程の現行製造条件から次回製造条件を設定する方法である。すなわち、前記現行製造条件で製造された半導体製品の閾値電圧 $V_t$ を測定し、現在製造中の半導体装置の出来栄を測定または評価し(図15、工程F)、次にあらかじめ準備された判定基準に則り次回製造条件を見直し決定し(図15、工程G)、前記次回製造条件で次回の半導体装置を製造する(図15、工程H)半導体装置の電気特性バラツキを低減化する製造方法である。このフィードバック式製造方法によると、現在のバラツキ情報により、次回の製造条件が調整され、半導体装置の電気特性バラツキが低減される。具体的な次回製造条件の決定方法を、図15に示した。

40

## 【0024】

製造バラツキを低減化させる従来の他の半導体装置製造方法であるトリミング式製造方法は図18に示すようなトリミング回路を利用する。図18のトリミング回路では、外部入力端子300と外部入力端子301間に抵抗220と抵抗221が電氣的に直列接続されており、抵抗220、221にはそれぞれヒューズ230、231が並列に接続され、

50

さらに抵抗 220 と抵抗 221 との接続点にトランジスタ 210 のゲート電極が接続される。トランジスタ 210 のドレイン領域は内部回路 240 を介して外部入出力端子 303 に、ソース領域は内部回路 241 を介して外部入出力端子 304 に接続されている。本半導体装置のトリミング回路のヒューズ 230、231 は、例えばポリシリコンで形成されているが、アルミニウムなどの金属薄膜でもよい。ここで、抵抗 220、221、ヒューズ 230、231 のペアは必要に応じて複数個設置される事がある。

【0025】

トリミング式製造方法では、製造工程中で半導体装置の出来栄を測定観測し（図 16、工程 F）、個々の半導体チップの電気特性バラツキを吸収するようにトリミング回路のヒューズ切断箇所を個々に決定し（図 16、工程 G）、個々の半導体装置をトリミングする（図 16、工程 H）半導体装置の電気特性バラツキを低減化する製造方法である。

【特許文献 1】特開 2002 - 83958 号公報（第 8 頁、図 1）

【特許文献 2】特開平 07 - 086521 号公報（第 5 頁、図 1）

【非特許文献 1】はじめての半導体プロセス（大 39 頁、図 2.12）

【発明の開示】

【発明が解決しようとする課題】

【0026】

しかしながら、この従来の製造方法では、以下のような課題を有していた。図 15 の従来技術であるフィードバック式製造方法では、はじめに新たな製造工程の初期条件を現行製造工程（既存技術）から類推、引用等の方法で設定し、次に前記初期製造条件で全工程による試作またはシミュレーションを行い、次に出来栄を測定または観測し、次にあらかじめ準備された判定基準に則り初期製造条件を見直し、次回製造条件を決定するので、出来栄を測定する工程 F 及び製造条件を決定する工程 G を現在製造中の半導体装置に適用できない。製造済み半導体装置のウェハ検査結果を次回の製造条件改善にフィードバックし製造工程の改善は実現できるが、製造工程中の半導体装置の直接的なバラツキ低減化には寄与しないという課題を有していた。

【0027】

図 16 の従来技術であるトリミング式製造方法では、製造工程途中の半導体装置そのものを測定するで、出来栄を測定する工程 F 及び製造条件を決定する工程 G を現在製造中の半導体装置に適用できる。しかしこの方法では、測定時（ほとんどの場合接触型の測定であるため）に半導体装置に及ぼす品質ダメージや、事前に半導体装置内に測定結果を反映させるトリミング回路を設けるため、この冗長回路によって半導体装置のチップ面積が増加することによる量産効率の低下があり、コストの上昇を招いていた。本発明は、半導体装置のチップ面積を増大させることなしに、製造中の半導体装置のバラツキを低減させる製造方法を提供することを目的としている。

【課題を解決するための手段】

【0028】

製品となる半導体装置を形成するウェハ（以後、本体ウェハと称す。）を製造する製造前工程 X（以後、本体ウェハ製造工程と称する。）と、モニタ素子 200 を形成するウェハ（以後、モニタウェハと称す。）を製造するモニタウェハ製造工程（図 1、工程 Z）からなる半導体製造方法であって、本体ウェハ製造工程 X とモニタウェハ製造工程 Z が、半導体装置の出来栄をモニタ素子 200 にコピーするモニタリング工程（図 1、工程 C）を共有し、本体ウェハ製造工程 X は、モニタリング工程 C 後にバラツキ低減工程（図 1、工程 H）を含み、モニタ製造工程 Z は、モニタリング工程 C 後にモニタ素子 200 の特性を測定する出来栄観測工程（図 1、工程 F）とそれに続く観測情報でバラツキ低減工程 H の製造条件を設定する条件設定工程（図 1、工程 G）を含む半導体製造方法とした。この半導体製造方法をここでは、フィードフォワード式製造方法と称する。

【発明の効果】

【0029】

本発明の実施形態は後程詳細に説明するが、図 1 のように製造工程途中において半導体

10

20

30

40

50

装置のバラツキ状態をモニタ素子200(図4)にコピーして(図1、工程C)、製造中の半導体装置の出来栄を観測し(図1、工程F)その観測情報から半導体装置の完成時の出来栄を推定し(図1、工程G1)、その推定情報に応じて後続する製造工程に含まれるバラツキ低減工程の製造条件をアナログ的に設定し(図1、工程G2)設定された製造条件で電気特性バラツキを低減して製造中の半導体装置を製造する(図1、工程H)ので、製造中の半導体装置の電気特性バラツキを大幅に低減化させることができる。すなわち、本発明によれば、製品となる半導体装置への品質ダメージは無く、冗長回路も必要とせずに、半導体装置のバラツキを低減させることができる。

#### 【0030】

更に、半導体装置の出来栄を増幅コピーするモニタ素子200を、長い工程を経る本体ウェハと異なる短い工程を経るモニタウェハ上に形成し利用することにより、短時間で安価なモニタリングが可能となり、質及び量とも高い観測情報が得られるので、出来栄測定工程Fの製造条件をより正確に設定できる。よって、本発明のフィードフォワード式製造方法は、半導体装置の電気特性バラツキを一層低減化させることができ、半導体装置を高品質、高歩留で製造できる半導体装置製造方法を実現することができる。

#### 【発明を実施するための最良の形態】

#### 【0031】

図1は、本発明による半導体装置の製造方法の製造工程フローの概念図である。本発明実施例の製造方法は、製品となる半導体装置を形成するウェハを製造する本体ウェハ製造工程Xと、モニタ素子200を形成するウェハ(以後、モニタウェハを製造するモニタウェハ製造工程Zからなる。本体ウェハ製造工程Xとモニタウェハ製造工程Zは、モニタリング工程Cのみを共有する。モニタリング工程Cは、本体ウェハに形成される半導体装置の出来栄をモニタウェハに形成されるモニタ素子200にコピーする重要な工程である。

#### 【0032】

本体ウェハ製造工程Xには、基本的には製造工程フロー(図3)を利用することができる。図1に示すモニタリング工程Cは必要に応じて図3の製造工程フローの中から選定される。このモニタリング工程Cは、複数工程選定しても良い。ここで、仮に一般的な製造工程フロー(図3)の中からモニタリング工程Cと指定された工程、例えばゲート酸化膜工程N以前の工程を本体前処理工程Bと称し、モニタリング工程C以後の後続する製造工程を本体後処理工程Dと称する。本体後処理工程Dにはバラツキ低減工程Hが含まれる。バラツキ低減工程Hは、モニタリング工程Cに対応して必要ならば複数工程設定する。後続前処理工程D1と後続後処理工程D2は、必要に応じてバラツキ低減工程Hの前後に図3の製造工程フローの中から選定される。

#### 【0033】

本発明の実施例に適用した半導体装置の製造前工程Xを、工程順断面図(図5~13、図19)を用いて詳細に説明する。本発明の実施例は、前記の工程順断面図に限定されるものではなく、一般的な半導体装置の製造前工程に適用できる。勿論、MOS半導体装置に限定されるものではなく、バイポーラ半導体装置や化合物半導体等の製造方法に適用することもできる。

#### 【0034】

##### 1. フィールド酸化膜

半導体基板例えば、P型半導体基板102表面付近に部分的に膜厚の異なる絶縁膜を熱酸化等により選択的に形成し300nm~1000nm程度の酸化膜103と50nm~100nm程度の酸化膜104を得る。ここではP型の半導体基板を用いたが、N型の半導体基板も用いることができる。(図5)

##### 2. Nウェル

Nウェル111は、本体ウェハ表面にイオン注入法により不純物、たとえばリンを $3.0 \times 10^{12}/\text{cm}^2$ 程度の不純物量を注入し、ウェル不純物注入領域を形成する。これをウェル不純物注入工程という。次に、イオン注入法により本体ウェハに添加された不純物は、そのままでは電氣的に不活性なので熱処理による活性化、及び注入時のダメージを回復させる

10

20

30

40

50

。さらに、Nウェル111内にPMOSトランジスタを作りこむためには、ある程度深さを持ったNウェル111としなければならない。一般的には、微細化されたトランジスタにおいては1~3mm、高耐圧のトランジスタについては3~8mm程度の深さとなる。この熱処理において必要な不純物の分布(プロファイル)を得るため、例えば電気炉により1100~1200で数時間~十数時間の条件で熱拡散をする。これをウェル熱拡散工程という。(図6)。ウェル熱拡散工程は複数枚(150枚程度)の大口径ウェハを同時に高温で長時間処理される。ここではNウェル111を用いたが、Pウェルまたは両方のウェルを用いることができる。

#### 【0035】

##### 3. LOCOS

P型半導体基板102表面付近に選択的にP型チャネルストッパー142形成用のB、BF<sub>2</sub>等を選択的に半導体基板表面にイオン注入した後、LOCOS法等により選択的に素子分離用絶縁膜130、P型チャネルストッパー142を形成する(図7)。ここでLOCOS法を用いて素子分離用酸化膜を形成する場合、熱酸化工程は複数枚(150枚程度)の大口径ウェハを同時に高酸化レートで、高温で長時間処理される。

#### 【0036】

##### 4. チャネルドープ

将来MOSトランジスタが形成される素子形成用能動領域132に選択的に閾値電圧制御用のPhos、As、B、BF<sub>2</sub>等を半導体基板表面にイオン注入し不純物注入領域201が形成される。不純物注入領域201が形成される領域はMOSトランジスタの導電型、閾値電圧、等必要に応じて複数領域別々に形成される場合があり、半導体装置の仕様によりイオン注入量等の許容範囲が著しく狭い場合もある(図8)。本チャネルドープ工程Mは、次のゲート酸化膜工程Nの後に行っても、同様な半導体装置が得られる。

#### 【0037】

##### 5. ゲート酸化

素子形成用能動領域132の半導体基板表面付近の酸化膜を除去し、熱酸化等によりゲート酸化膜161を形成する(図9)。ここでゲート酸化膜161の膜厚は半導体装置の仕様により様々であるが、MOSトランジスタの閾値電圧を決定する重要なプロセスパラメータである。さらにこの後(ゲート酸化膜161形成後)図8で説明した将来MOSトランジスタが形成される素子形成用能動領域132に選択的に閾値電圧制御用のPhos、B、BF<sub>2</sub>等を半導体基板表面にイオン注入し不純物注入領域201を形成する場合もある。

#### 【0038】

##### 6. ポリシリコン

ゲート酸化膜161上にCVD技術、フォトリソグラフィ技術、エッチング技術を用いて選択的にポリシリコンゲート170が形成される(図10)。ここでポリシリコンゲート170の加工幅は半導体装置の仕様により様々であるが、MOSトランジスタの駆動能力を決定する重要なプロセスパラメータである。また、ここでは図示していないが、この後、酸化膜を形成した後、抵抗用の第2層のポリシリコン層を形成する場合がある。

#### 【0039】

##### 7. ソース/ドレイン形成

P型半導体基板102表面にCVD法または熱酸化法により酸化膜164を形成した後、素子形成用能動領域132の所望の領域にポリシリコンゲート170と酸化膜164に対してセルフアライメント的にソース、ドレイン形成用のPhos、As、B、BF<sub>2</sub>等を半導体基板表面にイオン注入しN型ソース領域181、N型ドレイン領域191、P型ソース領域182、P型ドレイン領域192が形成される。(図11)。ここで、それぞれのソース、ドレインはLDD(Lightly Doped Drain)と呼ばれる低濃度の不純物領域を有する構造やDDD(Double Diffused Drain)と呼ばれる900~1100程度、窒素または希釈酸素雰囲気拡散する事により形成された低濃度の不純物領域を有する構造を用いる場合がある。これに本ソース/ドレイン形成工程Pでソース/ドレインを形成する前に、イオン注入された不純物を900~1100程度、窒素または希釈酸素雰囲気拡散する事により形成

10

20

30

40

50

された低濃度不純物領域 1 3 4 を有する構造を用いる場合がある ( 図 1 9 ) 。 この工程を、以後DDD工程と称す。

#### 【 0 0 4 0 】

##### 8 . 層間絶縁膜

P型半導体基板 1 0 2 表面にCVD法等により酸化膜を堆積し、800 ~ 900 程度の希釈酸素雰囲気アニールし、層間絶縁膜 1 6 3 を形成する ( 図 1 2 ) 。

#### 【 0 0 4 1 】

##### 9 . コンタクト、金属配線、保護膜

層間絶縁膜 1 6 3 の所望の領域にフォトリソグラフィ技術、エッチング技術を用いて選択的にコンタクトホール 2 5 0 を形成し、ウェットエッチングまたはリフロー等でコンタクトホールの形状を滑らかに成形する。スパッタ技術、フォトリソグラフィ技術、エッチング技術等を用いて選択的に金属配線 2 6 0 を形成し、CVD法等により保護膜 2 7 0 を堆積し、所望の領域 ( 外部接続端子領域等 ) を選択的に窓明けする。ここでは単層の金属配線 2 6 0 を形成する場合について記述したが、この金属配線は層間絶縁膜を介して複数の積層構造が形成される場合もある。また、金属配線はバリア金属を下層に、反射防止膜を上層に有する構造の場合もある。さらに、プロセスダメージ回復用の350 ~ 450 、水素雰囲気でのアニール工程が含まれる場合もある ( 図 1 3 ) 。

#### 【 実施例 】

#### 【 0 0 4 2 】

本発明の特徴であるモニタウェハ製造工程Zは、モニタウェハを前処理し ( 図 1 、 工程A ) 、本体ウェハと同時に処理により本体ウェハの特性をコピーし ( 図 1 、 工程C ) 、モニタ素子 2 0 0 を後処理し ( 図 1 、 工程E ) 、モニタ素子 2 0 0 の特性を測定し ( 図 1 、 工程F ) 、バラツキ低減工程Hの製造条件を決定 ( 図 1 、 工程G ) する工程からなる。ここで、本体ウェハの製造途中の出来栄をモニタウェハへコピーするモニタリング工程Cは、本体ウェハとモニタウェハを同一の装置内で同時に処理する。本実施例では、モニタリング工程Cで半導体装置の製造途中の出来栄をコピーするモニタ素子 2 0 0 として、図4に示すMOSダイオードを利用する。以下、モニタウェハ製造工程Zを中心に、本発明フィードフォワード製造方法の実施例について詳細に説明する。

#### 【 0 0 4 3 】

##### 1 . モニタ前処理工程

モニタウェハは本体の半導体装置のP型半導体基板 1 0 2 より 1 0 % ~ 5 0 % 程度低濃度のP型半導体基板 1 0 2 とする。P型半導体基板 1 0 2 の表面付近にしきい値電圧制御用のPhos、As、B、BF<sub>2</sub>等を半導体基板表面にイオン注入し不純物注入領域を形成する。ここでのイオン注入工程は、処理状態を予測する半導体装置と同一条件で処理される事が望ましい。これは、イオン注入工程でのバラツキをより低減化させるためである。また、ここで低濃度の半導体基板を使用する理由はモニタリング感度をより高めるためである。ここで、モニタウェハのモニタリング工程C以前の製造工程は、本体ウェハのモニタリング工程C以前の製造工程より簡略化された製造工程であることが好ましい。具体的には、本実施例のモニタ前処理工程は、本体前処理工程Bに比べてNウェル工程KやLOCOS工程Lが省略され、簡便で短期間なものがコスト的に好ましい。モニタウェハの基板の濃度に関して、必ずしも本体半導体装置より低濃度の半導体基板を用意する必要はなく、コストと測定精度の兼ね合いから決定すればよい。 ( 図 1 、 工程 A )

##### 2 . モニタリング工程

このモニタリング工程Cは、製造による本体ウェハの出来栄をモニタウェハにコピーする重要な工程である。すなわち、半導体製造装置完成時の出来栄を左右する前記寄与大パラメータを予測できる工程影響 ( モニタ状況 ) をモニタウェハに正確にコピーする工程である。本実施例では、モニタリング工程Cとして、製造バラツキの大きいゲート酸化膜 1 6 1 を形成するゲート酸化膜工程Nとする。ゲート酸化膜工程Nは複数枚 ( 1 5 0 枚程度 ) の大口径ウェハを並べて同時に850 ~ 1000 程度の高温で長時間処理するため、ウェハ間、ウェハ内で熱履歴に差が生じ、大きな製造バラツキを発生させる可能性が高い工

10

20

30

40

50

程である。製造バラツキはゲート酸化膜 161 の膜厚とゲート酸化膜 161 下の不純物注入領域 201 の不純物濃度プロファイルのバラツキにより生じ、製造前工程 X 終了時に、MOSトランジスタの閾値電圧  $V_t$  のバラツキとして顕在化する。モニタウェハを、本体前工程処理 B を経た本体ウェハと同時に処理する。同時に処理というのは、前記工程影響をより正確にコピーするためと言うことで、本体ウェハとモニタウェハの処理条件が同一であれば、本体ウェハとモニタウェハの同時処理は本発明の必要条件ではない。これはコピー精度の問題で、前記工程影響をより正確にコピーするためには、同時処理が好ましい。同様に、モニタウェハは、バラツキ許容範囲とゲート酸化工程のバラツキ範囲との相関関係で、挿入位置や挿入枚数が決定される。(図 1、工程 C)

### 3. モニタ後処理工程

本体ウェハと同時に処理(図 1、工程 C)されたモニタウェハのモニタ状態を増幅して高感度で測定できるようにモニタウェハの後処理(図 1、工程 E)は、形成されたゲート酸化膜 161 上にさらに第 2 ゲート酸化膜 165 を 800 ~ 850 程度の熱酸化法または 600 ~ 800 程度以下の CVD 法でゲート酸化膜 161 の 0.5 倍 ~ 1.5 倍程度の膜厚で形成し、第 2 ゲート酸化膜 165 上に CVD 法によりポリシリコンゲート 170 を形成する。ここで、第 2 ゲート酸化膜 165 はモニタリング感度を増幅するために形成したものである。調整が必要な  $V_t$  は式 2 の様に  $Q_B / C$  ( $Q_B$ : 不純物による電荷量、 $C$ : ゲート酸化膜容量値) の関数であるためゲート酸化膜厚が厚いほど不純物濃度プロファイルの変動 ( $Q_B$  の変動) を高感度に増幅して測定できる。ただしこの場合、膜厚バラツキに比べて不純物濃度プロファイルのバラツキが大きい場合に効果がある。このゲート酸化工程において、ゲート膜厚のバラツキが大きい場合、第 2 ゲート酸化膜 165 は形成しない事が望ましい。またここではゲート電極をポリシリコンゲート 170 で形成しているが、金属、例えばアルミニウムで形成する場合もある。また、追加される第 2 ゲート酸化膜 165 の形成温度、時間は、本体の半導体装置のゲート酸化膜工程 N 以降の熱履歴と類似させると、より高感度に不純物濃度プロファイルを検出できる。(図 1、工程 E)

本体の半導体装置のゲート酸化膜工程 N 以降の比較的高温の熱履歴は、前述したように次の 6 種類の工程が想定される。

- (1) ポリシリコンゲート 170 (CVD 法等で形成)
- (2) 酸化膜 164 (CVD 法または熱酸化法により形成)、
- (3) 低濃度の不純物領域 (DDD 構造を用いる場合の 900 ~ 1100 程度、窒素または希釈酸素雰囲気で拡散)、
- (4) 層間絶縁膜 163 (CVD 法等により酸化膜を堆積し、800 ~ 900 程度、希釈酸素雰囲気でのアニール)、
- (5) 形状滑らかなコンタクトホール (リフローで成形する場合)、
- (6) プロセスダメージ回復 (350 ~ 450、水素雰囲気でのアニール工程)

前述した「本体の半導体装置のゲート酸化膜工程 N 以降の熱履歴を類似させる」とは、比較的高温が印可される工程の内、最も高温で長時間処理される (3) の工程での最高温度および処理時間の履歴を同一にさせることである。特に温度の高い複数の工程を選択する場合もある。これは、不純物拡散は主に温度による効果が大きいためである。つまりここでは、追加される第 2 ゲート酸化膜 165 の形成温度、時間は、低濃度の不純物領域 (DD D 構造を用いる場合の 900 ~ 1100 程度、3 ~ 5 時間、窒素または希釈酸素雰囲気での拡散) 形成工程と熱履歴を類似させることが望ましいことになる。

### 【0044】

#### 4. 出来栄え測定工程

次に、モニタ素子 200 の工程影響を観測 (工程 F) する。本実施例では、モニタウェハのモニタ素子 200 の CV 特性から不純物注入領域 201 の不純物濃度プロファイルのバラツキを求め、閾値電圧  $V_t$  またはフラットバンド電圧  $V_f$  などの観測情報を得る。(図 1、工程 F)

#### 5. 特性推定工程

前記観測情報から各ウェハに多数搭載されている半導体装置のゲート酸化膜厚と不純物

10

20

30

40

50

濃度プロファイルを推定し、あらかじめ明らかにされているモニタウェハの閾値電圧 $V_t$ と本体ウェハに形成されるトランジスタの閾値電圧 $V_t$ との相関関係から本体ウェハの閾値電圧 $V_t$ を推定する推定情報を作成する。(図1、工程G1)

#### 6. 条件決定工程

本実施例では、バラツキ低減工程Hとして本体後処理工程Dのチャンネルドーピング工程Mを選定する。前推定情報に応じて前記閾値電圧 $V_t$ のバラツキを十分に低減できるように、チャンネルドーピング工程Mのイオン注入条件をアナログ的に決定する。前記推定情報やモニタウェハの設置場所および枚数に応じて、ウェハ1枚毎または複数ウェハ毎にチャンネルドーピング工程Mのイオン注入条件を決定する。(図1、工程G2)

#### 7. バラツキ低減工程

モニタリング工程Cを経た本体ウェハは、条件決定工程G2で決定したイオン注入条件で、ウェハ1枚毎または複数ウェハ毎に本体ウェハのチャンネルドーピング処理が実施される。(図1、工程H)

#### 8. 後続後処理工程

バラツキ低減工程Hを経た本体ウェハは、ウェハ検査工程Uを含む後続後処理工程を経て製造前工程Xは終了する。

#### 【0045】

以上の説明で明らか様に、モニタリング工程Cは本体ウェハの出来栄をモニタウェハへ正確にコピーする工程であるが、ウェハ前処理工程Aおよびモニタ後処理工程Eは、コピーした出来栄のバラツキを増幅して観測できるようにモニタ素子200を形成する工程でなければならない。

#### 【0046】

ここでは、本実施例では、モニタリング工程Cをゲート酸化膜工程Nとして説明したが、同様の考え方をを用いて、半導体装置の電気特性バラツキの原因になるLOCOS工程L、ポリシリコンゲート工程O、チャンネルドーピング工程M、前記DDD工程を含むソース/ドレイン形成工程P、各種エッチング工程をモニタリング工程Cとして適用可能である。また、バラツキ低減工程Hも、チャンネルドーピング工程Mとして説明したが、保護膜工程Tや前記DDD工程を含むソース/ドレイン工程P等をバラツキ低減工程Hとすることができる。モニタリング工程Cやバラツキ低減工程Hは、プロセスの特性を考慮して選定するのが良い。また、モニタリング工程Cやバラツキ低減工程Hを複数設定することができるが、これはコストを考慮して設定するのが良い。また、製造工程でのダメージ発生工程とダメージ回復工程でも本発明は活用できる。

#### 【産業上の利用可能性】

#### 【0047】

本発明は、一般の半導体装置の製造に適用することを目的としているので広い範囲で用いることができる。例えば、高電圧動作が要求されるトランジスタと、低電圧低電流動作が要求されるトランジスタを共に含む半導体装置、具体的にはリチウムイオン電池の充放電を制御する電源マネージメント用半導体装置の製造に適用することにより、高品質で低コストの半導体を実現する本発明の効果を十分に発揮することができるが、これに限るものでないことは言うまでもない。

#### 【図面の簡単な説明】

#### 【0048】

【図1】本発明のフィードフォワード式製造方法の製造工程フロー概念図である。

【図2】半導体装置の一般的なマクロ製造工程フローである。

【図3】半導体装置製造方法の前工程の一般的な製造工程フローである

【図4】本発明実施例で利用したモニタ素子200の模式図である。

【図5】本発明実施例で利用した代表的な半導体装置製造方法の工程順断面図である。

【図6】本発明実施例で利用した代表的な半導体装置製造方法の工程順断面図である。

【図7】本発明実施例で利用した代表的な半導体装置製造方法の工程順断面図である。

【図8】本発明実施例で利用した代表的な半導体装置製造方法の工程順断面図である。

10

20

30

40

50

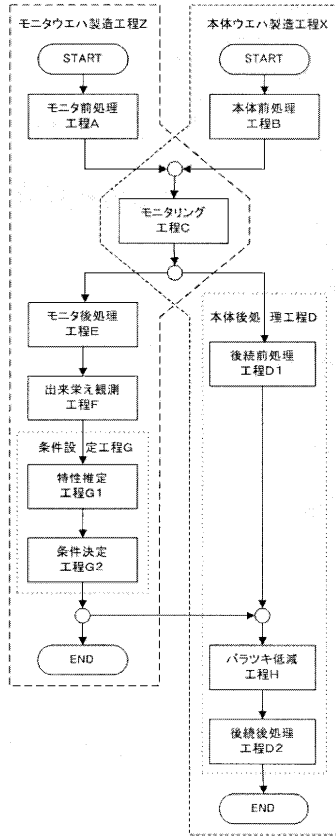
- 【図 9】本発明実施例で利用した代表的な半導体装置製造方法の工程順断面図である。
- 【図 10】本発明実施例で利用した代表的な半導体装置製造方法の工程順断面図である。
- 【図 11】本発明実施例で利用した代表的な半導体装置製造方法の工程順断面図である。
- 【図 12】本発明実施例で利用した代表的な半導体装置製造方法の工程順断面図である。
- 【図 13】本発明実施例で利用した代表的な半導体装置製造方法の工程順断面図である。
- 【図 14】従来の半導体装置製造方法に電気特性バラツキを吸収する製造工程フローの概念図である。
- 【図 15】従来技術 1 の半導体装置製造方法に電気特性バラツキを吸収する製造工程フローである。
- 【図 16】従来技術 2 の半導体装置製造方法に電気特性バラツキを吸収する製造工程フローである。
- 【図 17】従来技術 1 のフィードバック式製造方法に利用される製造条件決定フロー図である。
- 【図 18】従来技術 2 のトリミング式製造方法に利用されるトリミング回路の回路図である。
- 【図 19】本発明実施例で利用した代表的な D D D 工程の工程順断面図である。

## 【符号の説明】

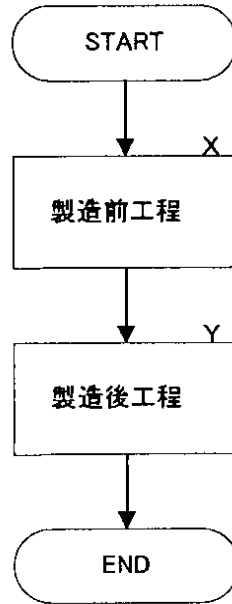
## 【 0 0 4 9 】

- |                         |              |    |
|-------------------------|--------------|----|
| 1 0 2                   | P 型半導体基板     |    |
| 1 0 3                   | 酸化膜          | 20 |
| 1 0 4                   | 酸化膜          |    |
| 1 1 1                   | N ウェル        |    |
| 1 3 0                   | 素子間分離用絶縁膜    |    |
| 1 3 2                   | 素子形成用能動領域    |    |
| 1 3 4                   | 低濃度不純物領域     |    |
| 1 4 2                   | P 型チャネルストッパー |    |
| 1 6 1                   | ゲート酸化膜       |    |
| 1 6 2                   | ゲート電極        |    |
| 1 6 3                   | 層間絶縁膜        |    |
| 1 6 4                   | 酸化膜          | 30 |
| 1 6 5                   | 第 2 ゲート酸化膜   |    |
| 1 7 0                   | ポリシリコンゲート    |    |
| 1 8 0                   | ソース領域        |    |
| 1 8 1                   | N 型ソース領域     |    |
| 1 8 2                   | P 型ソース領域     |    |
| 1 9 0                   | ドレイン領域       |    |
| 1 9 1                   | N 型ドレイン領域    |    |
| 1 9 2                   | P 型ドレイン領域    |    |
| 2 0 0                   | モニタ素子        |    |
| 2 0 1                   | 不純物注入領域      | 40 |
| 2 1 0                   | トランジスタ       |    |
| 2 2 0、2 2 1             | 抵抗           |    |
| 2 3 0、2 3 1             | ヒューズ         |    |
| 2 4 0、2 4 1             | 内部回路         |    |
| 2 5 0                   | コンタクトホール     |    |
| 2 6 0                   | 金属配線         |    |
| 2 7 0                   | 保護膜          |    |
| 3 0 0、3 0 1、3 0 3、3 0 4 | 外部入出力端子      |    |

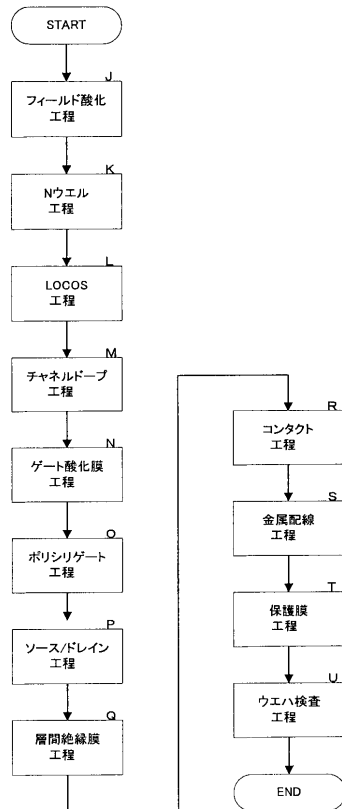
【図1】



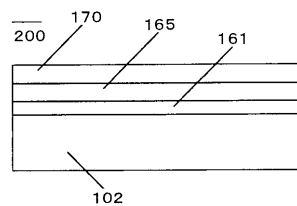
【図2】



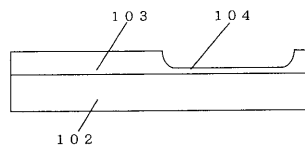
【図3】



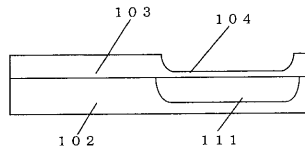
【図4】



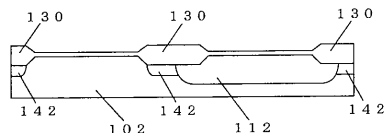
【図5】



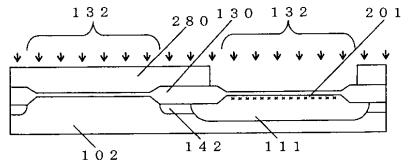
【図6】



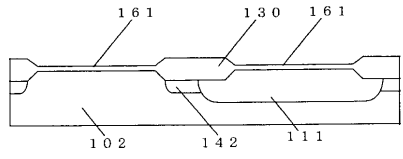
【図7】



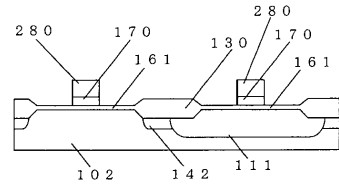
【図 8】



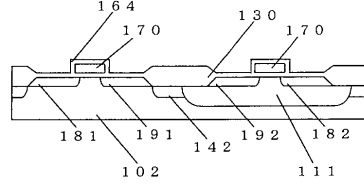
【図 9】



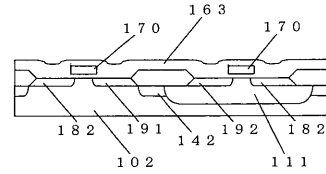
【図 10】



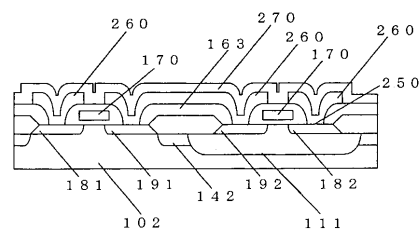
【図 11】



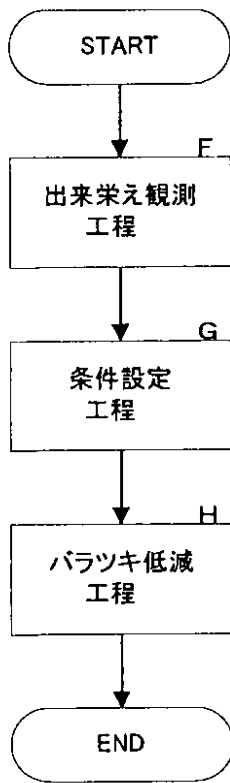
【図 12】



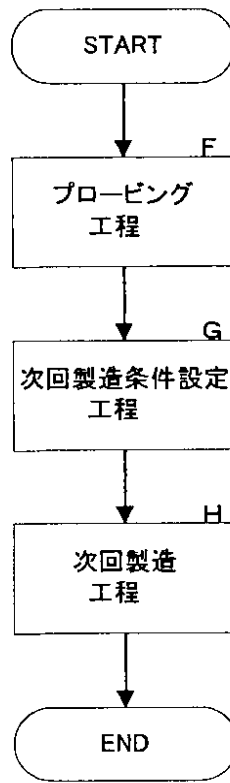
【図 13】



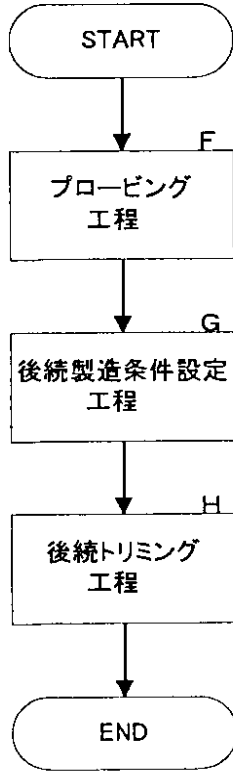
【図 14】



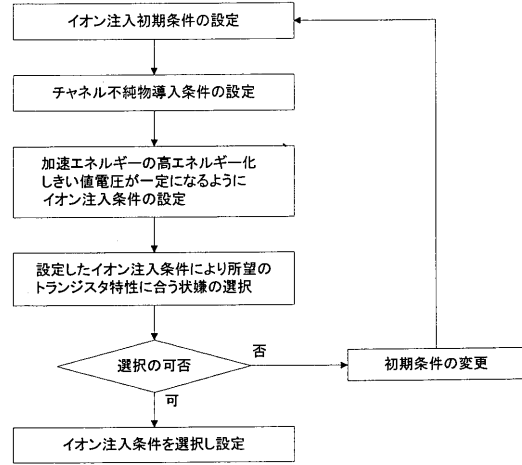
【図 15】



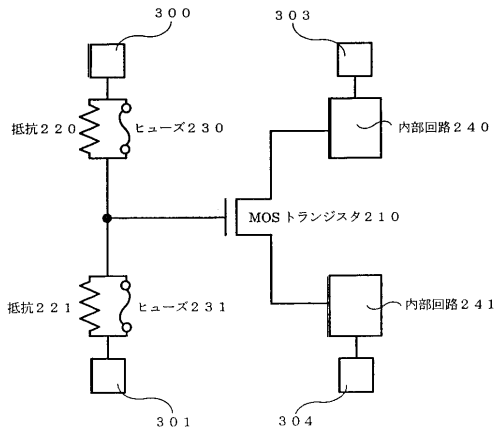
【図16】



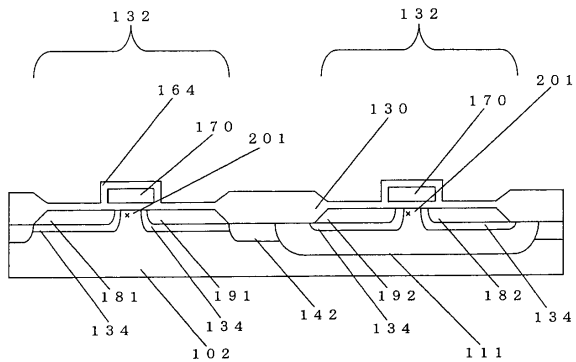
【図17】



【図18】



【図19】



## フロントページの続き

(31)優先権主張番号 特願2003-316591(P2003-316591)

(32)優先日 平成15年9月9日(2003.9.9)

(33)優先権主張国 日本国(JP)

(72)発明者 北島 裕一郎

千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

(72)発明者 南 志昌

千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

(72)発明者 上村 啓介

千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

(72)発明者 和気 美和

千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

審査官 吉田 安子

(56)参考文献 特開2001-332723(JP,A)

特開2001-237377(JP,A)

特開平09-321286(JP,A)

特開2001-176986(JP,A)

特表2003-519920(JP,A)

特開昭60-200301(JP,A)

特開平10-084025(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/02

H01L 21/66

H01L 21/8234

H01L 27/088

H01L 29/78