公告本

申請日期	85.10.29
案號	85113171
類別	H01L 21/76

Int.·Cl

A4
C4

311261

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	具有溝渠隔離結構之半導體裝置及其製造方法
	英文	
二、發明 創作 人	姓名	1.村上隆昭　2.安村賢二 3.大石敏之　4.鹽澤勝臣
	國籍	日本
	住、居所	東京都千代田區丸之內二丁目2番3號
三、申請人	姓名（名稱）	三菱電機股份有限公司
	國籍	日本
	住、居所（事務所）	東京都千代田區丸之內二丁目2番3號
	代表人姓名	北岡隆

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

311261

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

日本 國（地區） 申請專利，申請日期：1996/05/27 案號：8-132205，□有 □無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

本發明係有關於半導體裝置之結構以及其製造方法，此半導體裝置具有用以隔離並絕緣在半導體基板的主表面上之主動元件形成區域(以下稱「主動區域」)間的溝渠隔離結構。特別是有關於適用於 VLSI(Very Large Scale Integrated circuit)的情況下，具有可用以防止反向窄通道效應(inverse narrow channel effect)發生之溝渠隔離結構之半導體裝置結構，以及其製造方法。

對於習知 VLSI 中的元件隔離技術而言，是在半導體基板之主表面的主動區域間，利用置於此主表面之溝渠中埋設的絕緣層，做爲隔離絕緣之用的溝渠隔離結構。以下參考第 28 圖和第 29 圖，說明揭示於"International Electron Device Meeting", IEDM94, 28.1.1(1994 年)之習知溝渠隔離結構之製造方法。

在此習知溝渠隔離結構之製造方法中，首先如第 28 圖(a)所示，在矽基板 1 上沉積形成熱氧化層 2 、氮化矽層 3 和氧化層 4 之後，在上述堆積層中對應於形成溝渠的隔離區域位置上，形成開口 5 。開口 5 的形成，可以利用光學微影和乾蝕刻等方法所進行圖案化來達成。

接著，以具有如此形成之開口 5 之圖案做爲罩幕，對矽基板 1 進行選擇性蝕刻，如第 28 圖(b)所示，在做爲隔離區域部分上形成溝渠 6 。隨後，藉由實施熱氧化，在溝渠 7 的內壁上形成熱氧化層 7(第 28 圖(b))。其次，如第 28 圖(c)所示，使用 TEOS(Tetra Ethyl Ortho Silicate glass)方法將氧化層 8 埋設於溝渠 6 之內。在現今微細化的積體電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

中，由於在氧化層 8 埋設之前溝渠的高寬比(aspect ratio)較高，因此必須埋設緻密度不高的 TEOS 氧化層等的氧化層。

接著，如第 29 圖(a)所示，以氮化矽層 3 爲終止層，利用蝕刻、機械研磨或化學研磨等平坦化方法進行平坦化。第 29 圖(b)則表示去除平坦化製程後曝露出的氮化矽層 3 後的結構。接著，以濕蝕刻去除熱氧化層 2 並將氧化層 8 進行平坦化之後，在矽基板上形成閘極氧化層 9，更在其上形成閘極電極，而形成如第 29 圖(c)所示之結構。

通常在 MOS(Metal Oxide Semiconductor)電晶體中，臨界電壓會隨著通道寬度縮小而增加，而產生所謂窄通道效應的現象。因此對於溝渠隔離而言，當在閘極電極上施加臨界電壓值程度的電壓時，電場會集中在溝渠隔離端附近(如第 29 圖(c)所示之 A 點附近)，於是便在此溝渠隔離端附近形成了寄生(或雜散)通道。如此電流即可透過溝渠側壁上所形成的寄生通道來流動，臨界電壓便會降低。如上所述，臨界電壓隨著通道寬度的縮小而降低的現象，便稱之爲反向窄通道效應。由於次臨界特性上會在汲極電流產生峰值，所以反向窄通道效應亦稱之峰值現象。

因爲反向窄通道效應會引起臨界電壓值的變動，更會導致次臨界特性的惡化，所以在具有溝渠隔離結構的半導體裝置中便成爲極爲重要的課題。

本發明爲了解決上述習知技術之問題，藉由謀求溝渠上方轉角部分的形狀，以及埋設於溝渠內絕緣層的突出形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

狀等等的最佳化，以提供具有可以抑制反向窄通道效應發生之溝渠隔離結構之半導體裝置和其製造方法爲目的。

爲了達到上述目的，本發明之具有溝渠隔離結構之半導體裝置，其具有沿著半導體基板主表面之主動區域間邊界延伸並且離上述半導體基板主表面一預定深度之溝渠，並且利用埋設之絕緣層隔離上述主動區域間之溝渠隔離結構。在絕緣層上設置一閘極電極，其在溝渠形成方向之交叉方向延伸，並使一閘極氧化層介於其間。上述絕緣層在閘極電極之延伸方向之上述閘極電極垂直下方，具有一鉛直剖面形狀，用以在施加一預定偏壓電壓於閘極電極之狀態下，使溝渠上端角落部分附近之主動區域載子濃度，會低於主動區域中央之載子濃度。

由於如此結構，在本發明中施加預定偏壓電壓於閘極電極之狀態下，由於溝渠上端角落部分附近之主動區域載子濃度，會低於主動區域中央之載子濃度，便得以緩如溝渠隔離端附近之電場密度。結果，由於抑制了反向窄通道效應的發生，便能夠防止臨界電壓的變動並提昇次臨界電壓的特性。

以下所提之各種溝渠隔離形狀之實施例得以滿足此條件。首先在第一例中，在埋設於上述溝渠之絕緣層上方，分別在兩側之溝渠隔離端附近形成有凹陷部，當以不具有凹陷部之平坦部分之閘極氧化層上方位置爲基準時，各凹陷部之深度爲 d，並且以兩端之凹陷部上形成之閘極電極和溝渠側壁之間的最短距離爲 x，其滿足以下條件：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 4 ）

$$x \geq 45.8d^3 - 11.9d^2 + 1.0d + 0.01$$

$$x > 0, \quad d > 0$$

這些凹陷部在形成埋設於溝渠之絕緣層時之回蝕刻步驟中必然形成的。藉由控制回蝕刻條件，可以比較容易地形成滿足上述條件之凹陷部。

在溝渠隔離形狀之第二例中，埋設於溝渠內之絕緣層具有比半導體基板主表面上方突出之突起部。該突起部可爲絕緣層突起部之相對側壁間隔向上變窄之窄化形狀者，相對側壁對於半導體基板主表面形成垂直形狀者，或者帶有圓化形狀者。絕緣層在閘極電極之延伸方向之上述閘極電極垂直下方，具有一鉛直剖面形狀，

另外，在溝渠隔離結構之第三例中，溝渠之上端角落部分具有切面窄化形狀，其橫向寬度在 0.05μm 以上，深度在 0.05μm 以下。或者，溝渠之上端角落部分具有曲率半徑在 0.04μm 以上之 R 切面形狀。當溝渠上端角落部分具有如此形狀，無論在溝渠內埋設之絕緣層是否存在有突起部，皆可滿足上述條件：「在施加一預定偏壓電壓於閘極電極之狀態下，使溝渠上端角落部分附近之主動區域載子濃度，會低於主動區域中央之載子濃度」。因此，此溝渠隔離形狀亦可以應用於埋設溝渠之絕緣層與半導體基板主表面具有一致上表面之結構中。由於採用如此結構，在不增加表面步階差之下便能夠達到本發明之目的。

本發明之具有溝渠隔離結構之半導體裝置製造方法，包括下列步驟：於形成於半導體基板主表面上之主動區域

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

上，形成厚度在160nm以上380nm以下之罩幕；使用上述罩幕蝕刻半導體基板，在半導體基板上選擇性形成深度0.15μm以上0.3μm以下之溝渠；熱氧化溝渠之內壁，於上述內壁上形成厚度10nm以上50nm以下之熱氧化層；埋設絕緣層於內壁上形成熱氧化層之溝渠；選擇性去除埋設於溝渠之絕緣層，其中僅保留上述溝渠之上部及其附近部分；去除罩幕；以及形成閘極電極於絕緣層上，並使一閘極氧化層介於其間。此溝渠隔離端構造可在施加一預定偏壓電壓於閘極電極之狀態下，使溝渠上端角落部分附近之主動區域載子濃度，會低於主動區域中央之載子濃度。

藉此步驟能夠緩和溝渠隔離端中電場的密度。其結果係能夠有效形成抑制反向窄通道效應發生之溝渠隔離結構。

實際上，本發明之具有溝渠隔離結構之半導體裝置製造方法可以採用以下各種步驟。首先在第一例中，形成罩幕步驟中尚包括依序堆疊形成氧化矽層和氮化矽層之步驟，並且埋設於溝渠內之絕緣層具採用氧化矽層。另外，形成罩幕之步驟中亦可以依序堆疊形成厚度爲10nm以上30nm以下之氧化矽層、厚度爲100nm以上200nm以下之氮化矽層，以及厚度爲50nm以上150nm以下之氧化矽層。

本發明之具有溝渠隔離結構之半導體裝置製造方法中，在利用熱氧化法在溝渠內壁選擇性形成熱氧化層之步驟中，溝渠上端之相對角落間距離係利用調整上述熱氧化層之層壓來控制。另外，以其他方法而言，如在形成溝渠

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

步驟後以及藉熱氧化法在溝渠內壁上選擇性形成熱氧化層步驟後之間，更包括在溝渠內壁上形成犧牲氧化層的步驟，以及藉由蝕刻選擇性去除該犧牲氧化層之步驟。溝渠上端之相對角落間距離能夠透過調整犧牲氧化層之層壓來控制。

本發明之製造方法中，形成罩幕之步驟中包括依序堆疊形成氧化矽層、氮化矽層和氧化矽層之步驟。於溝渠內壁形成熱氧化層之步驟中，同時對矽層之溝渠上方角落附近之部分進行熱氧化，藉此轉變此部分爲氧化矽層，而能夠在半導體基板之主表面上突起之絕緣層部分形成窄化形狀。

於上述溝渠內壁形成熱氧化層之步驟中，實施熱氧化條件最好在高於 1000°C 的形成溫度，及/或高於 1 大氣壓以上之壓力下進行。

另外，本發明之製造方法中，於去除罩幕步驟後及形成閘極電極步驟前，全面性沉積絕緣層並回蝕刻上述絕緣層，僅在半導體基板之主表面突起之絕緣層部分之兩側部分上，保留最大寬度爲 10nm 以上 60nm 以下之側壁絕緣層，該部分可以具有圓化形狀或者窄化形狀。

另外，形成溝渠之步驟中包括以等向性蝕刻對半導體基板進行 10nm 以上 50nm 以下蝕刻之第一蝕刻步驟；以及以非等向性蝕刻對半導體基板選擇性進行深度 0.15μm 以上 0.3μm 以下蝕刻之第二蝕刻步驟，而能夠在溝渠上端角落部分形成窄化形狀。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

另外，本發明具有溝渠隔離結構之半導體裝置製造方法在實施時，決定溝渠隔離結構式樣係利用以模擬表示溝渠隔離端形狀參數之回歸曲線公式，來設定溝渠隔離端構造之形狀參數。對於主動區域中央之載子濃度以及溝渠在主動區域側端部分之載子濃度而言，將使得主動區域中央之載子濃度高於溝渠在主動區域側端部分之載子濃度。

實施例：

首先說明根據模擬所得之載子濃度分析，做爲以下適用本發明基本技術思想之較佳實施例之方法。

反向窄通道效應(或稱之爲峰值現象)的產生，根據文獻"IEEE Transactions on Electron Devices vol. 39, No.3, March 1992, p614"中所述，其成因是主動區域與其他主動區域隔離絕緣的隔離氧化層的主動區域側邊(以下稱之爲隔離端)附近，會比主動區域的中央部來得容易形成反轉層。因此，藉由反轉層的載子濃度模擬分析，便能夠根據主動區域中央部分以及隔離端附近的載子濃度大小之關係，定量地評估出反向窄通道效應的程度。以下一例，係在半導體基板主表面上之P型井區中設有溝渠隔離結構的情況下，說明利用模擬進行反向窄通道效應之分析程序。

首先使用製程模擬，建立供分析之用的元件構造模型。接著使用元件構造模型，利用元件模擬求取施加偏壓狀態下的電子濃度。由電子濃度的資料可以計算出主動區域中央部分和隔離端的電子濃度差，並可對應於溝渠剖面形狀之參數繪出圖形。根據此電子濃度差的正負，便能夠

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

判斷是否產生了反向窄通道效應。此例之情況中，定義：

(電子濃度差 ΔE)＝(隔離端的電子濃度)-(主動區域中央部分的電子濃度)

當ΔE爲正時，判定出現了反向窄通道效應，當ΔE爲負時，判定出現了窄通道效應。

在半導體基板主表面形成之N型井區中設有溝渠隔離結構的情況下，亦可以對電洞濃度進行同樣的分析。亦即定義：

(電洞濃度差)＝(隔離端的電洞濃度)-(主動區域中央部分的電洞濃度)

當電洞濃度差爲正時，判定出現了反向窄通道效應，當電洞濃度差爲負時，判定出現了窄通道效應。

接著，對應於第1圖所示之溝渠隔離邊緣形狀之各參數進行分析。第30圖係以平面圖和部分剖面側視表示第1圖之結構。第1圖則表示第30圖(a)所示之平面圖中I-I線之剖面。此結構中，在矽基板1主表面上利用溝渠6以及埋入於此之絕緣層8，隔離主動區域9、9。閘極電極2及其下之閘極氧化層21，係延著溝渠6之形成方向，亦即與主動區域9、9邊界方向大約垂直相交的方向，形成於該主動區域9、9和絕緣層8之上。在包夾溝渠6之主動區域9、9內之至少一邊上，在閘極電極22的兩側上摻雜N型雜質，形成源極區域9a和汲極區域9b。

以下對溝渠隔離邊緣形狀之參數中的深度D進行分析爲例，說明本分析方法。首先，利用製程模擬建立分析結

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

構。分析區域係以溝渠隔離爲中心，X方向爲-0.2~0.2μm，Y方向則是從矽基板表面至2.0μm爲止。分析中，溝渠深度爲0.3μm，閘極氧化層厚度爲6nm，上部電極則以0.15μm的複晶矽經平坦化所形成。溝渠邊緣形狀參數L爲0.05μm，深度D則在0.01~0.10μm的範圍內變化。接著在元件模擬中，將上部複晶矽所構成之閘極電極和分析區域的下端做爲電極。在閘極電極上施加0.5V的偏壓，下端電極則爲0V。第2圖表示D=0.02μm時之二維電子濃度分析結果(閘極電極之電位Vg=0.5V)。第3圖表示沿第2圖所示之切線之一維電子濃度。定義此一維圖中兩端之電子濃度差爲ΔE。第4圖則表示此電子濃度差ΔE對溝渠邊緣深度D的關係。當D≥0.06μm時，隔離端的電子濃度會變得主動區域中央部分來得高，於是便產生了反向窄通道效應。

以長度L和高度H進行相同之分析，並且獨立變化可能的參數D、L、H之組合，進行求取所有電子濃度差ΔE的分析。爲了有效率地進行分析，ΔE對各參數的關係可以由以下之3個回歸曲線來表示。

【公式1】

$$\Delta E(D) = d_5 D^5 + d_4 D^4 + d_3 D^3 + d_2 D^2 + d_1 D^1 + d_0 \quad (0.0 \le D \le 0.1\mu m)$$

$$d_5 = -2.10 \times 10^{19}$$

$$d_4 = 5.95 \times 10^{18}$$

$$d_3 = -5.74 \times 10^{17}$$

$$d_2 = 5.67 \times 10^{16}$$

$$d_1 = -2.09 \times 10^{15}$$

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

【公式2】

$$\Delta E(L) = l_5 L^5 + l_4 L^4 + l_3 L^3 + l_2 L^2 + l_1 L^1 + l_0 \quad (0 \le L \le 0.5\mu m)$$

$$l_5 = -3.16 \times 10^{23}$$

$$l_4 = 4.99 \times 10^{22}$$

$$l_3 = -3.07 \times 10^{21}$$

$$l_2 = 9.25 \times 10^{19}$$

$$l_1 = -1.40 \times 10^{18}$$

$$l_0 = 8.91 \times 10^{15}$$

【公式3】

$$\Delta E(H) = h_4 H^4 + h_3 H^3 + h_2 H^2 + h_1 H^1 + h_0 \quad (0.0 \le H \le 0.1\mu m)$$

$$h_4 = 4.32 \times 10^{18}$$

$$h_3 = -9.30 \times 10^{17}$$

$$h_2 = 6.49 \times 10^{16}$$

$$h_1 = -1.23 \times 10^{15}$$

$$h_0 = -2.56 \times 10^{13}$$

溝渠邊緣形狀利用能夠獨立變化之(D、L、H)參數組之回歸曲線之總合爲負來決定。亦即由滿足下式之各參數值來決定：

【公式4】

$$\Delta E(D) + \Delta E(L) + \Delta E(H) \le 0$$

接著，對溝渠隔離之邊緣曲率半徑R進行相同之分析。分析中所使用的溝渠邊緣之曲率半徑R爲0.01~0.05μm。分析結構中曲率半徑R的定義如第5圖所示。在Vg=0.5V時，電子濃度差ΔE對曲率半徑的關係如第6圖所示。依此結果所求得之回歸曲線公式如下所示：

【公式5】

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

$$\Delta E(R) = r_4R^4 + r_3R^3 + r_2R^2 + r_1R^1 + r_0 \quad (0.01 \le R \le 0.05\mu m)$$

$r_4 = 5.56 \times 10^{21}$

$r_3 = -8.07 \times 10^{20}$

$r_2 = 4.31 \times 10^{19}$

$r_1 = -1.00 \times 10^{18}$

$r_0 = 8.73 \times 10^{15}$

因此，在上部電極爲平坦化的情況下，當曲率半徑 $R \ge 0.036\mu m$ 時，$\Delta E \le 0$，便能夠抑制反向窄通道效應。

接著，將此分析應用於埋設入隔離溝渠之絕緣層上部爲凹陷(recess)結構情況，討論凹陷深度對電子濃度差ΔE的關係。分析所使用之參數係爲第7圖所示之凹陷深度。在凹陷的上方則埋設由複晶矽所構成的閘極電極。在此結構中，以 Vg=0.5V 施於閘極電極上時，電子濃度差ΔE和凹陷深度之關係如第8圖所示。依此結果所求得之回歸曲線公式如下所示：

【公式6】

$$\Delta E(Z) = z_5Z^5 + z_3Z^4 + z_2Z^2 + z_1Z^1 + z_0 \quad (0 \le Z \le 0.10\mu m)$$

$z_5 = -8.00 \times 10^{21}$

$z_4 = 2.36 \times 10^{21}$

$z_3 = -2.44 \times 10^{20}$

$z_2 = 8.94 \times 10^{18}$

$z_1 = 7.17 \times 10^{16}$

$z_0 = -1.81 \times 10^{15}$

因此，當深度變爲 0.013μm 以上時，$\Delta E > 0$，便會產生反向窄通道效應。

接著，對埋設入隔離溝渠之絕緣層上部爲凹陷(recess)結構情況進行分析，討論對凹陷水平方向位置的關係。分

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

析所使用之參數係爲第7圖所示之凹陷位置。此凹陷是以最接近溝渠邊緣(溝渠上端角落處)時爲基準位置。在凹陷的上方則埋設由複晶矽的閘極電極。在此結構中，以Vg=0.5V施於閘極電極上時，電子濃度差dE和凹陷位置之關係如第10圖所示。依此結果所求得之回歸曲線公式如下所示：

【公式7】

$$\Delta E(X) = x_4X^4 + x_3X^3 + x_2X^2 + x_1X^1 + x_0 \quad (0 \le X \le 0.08\mu m)$$

$$x_4 = 1.62 \times 10^{21}$$

$$x_3 = -3.27 \times 10^{20}$$

$$x_2 = 2.38 \times 10^{19}$$

$$x_1 = -7.3 \times 10^{17}$$

$$x_0 = 6.72 \times 10^{15}$$

因此，當位置X在0.015μm以下時，ΔE>0，便會產生反向窄通道效應。

根據以上所做之分析，利用最佳化溝渠隔離剖面形狀的方式，能夠在溝渠隔離端處抑制反轉層的形成，亦能夠形成抑制反向窄通道效應(或是峰值現象)的電晶體。

基於上述分析之觀察，可推導出本發明有關於溝渠隔離剖面形狀以及形成溝渠隔離製程之各種具體實施例。以下則分別就溝渠隔離剖面形狀之實施例(實施例1至3)以及形成溝渠隔離製程(實施例4至8)加以說明。

【第一實施例】

首先，參考第1圖、第11圖和第12圖，說明本發明之第一實施例。在此實施例中，絕緣層8埋設於溝渠6之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

內。對於其上以閘極氧化層 21 爲夾層形成閘極電極 22 之結構，具有比矽基板 1 之主表面上突出之突起部分，並且如上分析所述，該突起部分所形成之形狀不會產生反向窄通道效應(或是峰值效應)。對此突起部分之形狀，可能有各種不同的變形，具體之實例，如第 1 圖所示中兩側部分具有圓形形狀者，如第 11 圖所示，具有兩側壁間距向著上方依序變窄之窄化(tapered)形狀者，以及如第 12 圖所示，其兩側壁直立地垂直於矽基板 1 之主表面上者，均能夠適用。

另外，雖然在第 1 圖、第 11 圖和第 12 圖中所示之溝渠 6 上端角落部分，是形成如切面窄化形狀之結構，此角落部分亦可爲帶圓形之形狀。以極端例而言，此角落部分亦可爲邊緣形狀之殘留結構。

【第二實施例】

接著，參考第 13 圖和第 14 圖說明本發明之第二實施例。在本實施例中，埋設於溝渠 6 內之絕緣層 8 上表面，具有經平坦化與矽基板 1 主表面齊平之形狀。並且，溝渠 6 上端角落部分則形成如第 13 圖所示之切面窄化形狀，或是如第 14 圖所示之圓形形狀。

具體而言，如第 13 圖所示之結構中，藉由溝渠 6 上端角落具有 $D \leq 0.05\mu m$ 並且 $L \geq 0.05\mu m$ 之窄化形狀，所以實現避免產生反向窄通道效應之結構。又在第 14 圖所示之結構中，根據利用第 5 圖和第 6 圖說明之上述分析結果，藉由將溝渠 6 上端角落部分之曲率半徑設定在 $0.04\mu m$ 以下，得

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

以實現避免產生反向窄通道效應之結構。

【第三實施例】

接著，參考第15圖至第18圖，說明本發明之第三實施例。在此實施例中，埋設於溝渠6內之絕緣層8上表面中，至少在溝渠6兩側端部分附近具有凹陷23。對凹陷23而言，以不平坦部分之閘極氧化層上方位置之凹陷爲基準時，各凹陷23之深度爲d，在其兩端凹陷上形成閘極電極22和溝渠6側壁間距離中最短處距離爲x，其設定需滿足下列條件：

$$x \geq 45.8d^3 - 11.9d^2 + 1.0d + 0.01$$

$$x > 0, \quad d > 0$$

在本實施例之結構中，有效利用在溝渠6內埋設絕緣膜8之後所進行之回蝕刻(etch back)製程容易在溝渠6兩側端部分附近之絕緣層8上形成凹陷的情況，藉由控制形成凹陷之形狀，能夠實現抑制反向窄通道效應發生之結構。

在本實施例，絕緣層8剖面形狀以及凹陷23形狀可爲以下之各種形式。首先，埋設於溝渠6之絕緣層8所具有較矽基板1主表面突起之結構可以採用如第15圖(a)所示突起部分之兩側壁所具有的窄化形狀，如第15圖(b)所示突起部分兩側壁在矽基板1主表面上爲垂直直立形狀，或是如第15圖(c)所示突起部分之兩側壁具有圓化形狀。

另外，在埋設於溝渠6內之絕緣層8上表面與矽基板1主表面形成齊平形狀之結構中，如第16圖(a)所示，藉由在溝渠6兩側部分之絕緣層8上方設計出凹陷23，得以實

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

現抑制反向窄通道效應發生之結構。此結構可以採用如第16圖(b)所示，溝渠6上端兩側角落部分爲圓化形狀之形態，或是如第16圖(c)所示，溝渠6上端兩側角落部分爲窄化形狀之形態，或是如第17圖(a)所示，溝渠6整個兩側壁爲窄化形狀之形態。

藉由埋設於溝渠6內絕緣層8的整個上表面均向下凹陷且低於矽基板1主表面，並且在溝渠6之兩側端部分附近具有凹陷23之結構，更可以加強抑制反向窄通道效應發生之效果。此結構之具體實施例，可以採用如第17圖(b)、(c)以及第18圖(a)、(b)所示之形態。

【第四實施例】

接著，參考第19圖和第20圖說明本發明之第四實施例。從本實施例至第八實施例，係有關於本發明之溝渠隔離結構之製造方法。在本實施例中，首先如第19(a)所示，在p型矽基板上依序形成氧化矽層2、氮化矽層3以及光阻層11。在p型矽基板1上做爲主動區域的部分上則保留光阻層11，以便進行光學微影。例如氧化矽層2可以利用p型矽基板1的熱氧化形成，此時形成厚度大約爲10~30nm。氧化矽層2和氮化矽層3合計形成的厚度，則大約爲160~380nm。氧化矽層2則是介於矽基板1和氮化矽層3之間，原因是若直接在矽基板1上製作氮化矽層3，將在p型矽基板1上產生缺陷而導致半導體裝置之功能變差。接著，以圖案化光阻層11做爲罩幕進行光學微影，而對氮化矽層3以及氧化矽層2實施類似反應式離子蝕刻

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(16)

(reactive ion etching)之蝕刻處理。在形成開口5之後，去除光阻11。

接著如第19圖(b)所示，利用蝕刻將氮化矽層3和氧化矽層2上形成開口5的垂直下方區域之p型矽基板1去除，形成溝渠6。藉由調整蝕刻時間可以控制溝渠6之深度。實際之最佳溝渠6深度雖取決於電性特性，標準上，對隔離寬度爲0.15μm而言，深度可以選擇在0.15至0.3μm左右(隔離寬度之1至2倍)。

接著如第19圖(c)所示，利用熱氧化法，可在溝渠內壁處形成做爲熱氧化層之氧化矽層7。熱氧化是隨著矽基板1的矽和氧氣發生反應而進行。因爲氧氣在提供至矽基板1之矽時亦會通過氧化矽層2，使得供給至氧化矽層2下之內壁部分的氧氣增加，其結果讓此部分的氧化矽層7變厚。所以，藉由此方法可以決定在溝渠6上部角落處所形成之邊緣形狀(第1圖所示之距離L和D)。距離L和D會隨著熱氧化條件、氧化矽層2的厚度、氮化矽層3的厚度等等而變化。藉由控制這些條件，可使得溝渠6上部角落部分之邊緣得到最佳化。

形成溝渠內壁之氧化矽層7的熱氧化製程是在1000°C的高溫，及/或1大氣壓以上高壓下進行。其結果是在溝渠6內壁上形成厚度爲10~50nm之氧化矽層7。

接著如第20圖(a)所示，在溝渠6上沉積絕緣層8。絕緣層8可以適用於各種絕緣材料，特別是氧化矽層、氮化矽層、氮氧化矽層等等。另外，只要能夠保持溝渠6的絕

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

緣特性，亦可形成以矽或金屬與上述絕緣材料組合而成的絕緣層 8。在此情況下，溝渠隔離和主動區域的界面上有必要提供絕緣層。沉積絕緣層 8 後，如第 20 圖(b)所示，利用回蝕刻或化學機械式研磨等等製程方法，選擇性去除絕緣層 8，只在溝渠隔離的區域上保留絕緣層。使用選擇性沉積製程，只在溝渠 6 區域內選擇性沉積氧化矽層 2。第 20 圖(a)和(b)之製程中，當不使用氮化矽層 3 時便能夠以單一步驟完成。

埋設於溝渠 6 內的絕緣層 8 之上表面，是能夠與氮化矽層 3 的上表面等高的。所以，自基板之突起部分高度(H)可以藉由氮化矽層 3 的厚度加以控制。另外，藉由在平坦化的過蝕刻而使氮化矽層 3 表面較低之效應，亦能夠控制自矽基板 1 表面之突起部分高度(H)。

接著如第 20 圖(c)所示，以蝕刻去除氮化矽層 3 和氧化矽層 2。其後，則在主動區域內製作 MOS 電晶體、二極體、雙載子電晶體、電容、電阻、配線等等元件。

氧化矽層 2 可以利用氫氟酸等等化學蝕刻方式去除。在溝渠 6 內壁所形成之氧化矽層 7 以及絕緣層 8 對於氫氟酸的蝕刻速度是不同的。若絕緣層 8 爲 CVD 氧化矽層，此絕緣層 8 之蝕刻速度會比氧化矽層 7 的蝕刻速度快，因此在絕緣層 8 和氧化矽層 7 的邊界上會形成凹陷。形成凹陷的位置則能夠利用形成於溝渠 6 內壁的氧化矽層 7 厚度來控制。

另外，上述實施例中雖使用 P 型矽基板做爲半導體基

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

板，N型矽基板亦可以使用，亦可以形成P井區或N井區、N型MOS電晶體或P型MOS電晶體。

另外對於用以說明習知製造方法之第28圖和第29圖而言，形成如第29圖(b)所示之結構並去除氧化矽層2之後，即使不去除自矽基板1主表面之上的絕緣層8突起部，亦可形成如第20圖(c)所示結構之同樣結構。在此情況下，氧化矽層2/氮化矽層3/氧化矽層4所形成的厚度分別爲10~30nm/100~200nm/50~150nm。

【第五實施例】

以下參考第21圖說明本發明之第五實施例。在本實施例是將上述第四實施例中第19圖(c)所示之形成氧化矽層7做爲熱氧化層之步驟，置換爲第21圖(a)至第21圖(c)所示之步驟。亦即在本實施例中，如第19圖(b)所示形成溝渠6之後，如第21圖所示熱氧化溝渠6的內壁，形成犧牲氧化層12。接著，如第21圖(a)所示，利用氫氟酸等蝕刻去除犧牲氧化層12後，在溝渠6上部分角落處形成具有適度圓化之邊緣13。

接著，如第21圖(c)所示，利用熱氧化法在溝渠內壁上形成氧化矽7。此熱氧化處理對溝渠6絕緣性的提昇是有必要。其與上述第四實施例之情況相同，在1000°C的高溫，及/或1大氣壓以上高壓下進行。其結果是在溝渠6內壁上形成厚度爲10~50nm之氧化矽層7。由於獨立實施爲了控制上部角落所做的氧化步驟(第21圖(a))以及爲了提昇溝渠絕緣性所做的氧化(第21圖(c))，本實施例能夠在電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

性上較上述第四實施例之情況，實現更佳的溝渠隔離效果。其後之步驟，則與上述第四實施例之第 20 圖(a)以下相同。

【第六實施例】

以下，參考第 22 圖以及第 23 圖說明本發明之第六實施例。本實施例是將上述第四實施例中主動區域被覆層之結構以其他結構取代，並將埋設於溝渠之絕緣層自半導體基板表面突起部分之形狀加以變化而得。

在本實施例中，首先如第 22 圖(a)所示，在 p 型矽基板 1 上依序沉積堆疊形成氧化矽層 2 、複晶矽層 14 、氮化矽層 3 和光阻層 11 ，並將主動區域上的光阻層 11 保留以便進行光學微影製程。接著利用光阻層 11 的圖案，對氮化矽 3 、複晶矽 14 和氧化矽 2 進行反應式離子蝕刻之類的蝕刻製程，並在形成開口 5 之後，去除光阻層 11 。接著如第 22 圖(b)所示，以蝕刻去除開口 5 垂直向下區域之 p 型矽基板 1 ，形成溝渠 6 。接著，如第 22 圖(c)所示，以熱氧化法在溝渠 6 的內壁形成氧化矽層 7 。此步驟中，在進行溝渠 6 上部角落邊緣的控制同時，複晶矽層 14 的一部分會轉變爲窄化狀之氧化矽層 15 。

如第 23(a)所示，接著在溝渠 6 上沉積絕緣層 8 。絕緣層 8 與上述之第四實施例相同，可爲氧化矽層、氮化矽層、氮氧化矽層等材料，但只要能夠保持溝渠的絕緣特性，亦可形成以矽或金屬與上述絕緣層組合而成。在絕緣層 8 沉積之後，如第 23(b)所示，利用實施回蝕刻或化學機械式研

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

磨等方式，選擇性地去除絕緣層 8，只有在溝渠隔離的區域保留絕緣層 8。利用選擇性沉積製程，只在溝渠 6 的區域上選擇性沉積氧化矽層 2。若不使用氮化矽層 3 的話，第 23 圖(a)、(b)的步驟則可以利用單一步驟完成。埋設於溝渠 6 的絕緣層上表面大體上能夠與氮化矽層 3 的上表面呈現一致性。所以，自基板之突起部分高度能夠藉由氮化矽層 3 的厚度來控制。

接著，如第 23 圖(c)所示，以蝕刻去除氮化矽層 3、複晶矽層 14 和氧化矽層 2。此時，複晶矽層 14 之一部分爲熱氧化之氧化矽層 15，便構成溝渠隔離突起部分之一部分。複晶矽層 14 在氧化中受到來自氧化矽層 2 之氧氣供給影響，形成如圖所示之窄化形狀。以窄化角度能夠藉由進行熱氧化之條件來控制。之後，可在主動區域內形成 MOS 電晶體、二極體、雙載子電晶體、電容、電阻、配線等元件。

溝渠隔離突起部分之窄化角度除了藉由改變熱氧化條件來控制之外，由於氧氣供給程度的變化，亦能夠透過改變氮化矽層 3 之厚度和氧化矽層 2 的厚度來達到控制目的。由於矽的氧化速度與氮氣的量有關，因此窄化角度亦可以透過在複晶矽 14 離子植入和沉積時引入氮氣的膜來控制。除此之外，很容易可以推測出將複晶矽層 14 置換爲非晶矽或單晶矽亦可實施本實施例。

如本實施例在溝渠隔離突出部上形成窄化結構之方法，能夠透過類似包括犧牲層形成步驟的方法，很容易應

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（21）

用在第21圖所示之上述第五實施例中。本實施例中更可以使用p型矽基板來取代n型矽基板，其上亦可形成p井區或n井區、n型MOS電晶體和p型MOS電晶體。

【第七實施例】

以下，參考第24圖和第25圖說明本發明之第七實施例。本實施例是在上述第四實施例形成如第20圖(b)所示步驟後，追加第24圖(a)、(b)和第25圖(a)、(b)所示之步驟，將溝渠隔離之突起部做成帶有圓形的形狀(或者具有窄化形狀)。在本實施例中，在形成與第20圖(b)相同之第24圖(a)所示結構之後，如第24圖(b)所示，全面地沉積特定厚度之氧化矽層16。之後，利用乾蝕刻等實施全面性的非等向性蝕刻，如第25圖(a)所示，在絕緣層8之溝渠6上方突起部分形成圓化形狀(或者窄化形狀)。藉由適當改變氧化矽層16的沉積條件或熱處理條件，控制第24圖(b)中絕緣層8突起部分的最終形狀。接著，如第25圖(b)所示，以蝕刻(等向性、非等向性均可)去除氧化矽層2。但透過如第25圖(a)所示氧化矽層16的非等向性蝕刻步驟，亦可以同時蝕刻去除氧化矽層2。

在積體電路製造中，離子植入等雜質摻雜步驟是有必要。雜質摻雜步驟亦可在第24圖(a)或者第25圖(a)任一之後實施。另外，在本實施例中所採用之氧化矽層16，以氮化矽層、氮氧化物、或者其組合而成的多層結構來取代，亦能夠得到相同的效果。另外，第21圖所示之實施犧牲氧化步驟，亦能夠應用在本實施例中。另外，第22圖和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（22）

第23圖所示之步驟亦能夠合併。

【第八實施例】

以下，參考第27圖和第28圖說明本發明之第八實施例。本實施例是將上述第四實施例中形成溝渠之步驟以其他步驟加以置換，並將溝渠上方角落處埋設於溝渠之絕緣層形狀加以改變而得。

在本實施例中，首先如第19圖(a)所示，在p型矽基板1上依序沉積堆疊形成氧化矽層2、氮化矽層3和光阻層11，並將主動區域上的光阻層11保留以便進行光學微影製程。接著以光阻層11爲罩幕，對氮化矽層3和氧化矽層2進行反應式離子蝕刻之類的蝕刻製程，並在形成開口5之後，如第26圖(a)所示，以氮化矽層3和氧化矽層2做爲罩幕，進行例如化學乾蝕刻之類的等向性蝕刻，形成第一段溝渠17。使用進行熱氧化之後再去除熱氧化層的步驟亦可以形成溝渠17。接著，如第26圖(b)所示，利用反應式離子蝕刻等非等向性蝕刻形成第二段溝渠18。藉此，便完成了做爲溝渠隔離之兩段式溝渠結構。

由於第一段溝渠17的形成，由此方法所形成的二段溝渠結構之上方角落處便適度地被圓化或者窄化。在角落部分的圓化或者窄化形狀，可以透過等向性蝕刻和熱氧化條件來決定。藉由溝渠18形成條件的控制，便能夠將上方角落處形狀最佳化。

接著，如第26圖(c)所示，熱氧化溝渠的內壁形成氧化矽層7。氧化矽層7對提昇溝渠絕緣特性是必要的結構。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（23）

由於獨立實施爲了控制溝渠上方角落形狀所做的蝕刻步驟和熱氧化步驟，以及爲了提昇溝渠絕緣性所做的氧化步驟(第26圖(c))，本實施例能夠在電性上較上述第四實施例之情況，實現更佳的溝渠隔離效果。

另外，如第21圖所示之實施犧牲氧化步驟、如第22圖和第23圖所示被覆主動區域層結構之步驟，或者如第24圖和第25圖所示在溝渠上方突起部分形成圓化或窄化之步驟，亦可一併使用於本實施例，自不待言。

以上各實施例僅爲例示，對於與申請專利範圍所記載之發明爲均等範圍之各種變化形態，亦符合本發明之範圍。

【發明效果】

如上所述，在本發明之具有溝渠隔離結構之半導體裝置中，在施加一預定偏壓電壓於閘極電極之狀態下，使得溝渠之主動區域側端部分之載子濃度會低於主動區域中央之載子濃度，並且在閘極電極之延伸方向之閘極電極垂直下方，具有一鉛直剖面形狀。在具有此結構之本發明中，簡單地透過溝渠隔離結構在形狀上的最佳化，便能夠在溝渠隔離端中達到緩和電場密度以及抑制反向窄通道效應發生的結果，獲致良好的次臨界特性。另外，透過使用回歸曲線公式的模擬，亦能比較容易獲得本發明中溝渠隔離結構形狀之最佳化。

另外，當採用埋設於溝渠之絕緣層上方，在其兩側接近溝渠隔離端附近上分別設置預定形狀凹陷部之結構，做

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（24）

爲本發明之溝渠隔離結構形狀最佳化之一例時，便能夠有效利用在埋設於溝渠之絕緣層進行回蝕刻步驟之際，會在溝渠隔離端附近中形成凹陷部的現象來形成。因此，在不需要增加步驟數量，透過適當選擇製造條件，便能夠輕易地製造出。

溝渠之上端角落部分爲具有切面窄化形狀之結構，其橫向寬度在 0.05μm 以上，深度在 0.05μm 以下。或者，溝渠之上端角落部分具有曲率半徑在 0.04μm 以上 R 切面形狀之結構。藉此，無論在半導體基板之主表面上，溝渠內埋設之絕緣層是否存在有突起部，皆可滿足上述條件：「在施加一預定偏壓電壓於閘極電極之狀態下，使溝渠上端角落部分附近之主動區域載子濃度，會低於主動區域中央之載子濃度」。因此，此溝渠隔離形狀亦可以應用於埋設溝渠之絕緣層與半導體基板主表面具有一致上表面之結構中。由於採用如此結構並不會增加表面步階差，因此便不會因爲光學微影等在圖案化時引起表面步階差的問題，而能夠達到本發明之目的。

在本發明之具有溝渠隔離結構之半導體裝置製造方法中，透過溝渠形成步驟中罩幕的材質和厚度，或者熱氧化條件等的最佳化，便能夠有效形成在溝渠隔離端中緩和電場密度以及抑制反向窄通道效應發生之溝渠隔離結構。另外，透過使用回歸曲線公式的模擬，亦能比較容易在本發明製造方法中選擇條件。

【圖式之簡單說明】

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（25）

第 1 圖表示本發明之溝渠隔離結構之一例之模型剖面圖。

第 2 圖表示在參數 D 爲 0.02μm，加在閘極電極之偏壓電壓 Vg 爲 0.5V 的情況下，對本發明溝渠隔離結構之二維電子濃度分析結果之示意圖。

第 3 圖表示在第 2 圖所示之分析結果中，沿切線之一維電子濃度分佈之示意圖。

第 4 圖表示在第 3 圖所示之一維圖形兩端之電子濃度差ΔE，對溝渠邊緣深度 D 之關係示意圖。

第 5 圖表示在本發明分析結構中，定義溝渠隔離邊緣之曲率半徑 R 之示意圖。

第 6 圖表示當 Vg 爲 0.5V 時，電子濃度差ΔE 對曲率半徑 R 之關係示意圖。

第 7 圖表示在本發明分析應用於埋設於溝渠隔離之絕緣層上方凹陷處結構之情況下，定義凹陷深度 z 之示意圖。

第 8 圖表示在本發明分析應用於埋設於溝渠隔離之絕緣層上方凹陷處結構之情況下，電子濃度差ΔE 對凹陷深度 z 之關係示意圖。

第 9 圖表示在本發明分析應用於埋設於溝渠隔離之絕緣層上方凹陷處結構之情況下，定義凹陷位置 x 之示意圖。

第 10 圖表示在本發明分析應用於埋設於溝渠隔離之絕緣層上方凹陷處結構之情況下，電子濃度差ΔE 對凹陷位

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（26）

置 x 之關係示意圖。

第 11 圖表示本發明之溝渠隔離結構之其他例之模型剖面圖。

第 12 圖表示本發明之溝渠隔離結構之另一例之模型剖面圖。

第 13 圖表示本發明之溝渠隔離結構之另一例之模型剖面圖。

第 14 圖(a)表示本發明之溝渠隔離結構之另一例之模型剖面圖，(b)爲(a)中溝渠上端角落處附近之放大剖面示意圖。

第 15 圖爲本發明第三實施例之剖面圖，其在埋設於溝渠隔離之絕緣層上方形成複數個凹陷之結構中，該絕緣層具有較矽基板主表面突起結構之形態。

第 16 圖爲本發明第三實施例之剖面圖，其在埋設於溝渠隔離之絕緣層上方形成複數個凹陷之結構中，該絕緣層具有與矽基板主表面等高之形態。

第 17 圖(a)爲本發明實施例之一剖面圖，其在埋設於溝渠隔離之絕緣層上方形成複數個凹陷之結構中，該絕緣層具有與矽基板主表面等高之形態，(b)和(c)爲實施例之二剖面圖，該絕緣層的整個上表面具有較矽基板主表面向下凹陷之形態。

第 18 圖(a)和(b)爲本發明實施例之二剖面圖，其在埋設於溝渠隔離之絕緣層上方形成複數個凹陷之結構中，該絕緣層的整個上表面具有較矽基板主表面向下凹陷之形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（27）

態。

第 19 圖依序表示本發明第四實施例中溝渠隔離形成方法中前 3 個步驟之剖面圖。

第 20 圖依序表示本發明第四實施例中溝渠隔離形成方法中後 3 個步驟之剖面圖。

第 21 圖依序表示本發明第五實施例中溝渠隔離形成方法步驟之剖面圖。

第 22 圖依序表示本發明第六實施例中溝渠隔離形成方法中前 3 個步驟之剖面圖。

第 23 圖依序表示本發明第六實施例中溝渠隔離形成方法中後 3 個步驟之剖面圖。

第 24 圖依序表示本發明第七實施例中溝渠隔離形成方法中前 2 個步驟之剖面圖。

第 25 圖依序表示本發明第七實施例中溝渠隔離形成方法中後 2 個步驟之剖面圖。

第 26 圖依序表示本發明第八實施例中溝渠隔離形成方法中前 3 個步驟之剖面圖。

第 27 圖依序表示本發明第八實施例中溝渠隔離形成方法中後 3 個步驟之剖面圖。

第 28 圖依序表示習知技術中溝渠隔離形成方法中前 3 個步驟之剖面圖。

第 29 圖依序表示習知技術中溝渠隔離形成方法中後 3 個步驟之剖面圖。

第 30 圖(a)表示第 1 圖所示剖面之溝渠隔離結構之平

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (28)

面圖，(b)表示相同結構之局部剖面斜視圖，其中(a)之 I-I 線剖面係對應於第 1 圖所示之剖面。

【符號說明】

1~矽基板， 2~氧化矽層， 3~氮化矽層， 4~氧化矽層，5~開口，6~溝渠，7~熱氧化層，8~絕緣層，9~主動區域，21~閘極氧化層，22~閘極電極，23~凹陷。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：具有溝渠隔離結構之半導體裝置及其製造方法）

【課題】提供具有溝渠隔離結構之半導體裝置及其製造方法，用以抑制反向窄通道效應之發生。

【解決手段】在埋設於溝渠6之絕緣層8之上設置閘極電極22，並使一閘極氧化層21介於其間。在用以隔離矽基板1主表面上主動區域間之溝渠隔離結構中，絕緣層8具有一鉛直剖面形狀，在施加一預定偏壓電壓於閘極電極22之狀態下，使溝渠6上端角落部分附近之載子濃度，會低於主動區域中央之載子濃度。藉此結構，能夠在溝渠隔離端緩和電場密度，並且提昇所需之次臨界特性。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種具有溝渠隔離結構之半導體裝置，其具有沿著半導體基板主表面之主動區域間邊界延伸並離上述半導體基板主表面一預定深度之溝渠，利用埋設於上述溝渠之絕緣層隔離上述主動區域之間，其包括：

一閘極電極，其設置於上述絕緣層上並使一閘極氧化層介於其間，並於與上述溝渠之形成方向之交叉方向延伸，

上述絕緣層在上述閘極電極之延伸方向之上述閘極電極垂直下方，具有一鉛直剖面形狀，用以在施加一預定偏壓電壓於上述閘極電極之狀態下，使上述溝渠之上述主動區域側端部分之載子濃度，會低於上述主動區域中央之載子濃度。

2.如申請專利範圍第 1 項所述之具有溝渠隔離結構之半導體裝置，其中，在埋設於上述溝渠之絕緣層上方，分別在兩側之溝渠隔離端附近形成有凹陷部，當以不具有凹陷部之平坦部分之上述閘極氧化層上方位置爲基準時，各上述凹陷部之深度爲 d，並且以兩端之凹陷部上形成之閘極電極和溝渠側壁之間的最短距離爲 x，其滿足以下條件

$$45.8d^3 \quad d^2 + 1.0d + 0.01$$

$$0, \quad d >$$

3.如申請專利範圍第 1 項或第 2 項所述之具有溝渠隔離結構之半導體裝置，其中，埋設於上述溝渠內之上述絕緣層具有比半導體基板之上述主表面上方突出之突起部。

法鑫文技師校正章
法鑫文技師校正章

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

4.如申請專利範圍第1項或第2項所述之具有溝渠隔離結構之半導體裝置，其中，埋設於上述溝渠內上述絕緣層之上述突起部相對側壁，係垂直於上述半導體基板之上述主表面，或者形成側壁間間隔往上變窄的窄化形狀。

5.如申請專利範圍第1項或第2項所述之具有溝渠隔離結構之半導體裝置，其中，埋設於上述溝渠內之上述絕緣層具有比半導體基板之上述主表面上方突出之突起部，上述絕緣層之上述突起部爲圓化形狀，並在上述閘極電極之延伸方向之上述閘極電極垂直下方，具有一鉛直剖面形狀。

6.如申請專利範圍第1項或第2項所述之具有溝渠隔離結構之半導體裝置，其中，上述溝渠之上端角落部分具有切面窄化形狀，其橫向寬度在0.05μm以上，深度在0.05μm以下。

7.如申請專利範圍第1項或第2項所述之具有溝渠隔離結構之半導體裝置，其中，上述溝渠之上端角落部分具有曲率半徑在0.04μm以上之R切面形狀。

8.一種具有溝渠隔離結構之半導體裝置製造方法，包括下列步驟：

於形成於半導體基板主表面上之主動區域上，形成一罩幕，其厚度在160nm以上380nm以下；

使用上述罩幕蝕刻上述半導體基板，在上述半導體基板上選擇性形成深度0.15μm以上0.3μm以下之溝渠；

熱氧化上述溝渠之內壁，於上述內壁上形成厚度10nm

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

以上 50nm 以下之熱氧化層；

埋設絕緣層於內壁上形成熱氧化層之上述溝渠；

選擇性去除埋設於上述溝渠之上述絕緣層，其中僅保留上述溝渠之上部及其附近部分；

去除上述罩幕；以及

形成閘極電極於上述絕緣層上，並使一閘極氧化層介於其間；

藉此形成溝渠隔離端構造，用以在施加一預定偏壓電壓於上述閘極電極之狀態下，使上述溝渠之上述主動區域側端部分之載子濃度，會低於上述主動區域中央之載子濃度。

9.如申請專利範圍第 8 項所述之具有溝渠隔離結構之半導體裝置製造方法，其中，形成上述罩幕之步驟中尚包括依序堆疊形成氧化矽層和氮化矽層之步驟，並且上述埋設於溝渠內之絕緣層爲氧化矽層。

10.如申請專利範圍第8項所述之具有溝渠隔離結構之半導體裝置製造方法，其中，形成上述罩幕之步驟中尚包括依序堆疊形成厚度爲 10nm 以上 30nm 以下之氧化矽層、厚度爲 100nm 以上 200nm 以下之氮化矽層，以及厚度爲 50nm 以上 150nm 以下之氧化矽層之步驟，並且上述埋設於溝渠內之絕緣層爲氧化矽層。

11.如申請專利範圍第8項所述之具有溝渠隔離結構之半導體裝置製造方法，利用熱氧化法在溝渠內壁選擇性形成熱氧化層之上述步驟中，溝渠上端之相對角落間距離係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

利用調整上述熱氧化層之層壓來控制。

12.如申請專利範圍第8項所述之具有溝渠隔離結構之半導體裝置製造方法，利用熱氧化法在溝渠內壁選擇性形成熱氧化層之上述步驟中尚包括下列步驟：

利用熱氧化法於上述溝渠之內壁上形成犧牲氧化層；以及

利用蝕刻選擇性去除上述犧牲氧化層；

溝渠上端之相對角落間距離係利用調整上述犧牲氧化層之層壓來控制。

13.如申請專利範圍第8項所述之具有溝渠隔離結構之半導體裝置製造方法，其中，形成上述罩幕之步驟中尚包括依序堆疊形成氧化矽層、氮化矽層和氧化矽層之步驟，

於上述溝渠內壁形成熱氧化層之上述步驟中，同時熱氧化上述矽層之上述溝渠上方角落附近之部分，藉此轉變此部分爲氧化矽層，而在上述半導體基板之上述主表面上突起之上述絕緣層部分形成窄化形狀。

14.如申請專利範圍第8項所述之具有溝渠隔離結構之半導體裝置製造方法，其中，於上述溝渠內壁形成熱氧化層之步驟中，實施熱氧化條件特徵爲高於1000°C的形成溫度，及/或高於1大氣壓以上之壓力。

15.如申請專利範圍第8項所述之具有溝渠隔離結構之半導體裝置製造方法，其中，於去除上述罩幕步驟之後及形成上述閘極電極步驟之前，全面性沉積絕緣層並回蝕刻上述絕緣層，僅在上述半導體基板之上述主表面中突起之

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

上述絕緣層部分之兩側部分上，保留最大寬度為10nm以上60nm以下之側壁絕緣層，該部分具有圓化形狀或者窄化形狀。

16.如申請專利範圍第8項所述之具有溝渠隔離結構之半導體裝置製造方法，上述形成溝渠之步驟中尚包括下列步驟：

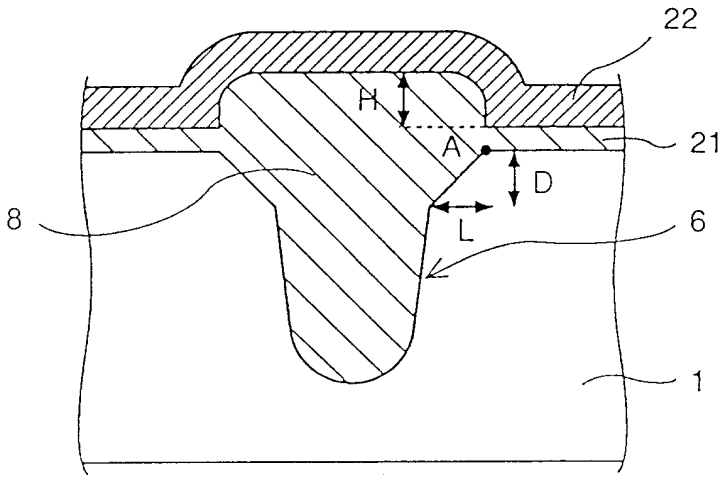
第一蝕刻步驟，以等向性蝕刻對上述半導體基板進行10nm以上50nm以下之蝕刻；以及

以非等向性蝕刻對上述半導體基板選擇性進行深度0.15μm以上0.3μm以下之蝕刻。

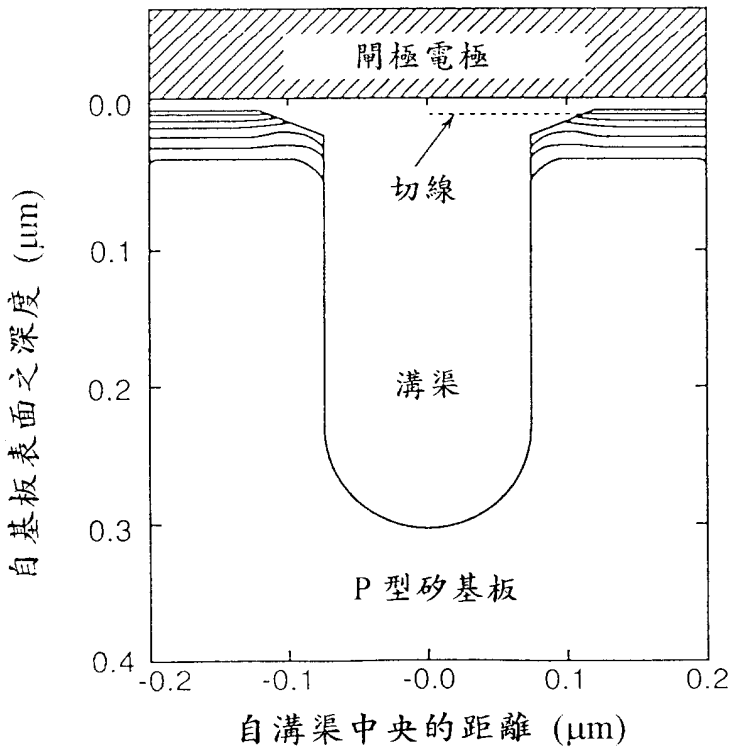
17.如申請專利範圍第8項至第16項中任一項所述之具有溝渠隔離結構之半導體裝置製造方法，其中，上述溝渠隔離端構造之形狀參數，係利用以模擬表示上述溝渠隔離端形狀參數之回歸曲線公式來設定為其特徵，對於上述主動區域中央之載子濃度和上述溝渠之上述主動區域側端部分之載子濃度而言，使得上述主動區域中央之載子濃度高於上述溝渠之上述主動區域側端部分之載子濃度。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

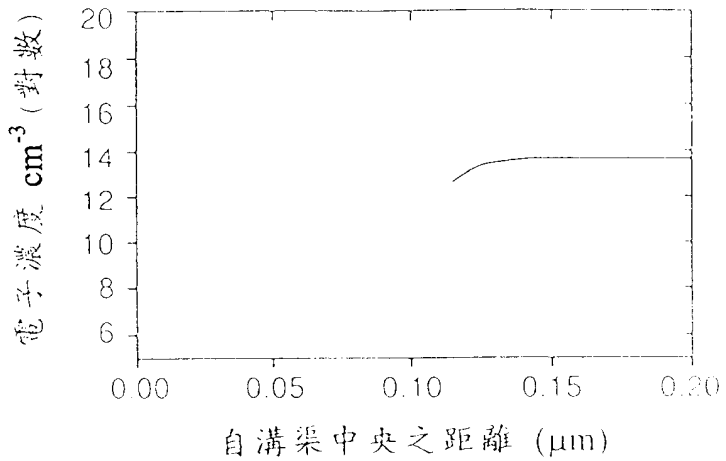
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）


22
H
A
21
D
8
L
6
1

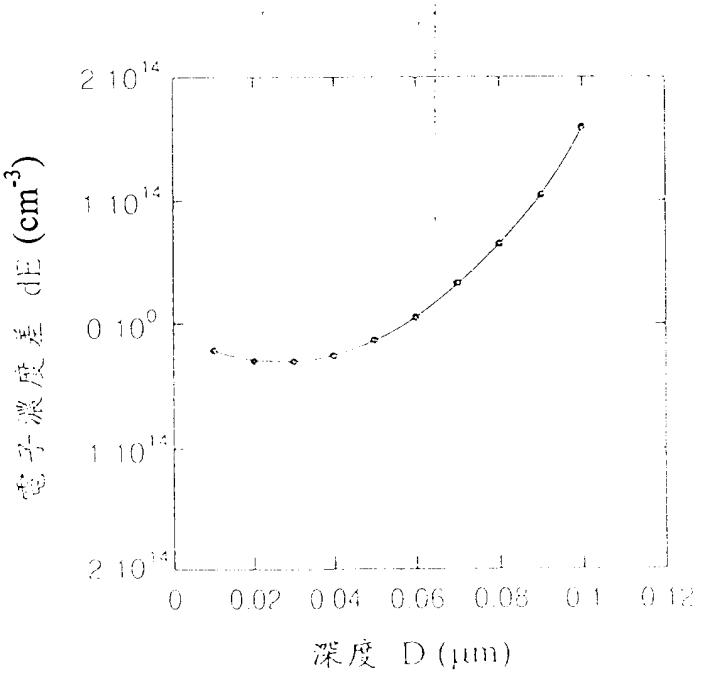
第 1 圖


閘極電極
0.0
切線
0.1
溝渠
0.2
0.3
P 型矽基板
0.4
-0.2
-0.1
-0.0
0.1
0.2
自基板表面之深度 (μm)
自溝渠中央的距離 (μm)

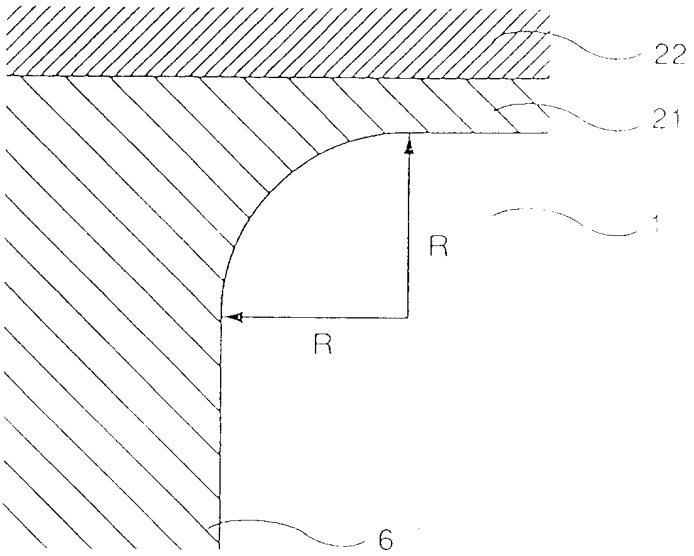
第 2 圖


電子濃度 cm^{-3}（對數）
20
18
16
14
12
10
8
6
0.00
0.05
0.10
0.15
0.20
自溝渠中央之距離 (μm)

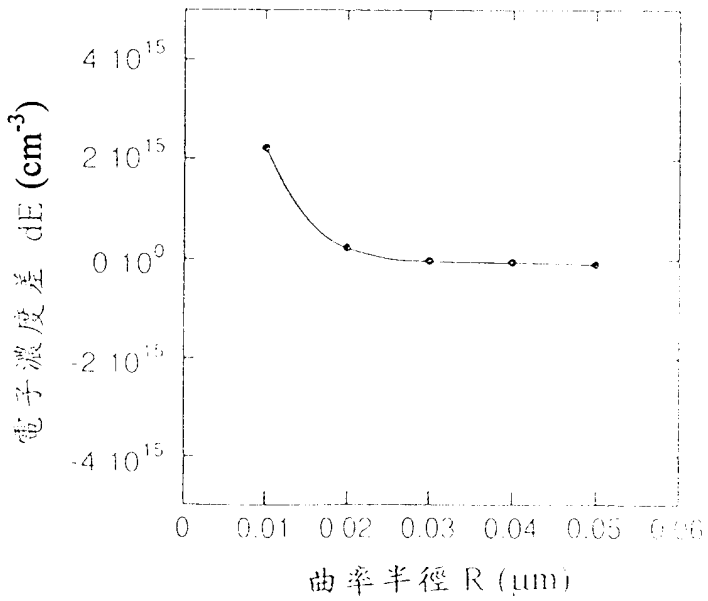
第 3 圖


電子濃度差 dE (cm^{-3})
$2\ 10^{14}$
$1\ 10^{14}$
$0\ 10^{0}$
$1\ 10^{14}$
$2\ 10^{14}$
0
0.02
0.04
0.06
0.08
0.1
0.12
深度 D (μm)

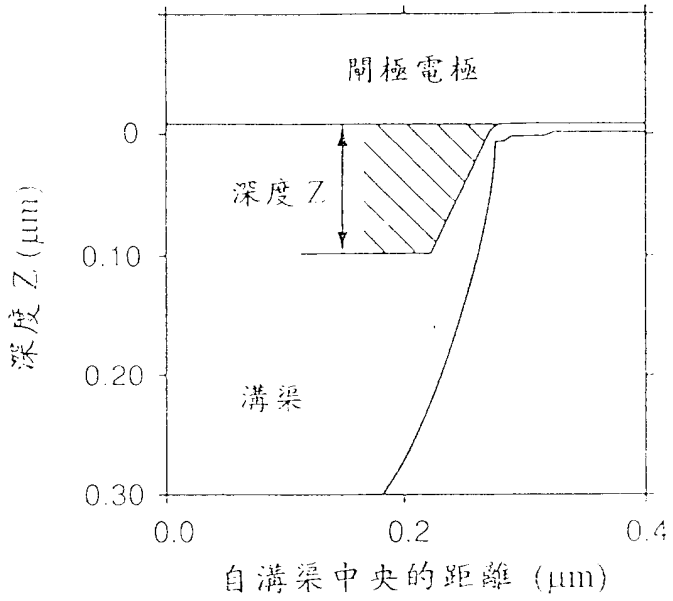
第 4 圖


22
21
1
R
R
6

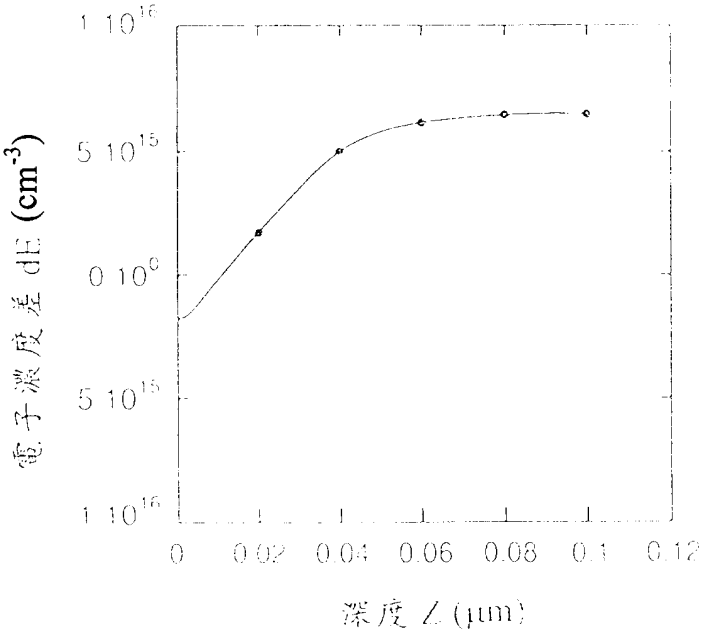
第 5 圖


4 10^15
2 10^15
0 10^0
-2 10^15
-4 10^15
電子濃度差 dE (cm^-3)
0
0.01
0.02
0.03
0.04
0.05
曲率半徑 R (μm)

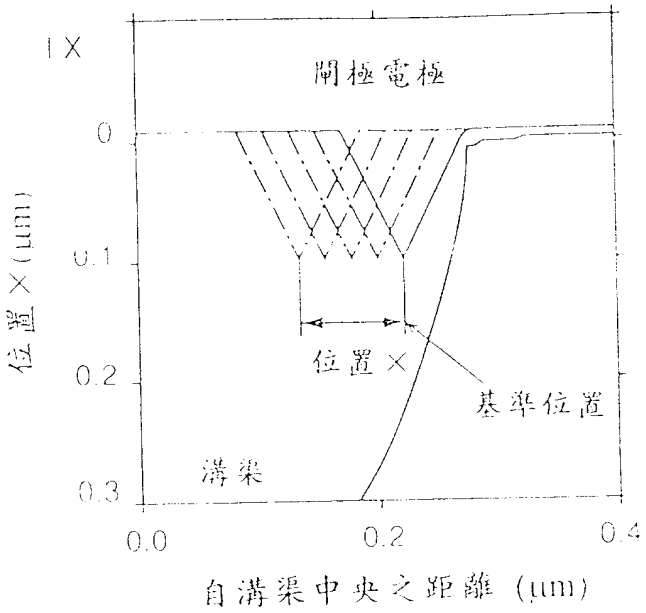
第 6 圖


閘極電極
0
0.10
0.20
0.30
深度 Z
溝渠
深度 Z (μm)
0.0
0.2
0.4
自溝渠中央的距離 (μm)

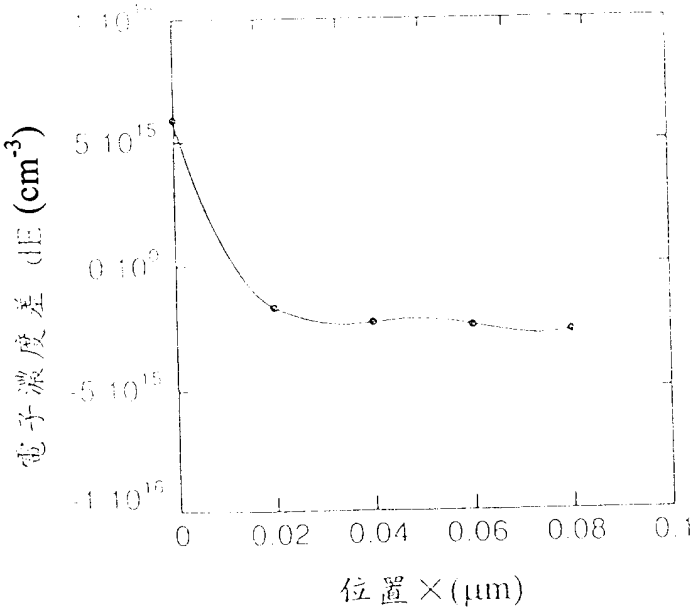
第 7 圖


1 10^16
5 10^15
0 10^0
5 10^15
1 10^16
電子濃度差 dE (cm^-3)
0
0.02
0.04
0.06
0.08
0.1
0.12
深度 Z (μm)

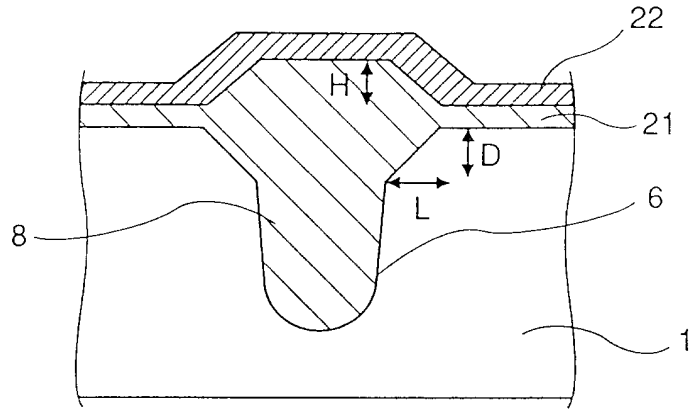
第 8 圖


1X
閘極電極
0
0.1
0.2
0.3
位置 X (μm)
位置 X
基準位置
溝渠
0.0
0.2
0.4
自溝渠中央之距離 (μm)

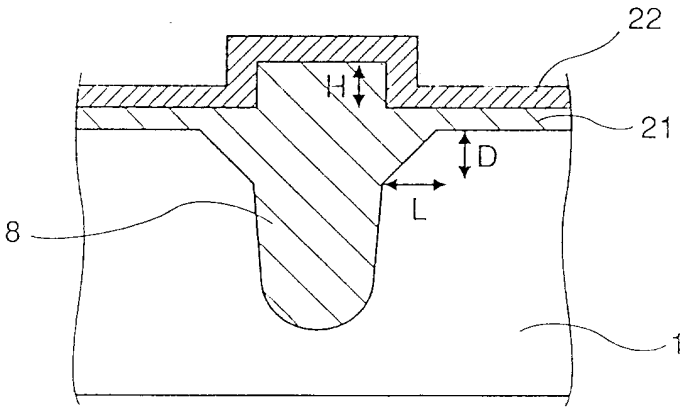
第 9 圖


5 10^15
0 10^0
-5 10^15
-1 10^16
電子濃度差 dE (cm^-3)
0
0.02
0.04
0.06
0.08
0.1
位置 X (μm)

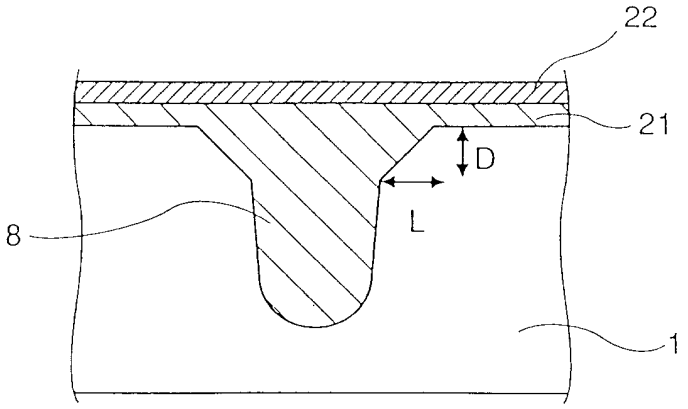
第 10 圖



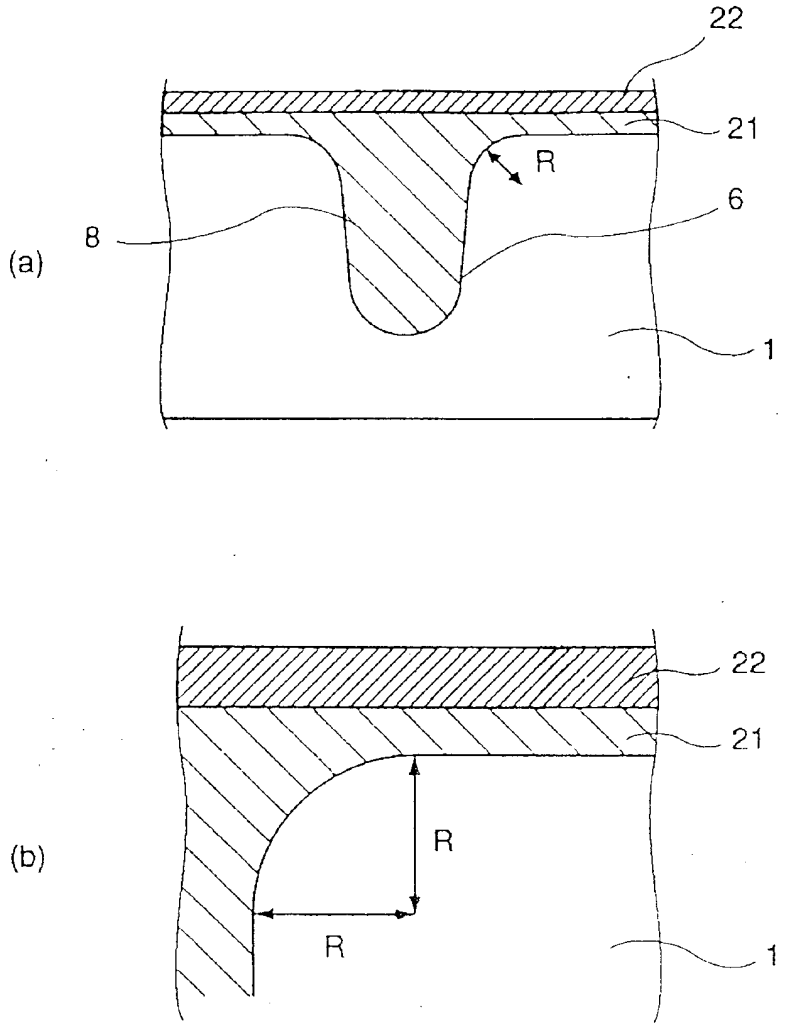
第 11 圖



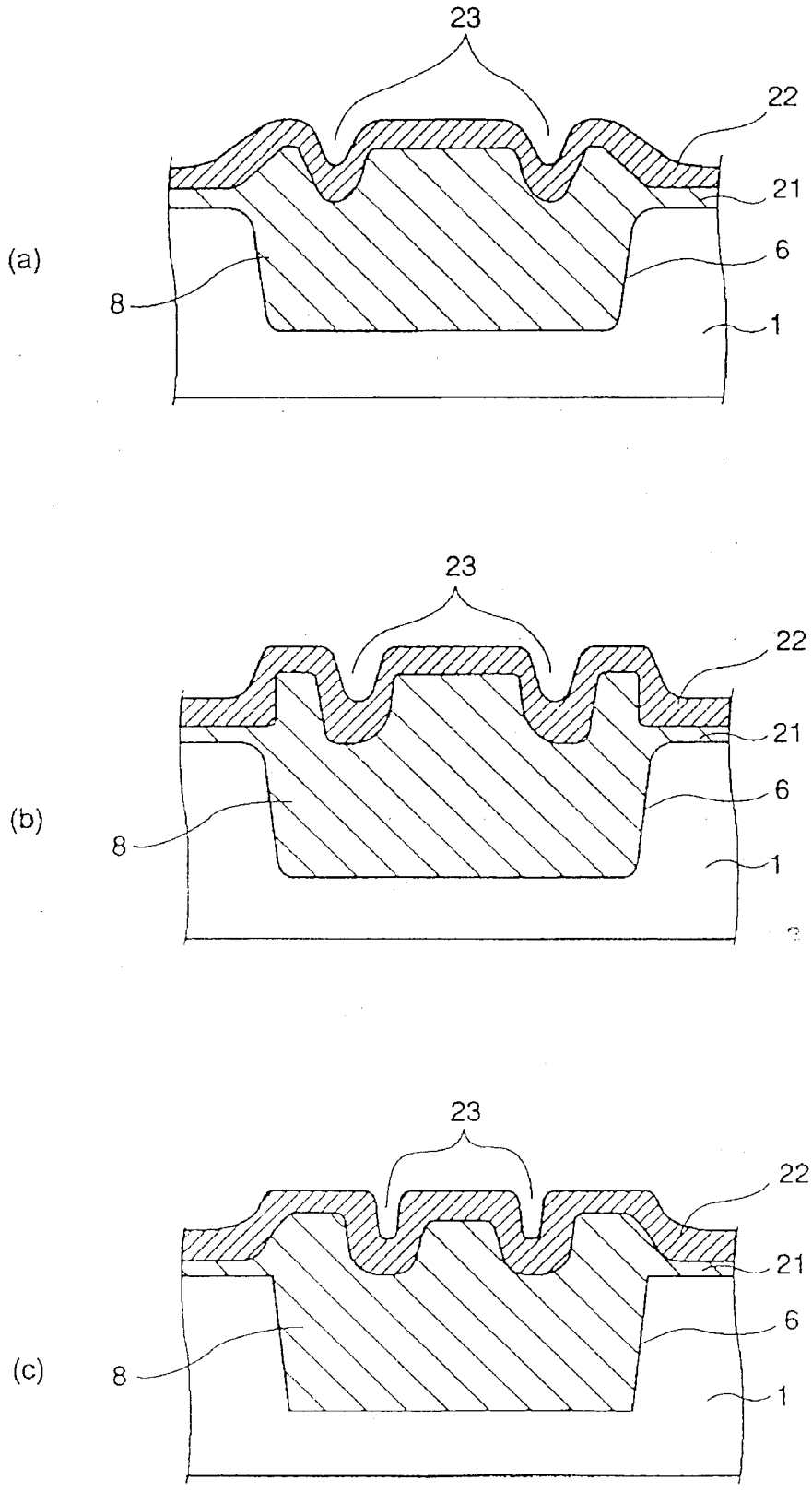
第 12 圖



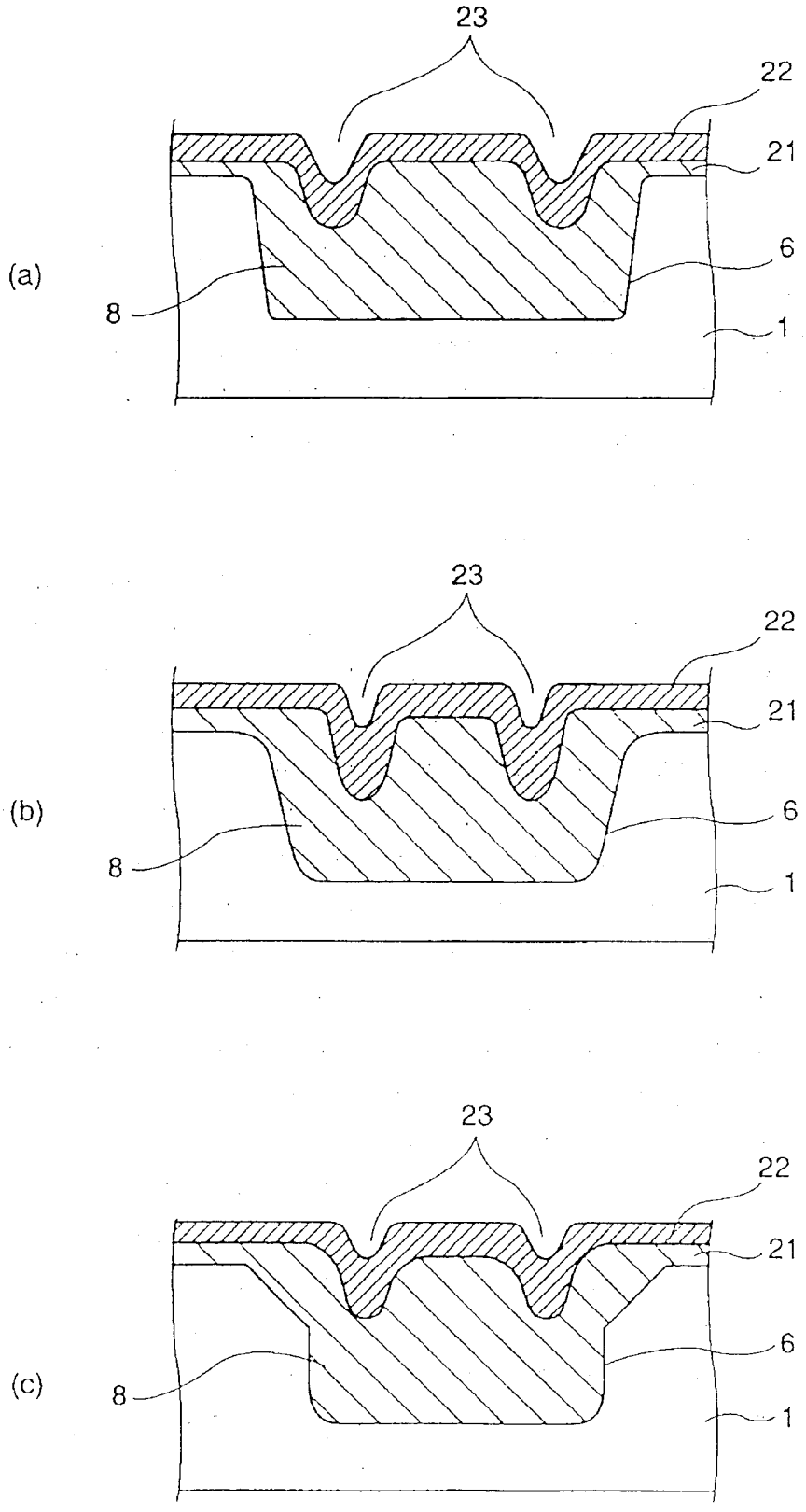
第 13 圖



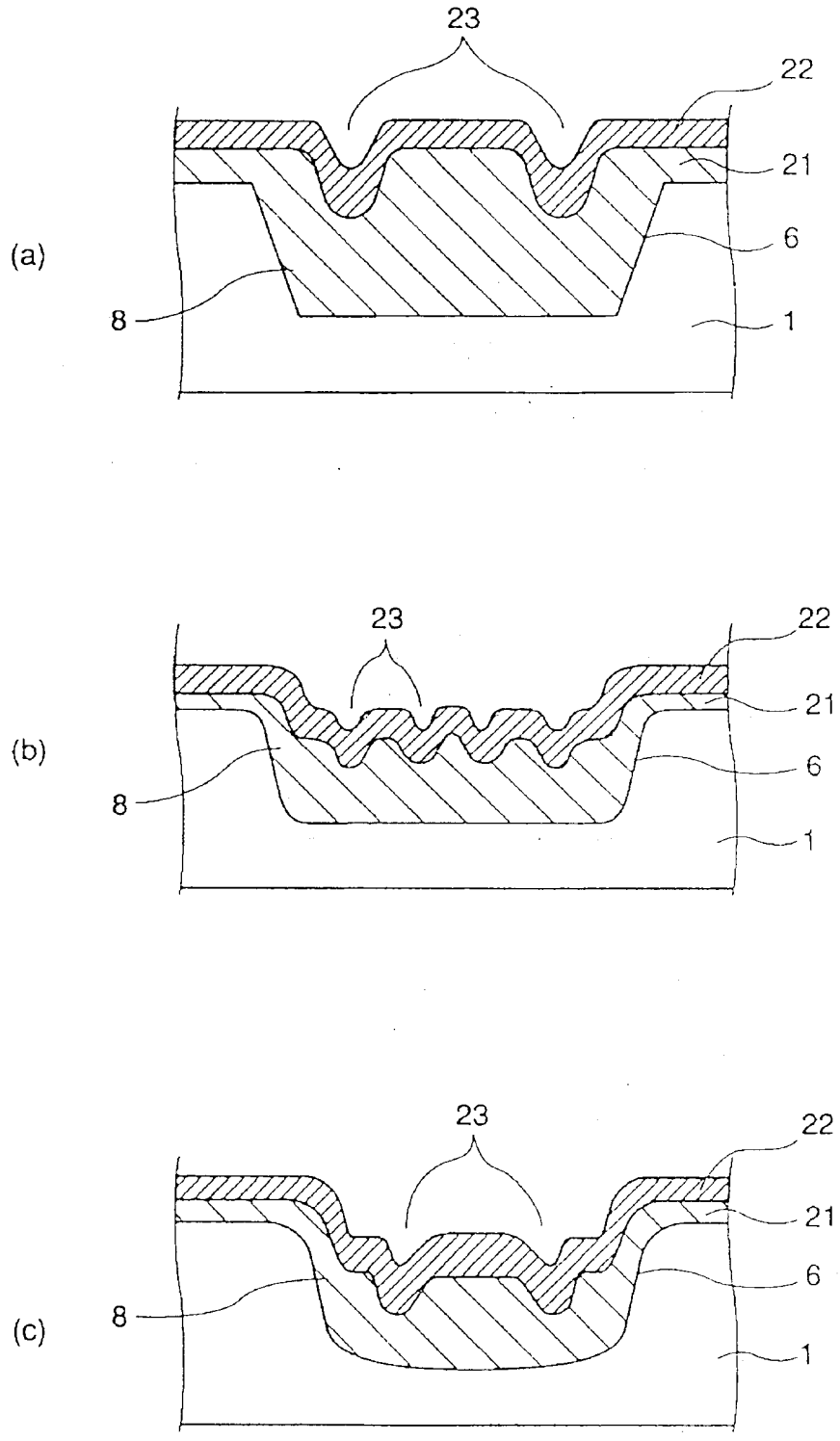
第 14 圖



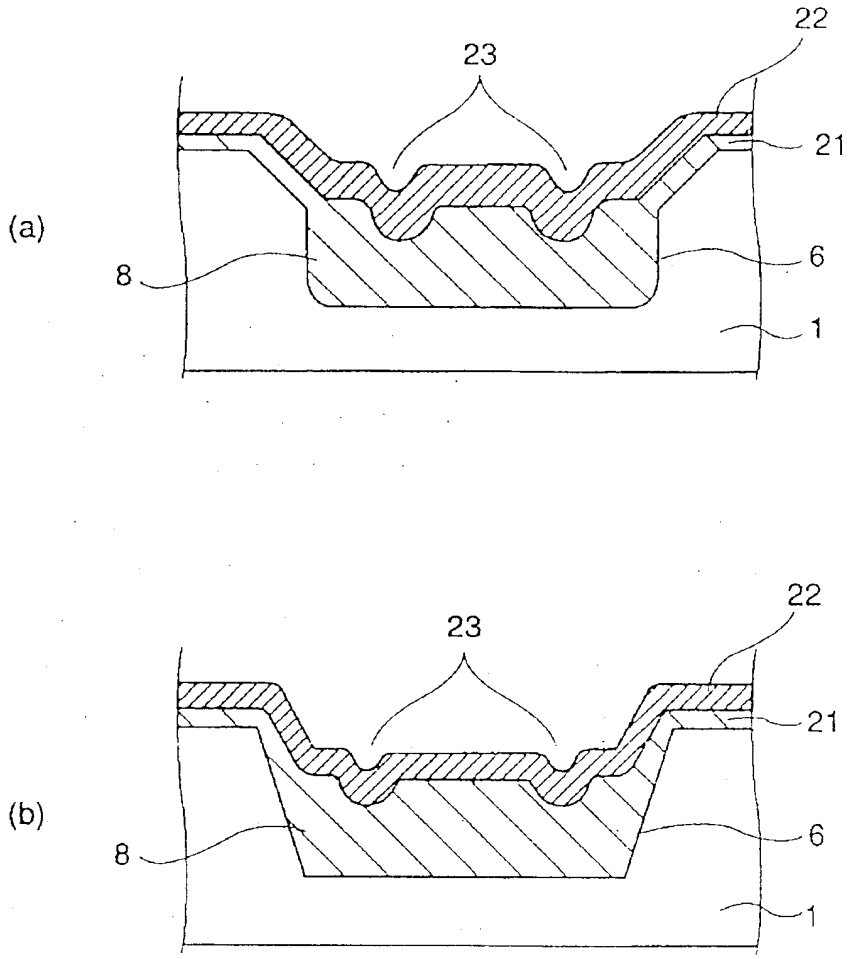
第 15 圖



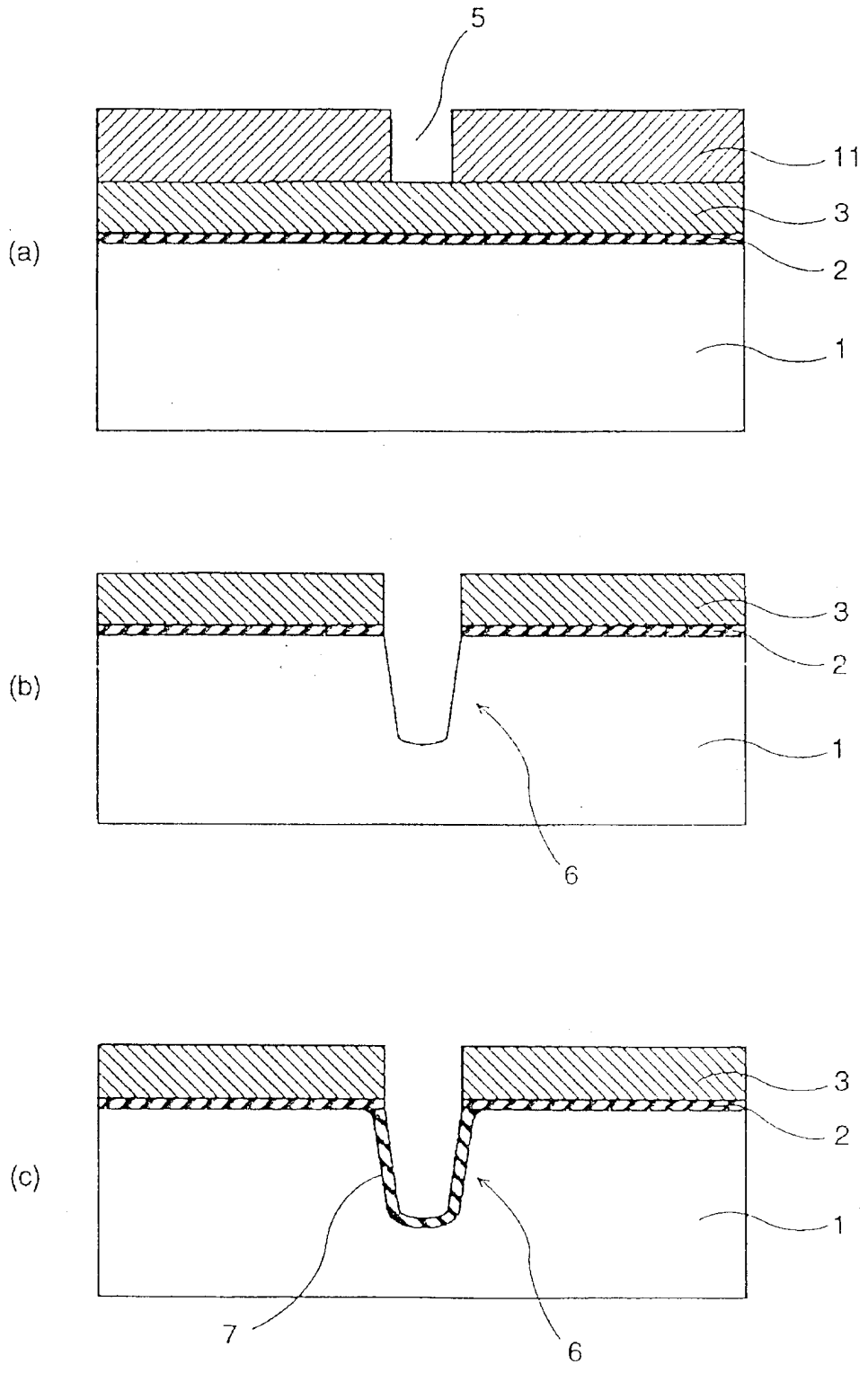
第 16 圖



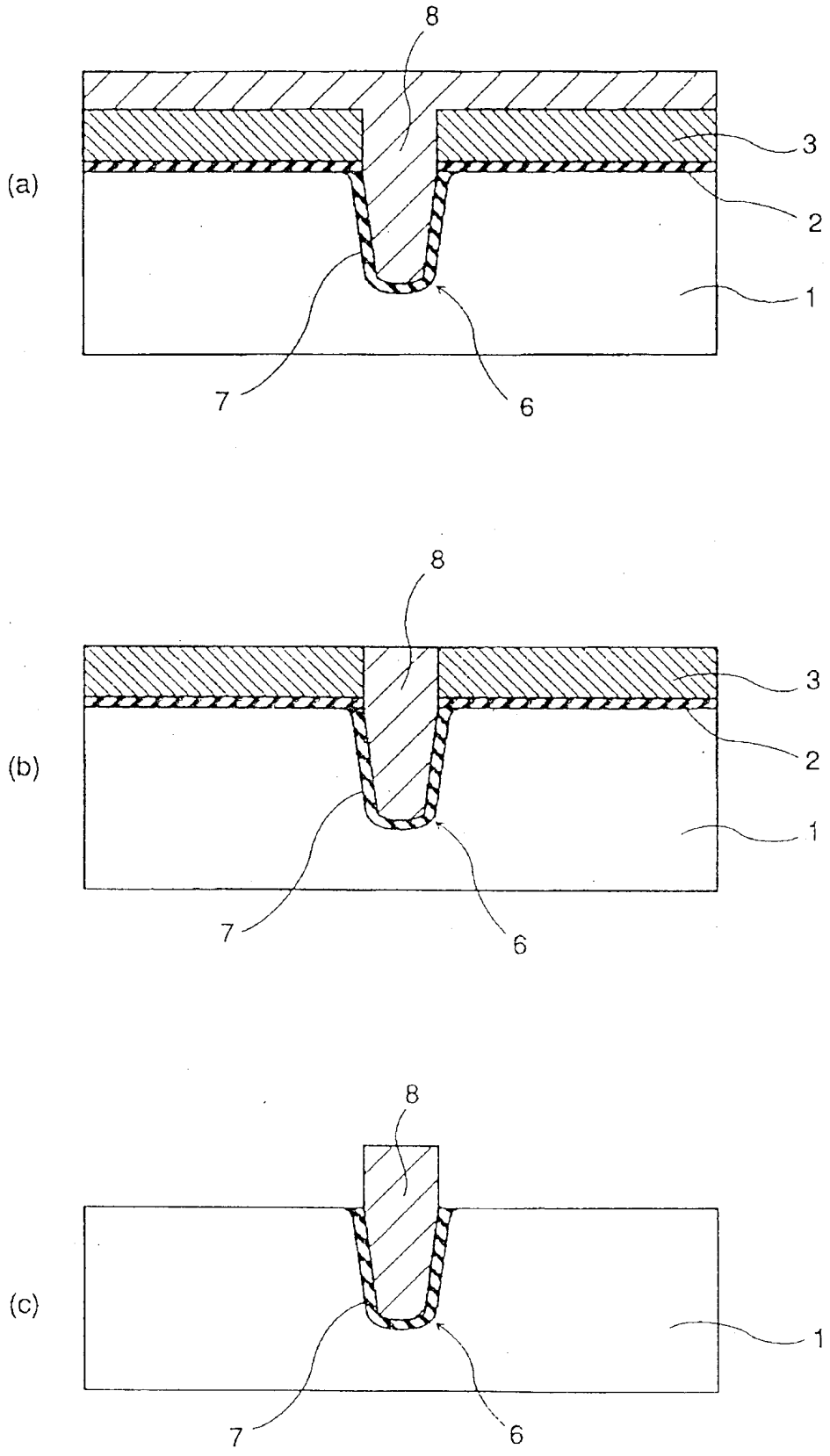
第 17 圖



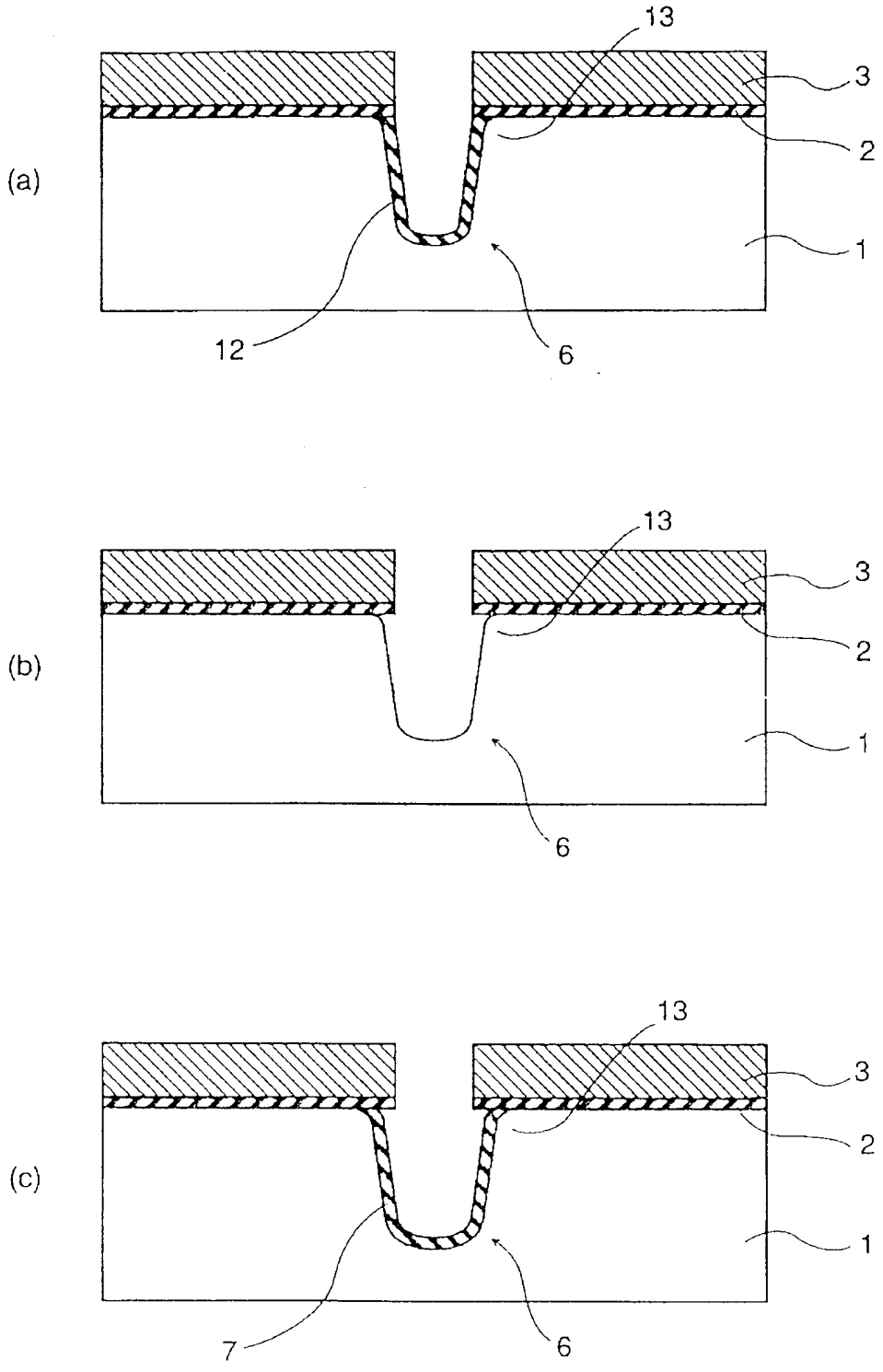
第 18 圖



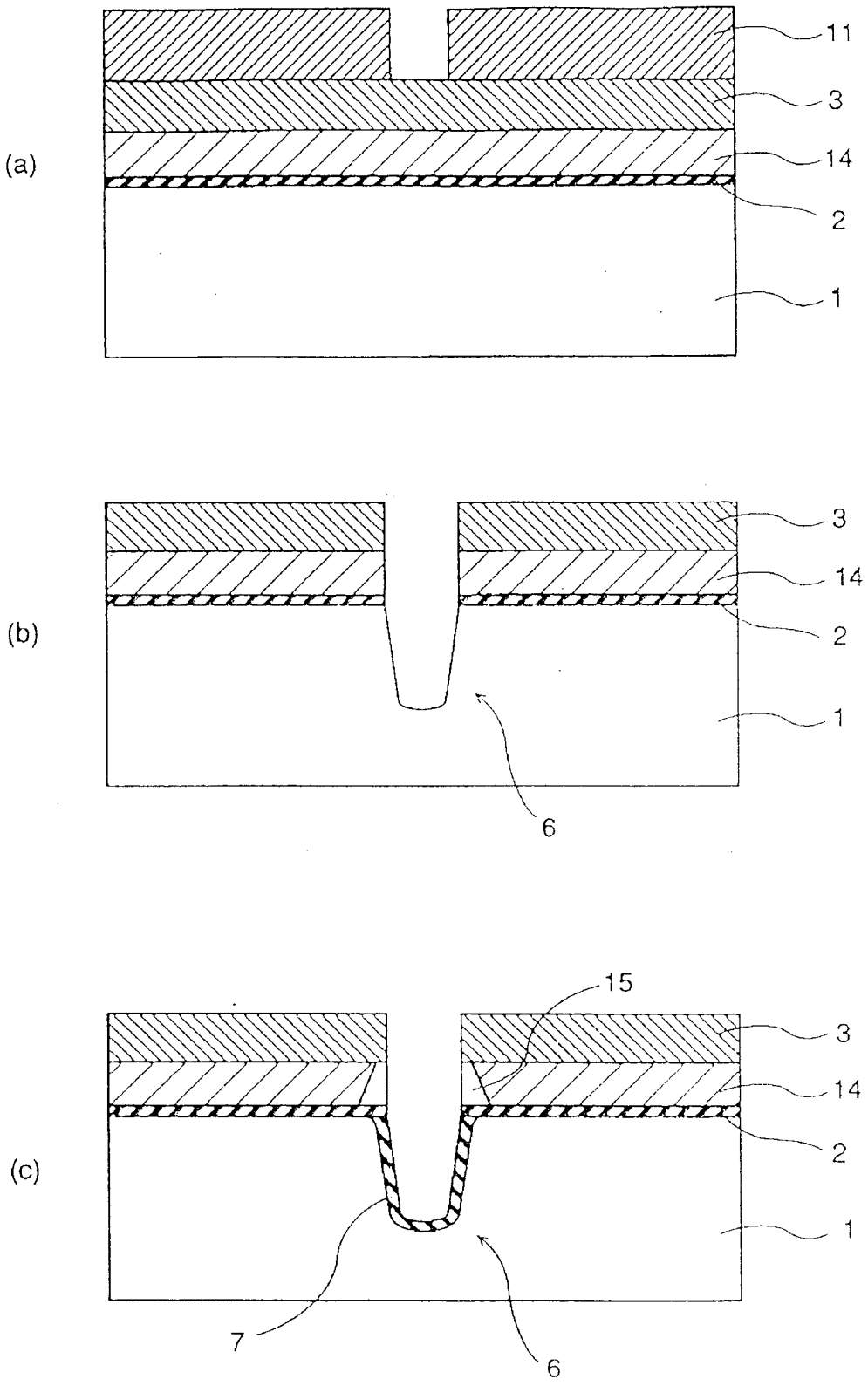
第 19 圖



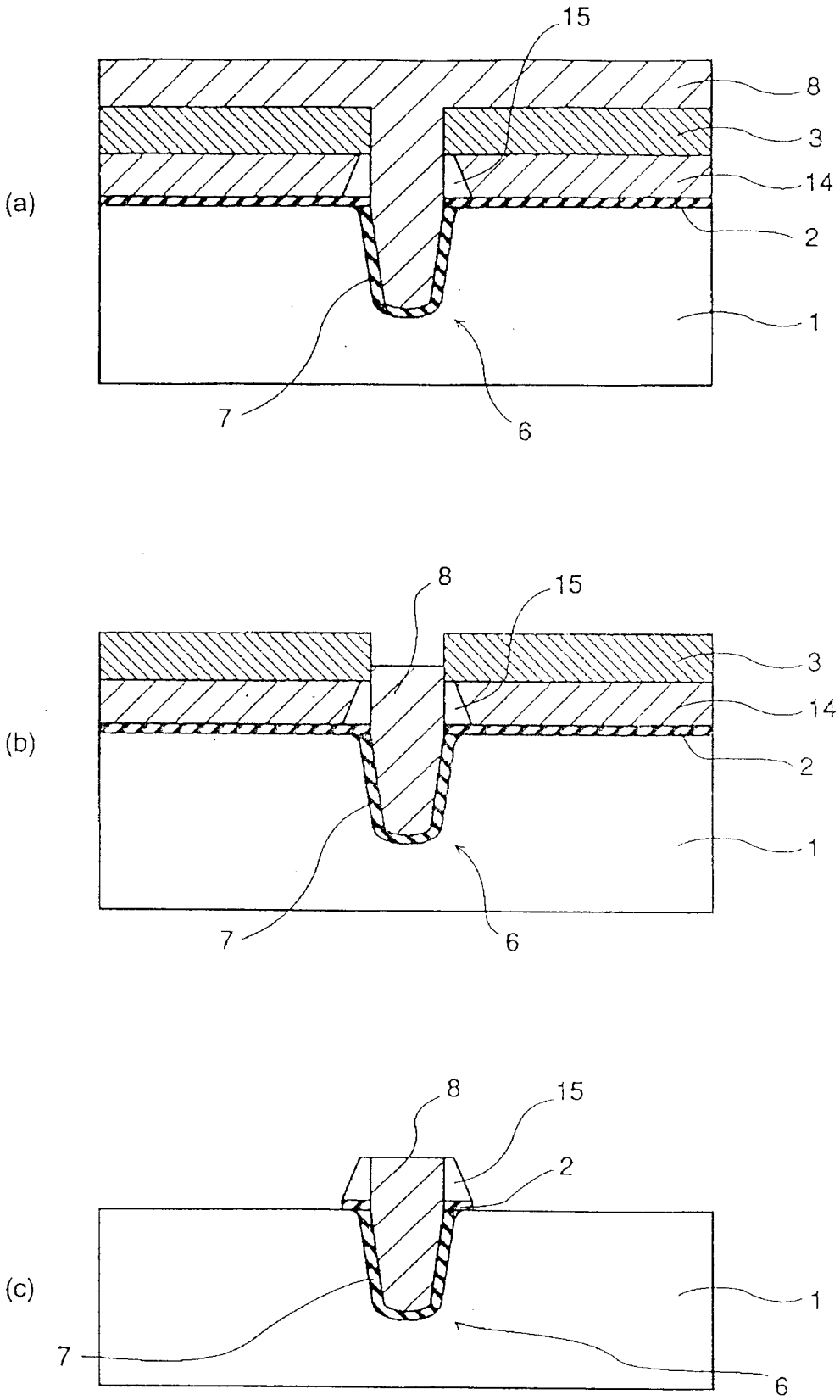
第 20 圖



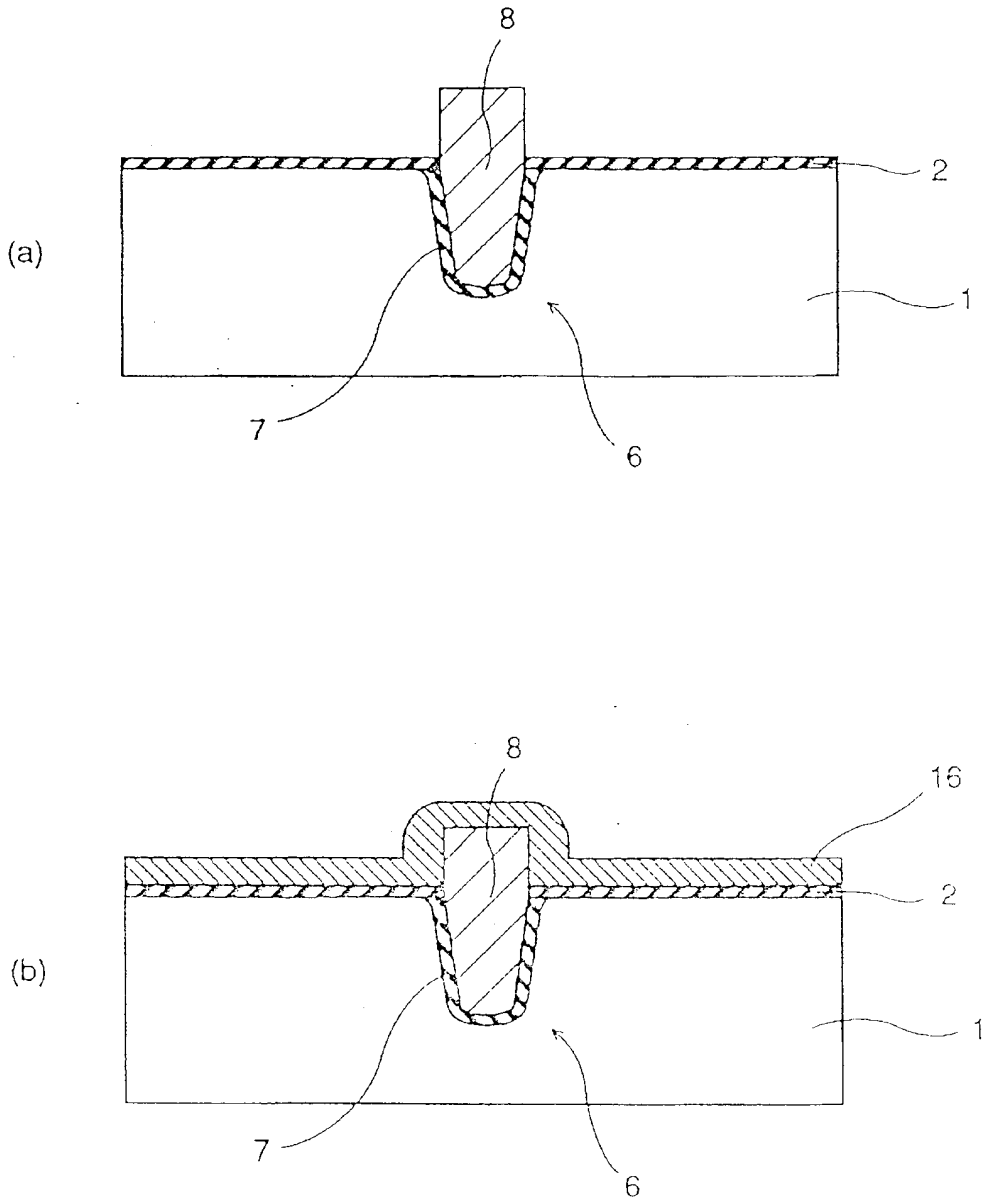
第 21 圖



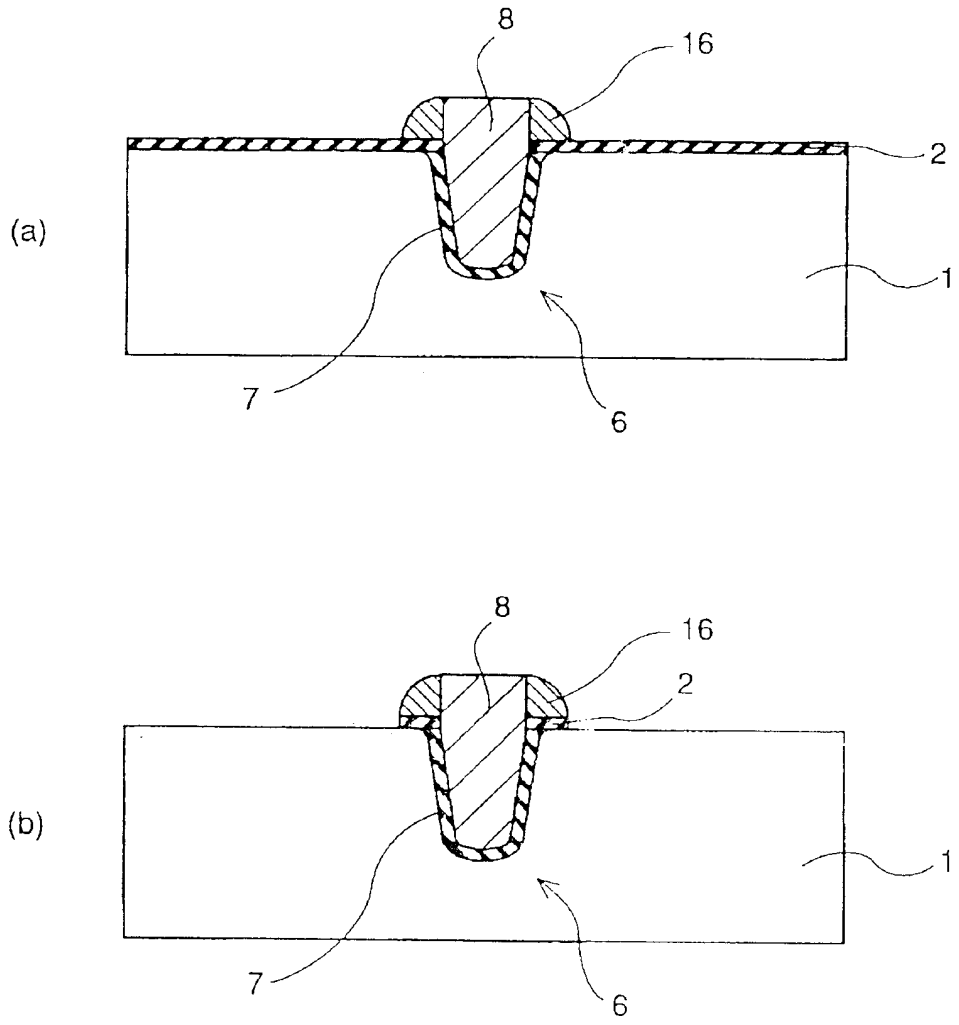
第 22 圖



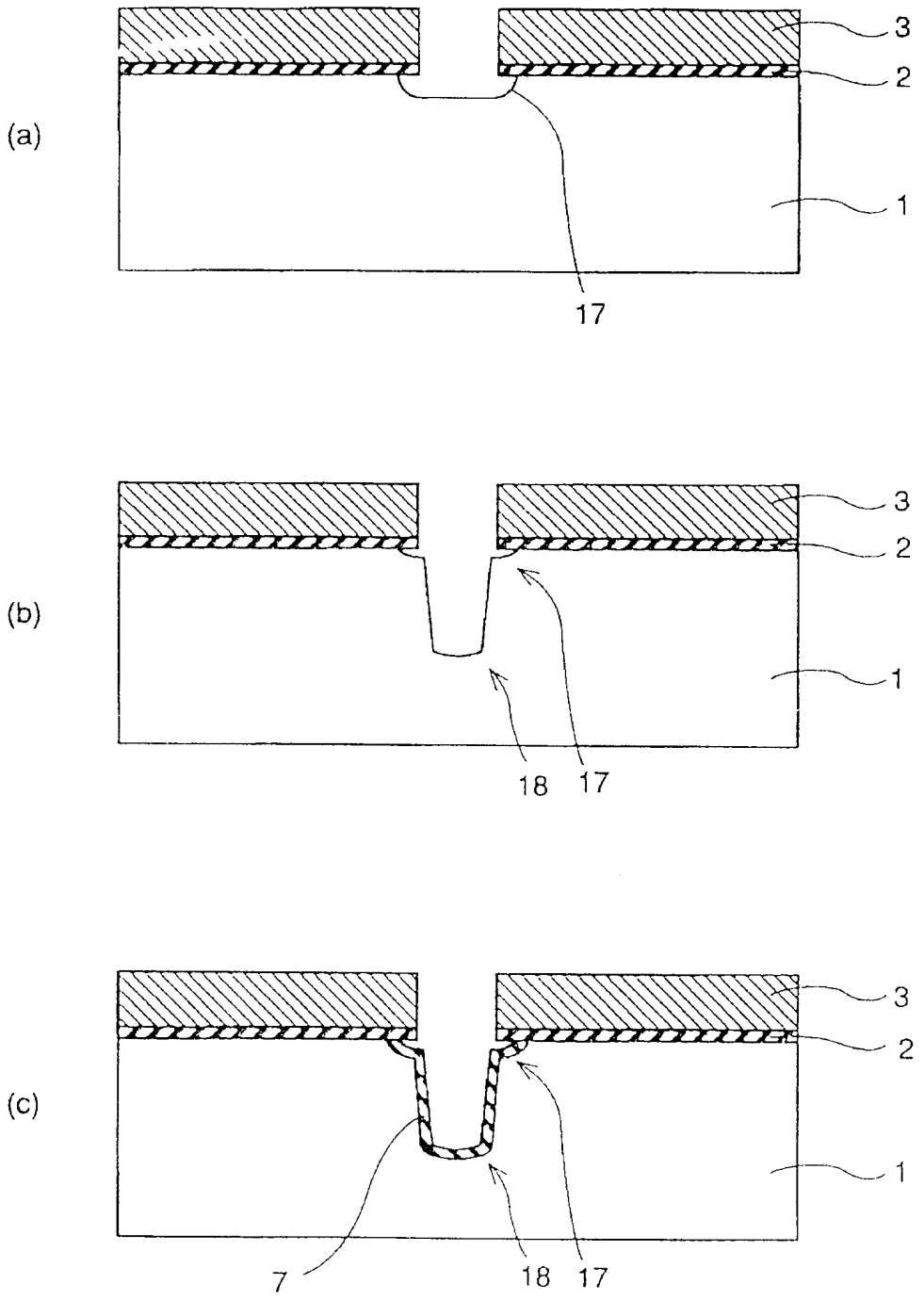
第 23 圖



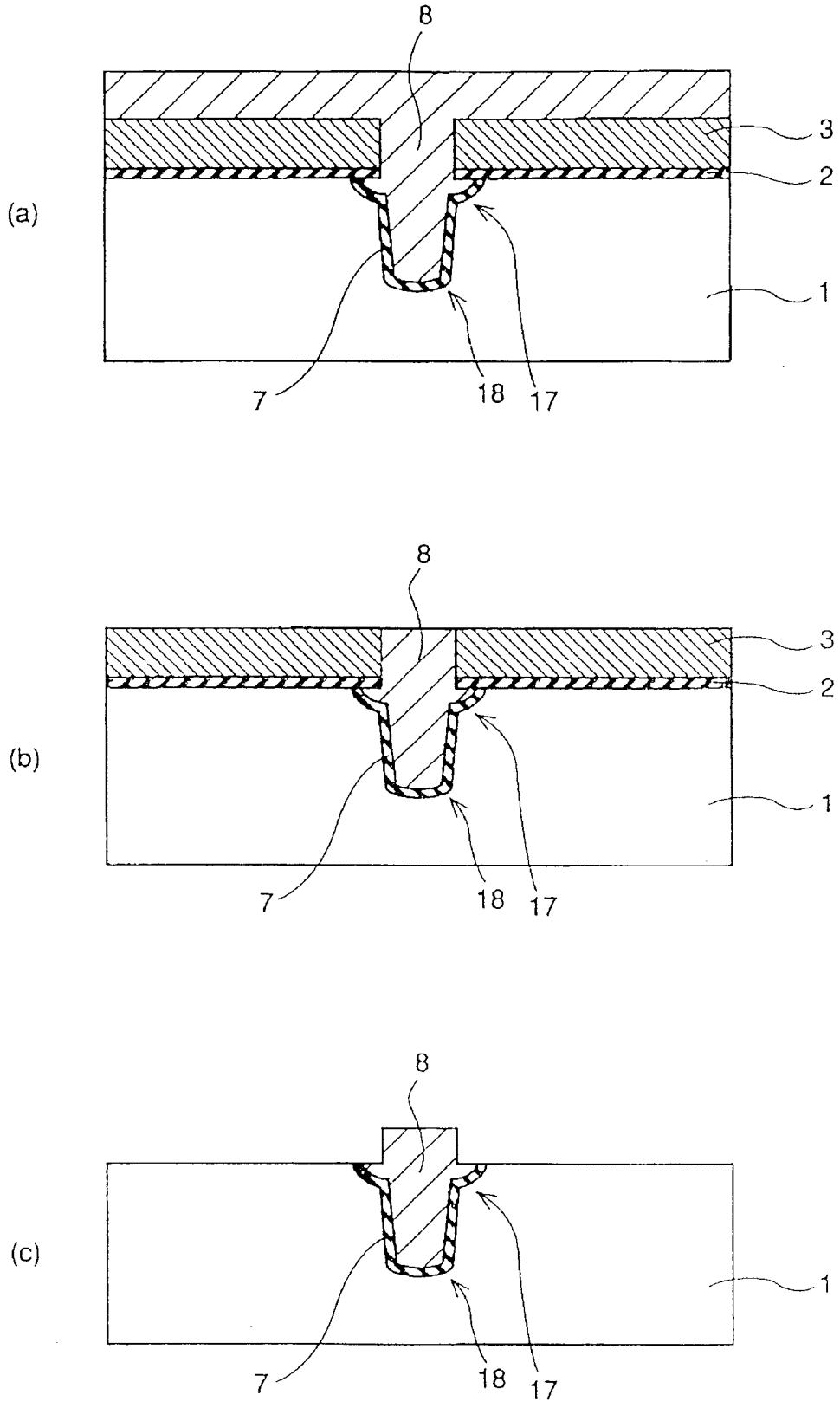
第 24 圖



第 25 圖

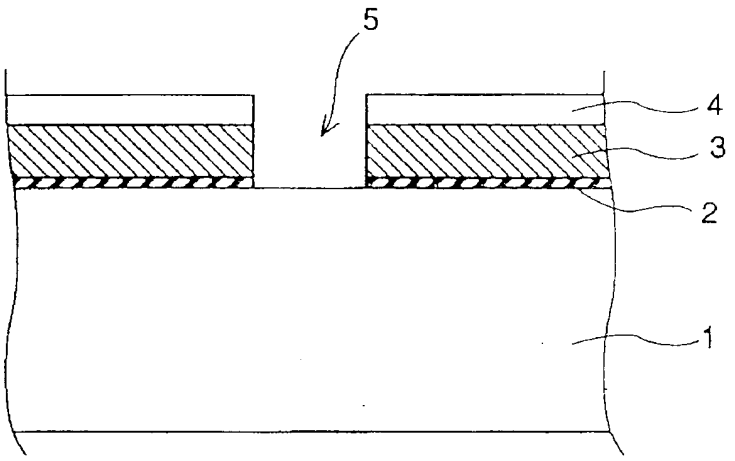


第 26 圖

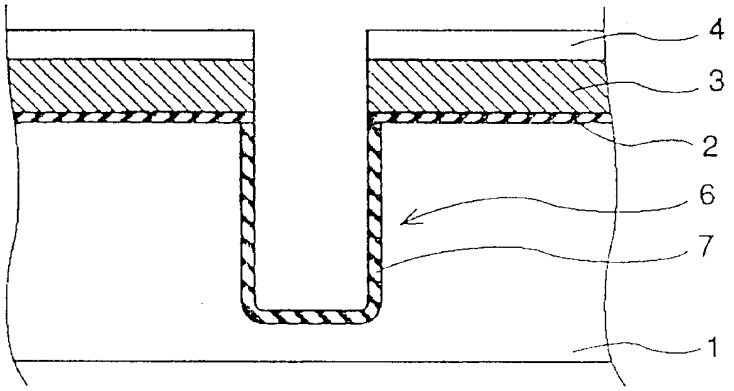


第 27 圖

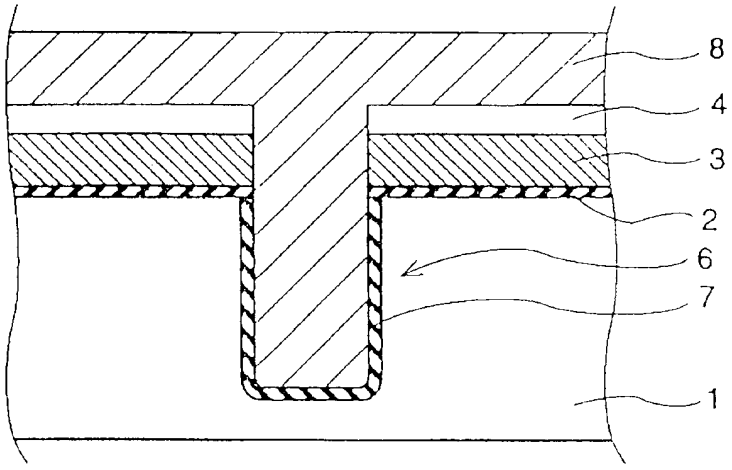
(a)



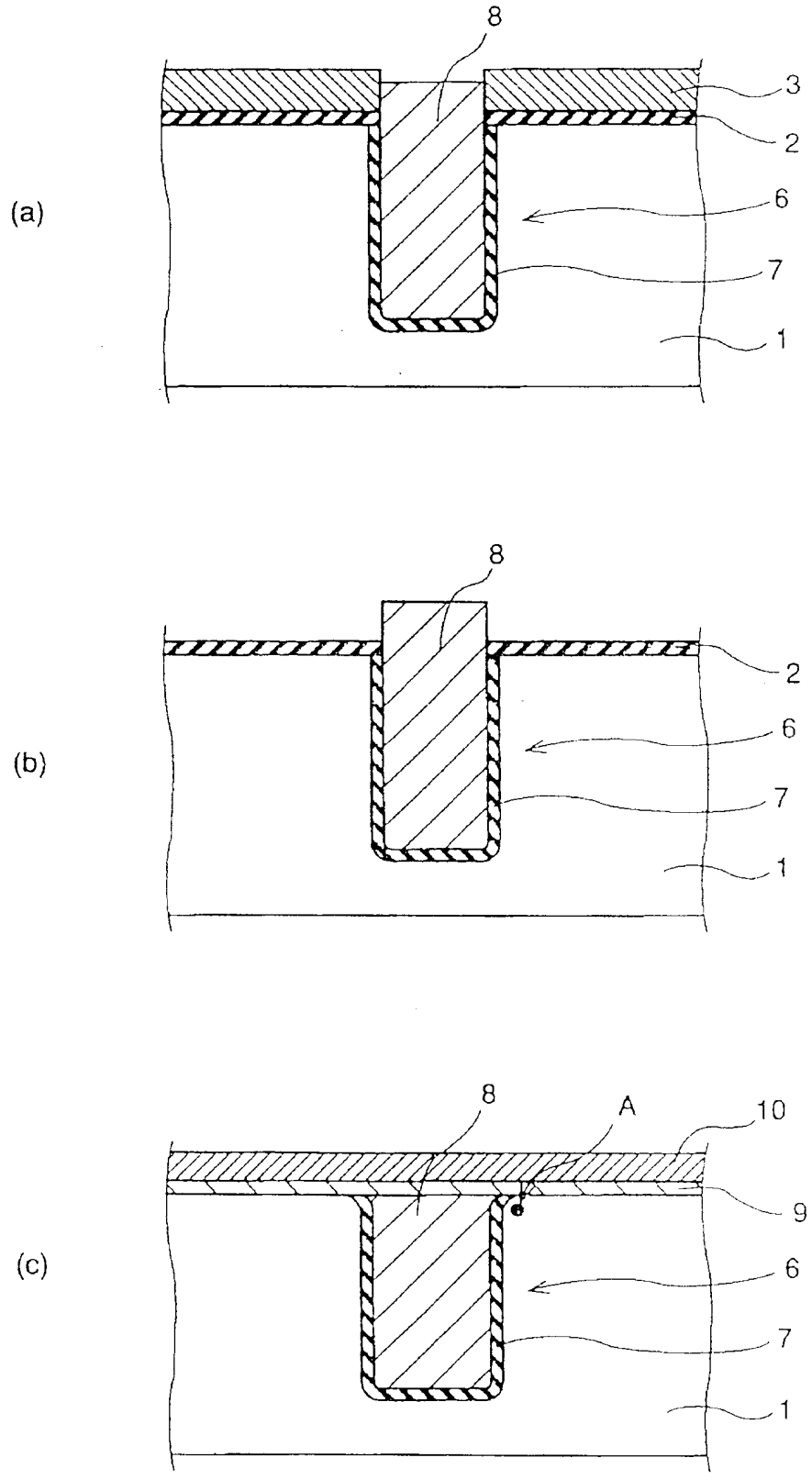
(b)



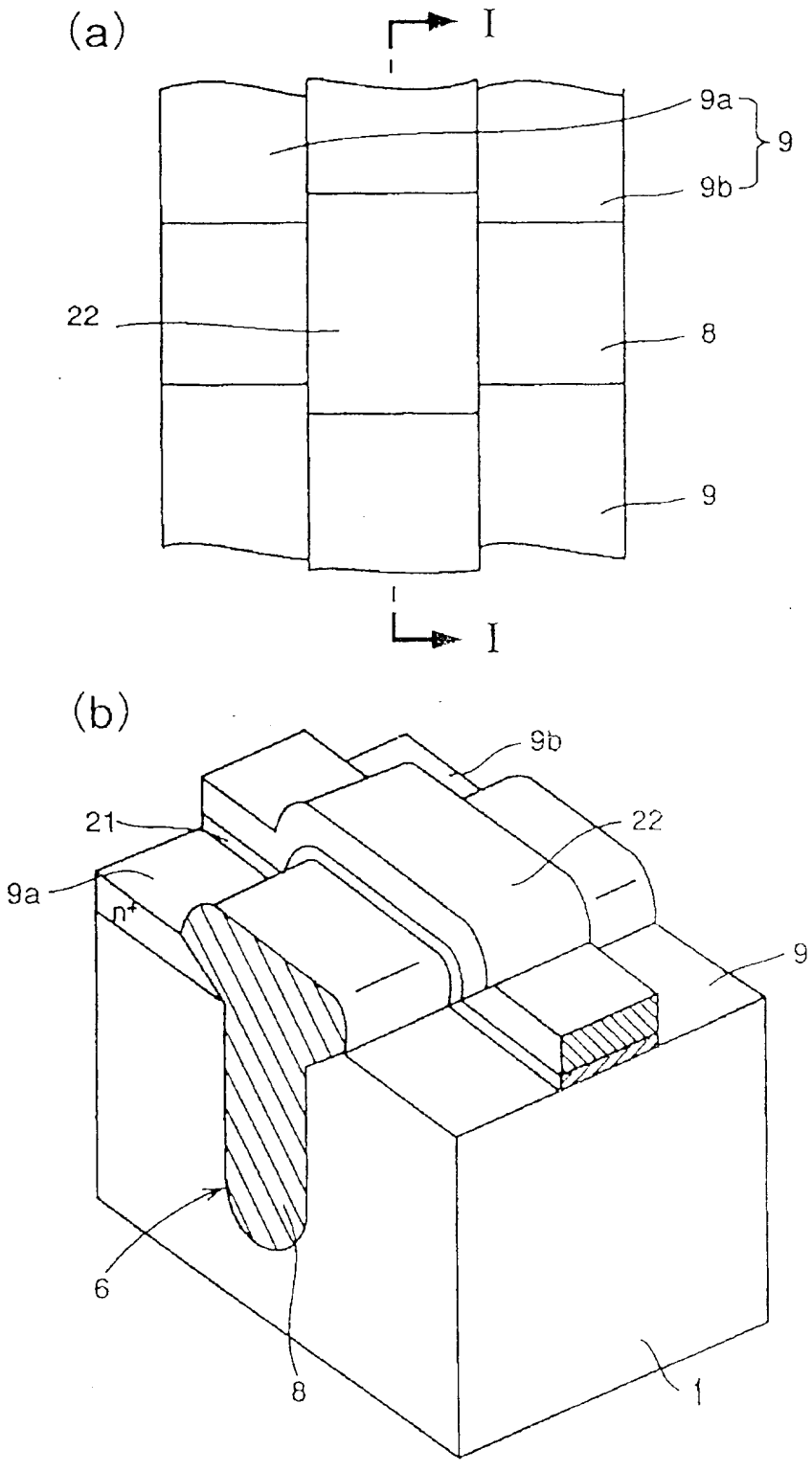
(c)



第 28 圖



第 29 圖



第 30 圖