



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I626541 B

(45) 公告日：中華民國 107 (2018) 年 06 月 11 日

(21) 申請案號：106129653

(22) 申請日：中華民國 106 (2017) 年 08 月 31 日

(51) Int. Cl. : **G06F12/08 (2016.01)**

(71) 申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION INC. (TW)

新竹縣竹北市台元街三十六號八樓之一

(72) 發明人：廖仁宏 LIAO, JEN-HUNG (TW)；謝佳縉 HSIEH, CHIA-CHIN (TW)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW 201401052A

US 8072788B1

審查人員：彭智輝

申請專利範圍項數：19 項 圖式數：5 共 24 頁

(54) 名稱

將資料寫入至快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置

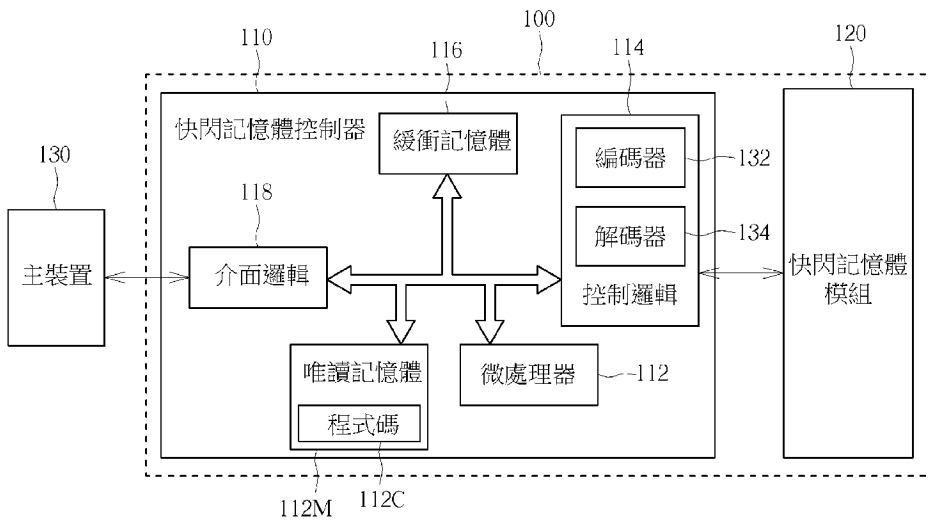
METHOD FOR WRITING DATA INTO FLASH MEMORY MODULE AND ASSOCIATED FLASH MEMORY CONTROLLER AND ELECTRONIC DEVICE

(57) 摘要

本發明揭露了一種將一資料寫入至一快閃記憶體模組的方法，其中該快閃記憶體模組中的每一快閃記憶體晶片包含多個區塊，每一區塊包含多個資料頁，且該方法包含有：建立一資料頁狀態記錄表，其中該資料頁狀態記錄表記錄了一特定區塊中至少一部分資料頁是否毀損；當該資料需要被寫入至該特定區塊時，參考該資料頁狀態記錄表以判斷目前欲寫入的一特定資料頁是否毀損；當該資料頁狀態記錄表指出該特定資料頁沒有毀損時，將該資料寫入至該特定資料頁；以及當該資料頁狀態記錄表指出該特定資料頁毀損時，不將該資料寫入至該特定資料頁。

The present invention provides a method for writing data into a flash memory module, wherein each flash memory chip within the flash memory module includes a plurality of blocks, each block includes a plurality of pages, and the method includes: building a page-status table, wherein the page-status table records if at least a portion of pages within a specific block is/are damaged; when the data is to be written into the specific block, referring to the page-status table to determine if a specific page, which the data is intended to be written, is damaged; when the page-status table indicates that the specific page is not damaged, writing the data into the specific page; and when the page-status table indicates that the specific page is not damaged, not writing data into the specific page.

指定代表圖：



第1圖

符號簡單說明：

- 100 . . . 記憶裝置
- 110 . . . 快閃記憶體  
控制器
- 112 . . . 微處理器
- 112C . . . 程式碼
- 112M . . . 唯讀記憶  
體
- 114 . . . 控制邏輯
- 116 . . . 緩衝記憶體
- 118 . . . 介面邏輯
- 120 . . . 快閃記憶體  
模組
- 130 . . . 主裝置
- 132 . . . 編碼器
- 134 . . . 解碼器

## 【發明說明書】

【中文發明名稱】 將資料寫入至快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置

【英文發明名稱】 METHOD FOR WRITING DATA INTO FLASH MEMORY MODULE AND ASSOCIATED FLASH MEMORY CONTROLLER AND ELECTRONIC DEVICE

### 【技術領域】

【0001】 本發明係有關於快閃記憶體，尤指一種將資料寫入至快閃記憶體模組的方法及相關的快閃記憶體控制器。

### 【先前技術】

【0002】 當快閃記憶體在資料寫入的過程時突然發生斷電時，除了目前正在寫入的資料頁可能會發生毀損之外，與目前正在寫入的資料頁位在同一條字元線上的其他資料頁亦會同時產生毀損。舉例來說，假設上述的快閃記憶體為一三層式儲存（Triple-Level Cell，TLC）快閃記憶體晶片，且該快閃記憶體中每一條字元線構成一最低有效位元（Least Significant Bit，LSB）資料頁、中間有效位元（Central Significant Bit，CSB）資料頁與最高有效位元（Most Significant Bit，MSB）資料頁，則若是一字元線上的最低有效位元資料頁在資料寫入的過程中發生非預期斷電（Sudden Power Off）而毀損時，則該字元線上的中間有效位元資料頁及最高有效位元資料頁亦會發生毀損。

【0003】 因此，非預期斷電修復（Sudden Power-Off Recovery，SPOR）程序

對於維護快閃記憶體之資料可靠度顯得至關重要。

**【發明內容】**

**【0004】** 因此，本發明的目的之一在於提供一種將資料寫入至快閃記憶體模組的方法，其可以在有資料頁毀損的情形下有效地繼續完成後續的非預期斷電修復程序以及資料寫入，以解決先前技術中的問題。

**【0005】** 在本發明的一個實施例中，揭露了一種將一資料寫入至一快閃記憶體模組的方法，其中該快閃記憶體模組包含了多個快閃記憶體晶片，每一個快閃記憶體晶片包含多個區塊，每一個區塊包含了多個資料頁，該快閃記憶體晶片中每一條字元線構成了多個資料頁，以及該方法包含有：建立一資料頁狀態記錄表，其中該資料頁狀態記錄表記錄了一特定區塊中至少一部分資料頁是否毀損；當該資料需要被寫入至該特定區塊時，參考該資料頁狀態記錄表以判斷目前欲寫入的一特定資料頁是否毀損；當該資料頁狀態記錄表指出該特定資料頁沒有毀損時，將該資料寫入至該特定資料頁；以及當該資料頁狀態記錄表指出該特定資料頁毀損時，不將該資料寫入至該特定資料頁。

**【0006】** 在本發明的另一個實施例中，揭露了一種快閃記憶體控制器，其中該快閃記憶體控制器係用來存取一快閃記憶體模組，該快閃記憶體模組包含了多個快閃記憶體晶片，每一個快閃記憶體晶片包含多個區塊，每一個區塊包含了多個資料頁，該快閃記憶體晶片中每一條字元線構成了多個資料頁，且該快閃記憶體控制器包含有一唯讀記憶體、一微處理器以及一記憶體，其中該唯讀記憶體用來儲存一程式碼；該微處理器用來執行該程式碼以控制對該快閃記憶體模組之存取；以及該記憶體用以儲存一資料頁狀態記錄表，其中該資料頁狀

態記錄表記錄了一特定區塊中至少一部分資料頁中的資料是否毀損。此外，當一資料需要被寫入至該特定區塊時，該微處理器參考該資料頁狀態記錄表以判斷目前欲寫入的一特定資料頁是否毀損，並當該資料頁狀態記錄表指出該特定資料頁沒有毀損時，該微處理器將該資料寫入至該特定資料頁；以及當該資料頁狀態記錄表指出該特定資料頁毀損時，該微處理器不將該資料寫入至該特定資料頁。

【0007】 在本發明的另一個實施例中，揭露了一種電子裝置，其包含有一快閃記憶體模組以及一快閃記憶體控制器。該快閃記憶體模組包含了多個快閃記憶體晶片，每一個快閃記憶體晶片包含多個區塊，每一個區塊包含了多個資料頁，該快閃記憶體晶片中的每一條字元線構成了多個資料頁；該快閃記憶體控制器係用來存取該快閃記憶體模組，並用以建立一資料頁狀態記錄表，其中該資料頁狀態記錄表記錄了一特定區塊中至少一部分資料頁是否毀損；其中當來自一主裝置的一資料需要被寫入至該特定區塊時，該快閃記憶體控制器參考該資料頁狀態記錄表以判斷目前欲寫入的一特定資料頁是否毀損，並當該資料頁狀態記錄表指出該特定資料頁沒有毀損時，該快閃記憶體控制器將該資料寫入至該特定資料頁；以及當該資料頁狀態記錄表指出該特定資料頁毀損時，該快閃記憶體控制器不將該資料寫入至該特定資料頁。

### 【圖式簡單說明】

#### 【0008】

第1圖為依據本發明一實施例之一種記憶裝置的示意圖。

第2圖為具有三層式儲存架構的區塊的示意圖。

第3圖為根據本發明一實施例之將資料寫入到一區塊的流程圖。

第4圖為根據本發明一實施例之資料頁狀態記錄表的示意圖。

第5圖為根據本發明一實施例之因為斷電而重建後之資料頁狀態記錄表的示意圖。

### 【實施方式】

【0009】 請參考第1圖，第1圖為依據本發明一實施例之一種記憶裝置100的示意圖。記憶裝置100包含有一快閃記憶體（Flash Memory）模組120以及一快閃記憶體控制器110，且快閃記憶體控制器110用來存取快閃記憶體模組120。依據本實施例，快閃記憶體控制器110包含一微處理器112、一唯讀記憶體（Read Only Memory, ROM）112M、一控制邏輯114、一緩衝記憶體116、與一介面邏輯118。唯讀記憶體112M係用來儲存一程式碼112C，而微處理器112則用來執行程式碼112C以控制對快閃記憶體模組120之存取（Access）。控制邏輯114包含了一編碼器132以及一解碼器134，其中編碼器132用來對寫入到快閃記憶體模組120中的資料進行編碼以產生對應的校驗碼(或稱，錯誤更正碼(Error Correction Code)，ECC)，而解碼器134用來將從快閃記憶體模組120所讀出的資料進行解碼。

【0010】 於典型狀況下，快閃記憶體模組120包含了多個快閃記憶體晶片，而每一個快閃記憶體晶片包含複數個區塊（Block），而該控制器（例如：透過微處理器112執行程式碼112C之快閃記憶體控制器110）對快閃記憶體模組120進行抹除等運作係以區塊為單位來進行。另外，一區塊可記錄特定數量的資料頁（Page），其中該控制器（例如：透過微處理器112執行程式碼112C之記憶體控制器110）對快閃記憶體模組120進行寫入資料之運作係以資料頁為單位來進行寫入。在本實施例中，快閃記憶體模組120為一立體NAND型快閃記憶體(3D NAND-type flash)。

【0011】 實作上，透過微處理器112執行程式碼112C之快閃記憶體控制器110可利用其本身內部之元件來進行諸多控制運作，例如：利用控制邏輯114來控制快閃記憶體模組120之存取運作（尤其是對至少一區塊或至少一資料頁之存取運作）、利用緩衝記憶體116進行所需之緩衝處理、以及利用介面邏輯118來與一主裝置（Host Device）130溝通。緩衝記憶體116可以是靜態隨機存取記憶體（Static RAM, SRAM），但本發明不限於此。

【0012】 在一實施例中，記憶裝置100可以是可攜式記憶裝置（例如：符合SD/MMC、CF、MS、XD標準之記憶卡），且主裝置130為一可與記憶裝置連接的電子裝置，例如手機、筆記型電腦、桌上型電腦...等等。而在另一實施例中，記憶裝置100可以是固態硬碟或符合通用快閃記憶體儲存(Universal Flash Storage, UFS)或嵌入式多媒體記憶卡(Embedded Multi Media Card, EMMC)規格之嵌入式儲存裝置，以設置在一電子裝置中，例如設置在手機、筆記型電腦、桌上型電腦之中，而此時主裝置130可以是該電子裝置的一處理器。

【0013】 在本實施例中，快閃記憶體模組120所包含之複數個區塊中至少包含了多層式儲存（Multiple-Level Cell, MLC）區塊或是三層式儲存（Triple-Level Cell, TLC）區塊，而在以下的實施例中，係以三層式儲存區塊來作為說明。請參考第2圖，第2圖為依據本發明一實施例之快閃記憶體模組120中一區塊200的示意圖。如第2圖所示，區塊200係為三層式儲存架構，亦即區塊200具有N條字元線WL0~WLN，每一條字元線可構成三個資料頁，故區塊200共包含有3\*N個資料頁（P0~P(3N-1)）。第2圖中的每一個儲存單元（亦即每一個浮動閘極電晶體202）可以儲存三個位元，亦即包含最低有效位元（LSB）、中間有效位元（CSB）

與最高有效位元 (MSB) 的三個位元；而每一條字元線WL0~WLN上的多個儲存單元所儲存的最低有效位元構成了該字元線對應的第一個資料頁 (最低有效位元資料頁 (LSB page))、所儲存的中間有效位元構成了該字元線對應的第二個資料頁 (中間有效位元資料頁 (CSB page))、以及所儲存的最高有效位元構成了該字元線對應的第三個資料頁 (最高有效位元資料頁 (MSB page))。在一般的狀況下，同一條字元線上的三個資料頁不一定會具有連續的序號，舉例來說，字元線WL1上的多個儲存單元所儲存的最低有效位元構成了資料頁P1，字元線WL1上的多個儲存單元所儲存的中間有效位元構成了資料頁P10，以及字元線WL1上的多個儲存單元所儲存的最高有效位元構成了資料頁P11。

**【0014】** 一般而言，若是字元線WL1上的最低有效位元資料頁(亦即，P1)在資料寫入的過程中發生非預期斷電而毀損時，則字元線WL1上的中間有效位元資料頁(亦即，P10)及最高有效位元資料頁(亦即，P11)亦會發生毀損，因此，在一實施例中，在上述的資料頁P1發生毀損之後，若是後續仍然要將資料寫入至區塊200的後續資料頁時，為了避免將資料誤寫到字元線WL1上的資料頁P10、P11，快閃記憶體控制器110可以從資料頁P1開始一直寫入無效的資料直到資料頁P11為止，之後再從資料頁P12開始寫入有效資料。如上所述，雖然此方式可以避免資料寫入錯誤，但資料頁P2~P9也浪費掉了。特別是在快閃記憶體模組120為立體NAND型快閃記憶體時，字元線之最低有效位元資料頁、中間有效位元資料頁及最高有效位元資料頁的距離可能會更遠(亦即，資料頁序號的差異會較大)，因此上述資料頁浪費的情形會更嚴重。

**【0015】** 為了解決上述因為非預期斷電而導致後續資料頁浪費的問題，本發明另外提出了以下的實施例，以在非預期斷電的修復程序後能夠更有效率地利



用區塊200中的資料頁。請參考第3圖，其為根據本發明一實施例之將資料寫入到一區塊的流程圖，在以下的實施例中，係以區塊200來作為說明。首先，在步驟300中，流程開始，快閃記憶體控制器110係規畫區塊200為目前準備進行資料寫入的區塊。在步驟302中，快閃記憶體控制器110建立了一資料頁狀態記錄表，其用來記錄區塊200中的資料頁是否毀損，並將資料頁狀態記錄表暫時儲存在緩衝記憶體116之中。舉例來說，參考第4圖，資料頁狀態記錄表可以包含了多個位元B0~B(3N-1)，其分別用來記錄資料頁P0~P(3N-1)是否毀損，例如當位元B0具有數位值“0”的時候代表資料頁P0沒有毀損，而當位元B0具有數位值“1”的時候代表資料頁P0已毀損；當位元B1具有數位值“0”的時候代表資料頁P1沒有毀損，而當位元B1具有數位值“1”的時候代表資料頁P1已毀損，...，以此類推。而在步驟302中，由於區塊200本身尚未有資料進行寫入，故資料頁狀態記錄表中的每一個位元B0~B(3N-1)的值均為預設值“0”，亦即代表資料頁P0~P(3N-1)並未毀損。

【0016】 需注意的是第4圖所示的資料頁狀態記錄表僅是一個範例說明，而非是作為本發明的限制。只要資料頁狀態記錄表可以用來表達資料頁P0~P(3N-1)是否毀損，其細節內容可以有不同的變化，而這些設計上的變化均應隸屬於本發明的範疇。在本發明的另一個實施例中，資料頁狀態記錄表可以只記錄有毀損的資料頁，亦即在一開始區塊200本身尚未有資料進行寫入時，資料頁狀態記錄表並未記錄任何相關的資料頁毀損資訊，而是等到後續有資料頁被判斷毀損之後才需要記錄。

【0017】 在步驟304中，快閃記憶體控制器110收到來自主裝置130的一寫入命令，此時，快閃記憶體控制器110根據該寫入命令以將資料從資料頁P0開始循序

寫入。此時，假設快閃記憶體控制器110在將資料寫入到資料頁P1的時候記憶裝置100突然發生斷電，則此時資料頁P1中的資料可能會發生錯誤，且儲存在緩衝記憶體116中的資料頁狀態記錄表也因此遺失。

【0018】 在步驟306中，記憶裝置100重新上電，且快閃記憶體控制器110與快閃記憶體模組120進行上電後的初始化操作。在步驟308中，快閃記憶體控制器110重新建立對應於區塊200的資料頁狀態記錄表。在重新建立資料頁狀態記錄表的過程中，首先，快閃記憶體控制器110會依序讀取區塊200中有資料寫入之資料頁中資料，並判斷這些資料頁的資料品質，以及針對該些已經有資料寫入之資料頁中的任一資料頁，當判斷該資料頁的資料品質不符合一標準時，在該資料頁狀態記錄表中記錄該資料頁毀損，並直接將與該資料頁位在同一條字元線上的其他資料頁也記錄為毀損。舉例來說，快閃記憶體控制器110首先會讀取資料頁P0中的資料，並使用解碼器134來對所讀取的資料進行解碼(亦即，進行錯誤更正操作)，而若是解碼成功，則判斷資料頁P0的資料品質符合標準；而若是解碼失敗，則判斷資料頁P0的資料品質不符合標準。在本實施例中，假設資料頁P0的資料品質符合標準，故在重新建立的資料頁狀態記錄表中的位元B0的數值為“0”。接著，快閃記憶體控制器110會讀取資料頁P1中的資料，並使用解碼器134來對所讀取的資料進行解碼，並根據解碼的失敗與否來判斷資料頁P1的資料品質是否符合標準，在本實施例中，假設資料頁P1的資料品質因為先前的斷電而不符合標準，故在重新建立的資料頁狀態記錄表中的位元B1的數值為被設為“1”。此時，由於資料頁P1所對應的位元B1被標記為“1”(資料頁毀損)，則與資料頁P1具有同一條字元線WL1的另外兩個資料頁P10、P11所對應到的位元B10、B11也同樣被標記為“1”(資料頁毀損)；另一方面，由於資料頁P2~P9、P12~P(3N-1)尚未有資料寫入，故其相對應的位元B2~B9、B12~B(3N-1)維持預設值“0”。第5

圖為本實施例之重新建立的資料頁狀態記錄表的示意圖。

【0019】 在步驟310中，快閃記憶體控制器110參考資料頁狀態記錄表以將資料寫入到區塊200中。詳細來說，快閃記憶體控制器110先參考資料頁狀態記錄表中的位元B2，而由於位元B2的數值為“0”，亦即資料頁P2並未毀損，故快閃記憶體控制器110便直接將資料寫入到資料頁P2之中。接著，快閃記憶體控制器110先參考資料頁狀態記錄表中的位元B3~B9，並將直接將資料寫入到資料頁P3~P9之中。接著，當快閃記憶體控制器110欲將資料寫入到下一個資料頁P10之前，快閃記憶體控制器110參考資料頁狀態記錄表中的位元B10，而由於位元B11的數值為“1”，亦即資料頁P10已經毀損，故快閃記憶體控制器110便將資料頁P10寫入冗餘資料(dummy data)；接著，快閃記憶體控制器110參考資料頁狀態記錄表中的位元B11，而由於位元B11的數值為“1”，亦即資料頁P11已經毀損，故快閃記憶體控制器110也將資料頁P11寫入冗餘資料。接著，快閃記憶體控制器110參考資料頁狀態記錄表中的位元B12，而由於位元B12的數值為“0”，亦即資料頁P12並未毀損，故快閃記憶體控制器110便直接將資料寫入到資料頁P12之中。

【0020】 在步驟312中，快閃記憶體控制器110判斷區塊200中是否所有可允許寫入的資料頁都完成資料寫入，亦即最後一個有效的資料頁(例如，資料頁P(3N-1))已完成資料寫入，若否，則流程回到步驟310繼續在區塊200進行資料寫入；若是，則流程進入步驟314。

【0021】 在步驟314中，快閃記憶體控制器110將對應到區塊200的資料頁狀態記錄表自緩衝記憶體116中刪除。

【0022】 在完成區塊200的寫入操作之後，若是後續快閃記憶體控制器110需要再將資料寫入到另一個區塊，則可以重複第3圖的流程以建立另一個對應於該另一個區塊的資料頁狀態記錄表，以供參考來進行資料寫入操作。

【0023】 需注意的是，由於快閃記憶體控制器110不一定會連續地將區塊200中的所有資料頁寫完，因此，在區塊200暫時不需要寫入，及/或緩衝記憶體116中的空間因為其他因素而需要釋放時，快閃記憶體控制器110可以將對應到區塊200的資料頁狀態記錄表儲存至快閃記憶體模組120中的一個區塊(例如，區塊200或是晶片中的單層式儲存 (Single-Level Cell, SLC) 區塊)之中。而後續需要將資料再次寫入至區塊200時，快閃記憶體控制器110可以再次將資料頁狀態記錄表自快閃記憶體模組120中讀取出來，並再根據資料頁狀態記錄表來對區塊200進行資料寫入。

【0024】 簡要歸納本發明，在本發明之將資料寫入至快閃記憶體模組的方法中，如以上第3~5圖的實施例所述，當快閃記憶體控制器110準備將資料寫入至一特定資料頁時(例如，此特定資料頁為目前狀況下區塊200中具有最小序號的空白資料頁)，會先參考資料頁狀態記錄中所記錄之該特定資料頁的狀態(亦即，毀損或是沒有毀損)以判斷該特定資料頁是否可供寫入。因此，區塊200中只有被標記為毀損的資料頁不會有有效資料寫入，而其餘的資料頁均可用來儲存資料(亦即，第3~5圖的實施例中只有資料頁P1、P10、P11不會寫入有效資料)，故區塊200中資料頁可以被充分的利用，以提升資料頁的使用率。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

## 【符號說明】

### 【0025】

100	記憶裝置
110	快閃記憶體控制器
112	微處理器
112C	程式碼
112M	唯讀記憶體
114	控制邏輯
116	緩衝記憶體
118	介面邏輯
120	快閃記憶體模組
130	主裝置
132	編碼器
134	解碼器
200	區塊
202	浮動閘極電晶體
300~314	步驟
B0~B(3N-1)	位元
P0~P(3N-1)	資料頁
WL1~WLN	字元線



申請日: 106/08/31

IPC分類: G06F 12/08 (2016.01)

## 【發明摘要】

【中文發明名稱】 將資料寫入至快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置

【英文發明名稱】 METHOD FOR WRITING DATA INTO FLASH MEMORY MODULE AND ASSOCIATED FLASH MEMORY CONTROLLER AND ELECTRONIC DEVICE

## 【中文】

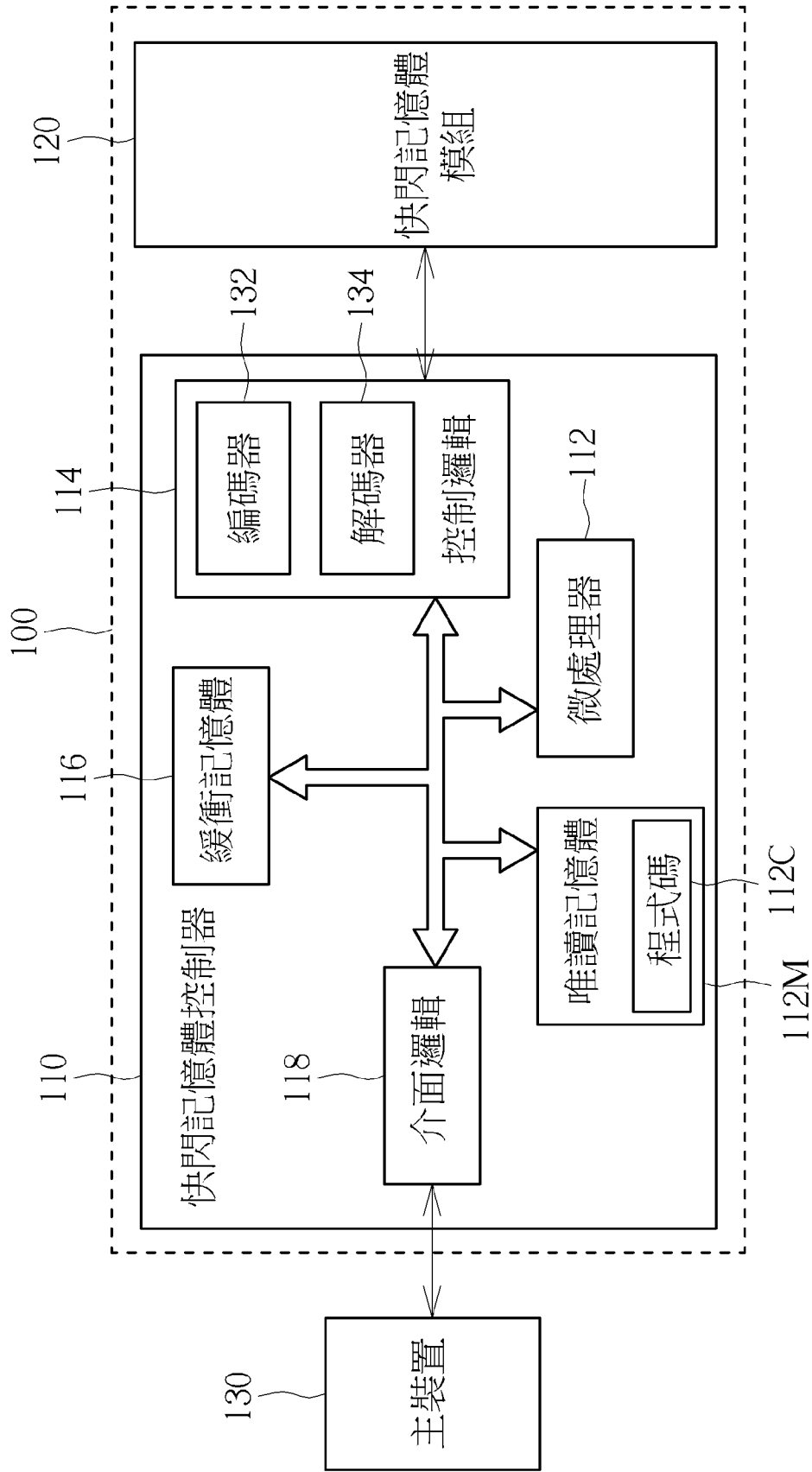
本發明揭露了一種將一資料寫入至一快閃記憶體模組的方法，其中該快閃記憶體模組中的每一快閃記憶體晶片包含多個區塊，每一區塊包含多個資料頁，且該方法包含有：建立一資料頁狀態記錄表，其中該資料頁狀態記錄表記錄了一特定區塊中至少一部分資料頁是否毀損；當該資料需要被寫入至該特定區塊時，參考該資料頁狀態記錄表以判斷目前欲寫入的一特定資料頁是否毀損；當該資料頁狀態記錄表指出該特定資料頁沒有毀損時，將該資料寫入至該特定資料頁；以及當該資料頁狀態記錄表指出該特定資料頁毀損時，不將該資料寫入至該特定資料頁。

## 【英文】

The present invention provides a method for writing data into a flash memory module, wherein each flash memory chip within the flash memory module includes a plurality of blocks, each block includes a plurality of pages, and the method includes: building a page-status table, wherein the page-status table records if at least a portion of pages within a specific block is/are damaged; when the data is to be written into the specific block, referring to the page-status table to determine if a specific page,

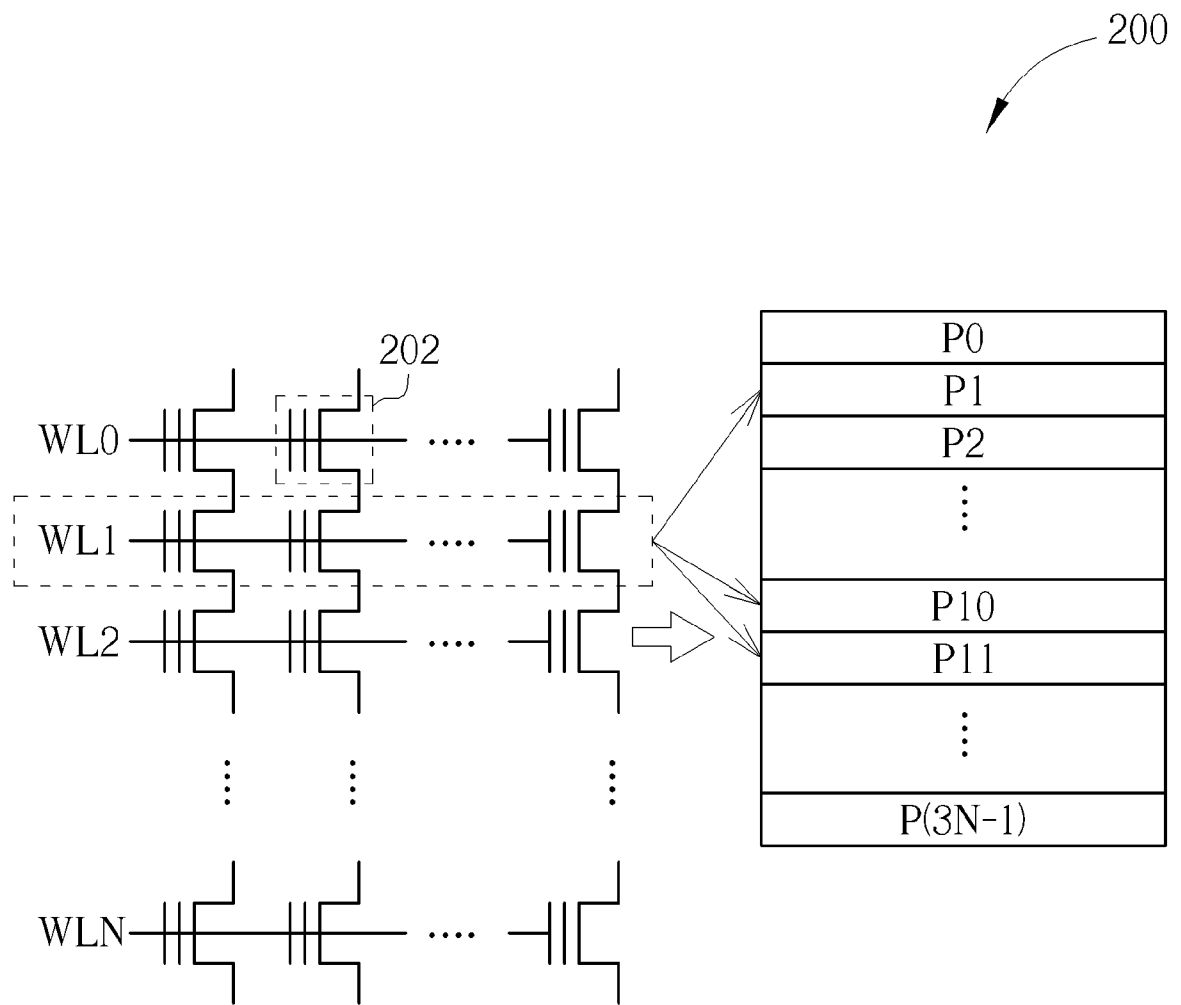
which the data is intended to be written, is damaged; when the page-status table indicates that the specific page is not damaged, writing the data into the specific page; and when the page-status table indicates that the specific page is not damaged, not writing data into the specific page.

【發明圖式】

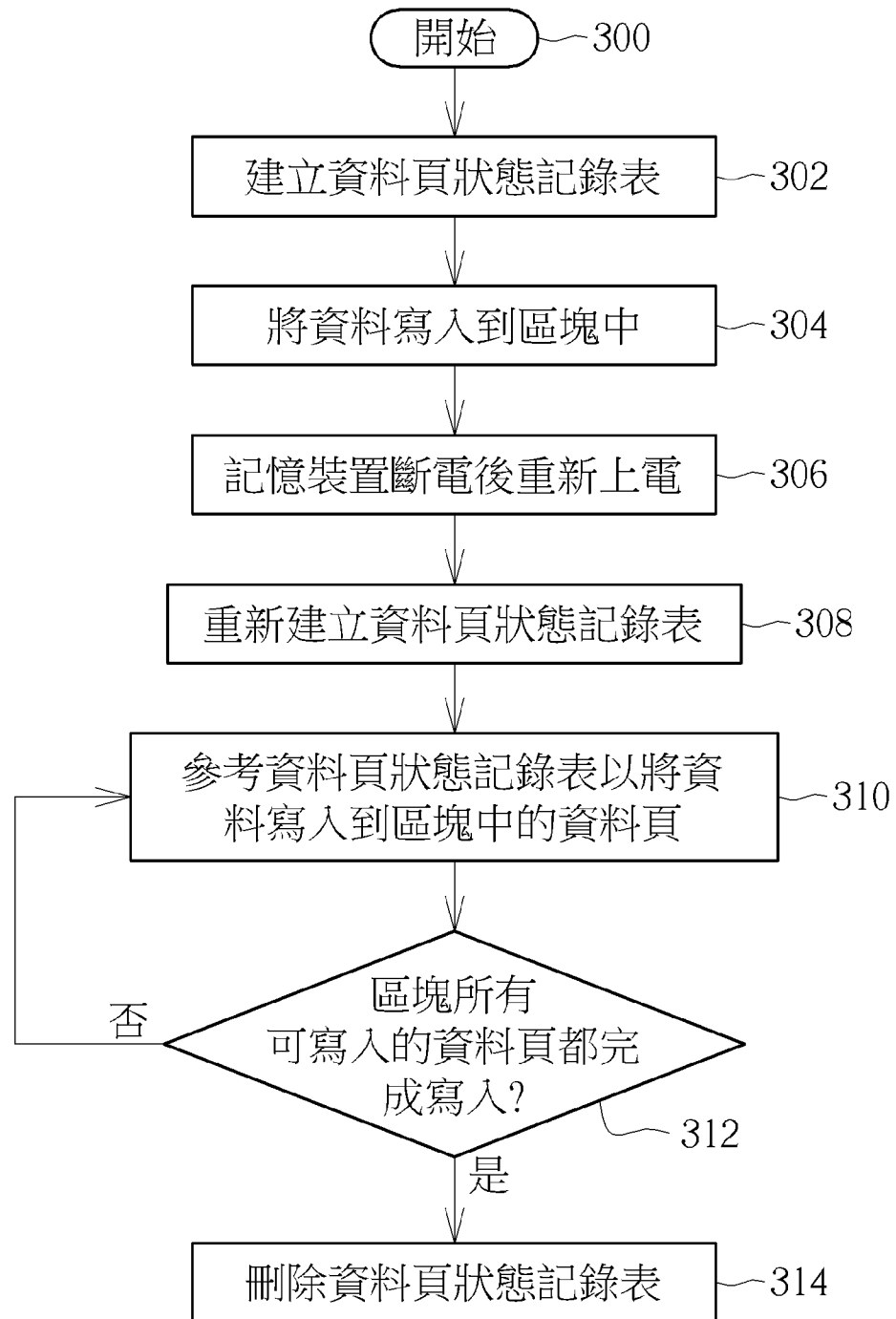


第1圖

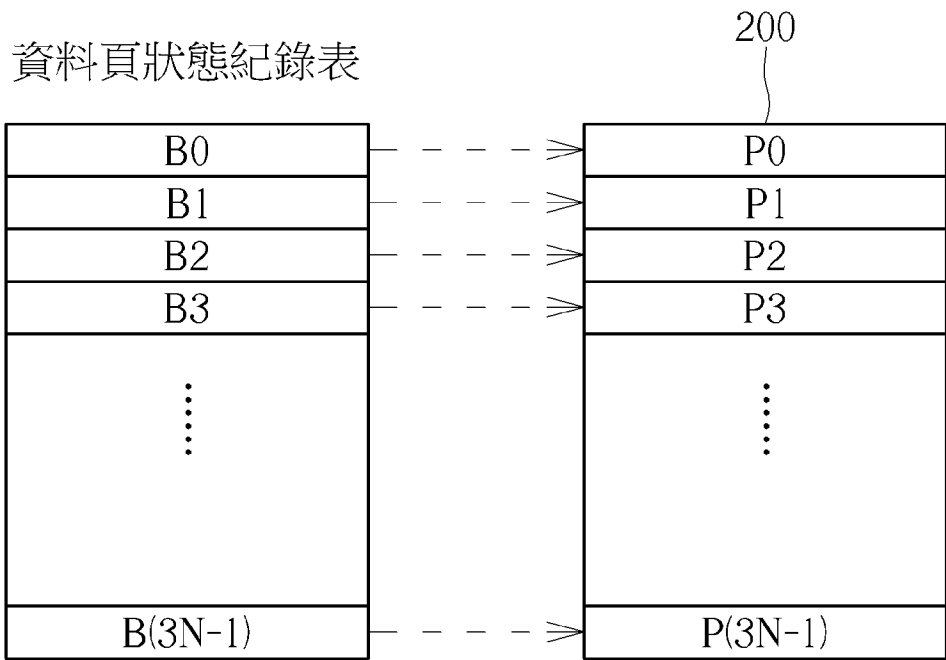




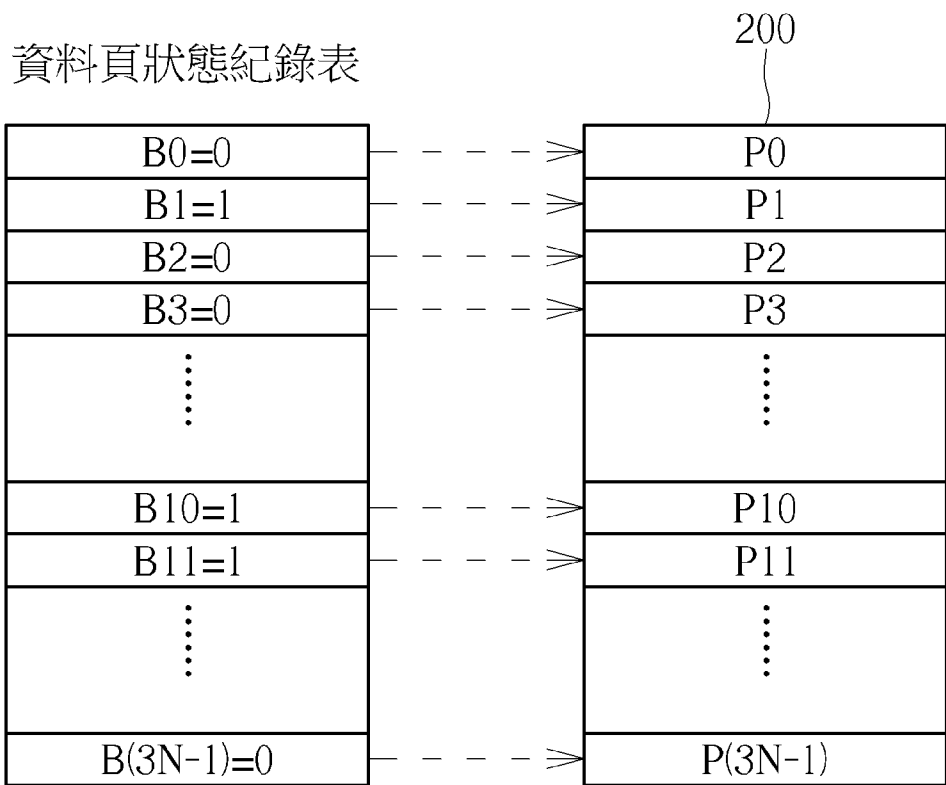
第2圖



第3圖



第4圖



第5圖

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

100	記憶裝置
110	快閃記憶體控制器
112	微處理器
112C	程式碼
112M	唯讀記憶體
114	控制邏輯
116	緩衝記憶體
118	介面邏輯
120	快閃記憶體模組
130	主裝置
132	編碼器
134	解碼器

【特徵化學式】

無

## 【發明申請專利範圍】

【第1項】 一種將一資料寫入至一快閃記憶體模組的方法，其中該快閃記憶體模組包含了多個快閃記憶體晶片，每一個快閃記憶體晶片包含多個區塊，每一個區塊包含了多個資料頁，該快閃記憶體晶片中每一條字元線構成了多個資料頁，以及該方法包含有：

建立一資料頁狀態記錄表，其中該資料頁狀態記錄表記錄了一特定區塊中至少一部分資料頁是否毀損；

當該資料需要被寫入至該特定區塊時，參考該資料頁狀態記錄表以判斷目前欲寫入的一特定資料頁是否毀損；

當該資料頁狀態記錄表指出該特定資料頁沒有毀損時，將該資料寫入至該特定資料頁；以及

當該資料頁狀態記錄表指出該特定資料頁毀損時，不將該資料寫入至該特定資料頁。

【第2項】 如申請專利範圍第1項所述之方法，另包含有：

當該資料頁狀態記錄表指出該特定資料頁毀損時，參考該資料頁狀態記錄表以將該資料寫入至距離該特定資料頁最近且沒有毀損的資料頁。

【第3項】 如申請專利範圍第1項所述之方法，其中建立該資料頁狀態記錄表的步驟包含有：

讀取該特定區塊中已經有資料寫入的資料頁；

判斷該些已經有資料寫入之資料頁的資料品質；

針對該些已經有資料寫入之資料頁中的任一資料頁，當判斷該資料頁的資料品質不符合一標準時，在該資料頁狀態記錄表中記錄該資料頁毀

損，並直接將與該資料頁位在同一條字元線上的其他資料頁也記錄為毀損。

【第4項】 如申請專利範圍第3項所述之方法，其中該特定區塊為一三層式儲存（Triple-Level Cell，TLC）區塊，該特定區塊中每一條字元線構成一最低有效位元（Least Significant Bit，LSB）資料頁、中間有效位元（Central Significant Bit，CSB）資料頁與最高有效位元（Most Significant Bit，MSB）資料頁；以及當該最低有效位元資料頁、中間有效位元資料頁與最高有效位元資料頁中有任一個資料頁被判斷資料品質不符合該標準時，其餘的兩個資料頁也會在該資料頁狀態記錄表中被標記為毀損。

【第5項】 如申請專利範圍第1項所述之方法，其中該特定區塊為目前正在準備進行資料寫入的區塊。

【第6項】 如申請專利範圍第5項所述之方法，另包含有：  
將該資料頁狀態記錄表寫入至該快閃記憶體模組中。

【第7項】 如申請專利範圍第5項所述之方法，另包含有：  
當該特定區塊所有可允許寫入的資料頁都完成資料寫入之後，刪除該資料頁狀態記錄表。

【第8項】 如申請專利範圍第1項所述之方法，其中該資料頁狀態記錄表包含了多個位元，每一個位元對應到該特定區塊的一個資料頁，且每一個位元的兩個數位值分別用來表示所對應的資料頁毀損或是沒有毀損。

【第9項】 一種快閃記憶體控制器，其中該快閃記憶體控制器係用來存取一快閃記憶體模組，該快閃記憶體模組包含了多個快閃記憶體晶片，每一個快閃記憶體晶片包含多個區塊，每一個區塊包含了多個資料頁，該快閃記憶體晶片每一條字元線構成了多個資料頁，且該快閃記憶體控制器包含有：

- 一唯讀記憶體，用來儲存一程式碼；
- 一微處理器，用來執行該程式碼以控制對該快閃記憶體模組之存取；以及
- 一記憶體，用以儲存一資料頁狀態記錄表，其中該資料頁狀態記錄表記錄了一特定區塊中至少一部分資料頁中的資料是否毀損；

其中當一資料需要被寫入至該特定區塊時，該微處理器參考該資料頁狀態記錄表以判斷目前欲寫入的一特定資料頁是否毀損，並當該資料頁狀態記錄表指出該特定資料頁沒有毀損時，該微處理器將該資料寫入至該特定資料頁；以及當該資料頁狀態記錄表指出該特定資料頁毀損時，該微處理器不將該資料寫入至該特定資料頁。

【第10項】 如申請專利範圍第9項所述之快閃記憶體控制器，其中當該資料頁狀態記錄表指出該特定資料頁毀損時，該微處理器參考該資料頁狀態記錄表以將該資料寫入至距離該特定資料頁最近且沒有毀損的資料頁。

【第11項】 如申請專利範圍第9項所述之快閃記憶體控制器，其中該資料頁狀態記錄表係透過該微處理器執行以下操作來建立：

- 讀取該特定區塊中已經有資料寫入的資料頁；
- 判斷該些已經有資料寫入之資料頁的資料品質；
- 針對該些已經有資料寫入之資料頁中的任一資料頁，當判斷該資料頁的資

料品質不符合一標準時，在該資料頁狀態記錄表中記錄該資料頁毀損，並直接將與該資料頁位在同一條字元線上的其他資料頁也記錄為毀損。

【第12項】如申請專利範圍第11項所述之快閃記憶體控制器，其中該特定區塊為一三層式儲存（Triple-Level Cell，TLC）區塊，該特定區塊中每一條字元線構成一最低有效位元（Least Significant Bit，LSB）資料頁、中間有效位元（Central Significant Bit，CSB）資料頁與最高有效位元（Most Significant Bit，MSB）資料頁；以及當該最低有效位元資料頁、中間有效位元資料頁與最高有效位元資料頁中有任一個資料頁被判斷資料品質不符合該標準時，其餘的兩個資料頁也會在該資料頁狀態記錄表中被標記為毀損。

【第13項】如申請專利範圍第9項所述之快閃記憶體控制器，其中該特定區塊為目前正在準備進行資料寫入的區塊。

【第14項】如申請專利範圍第13項所述之快閃記憶體控制器，其中該微處理器將該資料頁狀態記錄表寫入至該快閃記憶體模組中。

【第15項】如申請專利範圍第13項所述之快閃記憶體控制器，其中當該特定區塊所有可允許寫入的資料頁都完成資料寫入之後，刪除該資料頁狀態記錄表。

【第16項】如申請專利範圍第9項所述之快閃記憶體控制器，其中該資料頁狀態記錄表包含了多個位元，每一個位元對應到該特定區塊的一個資料頁，且



每一個位元的兩個數位值分別用來表示所對應的資料頁毀損或是沒有毀損。

**【第17項】** 一種電子裝置，包含有：

一快閃記憶體模組，其中該快閃記憶體模組包含了多個快閃記憶體晶片，  
每一個快閃記憶體晶片包含多個區塊，每一個區塊包含了多個資料頁，該快閃記憶體晶片中每一條字元線構成了多個資料頁；以及  
一快閃記憶體控制器，用來存取該快閃記憶體模組，並用以建立一資料頁狀態記錄表，其中該資料頁狀態記錄表記錄了一特定區塊中至少一部分資料頁是否毀損；

其中當來自一主裝置的一資料需要被寫入至該特定區塊時，該快閃記憶體控制器參考該資料頁狀態記錄表以判斷目前欲寫入的一特定資料頁是否毀損，並當該資料頁狀態記錄表指出該特定資料頁沒有毀損時，該快閃記憶體控制器將該資料寫入至該特定資料頁；以及當該資料頁狀態記錄表指出該特定資料頁毀損時，該快閃記憶體控制器不將該資料寫入至該特定資料頁。

**【第18項】** 如申請專利範圍第17項所述之電子裝置，其中當該資料頁狀態記錄表指出該特定資料頁毀損時，該快閃記憶體控制器參考該資料頁狀態記錄表以將該資料寫入至距離該特定資料頁最近且沒有毀損的資料頁。

**【第19項】** 如申請專利範圍第17項所述之電子裝置，其中該快閃記憶體控制器係透過以下操作來建立該資料頁狀態記錄表：  
讀取該特定區塊中已經有資料寫入的資料頁；

第 5 頁，共 6 頁(發明申請專利範圍)

判斷該些已經有資料寫入之資料頁的資料品質；

針對該些已經有資料寫入之資料頁中的任一資料頁，當判斷該資料頁的資料品質不符合一標準時，在該資料頁狀態記錄表中記錄該資料頁毀損，並直接將與該資料頁位在同一條字元線上的其他資料頁也記錄為毀損。