



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0102848
(43) 공개일자 2024년07월03일

(51) 국제특허분류(Int. Cl.)
H03K 19/0948 (2006.01) H03K 19/00 (2006.01)
(52) CPC특허분류
H03K 19/0948 (2013.01)
H03K 19/0016 (2013.01)
(21) 출원번호 10-2023-0182884
(22) 출원일자 2023년12월15일
심사청구일자 2023년12월15일
(30) 우선권주장
1020220184933 2022년12월26일 대한민국(KR)

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50
김우석
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
특허법인더웨이브

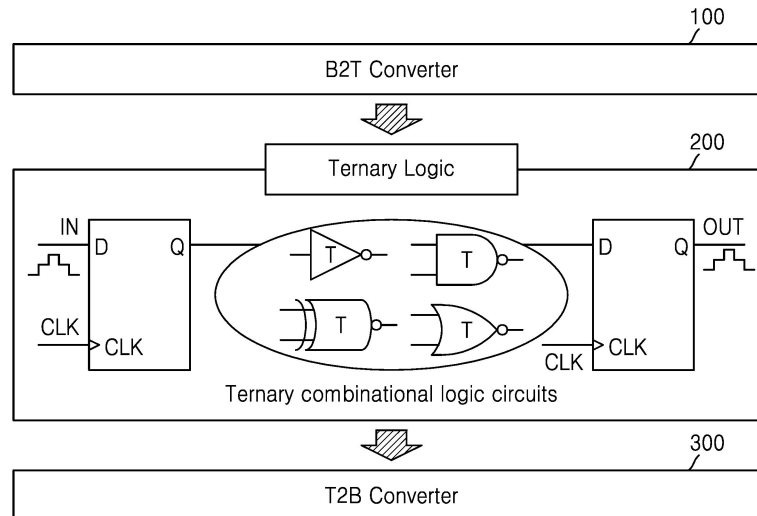
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 3진 논리 회로 장치

(57) 요약

본 발명은 3진 논리 회로 장치에 관한 것으로서, 본 발명의 일 실시예에 따른 3진 논리 회로 장치는 미리 설정된 제1 컨버터 진리표를 기초로 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 이진 신호를 삼진 신호로 변환하는 제1 컨버터 회로부, 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 상기 제1 컨버터 회로부로부터 수신한 삼진 신호를 연산하는 3진수 논리 회로부, 및 미리 설정된 제2 컨버터 진리표를 기초로 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 상기 3진수 논리 회로부로부터 수신한 삼진 신호를 이진 신호로 변환하는 제2 컨버터 회로부를 포함한다.

대표도 - 도1



(72) 발명자

최영은

울산광역시 울주군 언양읍 유니스트길 50

김명

울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호 1711160124

과제번호 2021-0-02092-002

부처명 과학기술정보통신부

과제관리(전문)기관명 정보통신기획평가원

연구사업명 ICT첨단유망기술육성사업

연구과제명 트랜지스터-안테나 융합소자 기반 다중-픽셀 플라즈모닉 THz 검출기 모듈 및 보안용

검색 시제품 개발

기 여 율 1/1

과제수행기관명 (주)엘라이트

연구기간 2022.04.01 ~ 2022.12.31

명세서

청구범위

청구항 1

미리 설정된 제1 컨버터 진리표를 기초로 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 이진 신호를 삼진 신호로 변환하는 제1 컨버터 회로부;

서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 상기 제1 컨버터 회로부로부터 수신한 삼진 신호를 연산하는 3진수 논리 회로부; 및

미리 설정된 제2 컨버터 진리표를 기초로 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 상기 3진수 논리 회로부로부터 수신한 삼진 신호를 이진 신호로 변환하는 제2 컨버터 회로부;

를 포함하는, 3진 논리 회로 장치.

청구항 2

제1항에 있어서,

상기 제1 컨버터 진리표는, T2B(ternary-to-binary) 컨버터 진리표를 포함하고,

상기 제2 컨버터 진리표는, B2T(binary-to-ternary) 컨버터 진리표를 포함하는, 3진 논리 회로 장치.

청구항 3

제1항에 있어서,

상기 제1 트랜지스터는, 제1 문턱 전압을 갖고,

상기 제2 트랜지스터는, 제2 문턱 전압을 갖고,

상기 제2 문턱 전압의 값은, 상기 제1 문턱 전압의 값 보다 큰 값을 갖는, 3진 논리 회로 장치.

청구항 4

제3항에 있어서,

상기 제1 트랜지스터는, CMOS 트랜지스터를 포함하고,

상기 제2 트랜지스터는, T-CMOS 트랜지스터를 포함하는, 3진 논리 회로 장치.

청구항 5

제1항에 있어서,

상기 3진수 논리 회로부는, 적어도 하나 이상의 삼진 게이트 회로를 포함하고,

상기 삼진 게이트 회로는, 풀업 네트워크 및 풀다운 네트워크로 구성되며,

상기 삼진 게이트 회로는, 풀업 네트워크가 ON 상태이고 풀다운 네트워크가 OFF 상태이면 출력 단자에 동작 전압(VDD)을 출력하고, 풀업 네트워크가 OFF 상태이고 풀다운 네트워크가 ON 상태이면 출력 단자에 접지 전압(GND)을 출력하고, 풀업 네트워크가 OFF 상태이고 풀다운 네트워크가 OFF 상태이면 출력 단자에 동작 전압의 절반 전압(VDD/2)을 출력하는, 3진 논리 회로 장치.

청구항 6

제5항에 있어서,

상기 삼진 게이트 회로는, 동작 전압(VDD)을 갖는 라인과 접지 전압(GND)을 갖는 라인 사이에 풀업 네트워크 및 풀다운 네트워크를 포함하며, 풀업 네트워크 및 풀다운 네트워크 사이에 출력 단자 라인을 갖는, 3진 논리 회로

장치.

청구항 7

제6항에 있어서,

상기 삼진 게이트 회로는, 풀업 네트워크를 구성하는 트랜지스터들의 배치와 풀다운 네트워크를 구성하는 트랜지스터들의 배치가 상기 출력 단자 라인을 기준으로 서로 대칭적인 구조를 갖는, 3진 논리 회로 장치.

청구항 8

제7항에 있어서,

상기 삼진 게이트 회로는, 동작 전압(VDD) 및 접지 전압(GND) 사이의 전압이 풀업 네트워크 및 풀다운 네트워크 사이에 전압 분배되어 출력 단자에 동작 전압의 절반 전압(VDD/2)을 출력하는, 3진 논리 회로 장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은, 3진수 논리 회로에 관한 것으로, 더욱 상세하게는 off 상태의 junction BTBT 누설전류와 문턱전류 기제를 이용하는 Ternary CMOS (T-CMOS) 소자와 기존의 binary CMOS 소자를 이용하여 저전력 3진수 연산 회로 장치 설계 방법에 관한 것이다.

배경 기술

[0002] 종래 2진수 논리 기반의 디지털 시스템은 많은 양의 데이터를 빠르게 처리하기 위하여 CMOS 소자의 소형화를 통한 정보의 밀도를 (bit density) 높이는데 주력하였다. 하지만 최근 30-nm 이하로 집적되면서 양자적 터널링 효과에 의한 누설전류와 소모 전력 증가문제로 인해 집적도를 높이는데 제약이 생겨 컴퓨팅 성능 향상에 어려움을 겪고 있다. 이러한 문제를 극복하기 위하여 다중 값 논리 (multi-valued logic) 중 하나인 3진수 논리 회로에 대한 개발이 활발하게 진행되어 오고 있다. 하지만 기존의 3진수 논리 회로들은 3진 인버터에서부터 2개 이상의 소자가 들어가는 복잡한 구성에 의해 회로 복잡도 및 소모 전력이 증가하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 전술한 문제점을 극복하기 위한 것으로서, 기존의 2진수 인버터와 같이 2개의 소자로 3진수 인버터 구현이 가능하며, 누설전류를 이용한 초절전 동작이 가능한 T-CMOS 소자를 바탕으로 삼진 논리 게이트 및 이진-삼진, 삼진-이진 컨버터 회로를 설계하여 기존 2진수 논리 회로가 갖는 회로 복잡도 문제와 전력 소모 문제를 해결하여 초절전 연산 시스템을 제공하는 것이다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0004] 상술한 기술적 과제들을 달성하기 위한 기술적 수단으로서, 미리 설정된 제1 컨버터 진리표를 기초로 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 이진 신호를 삼진 신호로 변환하는 제1 컨버터 회로부, 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 상기 제1 컨버터 회로부로부터 수신한 삼진 신호를 연산하는 3진수 논리 회로부, 및 미리 설정된 제2 컨버터 진리표를 기초로 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 상기 3진수 논리 회로부로부터 수신한 삼진 신호를 이진 신호로 변환하는 제2 컨버터 회로부를 포함하는, 3진 논리 회로 장치가 제공된다.

[0005] 상기 제1 컨버터 진리표는, T2B(ternary-to-binary) 컨버터 진리표를 포함하고, 상기 제2 컨버터 진리표는, B2T(binary-to-ternary) 컨버터 진리표를 포함할 수 있다.

[0006] 상기 제1 트랜지스터는, 제1 문턱 전압을 갖고, 상기 제2 트랜지스터는, 제2 문턱 전압을 갖고, 상기 제2 문턱 전압의 값은, 상기 제1 문턱 전압의 값 보다 큰 값을 가질 수 있다.

[0007] 상기 제1 트랜지스터는, CMOS 트랜지스터를 포함하고, 상기 제2 트랜지스터는, T-CMOS 트랜지스터를 포함할 수

있다.

- [0008] 상기 3진수 논리 회로부는, 적어도 하나 이상의 삼진 게이트 회로를 포함하고, 상기 삼진 게이트 회로는, 풀업 네트워크 및 풀다운 네트워크로 구성되며, 상기 삼진 게이트 회로는, 풀업 네트워크가 ON 상태이고 풀다운 네트워크가 OFF 상태이면 출력 단자에 동작 전압(VDD)을 출력하고, 풀업 네트워크가 OFF 상태이고 풀다운 네트워크가 ON 상태이면 출력 단자에 접지 전압(GND)을 출력하고, 풀업 네트워크가 OFF 상태이고 풀다운 네트워크가 OFF 상태이면 출력 단자에 동작 전압의 절반 전압($VDD/2$)을 출력할 수 있다.
- [0009] 상기 삼진 게이트 회로는, 동작 전압(VDD)을 갖는 라인과 접지 전압(GND)을 갖는 라인 사이에 풀업 네트워크 및 풀다운 네트워크를 포함하며, 풀업 네트워크 및 풀다운 네트워크 사이에 출력 단자 라인을 가질 수 있다.
- [0010] 상기 삼진 게이트 회로는, 풀업 네트워크를 구성하는 트랜지스터들의 배치와 풀다운 네트워크를 구성하는 트랜지스터들의 배치가 상기 출력 단자 라인을 기준으로 서로 대칭적인 구조를 가질 수 있다.
- [0011] 상기 삼진 게이트 회로는, 동작 전압(VDD) 및 접지 전압(GND) 사이의 전압이 풀업 네트워크 및 풀다운 네트워크 사이에 전압 분배되어 출력 단자에 동작 전압의 절반 전압($VDD/2$)을 출력할 수 있다.
- [0012] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

- [0013] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 희소 행렬-벡터 곱셈 연산의 연산 성능을 향상시킬 수 있는 연산 가속 장치, 연산 가속 방법 및 상기 방법을 실행시키기 위하여 기록매체에 저장된 컴퓨터 프로그램을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 실시예에 따른 B2T, T2B Converter를 통해 기존 이진 연산 시스템과 호환이 가능한 삼진 연산 회로 시스템 블록도를 나타낸다.
- 도 2는 본 발명의 일 실시예에 따른 게이트전압 및 드레인전압에 따른 이진 소자 (CMOS) 및 삼진 소자 (T-CMOS)의 동작을 도시하는 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 단항 (1 input)을 가진 삼진 연산자 진리표를 나타낸다.
- 도 4는 본 발명의 일 실시예에 따른 삼진 연산 회로 및 B2T, T2B converter에 사용될 수 있는 CMOS 및 T-CMOS의 스위칭 동작을 예시한 표이다.
- 도 5는 본 발명의 일 실시예에 따른 이항 (2 input)을 가진 균형 (balanced) 및 불균형 (Unbalanced) 삼진 연산자 진리표를 나타낸다.
- 도 6은 본 발명의 일 실시예에 따른 CMOS 및 T-CMOS 소자를 기반으로 삼진 연산 회로 중 삼진 SUM 게이트 합성을 도시하는 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 불균형 (Unbalanced) 삼진 전가산기 회로도, 진리표 및 동작 파형을 도시하는 도면이다.
- 도 8은 본 발명의 일 실시예에 따른 T2B 컨버터 진리 표와 CMOS 및 T-CMOS 소자를 이용하여 게이트 합성 구현을 도시하는 도면이다.
- 도 9는 본 발명의 일 실시예에 따른 B2T 컨버터 진리 표와 CMOS 및 T-CMOS 소자를 이용하여 게이트 합성 구현을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 아래에서는 첨부한 도면을 참조하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 다양한 실시예들을 상세히 설명한다. 그러나 본 개시의 기술적 사상은 다양한 형태로 변형되어 구현될 수 있으므로 본 명세서에서 설명하는 실시예들로 제한되지 않는다. 본 명세서에 개시된 실시예들을 설명함에 있어서 관련된 공지 기술을 구체적으로 설명하는 것이 본 개시의 기술적 사상의 요지를 흐릴 수 있다고 판단되는 경우 그 공지 기술에 대한 구체적인 설명을 생략한다. 동일하거나 유사한 구성요소는 동일한 참조 번호를 부

여하고 이에 대한 중복되는 설명은 생략하기로 한다.

- [0016] 본 명세서에서 어떤 요소가 다른 요소와 "연결"되어 있다고 기술될 때, 이는 "직접적으로 연결"되어 있는 경우 뿐 아니라 그 중간에 다른 요소를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 어떤 요소가 다른 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 요소 외에 또 다른 요소를 배제하는 것이 아니라 또 다른 요소를 더 포함할 수 있는 것을 의미한다.
- [0017] 일부 실시예들은 기능적인 블록 구성들 및 다양한 처리 단계들로 설명될 수 있다. 이러한 기능 블록들의 일부 또는 전부는 특정 기능을 실행하는 다양한 개수의 하드웨어 및/또는 소프트웨어 구성들로 구현될 수 있다. 예를 들어, 본 개시의 기능 블록들은 하나 이상의 마이크로프로세서들에 의해 구현되거나, 소정의 기능을 위한 회로 구성들에 의해 구현될 수 있다. 본 개시의 기능 블록들은 다양한 프로그래밍 또는 스크립팅 언어로 구현될 수 있다. 본 개시의 기능 블록들은 하나 이상의 프로세서들에서 실행되는 알고리즘으로 구현될 수 있다. 본 개시의 기능 블록이 수행하는 기능은 복수의 기능 블록에 의해 수행되거나, 본 개시에서 복수의 기능 블록이 수행하는 기능들은 하나의 기능 블록에 의해 수행될 수도 있다. 또한, 본 개시는 전자적인 환경 설정, 신호 처리, 및/또는 데이터 처리 등을 위하여 종래 기술을 채용할 수 있다.
- [0018] 도 1은 본 발명의 일 실시예에 따른 B2T, T2B Converter를 통해 기존 이진 연산 시스템과 호환이 가능한 삼진 연산 회로 시스템 블록도를 나타낸다.
- [0019] 도 1을 참조하면, 본 발명의 일 실시예에 따른 3진 논리 회로 장치는 제1 컨버터 회로부(100), 3진수 논리 회로부(200), 제2 컨버터 회로부(300)를 포함할 수 있다. 예컨대, 본 발명의 일 실시예에 따른 3진 논리 회로 장치는 기존 이진 시스템과 호환이 가능한 삼진 연산 회로 시스템을 나타내며, 이진 신호를 삼진 신호로 바꿔주는 binary-to-ternary (B2T) converter, 삼진 플립플롭 및 삼진 조합 회로를 이용한 삼진 순차회로 그리고 삼진 신호를 이진 신호로 바꿔주는 ternary-to-binary (T2B) converter를 포함할 수 있다. 예컨대, 삼진 플립플롭은 회로 구성도에 따라 이진 신호 혹은 삼진 신호를 클록 신호로 받아 입력단자에 전달된 삼진 파형을 출력단자에 전달할 수 있다.
- [0020] 제1 컨버터 회로부(100)는 미리 설정된 제1 컨버터 진리표를 기초로 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 이진 신호를 삼진 신호로 변환할 수 있다. 예를 들어, 상기 제1 컨버터 진리표는, T2B(ternary-to-binary) 컨버터 진리표를 포함할 수 있다.
- [0021] 3진수 논리 회로부(200)는 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 상기 제1 컨버터 회로부로부터 수신한 삼진 신호를 연산할 수 있다. 예를 들어, 상기 제1 트랜지스터는, 제1 문턱 전압을 갖고, 상기 제2 트랜지스터는, 제2 문턱 전압을 갖고, 상기 제2 문턱 전압의 값은, 상기 제1 문턱 전압의 값 보다 큰 값을 가질 수 있다. 예컨대, 상기 제1 트랜지스터는, CMOS 트랜지스터를 포함하고, 상기 제2 트랜지스터는, T-CMOS 트랜지스터를 포함할 수 있다.
- [0022] 본 발명의 일 실시예에 따른 상기 3진수 논리 회로부는, 적어도 하나 이상의 삼진 게이트 회로를 포함하고, 상기 삼진 게이트 회로는, 풀업 네트워크 및 풀다운 네트워크로 구성되며, 상기 삼진 게이트 회로는, 풀업 네트워크가 ON 상태이고 풀다운 네트워크가 OFF 상태이면 출력 단자에 동작 전압(VDD)을 출력하고, 풀업 네트워크가 OFF 상태이고 풀다운 네트워크가 ON 상태이면 출력 단자에 접지 전압(GND)을 출력하고, 풀업 네트워크가 OFF 상태이고 풀다운 네트워크가 OFF 상태이면 출력 단자에 동작 전압의 절반 전압(VDD/2)을 출력할 수 있다.
- [0023] 본 발명의 일 실시예에 따른 삼진 게이트 회로는, 동작 전압(VDD)을 갖는 라인과 접지 전압(GND)을 갖는 라인 사이에 풀업 네트워크 및 풀다운 네트워크를 포함하며, 풀업 네트워크 및 풀다운 네트워크 사이에 출력 단자 라인을 가질 수 있다.
- [0024] 본 발명의 일 실시예에 따른 삼진 게이트 회로는, 풀업 네트워크를 구성하는 트랜지스터들의 배치와 풀다운 네트워크를 구성하는 트랜지스터들의 배치가 상기 출력 단자 라인을 기준으로 서로 대칭적인 구조를 가질 수 있다.
- [0025] 본 발명의 일 실시예에 따른 삼진 게이트 회로는, 동작 전압(VDD) 및 접지 전압(GND) 사이의 전압이 풀업 네트워크 및 풀다운 네트워크 사이에 전압 분배되어 출력 단자에 동작 전압의 절반 전압(VDD/2)을 출력할 수 있다.
- [0026] 제2 컨버터 회로부(300)는 미리 설정된 제2 컨버터 진리표를 기초로 서로 다른 문턱 전압을 갖는 제1 트랜지스터 및 제2 트랜지스터로 구성되어 상기 3진수 논리 회로부로부터 수신한 삼진 신호를 이진 신호로 변환할 수 있다. 예를 들어, 상기 제2 컨버터 진리표는, B2T(binary-to-ternary) 컨버터 진리표를 포함할 수 있다.

- [0027] 도 2는 본 발명의 일 실시예에 따른 게이트전압 및 드레인전압에 따른 이진 소자 (CMOS) 및 삼진 소자 (T-CMOS)의 동작을 도시하는 도면이다.
- [0028] 도 2를 참조하면, 본 발명의 일 실시예에 따른 이진 트랜지스터 (nMOS, pMOS) 및 삼진 트랜지스터 (T-nMOS, T-pMOS)가 도시되어 있으며, 각 트랜지스터의 출력 전류-입력전압 특성 그래프가 도시되어 있다.
- [0029] 예를 들어, 도 2를 참조하면, 삼진 트랜지스터의 경우 기존 이진 트랜지스터에 비해 더 큰 문턱전압을 가지고 있으며, 입력전압 특성에 무관한 양자적 터널링을 누설전류로 사용하여 삼진 동작을 위한 세 번째 전압상태를 구현한다. 이때, 세 번째 전압상태를 만들기 위해 추가되는 트랜지스터가 따로 없기에 제안하는 삼진 트랜지스터를 이용하여 삼진 논리 회로를 구성하게 되면, 기존에 CNFET, QDGFET 혹은 multi-VT FET 기반 삼진 회로 연구 보다 훨씬 적은 수의 트랜지스터와 배선 연결 및 더 작은 회로 면적을 가진 삼진 회로 시스템 구현이 가능해진다.
- [0030] 도 3은 본 발명의 일 실시예에 따른 단항 (1 input)을 가진 삼진 연산자 진리표를 나타낸다.
- [0031] 도 3을 참조하면, 본 발명의 일 실시예에 따른 삼진 연산을 위한 단항 연산자들의 예시가 도시되어 있다. 각 회로들의 동작은 진리표와 같으며, 회로 구성을 위한 트랜지스터는 도 2에 제시된 이진-이진, 이진-삼진, 삼진-이진 트랜지스터들의 조합으로 구성될 수 있다.
- [0032] 도 4는 본 발명의 일 실시예에 따른 삼진 연산 회로 및 B2T, T2B converter에 사용될 수 있는 CMOS 및 T-CMOS의 스위칭 동작을 예시한 표이다.
- [0033] 도 4를 참조하면, 본 발명의 일 실시예에 따른 삼진 논리 회로 구성을 위한 이진 및 삼진 트랜지스터의 스위칭 테이블이 도시되어 있다.
- [0034] 예를 들어, 도 4를 참조하면, A는 인풋전압, APTI는 PTI를 거친 인풋전압, ANTI는 NTI를 거친 인풋전압, ASTI는 STI를 거친 인풋전압, ADEC는 DEC를 거친 인풋전압, AINC는 INC를 거친 인풋전압을 의미한다. 예컨대, 도 4의 테이블에서 Operator에 명시된 식은 인풋전압 A_i ($i=0$ for GND, 1 for VDD/2, 2 for VDD 신호를 나타냄)에 인가된 신호에 따라 풀업 및 풀다운 네트워크에 있는 트랜지스터의 스위칭 동작을 나타낸다. 가령 A0의 경우 입력 단자에 0(GND)의 신호가 들어올 때만 풀업 및 풀다운 네트워크가 on 상태로 스위칭 동작하고 그 나머지 입력 신호 1 (VDD/2) 혹은 2(VDD) 신호에 대해서는 off 상태를 유지하는 트랜지스터의 구성을 나타낸다.
- [0035] 도 5는 본 발명의 일 실시예에 따른 이항 (2 input)을 가진 균형 (balanced) 및 불균형 (Unbalanced) 삼진 연산자 진리표를 나타낸다.
- [0036] 도 5를 참조하면, 본 발명의 일 실시예에 따른 두 개의 인풋전압에 따른 삼진 논리 연산 회로들의 진리표를 나타낸다. 삼진 논리는 ‘-1, 0, 1’ (‘-, 0, +’ 와 같이 표현가능)을 사용하는 균형(Balanced) 삼진 논리와 ‘0, 1, 2’ 를 사용하는 불균형(Unbalanced) 삼진 논리가 있다.
- [0037] 도 6은 본 발명의 일 실시예에 따른 CMOS 및 T-CMOS 소자를 기반으로 삼진 연산 회로 중 삼진 SUM 게이트 합성을 도시하는 도면이다.
- [0038] 도 6을 참조하면, 본 발명의 일 실시예에 따른 삼진 SUM 게이트 회로가 도시되어 있다.
- [0039] 본 발명의 일 실시예에 따른 삼진 SUM 게이트 회로는 풀업 네트워크(210)와 풀다운 네트워크(220)로 구성될 수 있다. 예컨대, 네트워크란 이진 및 삼진 트랜지스터들이 물리적으로 연결되어 있는 구조를 의미하며, 회로와 동일한 의미로 사용될 수 있다. 본 발명의 일 실시예에 따른 특정 삼진 회로 구현을 위한 풀업 및 풀다운 네트워크는 이러한 트랜지스터의 조합과 더불어 입력 전압에 따른 트랜지스터의 on, off 스위칭의 조합으로 결정될 수 있다.
- [0040] 본 발명의 일 실시예에 따른 삼진 게이트 회로는, 풀업 네트워크가 on 상태이고, 풀다운 네트워크가 off 상태이면 출력단자 (Y)에 VDD 신호를 전달하고 그 반대로 풀업 네트워크가 off 상태이고, 풀다운 네트워크가 on 상태이면 출력단자(Y)에 GND 신호를 전달할 수 있다.
- [0041] 또한, 본 발명의 일 실시예에 따른 삼진 게이트 회로는, 하프 VDD 경로를 위한 추가적인 트랜지스터가 필요하지 않는다. 본 발명의 일 실시예에 따른 삼진 게이트 회로는, 풀업 및 풀다운 네트워크가 모두 off 상태일 때, 각 네트워크에서 동일하게 흐르는 터널링 전류를 이용하여 VDD와 GND 신호 사이에 존재하는 풀업 및 풀다운 네트워크 간에 동일한 전압분배를 통해 출력단자(Y)에 하프 VDD (VDD/2) 신호를 전달할 수 있다.

- [0042] 도 7은 본 발명의 일 실시예에 따른 불균형 (Unbalanced) 삼진 전가산기 회로도, 진리표 및 동작 파형을 도시하는 도면이다.
- [0043] 도 7을 참조하면, 본 발명의 일 실시예에 따른 3진수 논리 회로부(200)에 포함되는 삼진 트랜지스터를 기반으로 구성된 불균형 (Unbalanced) 삼진 전가산기 회로도, 진리표, 동작 파형이 도시되어 있다. 예컨대, 본 발명의 일 실시예에 따른 삼진 전가산기 회로의 경우에 하프 VDD 경로 구현을 위한 추가적인 트랜지스터를 소요하지 않아 76개의 트랜지스터가 소요되며 이는 기존 CNFET으로 연구된 불균형 전가산기에 쓰인 트랜지스터 수 (106개) 대비해서 28% 줄어든 수치이다.
- [0044] 또한, 본 발명에 따른 삼진 회로는 양자적 터널링 전류를 이용하는 삼진 트랜지스터의 동작 원리덕에 기존에 연구된 CNFET, QDGFET, Multi-VT FET 기반 삼진 회로보다 온도변화에 더욱 내성을 가진다.
- [0045] 도 8은 본 발명의 일 실시예에 따른 T2B 컨버터 진리 표와 CMOS 및 T-CMOS 소자를 이용하여 게이트 합성 구현을 도시하는 도면이다. 또한, 도 9는 본 발명의 일 실시예에 따른 B2T 컨버터 진리 표와 CMOS 및 T-CMOS 소자를 이용하여 게이트 합성 구현을 도시하는 도면이다.
- [0046] 도 8을 참조하면, 본 발명의 일 실시예에 따른 제2 컨버터 회로부(300)가 포함하는 삼진-이진 (T2B) 변환기의 진리표 및 회로가 도시되어 있다.
- [0047] 도 9를 참조하면, 본 발명의 일 실시예에 따른 제1 컨버터 회로부(100)가 포함하는 이진-삼진 (B2T) 변환기의 진리표 및 회로가 도시되어 있다.
- [0048] 예를 들어, 도 8을 참조하면, 제2 컨버터 회로부(300)는 2자릿수 삼진 신호를 4자릿수 이진 신호로 변환할 수 있으며, 제2 컨버터 회로부(300)는 도 2에 제시된 이진 및 삼진 트랜지스터로 구성될 수 있다. 예컨대, 제2 컨버터 회로부(300)는 2자릿수 이상의 다자릿수 삼진 신호를 처리할 때는, 제2 컨버터 회로부(300)의 변환 결과에 자릿수에 해당하는 값을 곱하고 더할 수 있는 후처리 회로를 더 포함할 수도 있다. 이 경우, 본 발명에 따르면 후처리 회로를 이용하여 효율적인 변환이 이루어질 수 있다. 예를 들어, 본 발명의 일 실시예에 따른 제2 컨버터 회로부(300)는 제2 컨버터 회로부(300)가 처리하는 n-비트 (n-bit) 수에 따라 - 여기서 n은 2 이상의 자연수임 - 자릿수를 곱할 수 있는 곱셈기 회로를 후처리 회로로서 포함할 수 있다.
- [0049] 예를 들어, 도 8을 참조하면, 본 발명의 일 실시예에 따른 제2 컨버터 회로부(300)는 삼진 신호를 처리하는데 있어 풀업 및 풀다운 네트워크 이외에 추가적인 하프 VDD 경로 및 네트워크가 필요하지 않아 효율적으로 컨버터 구성이 가능하다. 또한, 본 발명에 따르면, 터널링 전류를 기반으로 동작하는 삼진 트랜지스터를 사용하므로 온도변화에 내성이 있는 출력전압 특성을 가지게 된다.
- [0050] 예를 들어, 도 9를 참조하면, 본 발명의 일 실시예에 따른 제1 컨버터 회로부(100)는 3자릿수 이진 신호를 2자릿수 삼진 신호로 변환할 수 있으며, 제1 컨버터 회로부(100)는 도 2에 제시된 이진 및 삼진 트랜지스터로 구성될 수 있다. 예컨대, 제1 컨버터 회로부(100)는 3자릿수 이상의 다자릿수 이진 신호를 처리할 때는, 몫과 나머지를 계산할 수 있는 전처리 회로를 더 포함할 수도 있다. 이 경우, 본 발명에 따르면 전처리 회로를 이용하여 효율적인 변환이 이루어질 수 있다. 예를 들어, 본 발명의 일 실시예에 따른 제1 컨버터 회로부(100)는 제1 컨버터 회로부(100)가 처리하는 n-비트 (n-bit) 수에 따라 - 여기서 n은 2 이상의 자연수임 - 나눗셈 동작의 몫을 처리할 수 있는 quotient 회로, 나머지를 계산하는 remainder 회로를 전처리 회로로서 포함할 수 있다.
- [0051] 예를 들어, 도 9를 포함하면, 본 발명의 일 실시예에 따른 제1 컨버터 회로부(100)는 풀업 및 풀다운 네트워크를 가질 수 있다. 예컨대, 제1 컨버터 회로부(100)를 통해 삼진 신호 중 하나인 하프 VDD를 출력할 때는 풀업 및 풀다운 네트워크에 연결된 삼진 트랜지스터를 일종의 패스 트랜지스터로써 활용할 수 있다. 이때 터널링 전류를 활용하므로 온도변화에 내성이 있는 출력전압 특성을 가지게 된다.
- [0052] 본 발명의 일 실시예에 따른 실시예로서 새로운 균형 3진 전가산기를 포함한 3진 논리 회로는 T-CMOS 소자들과 CMOS 소자들의 조합으로 구성될 수 있다.
- [0053] 본 발명의 일 실시예에 따른 삼진 게이트 회로는 하프 VDD 패스를 위해 추가되는 소자가 없으므로 이전에 연구된 탄소나노튜브 기반 삼진 논리 회로에 비해 트랜지스터의 수를 절반 수준으로 줄일 수 있다.
- [0054] 상기 본 발명의 일반적인 기술 사상은, T-CMOS 및 CMOS를 이용한 균형 및 불균형 반가산기, 전가산기 이외에도, 삼진 곱셈기 (ternary multiplier), NMIN, NMAX, ternary XNOR, ternary comparator 등 다른 삼진 논리 게이트 구성에도 적용됨에 유의한다.

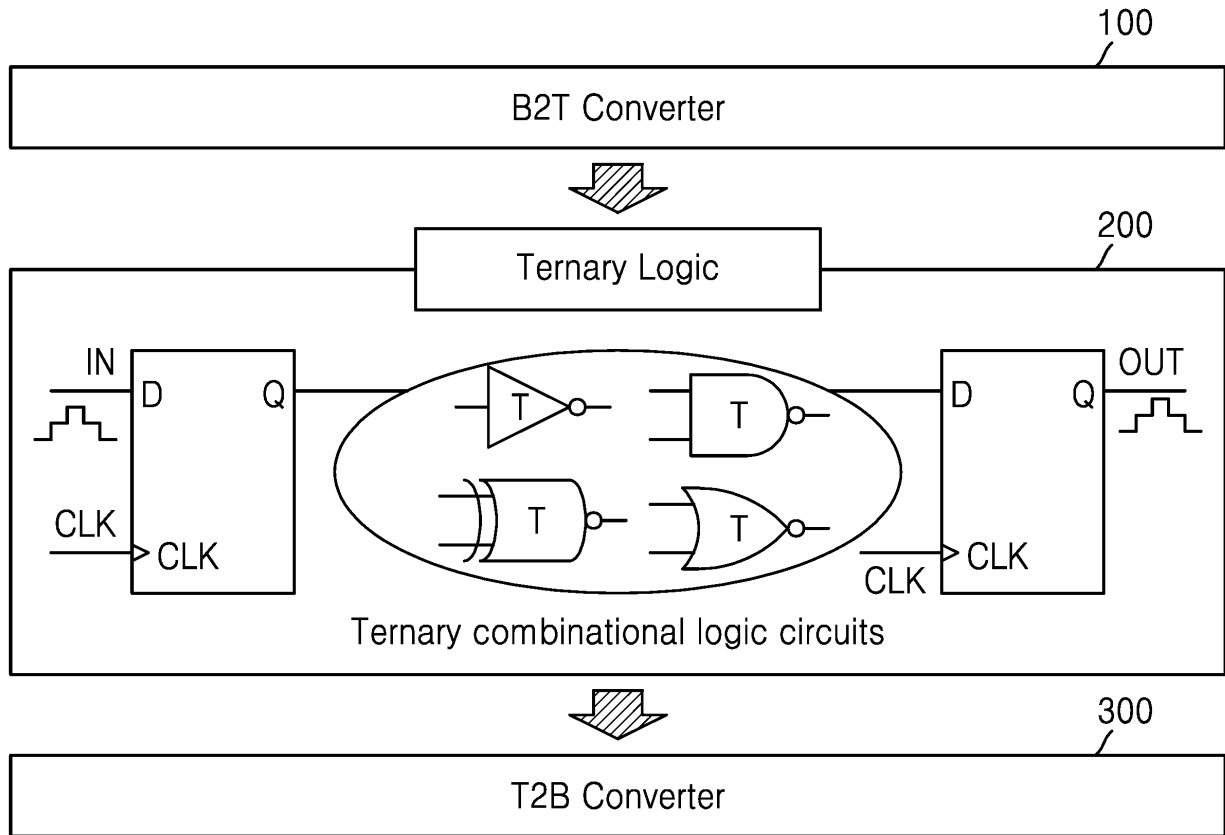
- [0055] 일 측면에 있어서 제안하는 삼진 게이트 회로는 T-CMOS에서 제공하는 터널링 (Tunneling) 전류를 이용하여 동작 하기에, 열방출이온을 이용하는 기존 트랜지스터와 달리 온도 변화에 높은 안정성을 지닌 연산 회로를 설계할 수 있다.
- [0056] 일 측면에 있어서 제안하는 삼진 플립플롭의 클럭게이트 신호는 이진 신호 혹은 삼진 신호로 구성될 수 있다.
- [0057] 본 발명에 따르면, T-CMOS 및 CMOS 소자의 혼용으로 구성된 3진 논리게이트 및 이진-삼진, 삼진-이진 컨버터 회로 그리고 삼진 플립플롭 회로가 제공함으로써, 초절전-고집적 컴퓨팅 시스템 설계에 핵심이 되는 3진 논리 회로를 제공할 수 있다.
- [0058] 일 측면에 있어서, T-CMOS, CMOS 소자를 혼용하여 저전력 3진 논리게이트 및 이진-삼진, 삼진-이진 컨버터 회로 그리고 삼진 플립플롭 회로가 제공될 수 있다.
- [0059] 일 측면에 있어서, 본 발명의 3진 논리 게이트를 구성하는 T-CMOS는 half VDD path가 따로 필요하지 않아 적은 수의 트랜지스터로 간단한 구조의 3진 논리 게이트 회로를 제공할 수 있다.
- [0060] 일 측면에 있어서, 본 발명의 3진 논리 게이트 회로는 off 수준의 낮은 전류를 기반으로 3진 정보 처리가 가능 함으로써 매우 낮은 대기 전력 소모 특성을 제공할 수 있다.
- [0061] 일 측면에 있어서 T-CMOS 및 CMOS 소자의 혼용으로 구성된 3진 논리게이트 및 이진-삼진, 삼진-이진 컨버터 회로 그리고 삼진 플립플롭 회로가 제공될 수 있으며, 해당 회로는 초절전-고집적 연산 회로에 핵심 구성 요소로 작용할 수 있다.
- [0062] 이상 설명된 다양한 실시예들은 예시적이며, 서로 구별되어 독립적으로 실시되어야 하는 것은 아니다. 본 명세서에서 설명된 실시예들은 서로 조합된 형태로 실시될 수 있다.
- [0063] 본 명세서에서, "부", "모듈" 등은 프로세서 또는 회로와 같은 하드웨어 구성(hardware component), 및/또는 프로세서와 같은 하드웨어 구성에 의해 실행되는 소프트웨어 구성(software component)일 수 있다. 예를 들면, "부", "모듈" 등은 소프트웨어 구성 요소들, 객체 지향 소프트웨어 구성 요소들, 클래스 구성 요소들 및 태스크 구성 요소들과 같은 구성 요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들에 의해 구현될 수 있다.
- [0064] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0065] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

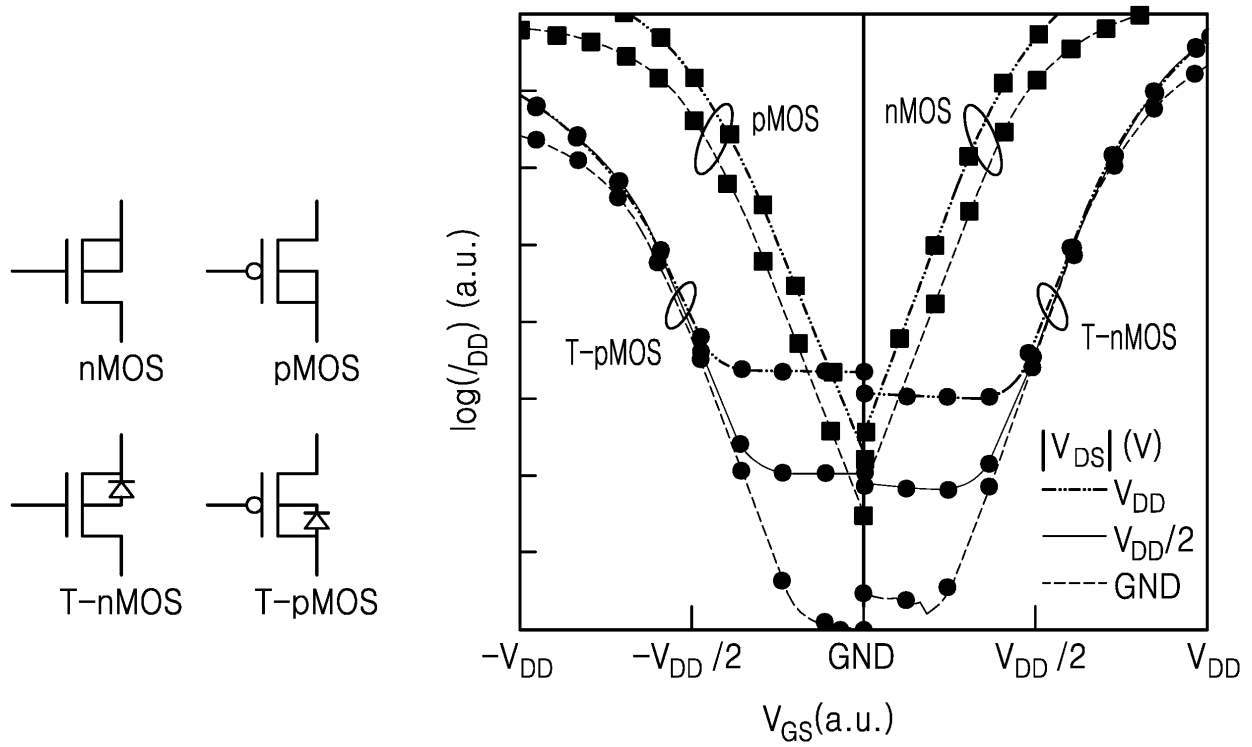
- [0066] 100: 제1 컨버터 회로부
200: 3진수 논리 회로부
210: 플업 네트워크
220: 플다운 네트워크
300: 제2 컨버터 회로부

도면

도면1



도면2



도면3

STI		NTI		PTI		INC		DEC	
A	Y	A	Y	A	Y	A	Y	A	Y
0	2	0	2	0	2	0	1	0	2
1	1	1	0	1	2	1	2	1	0
2	0	2	0	2	0	2	0	2	1

A	A_{STI}	A	A_{NTI}	A	A_{PTI}	A	A_{INC}	A	A_{DEC}

도면4

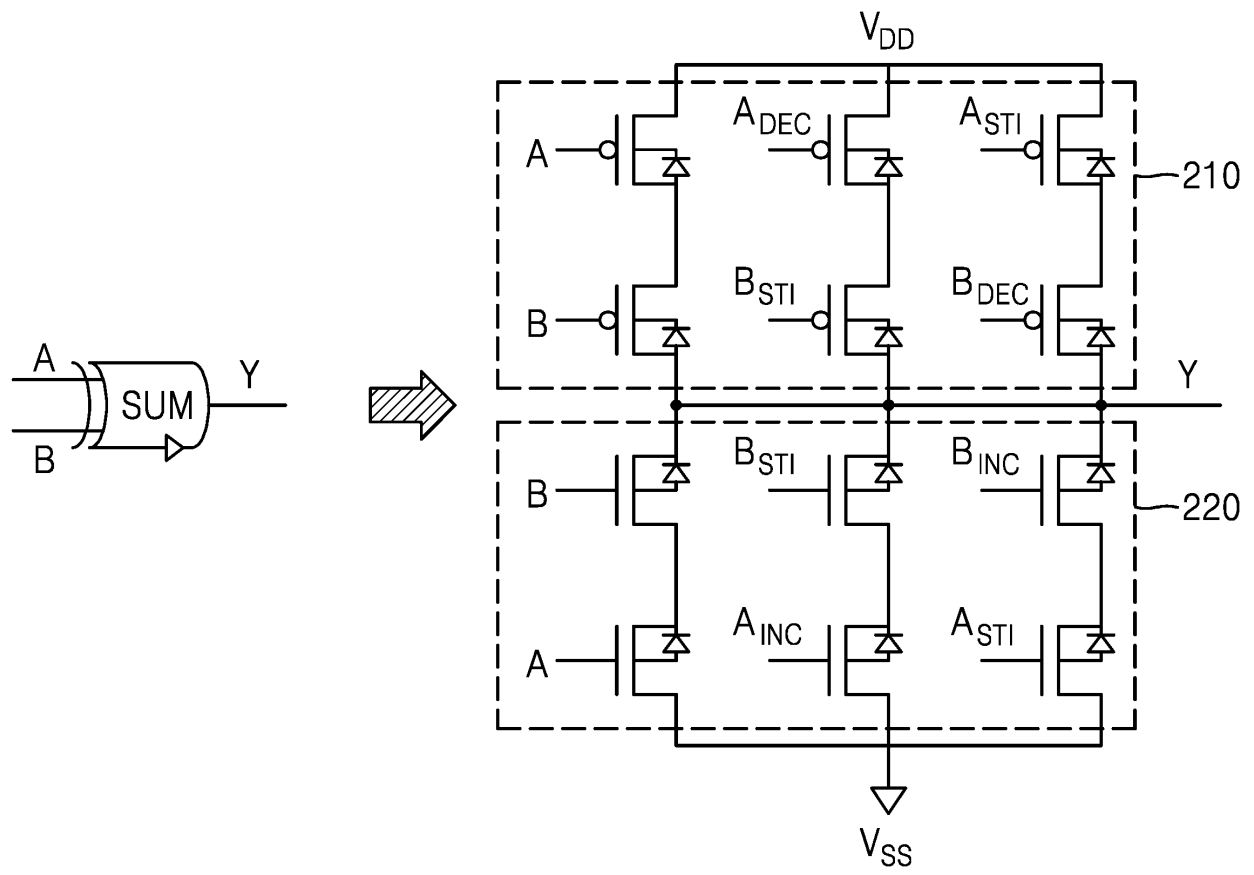
Device switching table						
Pull-up network						
Pull-down network						
Input	GND	ON	OFF	ON	OFF	OFF
	V _{DD} /2	OFF	OFF	ON	ON	ON
	V _{DD}	OFF	ON	OFF	ON	OFF
Operator		A0	A2	A0 + A1	A1 + A2	A1

도면5

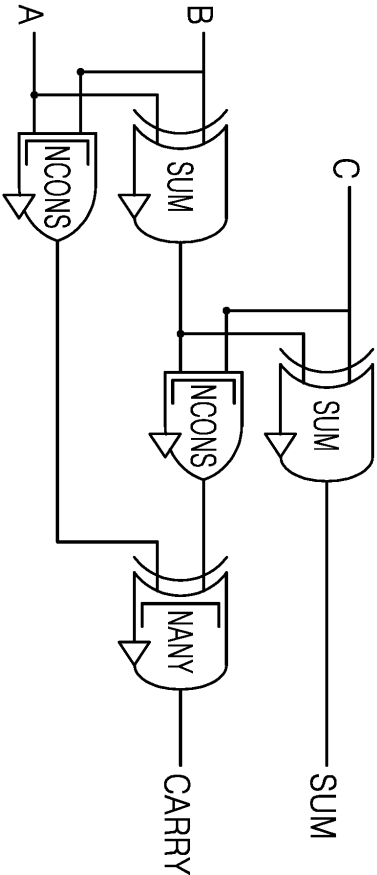
Input		Balanced Adder			Balanced Multiplier
A	B	SUM	NCONS	NANY	PROD
-	-	+	+	+	+
-	0	-	0	+	0
-	+	0	0	0	-
0	-	-	0	+	0
0	0	0	0	0	0
0	+	+	0	-	0
+	-	0	0	0	-
+	0	+	0	-	0
+	+	-	-	-	+

Input		Unbalanced Adder			Unbalanced Multiplier	
A	B	SUM	NCONS	NANY	PROD	CARRY
0	0	0	2	2	0	0
0	1	1	2	2	0	0
0	2	2	2	1	0	0
1	0	1	2	2	0	0
1	1	2	2	2	1	0
1	2	0	1	1	2	0
2	0	2	2	1	0	0
2	1	0	1	1	2	0
2	2	1	1	0	1	1

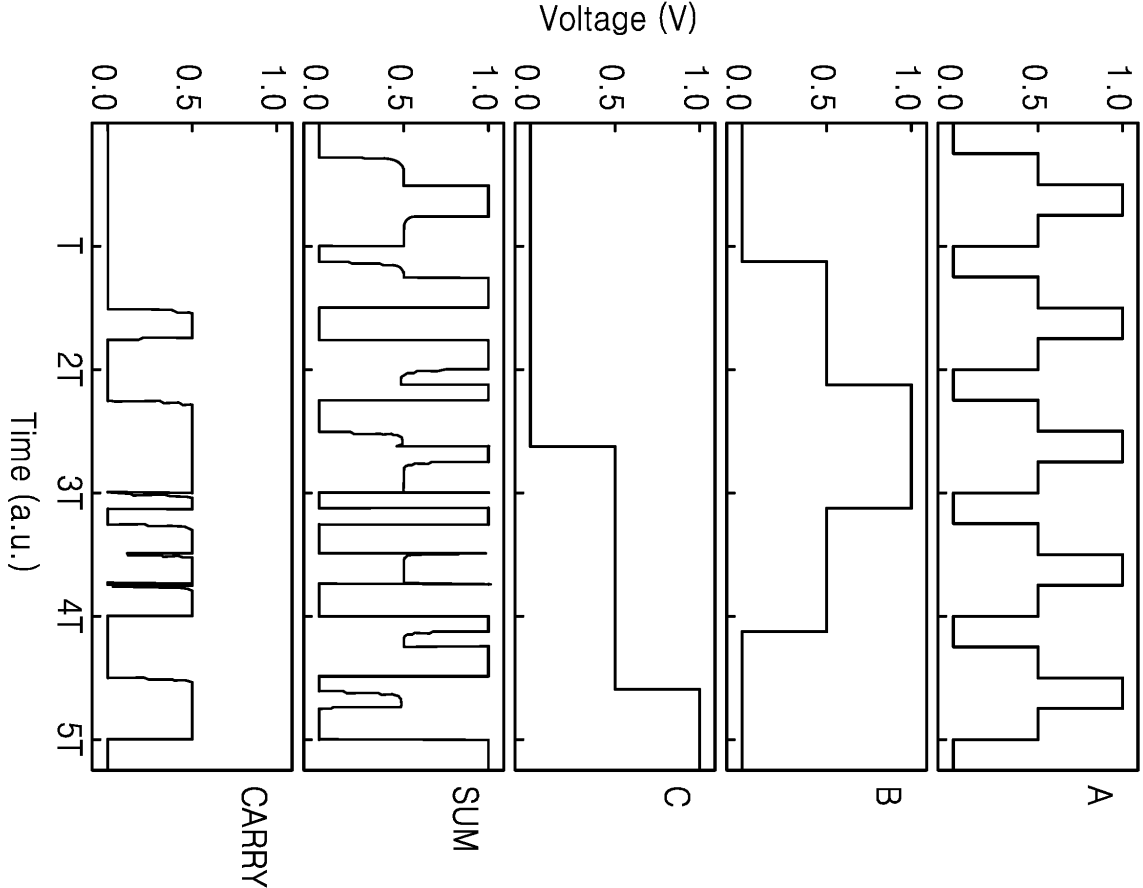
도면6



200



		C = 0			C = 1			C = 2		
A	B	SUM	CARRY	SUM	CARRY	SUM	CARRY	SUM	CARRY	
0	0	0	0	1	0	2	0	0	0	
0	1	1	0	2	0	0	1	1	1	
0	2	2	0	0	1	1	1	1	1	
1	0	1	0	2	0	0	1	1	1	
1	1	2	0	0	1	1	1	1	1	
1	2	0	1	1	1	2	1	1	1	
2	0	2	0	0	1	1	1	1	1	
2	1	0	1	1	1	2	1	1	1	
2	2	1	1	2	1	0	2	2	2	

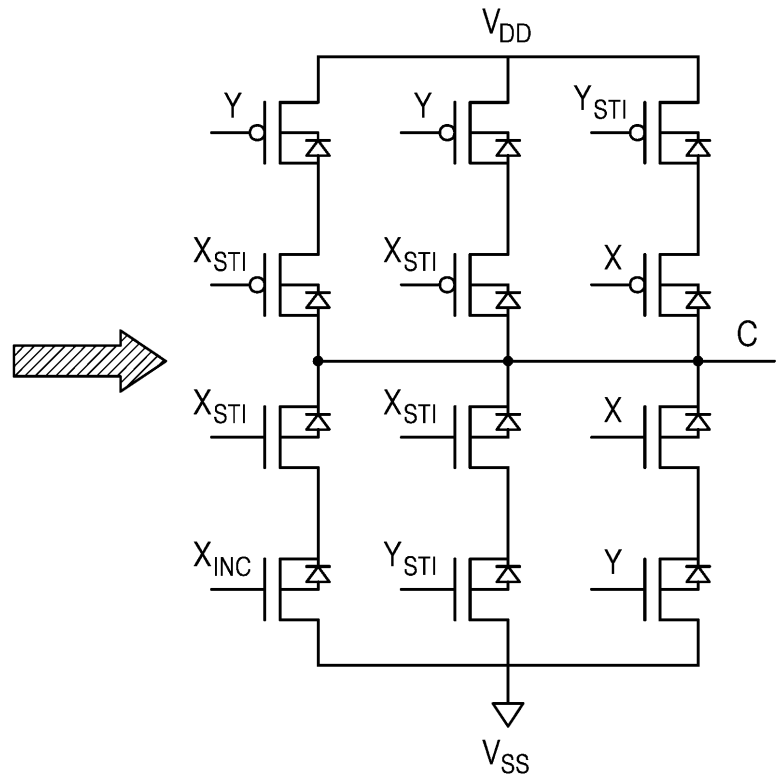


도면7

도면8

300

Ternary Domain		Binary Domain			
X	Y	A	B	C	D
0	0	0	0	0	0
0	1	0	0	0	1
0	2	0	0	1	0
1	0	0	0	1	1
1	1	0	1	0	0
1	2	0	1	0	1
2	0	0	1	1	0
2	1	0	1	1	1
2	2	1	0	0	0



도면9

100

Binary Domain			Ternary Domain	
B	C	D	X	Y
0	0	0	0	0
0	0	1	0	1
0	1	0	0	2
0	1	1	1	0
1	0	0	1	1
1	0	1	1	2
1	1	0	2	0
1	1	1	2	1

