

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月22日(22.09.2022)



(10) 国際公開番号

WO 2022/196294 A1

(51) 国際特許分類:

H01L 23/29 (2006.01) H01L 25/07 (2006.01)
H01L 23/31 (2006.01) H01L 25/18 (2006.01)
H01L 23/50 (2006.01) H01L 21/60 (2006.01)

(21) 国際出願番号: PCT/JP2022/007924

(22) 国際出願日: 2022年2月25日(25.02.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-045491 2021年3月19日(19.03.2021) JP

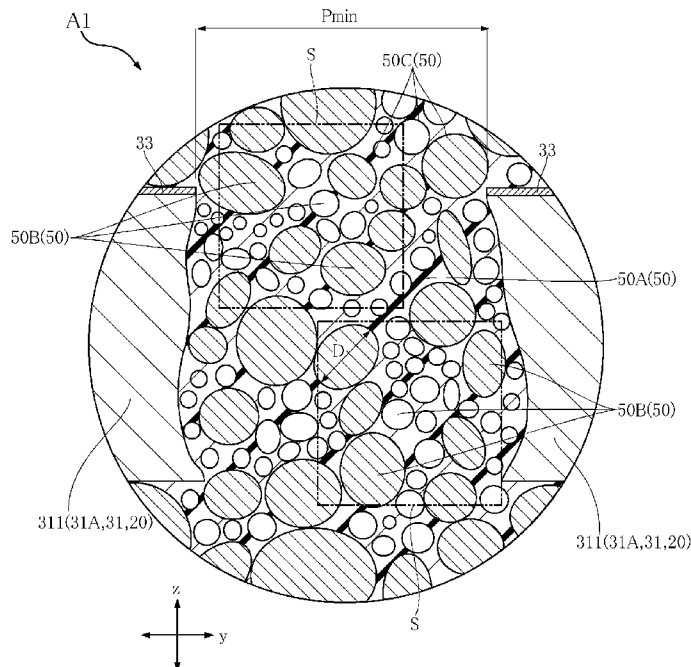
(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 梅野 遼平 (UMENO Ryohei); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP). 松原 弘招
(MATSUBARA Hiroaki); 〒6158585 京都府京
都市右京区西院溝崎町2-1番地 ローム株
式会社内 Kyoto (JP). 大角 嘉蔵 (OSUMI Yoshizo);
〒6158585 京都府京都市右京区西院溝崎町2-1
番地 ローム株式会社内 Kyoto (JP). 菊地 登茂
平 (KIKUCHI Tomohira); 〒6158585 京都府京
都市右京区西院溝崎町2-1番地 ローム株式
会社内 Kyoto (JP). 山口 萌 (YAMAGUCHI Moe);

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.9



(57) Abstract: A semiconductor device is provided with: a plurality of electroconductive members including a first member and a second member; a first semiconductor element conductive to any of the plurality of electroconductive members; a second semiconductor element which is conductive to any of the plurality of electroconductive members, and to which a voltage relatively different from a voltage applied to the first semiconductor element is applied; and, a sealing resin for covering the first semiconductor element, the second semiconductor element, and a portion of each of the plurality

〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 臼 井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2 番 3 2 - 1 3 0 1 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL,
CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

of electroconductive members. A voltage applied to the second member is relatively different from a voltage applied to the first member. The sealing resin contains a filler having electrical insulating properties. Assuming in the sealing resin a square cross-section having a length of one side equal to 2/3 of the minimum interval between two adjacent electroconductive members of the plurality of electroconductive members, the square cross-section contains eight or more counts of at least a part of the filler, the individual particle diameter of which is 1/8 or more of the minimum interval.

(57) 要約: 半導体装置は、第 1 部材および第 2 部材を含む複数の導電部材と、前記複数の導電部材のいずれかに導通する第 1 半導体素子と、前記複数の導電部材のいずれかに導通するとともに、前記第 1 半導体素子に印加される電圧と相対的に異なる電圧が印加される第 2 半導体素子と、前記複数の導電部材の各々の一部、前記第 1 半導体素子および前記第 2 半導体素子を覆う封止樹脂と、を備える。前記第 2 部材に印加される電圧は、前記第 1 部材に印加される電圧と相対的に異なる。前記封止樹脂には、電気絶縁性を有するフィラーが含有されている。前記複数の導電部材のうち隣り合う 2 つの導電部材の最小間隔の 2/3 に等しい一辺の長さを有する正方形断面を前記封止樹脂において仮定した場合、前記正方形断面には、各々の粒径が前記最小間隔の 1/8 以上である前記フィラーの少なくとも一部が 8 個以上含まれている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、印加される電圧が相対的に異なる複数の半導体素子が搭載された半導体装置に関する。

背景技術

[0002] 電気自動車（ハイブリッド自動車を含む）または家電機器などに使用されているインバータ装置には、半導体装置が使用されている。インバータ装置は、たとえば半導体装置と、ＩＧＢＴ（Insulated Gate Bipolar Transistor）やＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）などのスイッチング素子とを備える。当該半導体装置は、コントローラおよびゲートドライバを備える。当該インバータ装置においては、外部から出力された制御信号が当該半導体装置のコントローラに入力される。コントローラは、制御信号をPWM（Pulse Width Modulation）制御信号に変換し、ゲートドライバに伝送する。ゲートドライバは、PWM制御信号に基づき、たとえば6つのスイッチング素子を所望のタイミングで駆動させる。これにより、直流電力からモータ駆動用の三相交流電力が生成される。たとえば、特許文献1には、モータ駆動装置に利用される半導体装置（駆動回路）の一例が開示されている。

[0003] ただし、コントローラに供給される電源電圧と、ゲートドライバに供給される電源電圧とが異なることがある。このような場合、複数の半導体素子を1つのパッケージ内に搭載した半導体装置では、コントローラへの導電経路と、ゲートドライバへの導電経路との2つの導電経路の間において、各々に印加される電源電圧に差異が生じる。したがって、コントローラへの導電経路と、ゲートドライバへの導電経路との間に相当の間隔を設けた上、2つの導電経路との間を封止樹脂により充填することによって、当該半導体装置の絶縁耐圧の向上が図られている。しかし、2つの導電経路の各々に印加され

る電源電圧の差異が著しく異なる場合は、さらなる絶縁耐圧の向上を図ることが必要となる。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-30049号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は上述の事情に鑑み、絶縁耐圧のさらなる向上を図ることが可能な半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0006] 本開示によって提供される半導体装置は、第1部材および第2部材を含む複数の導電部材と、前記複数の導電部材のいずれかに導通する第1半導体素子と、前記複数の導電部材のいずれかに導通するとともに、前記第1半導体素子に印加される電圧と相対的に異なる電圧が印加される第2半導体素子と、前記複数の導電部材の各々の一部、前記第1半導体素子および前記第2半導体素子を覆う封止樹脂と、を備え、前記第2部材に印加される電圧は、前記第1部材に印加される電圧と相対的に異なり、前記封止樹脂には、電気絶縁性を有するフィラーが含有されており、前記複数の導電部材のうち隣り合う2つの前記導電部材の最小間隔の $2/3$ に等しい一辺の長さを有する正方形断面を前記封止樹脂において仮定した場合、前記正方形断面には、各々の粒径が前記最小間隔の $1/8$ 以上である前記フィラーの少なくとも一部が8個以上含まれている。

発明の効果

[0007] 本開示にかかる上述の構成によれば、半導体装置において、絶縁耐圧のさらなる向上を図ることが可能となる。

[0008] 本開示のその他の特徴および利点は、添付図面に基づき以下に行う詳細な説明によって、より明らかとなろう。

図面の簡単な説明

- [0009] [図1]図1は、本開示の第1実施形態にかかる半導体装置の平面図である。
- [図2]図2は、図1に対応する平面図であり、封止樹脂を透過している。
- [図3]図3は、図1に示す半導体装置の正面図である。
- [図4]図4は、図1に示す半導体装置の左側面図である。
- [図5]図5は、図1に示す半導体装置の右側面図である。
- [図6]図6は、図2のV I - V I 線に沿う断面図である。
- [図7]図7は、図2のV I I - V I I 線に沿う断面図である。
- [図8]図8は、図2の部分拡大図である。
- [図9]図9は、図8のI X - I X 線に沿う断面図である。
- [図10]図10は、図6の部分拡大図である。
- [図11]図11は、本開示の第2実施形態にかかる半導体装置の平面図であり、封止樹脂を透過している。
- [図12]図12は、図11のX I I - X I I 線に沿う断面図である。

発明を実施するための形態

- [0010] 本開示を実施するための形態について、添付図面に基づいて説明する。
- [0011] 図1～図10に基づき、本開示の第1実施形態にかかる半導体装置A1について説明する。半導体装置A1は、第1半導体素子11、第2半導体素子12、絶縁素子13、複数の導電部材20、複数の第1ワイヤ41、複数の第2ワイヤ42、複数の第3ワイヤ43、複数の第4ワイヤ44、複数の第5ワイヤ45、複数の第6ワイヤ46、および封止樹脂50を備える。複数の導電部材20は、第1部材21、第2部材22、複数の第1端子31、および複数の第2端子32を含む。半導体装置A1は、たとえば電気自動車またはハイブリッド自動車などのインバータ装置の配線基板に表面実装されるものである。半導体装置A1のパッケージ形式は、SOP (Small Outline Package) である。ただし、半導体装置A1のパッケージ形式は、SOPに限定されない。ここで、図2は、理解の便宜上、封止樹脂50を透過している。図2においては、透過した封止樹脂50を想像線（二点鎖線）で示してい

る。

- [0012] 半導体装置 A 1 の説明においては、第 1 半導体素子 1 1 および第 2 半導体素子 1 2 の各々の厚さ方向を「厚さ方向 z」と呼ぶ。厚さ方向 z に対して直交する方向を「第 1 方向 x」と呼ぶ。厚さ方向 z および第 1 方向 x の双方に対して直交する方向を「第 2 方向 y」と呼ぶ。
- [0013] 第 1 半導体素子 1 1、第 2 半導体素子 1 2 および絶縁素子 1 3 は、半導体装置 A 1 の機能中枢となる素子である。半導体装置 A 1 においては、第 1 半導体素子 1 1、第 2 半導体素子 1 2 および絶縁素子 1 3 は、個々の素子で構成されている。第 1 方向 x において、第 2 半導体素子 1 2 は、絶縁素子 1 3 に対して第 1 半導体素子 1 1 とは反対側に位置する。厚さ方向 z に視て、第 1 半導体素子 1 1、第 2 半導体素子 1 2 および絶縁素子 1 3 は、第 2 方向 y を長辺とする矩形状である。
- [0014] 第 1 半導体素子 1 1 は、I G B T や M O S F E T などのスイッチング素子を駆動するゲートドライバのコントローラ（制御素子）である。第 1 半導体素子 1 1 は、E C U などから入力された制御信号を P W M 制御信号に変換する回路と、当該 P W M 制御信号を第 2 半導体素子 1 2 へ伝送するための送信回路と、第 2 半導体素子 1 2 からの電気信号を受ける受信回路とを有する。
- [0015] 第 2 半導体素子 1 2 は、スイッチング素子を駆動するためのゲートドライバ（駆動素子）である。第 2 半導体素子 1 2 は、P W M 制御信号を受信する受信回路と、当該 P W M 制御信号に基づきスイッチング素子を駆動するための回路と、電気信号を第 1 半導体素子 1 1 へ伝送するための送信回路とを有する。当該電気信号は、たとえばモータ近傍に配置された温度センサからの出力信号が挙げられる。
- [0016] 絶縁素子 1 3 は、P W M 制御信号や他の電気信号を、絶縁状態で伝送するための素子である。半導体装置 A 1 においては、絶縁素子 1 3 は、インダクティブ型である。インダクティブ型の絶縁素子 1 3 の一例として、絶縁型トランスが挙げられる。絶縁型トランスは、2 つのインダクタ（コイル）を誘導結合させることで、絶縁状態による電気信号の伝送を行う。絶縁素子 1 3

は、シリコンからなる基板を有する。当該基板上に銅（Cu）からなるインダクタが形成されている。当該インダクタは、送信側インダクタおよび受信側インダクタを含み、これらのインダクタは厚さ方向zにおいて積層されている。送信側インダクタと受信側インダクタとの間には、二酸化ケイ素（SiO₂）などからなる誘電体層が介装されている。当該誘電体層により、送信側インダクタと受信側インダクタとは、電気絶縁されている。この他、絶縁素子13は、キャパシティブ型でもよい。キャパシティブ型の絶縁素子13の一例として、コンデンサが挙げられる。さらに絶縁素子13は、フォトカプラでもよい。

[0017] 半導体装置A1においては、第1半導体素子11に印加される電圧と、第2半導体素子12に印加される電圧とは、相対的に異なる。このため、第1半導体素子11と第2半導体素子12との間に電位差が生じる。さらに半導体装置A1においては、第2半導体素子12に供給される電源電圧は、第1半導体素子11に供給される電源電圧よりも高い。

[0018] そこで、半導体装置A1においては、第1半導体素子11を構成要素に含む第1回路と、第2半導体素子12を構成要素に含む第2回路とが、絶縁素子13により互いに絶縁されている。第1回路の構成要素は、第1半導体素子11の他に、第1部材21、複数の第1端子31、複数の第1ワイヤ41、複数の第3ワイヤ43、および複数の第5ワイヤ45を含む。第2回路の構成要素は、第2半導体素子12の他に、第2部材22、複数の第2端子32、複数の第2ワイヤ42、複数の第4ワイヤ44、および複数の第6ワイヤ46を含む。第1回路と第2回路とは、相対的に電位が異なる。半導体装置A1においては、第2回路の電位は、第1回路の電位よりも高い。その上で絶縁素子13は、第1回路および第2回路における相互信号を中継する。たとえば、電気自動車やハイブリッド自動車のインバータ装置においては、第1半導体素子11のグランドに印加させる電圧が0V程度であることに対し、第2半導体素子12のグランドに印加される電圧が過渡的に600V以上となることがある。

[0019] 図2および図6に示すように、第1半導体素子11は、複数の第1電極111を有する。複数の第1電極111は、第1半導体素子11の上面（後述する第1部材21の第1アイランド部211の第1搭載面211Aと同じ方向を向く面）に設けられている。複数の第1電極111の組成は、たとえばアルミニウム（Al）を含む。換言すれば、各第1電極111は、アルミニウムを含有している。複数の第1電極111は、第1半導体素子11に構成された回路に導通している。

[0020] 図2および図6示すように、絶縁素子13は、第1方向xにおいて、第1半導体素子11と第2半導体素子12との間に位置する。絶縁素子13の上面（先述の第1搭載面211Aと同じ方向を向く面）には、複数の第1中継電極131、および複数の第2中継電極132が設けられている。複数の第1中継電極131、および複数の第2中継電極132の各々は、送信側インダクタおよび受信側インダクタのいずれかに導通している。複数の第1中継電極131は、第2方向yに沿って配列され、かつ第1方向xにおいて第2半導体素子12よりも第1半導体素子11の近くに位置する。複数の第2中継電極132は、第2方向yに沿って配列され、かつ第1方向xにおいて第1半導体素子11よりも第2半導体素子12の近くに位置する。

[0021] 図2および図6に示すように、第2半導体素子12は、複数の第2電極121を有する。複数の第2電極121は、第2半導体素子12の上面（後述する第2部材22の第2アイランド部221の第2搭載面221Aと同じ方向を向く面）に設けられている。複数の第2電極121の組成は、たとえばアルミニウムを含む。複数の第2電極121は、第2半導体素子12に構成された回路に導通している。

[0022] 複数の導電部材20は、第1半導体素子11、絶縁素子13および第2半導体素子12と、半導体装置A1が実装される配線基板との導通経路を構成する。複数の導電部材20は、同一のリードフレームから得られる。当該リードフレームは、銅を組成に含む。先述のとおり複数の導電部材20は、第1部材21、第2部材22、複数の第1端子31、および複数の第2端子3

2を含む。

[0023] 第1部材21および第2部材22は、図1および図2に示すように、第1方向xにおいて互いに離れて位置する。半導体装置A1においては、第1半導体素子11および絶縁素子13が第1部材21に搭載され、かつ第2半導体素子12が第2部材22に搭載されている。第2部材22に印加される電圧は、第1部材21に印加される電圧と相対的に異なる。半導体装置A1においては、第2部材22に印加される電圧は、第1部材21に印加される電圧よりも高い。

[0024] 図2に示すように、第1部材21は、第1アイランド部211、および2つの第1吊リード部212を有する。図6および図7に示すように、第1アイランド部211は、厚さ方向zを向く第1搭載面211Aを有する。半導体装置A1においては、第1半導体素子11および絶縁素子13が第1搭載面211Aに搭載されている。第1半導体素子11および絶縁素子13は、図示しない導電性接合材（ハンダ、または金属ペーストなど）を介して第1搭載面211Aに接合されている。第1アイランド部211は、封止樹脂50に覆われている。第1アイランド部211の厚さは、たとえば100 μ m以上300 μ m以下である。

[0025] 図2および図6に示すように、第1アイランド部211には、複数の貫通孔213が形成されている。複数の貫通孔213の各々は、第1アイランド部211を厚さ方向zに貫通し、かつ第2方向yに沿って延びている。厚さ方向zに視て、複数の貫通孔213の少なくともいずれかは、第1半導体素子11と絶縁素子13との間に位置する。複数の貫通孔213は、第2方向yに沿って配列されている。

[0026] 図2に示すように、2つの第1吊リード部212は、第1アイランド部211の第2方向yの両側から延出している。2つの第1吊リード部212は、第2方向yにおいて互いに離れて位置する。2つの第1吊リード部212の少なくともいずれかは、第5ワイヤ45を介して第1半導体素子11のランドに導通している。2つの第1吊リード部212の各々は、被覆部21

2 Aおよび露出部2 1 2 Bを有する。被覆部2 1 2 Aは、第1アイランド部2 1 1につながり、かつ封止樹脂5 0に覆われている。露出部2 1 2 Bは、被覆部2 1 2 Aにつながり、かつ封止樹脂5 0から露出している。厚さ方向zに視て、露出部2 1 2 Bは、第1方向xに沿って延びている。図3に示すように、第2方向yに視て、露出部2 1 2 Bはガルウィング状に屈曲している。露出部2 1 2 Bの表面には、たとえば錫(Sn)めっきを施してもよい。

[0027] 図2に示すように、第2部材2 2は、第2アイランド部2 2 1、および2つの第2吊リード部2 2 2を有する。図6に示すように、第2アイランド部2 2 1は、厚さ方向zを向く第2搭載面2 2 1 Aを有する。半導体装置A 1においては、第2半導体素子1 2が第2搭載面2 2 1 Aに搭載されている。第2半導体素子1 2は、図示しない導電性接合材（ハンダ、または金属ペーストなど）を介して第2搭載面2 2 1 Aに接合されている。第2アイランド部2 2 1は、封止樹脂5 0に覆われている。第2アイランド部2 2 1の厚さは、たとえば100 μ m以上300 μ m以下である。第1方向xに視て、第2アイランド部2 2 1は、第1部材2 1の第1アイランド部2 1 1に重なっている。

[0028] 図2に示すように、2つの第2吊リード部2 2 2は、第2アイランド部2 2 1の第2方向yの両側から延出している。2つの第2吊リード部2 2 2は、第2方向yにおいて互いに離れて位置する。2つの第2吊リード部2 2 2の少なくともいずれかは、第6ワイヤ4 6を介して第2半導体素子1 2のグランドに導通している。2つの第2吊リード部2 2 2の各々は、被覆部2 2 2 Aおよび露出部2 2 2 Bを有する。被覆部2 2 2 Aは、第2アイランド部2 2 1につながり、かつ封止樹脂5 0に覆われている。露出部2 2 2 Bは、被覆部2 2 2 Aにつながり、かつ封止樹脂5 0から露出している。厚さ方向zに視て、露出部2 2 2 Bは、第1方向xに沿って延びている。図3に示すように、第2方向yに視て、露出部2 2 2 Bはガルウィング状に屈曲している。露出部2 2 2 Bの表面には、たとえば錫めっきを施してもよい。

[0029] 図2および図6に示すように、第1部材21の第1アイランド部211と、第2部材22の第2アイランド部221とは、間隔Pで第1方向xにおいて互いに離れて位置する。図10に示すように、間隔Pは、第1アイランド部211と第2アイランド部221との間の最小距離である。

[0030] 複数の第1端子31は、図1および図2に示すように、第1方向xの一方側に位置する。より具体的には、複数の第1端子31は、第1方向xにおいて第1部材21の第1アイランド部211に対して、第2部材22の第2アイランド部221とは反対側に位置する。複数の第1端子31は、第2方向yに沿って配列されている。複数の第1端子31の少なくともいずれかは、第3ワイヤ43を介して第1半導体素子11に導通している。複数の第1端子31は、複数の第1中間端子31A、および2つの第1側端子31Bを含む。2つの第1側端子31Bは、複数の第1中間端子31Aの第2方向yの両側に位置する。2つの第1側端子31Bの各々は、第2方向yにおいて第1部材21の2つの第1吊リード部212のいずれかと、当該第1吊リード部212から最も近くに位置する第1中間端子31Aとの間に位置する。

[0031] 図2および図6に示すように、複数の第1端子31は、被覆部311および露出部312を有する。被覆部311は、封止樹脂50に覆われている。2つの第1側端子31Bの各々の被覆部311の第1方向xの寸法は、複数の第1中間端子31Aの各々の被覆部311の第1方向xの寸法よりも大である。図9に示すように、被覆部311は、金属層33を有する。金属層33は、被覆部311の厚さ方向zの一方側（第1部材21の第1アイランド部211の第1搭載面211Aが向く側）に位置する。金属層33は、封止樹脂50に接している。金属層33の組成は、銀を含む。

[0032] 図2および図6に示すように、露出部312は、被覆部311につながり、かつ封止樹脂50から露出している。厚さ方向zに視て、露出部312は、第1方向xに沿って延びている。第2方向yに視て、露出部312はガルウィング状に屈曲している。露出部312の形状は、第1部材21の2つの第1吊リード部212の各々の露出部212Bの形状に等しい。露出部31

2の表面には、たとえば錫めっきを施してもよい。

[0033] 複数の第2端子32は、図1および図2に示すように、第1方向xの他方側に位置する。より具体的には、複数の第2端子32は、第1方向xにおいて第1部材21の第1アイランド部211に対して、複数の第1端子31とは反対側に位置する。複数の第2端子32は、第2方向yに沿って配列されている。複数の第2端子32の少なくともいずれかは、第4ワイヤ44を介して第2半導体素子12に導通している。複数の第2端子32は、複数の第2中間端子32A、および2つの第2側端子32Bを含む。2つの第2側端子32Bは、複数の第2中間端子32Aの第2方向yの両側に位置する。第2方向yにおいて、2つの第2側端子32Bのいずれかと、当該第2側端子32Bから最も近くに位置する第2中間端子32Aとの間には、第2部材22の2つの第2吊リード部222のいずれかが位置する。

[0034] 図2および図6に示すように、複数の第2端子32は、被覆部321および露出部322を有する。被覆部321は、封止樹脂50に覆われている。2つの第2側端子32Bの各々の被覆部321の第1方向xの寸法は、複数の第2中間端子32Aの各々の被覆部321の第1方向xの寸法よりも大である。複数の第1端子31の被覆部311と同様に、被覆部321は、図9に示す金属層33を有する。金属層33は、被覆部321の厚さ方向zの一方側（第2部材22の第2アイランド部221の第2搭載面221Aが向く側）に位置する。金属層33は、封止樹脂50に接している。

[0035] 図2および図6に示すように、露出部322は、被覆部321につながり、かつ封止樹脂50から露出している。厚さ方向zに視て、露出部322は、第1方向xに沿って延びている。図3に示すように、第2方向yに視て、露出部322はガルウィング状に屈曲している。露出部322の形状は、第2部材22の2つの第2吊リード部222の各々の露出部222Bの形状に等しい。露出部322の表面には、たとえば錫めっきを施してもよい。

[0036] 複数の第1ワイヤ41、複数の第2ワイヤ42、複数の第3ワイヤ43、複数の第4ワイヤ44、複数の第5ワイヤ45、および複数の第6ワイヤ4

6は、複数の導電部材20とともに、第1半導体素子11、第2半導体素子12および絶縁素子13が所定の機能を果たすための導通経路を構成している。

[0037] 複数の第1ワイヤ41の各々は、図2および図6に示すように、絶縁素子13の複数の第1中継電極131のいずれかと、第1半導体素子11の複数の第1電極111のいずれかとに接合されている。これにより、第1半導体素子11と絶縁素子13とが相互に導通している。複数の第1ワイヤ41は、第2方向yに沿って配列されている。複数の第1ワイヤ41の組成は、金(Au)を含む。

[0038] 複数の第2ワイヤ42の各々は、図2および図6に示すように、絶縁素子13の複数の第2中継電極132のいずれかと、第2半導体素子12の複数の第2電極121のいずれかとに接合されている。これにより、第2半導体素子12と絶縁素子13とが相互に導通している。複数の第2ワイヤ42は、第2方向yに沿って配列されている。半導体装置A1においては、複数の第2ワイヤ42は、第1部材21の第1アイランド部211と、第2部材22の第2アイランド部221との間を跨いでいる。複数の第2ワイヤ42の組成は、金を含む。

[0039] 複数の第3ワイヤ43の各々は、図2および図6に示すように、第1半導体素子11の複数の第1電極111のいずれかと、複数の第1端子31のいずれかの被覆部311とに接合されている。これにより、複数の第1端子31の少なくともいずれかは、第1半導体素子11に導通している。複数の第3ワイヤ43の組成は、金を含む。この他、複数の第3ワイヤ43の組成は、銅を含むものでもよい。

[0040] 複数の第4ワイヤ44の各々は、図2および図6に示すように、第2半導体素子12の複数の第2電極121のいずれかと、複数の第2端子32のいずれかの被覆部321とに接合されている。これにより、複数の第2端子32の少なくともいずれかは、第2半導体素子12に導通している。複数の第4ワイヤ44の組成は、金を含む。この他、複数の第4ワイヤ44の組成は

、銅を含むものでもよい。

[0041] 複数の第5ワイヤ45の各々は、図2に示すように、第1半導体素子11の複数の第1電極111のいずれかと、第1部材21の2つの第1吊リード部212のいずれかの被覆部212Aとに接合されている。これにより、第1半導体素子11は、第1部材21に導通している。複数の第5ワイヤ45の組成は、金を含む。この他、複数の第5ワイヤ45の組成は、銅を含むものでもよい。

[0042] 複数の第6ワイヤ46の各々は、図2に示すように、第2半導体素子12の複数の第2電極121のいずれかと、第2部材22の2つの第2吊リード部222のいずれかの被覆部222Aとに接合されている。これにより、第2半導体素子12は、第2部材22に導通している。複数の第6ワイヤ46の組成は、金を含む。この他、複数の第6ワイヤ46の組成は、銅を含むものでもよい。

[0043] 封止樹脂50は、図1に示すように、第1半導体素子11、第2半導体素子12および絶縁素子13と、複数の導電部材20の各々の一部ずつとを覆っている。さらに封止樹脂50は、複数の第1ワイヤ41、複数の第2ワイヤ42、複数の第3ワイヤ43、複数の第4ワイヤ44、複数の第5ワイヤ45、および複数の第6ワイヤ46を覆っている。封止樹脂50は、電気絶縁性を有する。封止樹脂50は、第1部材21および第2部材22を互いに絶縁している。図9に示すように、封止樹脂50には、フィラー50Bが含有されている。フィラー50Bは、電気絶縁性を有する。厚さ方向zに視て、封止樹脂50は、矩形状である。

[0044] 図3～図5に示すように、封止樹脂50は、頂面51、底面52、一对の第1側面53、および一对の第2側面54を有する。

[0045] 図3～図5に示すように、頂面51および底面52は、厚さ方向zにおいて互いに離れて位置する。頂面51および底面52は、厚さ方向zにおいて互いに反対側を向く。頂面51および底面52の各々は、平坦（あるいは略平坦）である。

[0046] 図3～図5に示すように、一对の第1側面53は、頂面51および底面52につながるとともに、第1方向xにおいて互いに離れて位置する。一对の第1側面53のうち、第1方向xの一方側に位置する第1側面53から、第1部材21の2つの第1吊リード部212の露出部212Bと、複数の第1端子31の露出部312とが露出している。一对の第1側面53のうち、第1方向xの他方側に位置する第1側面53から、第2部材22の2つの第2吊リード部222の露出部222Bと、複数の第2端子32の露出部322とが露出している。

[0047] 図3～図5に示すように、一对の第1側面53の各々は、第1上部531、第1下部532および第1中間部533を含む。第1上部531は、厚さ方向zの一方側が頂面51につながり、かつ厚さ方向zの他方側が第1中間部533につながっている。第1上部531は、頂面51に対して傾斜している。第1下部532は、厚さ方向zの一方側が底面52につながり、かつ厚さ方向zの他方側が第1中間部533につながっている。第1下部532は、底面52に対して傾斜している。第1中間部533は、厚さ方向zの一方側が第1上部531につながり、かつ厚さ方向zの他方側が第1下部532につながっている。第1中間部533の面内方向は、厚さ方向zおよび第2方向yである。厚さ方向zに視て、第1中間部533は、頂面51および底面52よりも外方に位置する。一对の第1側面53の第1中間部533から、第1部材21の2つの第1吊リード部212の露出部212Bと、第2部材22の2つの第2吊リード部222の露出部222Bと、複数の第1端子31の露出部312と、複数の第2端子32の露出部322とが露出している。

[0048] 図3～図5に示すように、一对の第2側面54は、頂面51および底面52につながるとともに、第2方向yにおいて互いに離れて位置する。図1に示すように、第1部材21、第2部材22、複数の第1端子31、および複数の第2端子32は、一对の第2側面54から離れて位置する。

[0049] 図3～図5に示すように、一对の第2側面54の各々は、第2上部541

、第2下部542および第2中間部543を含む。第2上部541は、厚さ方向 z の一方側が頂面51につながり、かつ厚さ方向 z の他方側が第2中間部543につながっている。第2上部541は、頂面51に対して傾斜している。第2下部542は、厚さ方向 z の一方側が底面52につながり、かつ厚さ方向 z の他方側が第2中間部543につながっている。第2下部542は、底面52に対して傾斜している。第2中間部543は、厚さ方向 z の一方側が第2上部541につながり、かつ厚さ方向 z の他方側が第2下部542につながっている。第2中間部543の面内方向は、厚さ方向 z および第2方向 y である。厚さ方向 z に視て、第2中間部543は、頂面51および底面52よりも外方に位置する。

[0050] 図9および図10に示すように、封止樹脂50は、基材50Aおよびフィラー50Bを含む。基材50Aは、エポキシ樹脂および硬化剤を主に含む。フィラー50Bの組成は、二酸化ケイ素を含む。半導体装置A1においては、フィラー50Bの重量パーセントは、封止樹脂50の約90%である。

[0051] 図9に示す封止樹脂50において仮定した正方形断面Sには、各々の粒径Dが基準値以上であるフィラー50Bの少なくとも一部が8個以上含まれている。粒径Dは、正方形断面Sにおける各々のフィラー50Bの最大径である。図9および図10において粒径Dが基準値以上であるフィラー50Bを斜線で示している。正方形断面Sは、封止樹脂50のみを横断する。封止樹脂50における正方形断面Sの位置は限定されない。正方形断面Sの一辺の長さと、フィラー50Bの粒径Dの基準値とは、図8に示す最小間隔 P_{min} により規定される。最小間隔 P_{min} は、複数の導電部材20のうち隣り合う2つの導電部材20の間隔の最小値である。半導体装置A1においては、最小間隔 P_{min} は、隣り合う2つの第1端子31の第2方向 y の間隔の最小値と、隣り合う2つの第2端子32の第2方向 y の間隔の最小値とのいずれか小さい方である。半導体装置A1においては、最小間隔 P_{min} は $150\mu m$ である。

[0052] 封止樹脂50において仮定した正方形断面Sの一辺の長さは、最小間隔P

$m i n$ の $2/3$ に等しい。半導体装置A1においては、正方形断面Sの一辺の長さは $100\mu m$ である。フィラー50Bの粒径Dの基準値は、最小間隔 $P m i n$ の $1/8$ に等しい。半導体装置A1においては、粒径Dの基準値は $18.75\mu m$ である。したがって、半導体装置A1においては、一辺の長さ $100\mu m$ の正方形断面Sには、各々の粒径Dが $18.75\mu m$ 以上であるフィラー50Bの少なくとも一部が8個以上含まれていることがいえる。さらにフィラー50Bの粒径Dの最大値は、最小間隔 $P m i n$ の $1/2$ である。したがって、半導体装置A1においては、フィラー50Bの粒径Dの最大値は $75\mu m$ である。

[0053] 封止樹脂50における正方形断面Sの位置は限定されないため、図9に示すように、正方形断面Sに含まれるフィラー50Bの粒度分布は、封止樹脂50において一様となっている。さらに、図10に示す第1部材21（第1アイランド部211）と第2部材22（第2アイランド部221）との間隔Pは、最小間隔 $P m i n$ の1.0倍以上3.0以下である。

[0054] インバータ装置におけるモータドライバ回路においては、ローサイド（低電位側）スイッチング素子と、ハイサイド（高電位側）スイッチング素子とを含むハーフブリッジ回路が構成されることが一般的である。以下の説明においては、これらのスイッチング素子がMOSFETである場合を対象とする。ここで、ローサイドスイッチング素子においては、当該スイッチング素子のソースと、当該スイッチング素子を駆動するゲートドライバとの基準電位は、ともにグランドとなっている。一方、ハイサイドスイッチング素子においては、当該スイッチング素子のソースと、当該スイッチング素子を駆動するゲートドライバとの基準電位は、ともにハーフブリッジ回路の出力ノードにおける電位に相当する。ハイサイドスイッチング素子およびローサイドスイッチング素子の駆動に応じて出力ノードにおける電位は変化するため、ハイサイドスイッチング素子を駆動するゲートドライバの基準電位は変化する。ハイサイドスイッチング素子がオンの場合は、当該基準電位は、ハイサイドスイッチング素子のドレインに印加される電圧と等価（たとえば600

V以上)となる。半導体装置A1においては、第1半導体素子11のグランドと、第2半導体素子12のグランドとは、分離された構成となっている。したがって、ハイスイドスイッチング素子を駆動するためのゲートドライバとして半導体装置A1が使用される場合、第2半導体素子12のグランドには、ハイスイドスイッチング素子のドレインに印加される電圧と等価な電圧が過渡的に印加される。

[0055] 次に、半導体装置A1の作用効果について説明する。

[0056] 半導体装置A1は、第1部材21および第2部材22を含む複数の導電部材20と、複数の導電部材20の各々の一部を覆う封止樹脂50とを備える。第2部材22に印加される電圧は、第1部材21に印加される電圧と相対的に異なる。封止樹脂50には、電気絶縁性を有するフィラー50Bが含有されている。複数の導電部材20のうち隣り合う2つの導電部材20の最小間隔 P_{min} の $2/3$ の長さを一辺の長さとする封止樹脂50の正方形断面 S は、各々の粒径 D が最小間隔 P_{min} の $1/8$ 以上である8個以上のフィラー50Bの少なくとも一部ずつを含む。

[0057] ここで、半導体装置A1が絶縁破壊する場合、図9に示す封止樹脂50の基材50Aとフィラー50Bとの界面50Cにおいて破壊することが確認されている。さらに半導体装置A1が絶縁破壊する場合、印加される電圧が相対的に異なる第1部材21と第2部材22との間隔 P を埋める封止樹脂50において破壊する確率が極めて高い。隣り合う2つの導電部材20の間に埋められた封止樹脂50を介して、一方の導電部材20から他方の導電部材20に帯電したキャリアが移動することによって絶縁破壊が発生する。当該キャリアは、封止樹脂50において基材50Aとフィラー50Bとの界面50Cに沿って移動する。そこで、半導体装置A1が先述の構成をとることによって、図10に示すように、第2アイランド部221(第2部材22)の第2搭載面221Aから、第1アイランド部211(第1部材21)の第1搭載面211Aに至る当該キャリアの移動距離 L がより長くなる。これにより、半導体装置A1が絶縁破壊に至る時間が増加する。したがって、半導体装

置 A 1 によれば、絶縁耐圧のさらなる向上を図ることが可能となる。

[0058] 封止樹脂 5 0 の正方形断面 S の一辺の長さと、封止樹脂 5 0 のフィラー 5 0 B の粒径 D の基準値とは、複数の導電部材 2 0 のうち隣り合う 2 つの導電部材 2 0 の最小間隔 P_{min} により規定される。これにより、粒径 D が基準値以上であるフィラー 5 0 B において、半導体装置 A 1 の絶縁耐圧の向上に寄与しないフィラー 5 0 B が除外されたものとなる。除外できる。さらにフィラー 5 0 B の粒径 D の最大値は、最小間隔 P_{min} の $1/2$ である。これにより、半導体装置 A 1 の製造において、流動化した封止樹脂 5 0 が隣り合う 2 つの導電部材 2 0 の間を円滑に通過するため、封止樹脂 5 0 の充填不良を防止することができる。

[0059] 半導体装置 A 1 において、第 1 部材 2 1 と第 2 部材 2 2 との間隔 P は、半導体装置 A 1 の絶縁耐圧のさらなる向上において重要である。間隔 P は、複数の導電部材 2 0 のうち隣り合う 2 つの導電部材 2 0 の最小間隔 P_{min} の 1.0 倍以上 3.0 倍以下であることが好ましい。仮に、間隔 P が最小間隔 P_{min} の 3.0 倍を超えると、半導体装置 A 1 の絶縁耐圧のさらなる向上には寄与するものの、半導体装置 A 1 の大型化を招くこととなるため、好ましくない。

[0060] 半導体装置 A 1 においては、複数の導電部材 2 0 の各々の一部が、封止樹脂 5 0 の一对の第 1 側面 5 3 のいずれかから露出している。本構成は、第 1 部材 2 1 の 2 つの第 1 吊リード部 2 1 2 が封止樹脂 5 0 の第 1 方向 x の一方側から露出し、かつ第 2 部材 2 2 の 2 つの第 2 吊リード部 2 2 2 が封止樹脂 5 0 の第 1 方向 x の他方側から露出することにより得られる。この場合において、複数の導電部材 2 0 は、封止樹脂 5 0 の一对の第 2 側面 5 4 から離れて位置する。これにより、半導体装置 A 1 においては、一对の第 2 側面 5 4 から、アイランドサポートなどの金属部材が露出していない。したがって、半導体装置 A 1 の絶縁耐圧の向上を図ることができる。

[0061] 半導体装置 A 1 においては、第 2 部材 2 2 の第 2 アイランド部 2 2 1 よりも面積が大である第 1 部材 2 1 の第 1 アイランド部 2 1 1 には、複数の貫通

孔 2 1 3 が形成されている。これにより、半導体装置 A 1 の製造において、流動化した封止樹脂 5 0 が複数の貫通孔 2 1 3 を通過するため、封止樹脂 5 0 の充填不良を防止できる。したがって、封止樹脂 5 0 に空隙が発生することを効果的に抑制できる。このことは、半導体装置 A 1 の絶縁耐圧の低下抑制に寄与する。

[0062] 半導体装置 A 1 は、第 1 ワイヤ 4 1 および第 2 ワイヤ 4 2 をさらに備える。第 1 ワイヤ 4 1 は、絶縁素子 1 3 および第 1 半導体素子 1 1 に接合されている。第 2 ワイヤ 4 2 は、絶縁素子 1 3 および第 2 半導体素子 1 2 に接合されている。第 1 ワイヤ 4 1 および第 2 ワイヤ 4 2 の組成は、金を含む。この場合において、第 1 ワイヤ 4 1 の形成の際、絶縁素子 1 3 の第 1 中継電極 1 3 1 の上に第 1 ワイヤ 4 1 の最初の接合部を形成し、かつ複数の第 1 端子 3 1、および第 1 部材 2 1 の 2 つの第 1 吊リード部 2 1 2 のいずれかの上に第 1 ワイヤ 4 1 の最後の接合部を形成する。これにより、封止樹脂 5 0 の頂面 5 1 から最も近くに位置する第 1 ワイヤ 4 1 の頂部と、絶縁素子 1 3 との厚さ方向 z の距離ができるだけ長く確保された第 1 ワイヤ 4 1 の形状をとることができる。同様に、第 2 ワイヤ 4 2 の形成の際、絶縁素子 1 3 の第 2 中継電極 1 3 2 の上に第 2 ワイヤ 4 2 の最初の接合部を形成し、かつ複数の第 2 端子 3 2、および第 2 部材 2 2 の 2 つの第 2 吊リード部 2 2 2 のいずれかの上に最後の接合部を形成する。これにより、頂面 5 1 から最も近くに位置する第 2 ワイヤ 4 2 の頂部と、絶縁素子 1 3 との距離が厚さ方向 z の距離ができるだけ長く確保された第 2 ワイヤ 4 2 の形状をとることができる。このことは、半導体装置 A 1 の絶縁耐圧のさらなる向上に寄与する。

[0063] 図 1 1 および図 1 2 に基づき、本開示の第 2 実施形態にかかる半導体装置 A 2 について説明する。これらの図において、先述した半導体装置 A 1 と同一または類似の要素には同一の符号を付して、重複する説明を省略する。ここで、図 1 1 は、理解の便宜上、封止樹脂 5 0 を透過している。図 1 1 においては、透過した封止樹脂 5 0 を想像線で示している。

[0064] 半導体装置 A 2 においては、絶縁素子 1 3 の搭載形態が、先述した半導体

装置 A 1 の当該構成と異なる。

[0065] 図 1 1 および図 1 2 に示すように、絶縁素子 1 3 は、第 2 部材 2 2 の第 2 アイランド部 2 2 1 の第 2 搭載面 2 2 1 A に搭載されている。したがって、半導体装置 A 2 においては、第 1 部材 2 1 の第 1 アイランド部 2 1 1 と、第 2 部材 2 2 の第 2 アイランド部 2 2 1 との間を複数の第 1 ワイヤ 4 1 が跨いでいる。このように、第 2 アイランド部 2 2 1 の電位が第 1 アイランド部 2 1 1 の電位よりも高い場合であっても、絶縁素子 1 3 を第 2 アイランド部 2 2 1 に搭載することができる。

[0066] 次に、半導体装置 A 2 の作用効果について説明する。

[0067] 半導体装置 A 2 は、第 1 部材 2 1 および第 2 部材 2 2 を含む複数の導電部材 2 0 と、複数の導電部材 2 0 の各々の一部を覆う封止樹脂 5 0 とを備える。第 2 部材 2 2 に印加される電圧は、第 1 部材 2 1 に印加される電圧と相対的に異なる。封止樹脂 5 0 には、電気絶縁性を有するフィラー 5 0 B が含有されている。複数の導電部材 2 0 のうち隣り合う 2 つの導電部材 2 0 の最小間隔 P_{min} の $2/3$ の長さを一辺の長さとする封止樹脂 5 0 の正方形断面 S は、各々の粒径 D が最小間隔 P_{min} の $1/8$ 以上である 8 個以上のフィラー 5 0 B の少なくとも一部ずつを含む。したがって、半導体装置 A 2 によっても、絶縁耐圧のさらなる向上を図ることが可能となる。さらに半導体装置 A 2 は、半導体装置 A 1 と共通する構成をとることにより、半導体装置 A 1 と同等の効果を奏する。

[0068] 本開示は、先述した実施形態に限定されるものではない。本開示の各部の具体的な構成は、種々に設計変更自在である。

[0069] 本開示は、以下の付記に記載された実施形態を含む。

付記 1.

第 1 部材および第 2 部材を含む複数の導電部材と、

前記複数の導電部材のいずれかに導通する第 1 半導体素子と、

前記複数の導電部材のいずれかに導通するとともに、前記第 1 半導体素子に印加される電圧と相対的に異なる電圧が印加される第 2 半導体素子と、

前記複数の導電部材の各々の一部、前記第 1 半導体素子および前記第 2 半導体素子を覆う封止樹脂と、を備え、

前記第 2 部材に印加される電圧は、前記第 1 部材に印加される電圧と相対的に異なり、

前記封止樹脂には、電気絶縁性を有するフィラーが含有されており、

前記複数の導電部材のうち隣り合う 2 つの前記導電部材の最小間隔の $2/3$ に等しい一辺の長さを有する正方形断面を前記封止樹脂において仮定した場合、

前記正方形断面には、各々の粒径が前記最小間隔の $1/8$ 以上である前記フィラーの少なくとも一部が 8 個以上含まれている、半導体装置。

付記 2.

前記フィラーの粒径の最大値は、前記最小間隔の $1/2$ である、付記 1 に記載の半導体装置。

付記 3.

前記第 1 部材および前記第 2 部材は、前記第 1 半導体素子および前記第 2 半導体素子の各々の厚さ方向に対して直交する第 1 方向において互いに離れて位置しており、

前記第 1 半導体素子は、前記第 1 部材に搭載されており、

前記第 2 半導体素子は、前記第 2 部材に搭載されており、

前記第 1 部材と前記第 2 部材の間隔は、前記最小間隔の 1.0 倍以上 3.0 倍以下である、付記 2 に記載の半導体装置。

付記 4.

前記第 1 半導体素子は、前記第 1 部材に導通している、付記 3 に記載の半導体装置。

付記 5.

前記第 2 半導体素子は、前記第 2 部材に導通している、付記 4 に記載の半導体装置。

付記 6.

前記複数の導電部材は、前記第 1 方向の一方側に位置する複数の第 1 端子と、前記第 1 方向の他方側に位置する複数の第 2 端子と、を含み、

前記第 1 半導体素子は、前記複数の第 1 端子に導通しており、

前記第 2 半導体素子は、前記複数の第 2 端子に導通している、付記 3 ないし 5 のいずれかに記載の半導体装置。

付記 7.

前記複数の第 1 端子と、前記複数の第 2 端子と、は、それぞれ前記第 1 方向に対して直交する第 2 方向に沿って配列されている、付記 6 に記載の半導体装置。

付記 8.

前記第 1 部材は、前記第 1 半導体素子が搭載された第 1 アイランド部と、前記第 1 アイランド部の前記第 2 方向の両側につながる 2 つの第 1 吊リード部と、を有し、

前記 2 つの第 1 吊リード部は、前記封止樹脂の前記第 1 方向の一方側から露出している、付記 7 に記載の半導体装置。

付記 9.

前記第 2 部材は、前記第 2 半導体素子が搭載された第 2 アイランド部と、前記第 2 アイランド部の前記第 2 方向の両側につながる 2 つの第 2 吊リード部と、を有し、

前記 2 つの第 2 吊リード部は、前記封止樹脂の前記第 1 方向の他方側から露出している、付記 8 に記載の半導体装置。

付記 10.

前記第 1 方向に視て、前記第 2 アイランド部は、前記第 1 アイランド部に重なっている、付記 9 に記載の半導体装置。

付記 11.

前記第 2 部材に印加される電圧は、前記第 1 部材に印加される電圧よりも高い、付記 3 ないし 10 のいずれかに記載の半導体装置。

付記 12.

前記第 1 半導体素子と前記第 2 半導体素子との相互信号を中継し、かつ前記第 1 半導体素子および前記第 2 半導体素子を互いに絶縁する絶縁素子をさらに備え、

前記絶縁素子は、インダクティブ型である、付記 3 ないし 11 のいずれかに記載の半導体装置。

付記 13.

前記絶縁素子は、前記第 1 部材に搭載されている、付記 12 に記載の半導体装置。

付記 14.

前記絶縁素子は、前記第 2 部材に搭載されている、付記 12 に記載の半導体装置。

付記 15.

第 1 ワイヤおよび第 2 ワイヤをさらに備え、

前記第 1 ワイヤは、前記絶縁素子および前記第 1 半導体素子に接合されており、

前記第 2 ワイヤは、前記絶縁素子および前記第 2 半導体素子に接合されており、

前記第 1 ワイヤおよび前記第 2 ワイヤの組成は、金を含む、付記 12 ないし 14 のいずれかに記載の半導体装置。

付記 16.

前記フィラーの組成は、二酸化ケイ素を含む、付記 1 ないし 15 のいずれかに記載の半導体装置。

符号の説明

[0070] A1, A2 : 半導体装置 11 : 第 1 半導体素子

111 : 第 1 電極 12 : 第 2 半導体素子

121 : 第 2 電極 13 : 絶縁素子

131 : 第 1 中継電極 132 : 第 2 中継電極

20 : 導電部材 21 : 第 1 部材

2 1 1 : 第 1 アイランド部 2 1 1 A : 第 1 搭載面
2 1 2 : 第 1 吊リード部 2 1 2 A : 被覆部
2 1 2 B : 露出部 2 1 3 : 貫通孔
2 2 : 第 2 部材 2 2 1 : 第 2 アイランド部
2 2 1 A : 第 2 搭載面 2 2 2 : 第 2 吊リード部
2 2 2 A : 被覆部 2 2 2 B : 露出部
3 1 : 第 1 端子 3 1 A : 第 1 中間端子
3 1 B : 第 1 側端子 3 1 1 : 被覆部
3 1 2 : 露出部 3 2 : 第 2 端子
3 2 A : 第 2 中間端子 3 2 B : 第 2 側端子
3 2 1 : 被覆部 3 2 2 : 露出部
3 3 : 金属層 4 1 : 第 1 ワイヤ
4 2 : 第 2 ワイヤ 4 3 : 第 3 ワイヤ
4 4 : 第 4 ワイヤ 4 5 : 第 5 ワイヤ
4 6 : 第 6 ワイヤ 5 0 : 封止樹脂
5 0 A : 基材 5 0 B : フィラー
5 0 C : 界面 5 1 : 頂面
5 2 : 底面 5 3 : 第 1 側面
5 3 1 : 第 1 上部 5 3 2 : 第 1 下部
5 3 3 : 第 1 中間部 5 4 : 第 2 側面
5 4 1 : 第 2 上部 5 4 2 : 第 2 下部
5 4 3 : 第 2 中間部 P m i n : 最小間隔
D : 粒径 S : 正方形断面
P : 間隔 z : 厚さ方向
x : 第 1 方向 y : 第 2 方向

請求の範囲

- [請求項1] 第1部材および第2部材を含む複数の導電部材と、
前記複数の導電部材のいずれかに導通する第1半導体素子と、
前記複数の導電部材のいずれかに導通するとともに、前記第1半導体素子に印加される電圧と相対的に異なる電圧が印加される第2半導体素子と、
前記複数の導電部材の各々の一部、前記第1半導体素子および前記第2半導体素子を覆う封止樹脂と、を備え、
前記第2部材に印加される電圧は、前記第1部材に印加される電圧と相対的に異なり、
前記封止樹脂には、電気絶縁性を有するフィラーが含有されており、
前記複数の導電部材のうち隣り合う2つの前記導電部材の最小間隔の $2/3$ に等しい一辺の長さを有する正方形断面を前記封止樹脂において仮定した場合、
前記正方形断面には、各々の粒径が前記最小間隔の $1/8$ 以上である前記フィラーの少なくとも一部が8個以上含まれている、半導体装置。
- [請求項2] 前記フィラーの粒径の最大値は、前記最小間隔の $1/2$ である、請求項1に記載の半導体装置。
- [請求項3] 前記第1部材および前記第2部材は、前記第1半導体素子および前記第2半導体素子の各々の厚さ方向に対して直交する第1方向において互いに離れて位置しており、
前記第1半導体素子は、前記第1部材に搭載されており、
前記第2半導体素子は、前記第2部材に搭載されており、
前記第1部材と前記第2部材の間隔は、前記最小間隔の 1.0 倍以上 3.0 倍以下である、請求項2に記載の半導体装置。
- [請求項4] 前記第1半導体素子は、前記第1部材に導通している、請求項3に

記載の半導体装置。

[請求項5] 前記第2半導体素子は、前記第2部材に導通している、請求項4に記載の半導体装置。

[請求項6] 前記複数の導電部材は、前記第1方向の一方側に位置する複数の第1端子と、前記第1方向の他方側に位置する複数の第2端子と、を含み、

前記第1半導体素子は、前記複数の第1端子に導通しており、

前記第2半導体素子は、前記複数の第2端子に導通している、請求項3ないし5のいずれかに記載の半導体装置。

[請求項7] 前記複数の第1端子と、前記複数の第2端子と、は、それぞれ前記第1方向に対して直交する第2方向に沿って配列されている、請求項6に記載の半導体装置。

[請求項8] 前記第1部材は、前記第1半導体素子が搭載された第1アイランド部と、前記第1アイランド部の前記第2方向の両側につながる2つの第1吊リード部と、を有し、

前記2つの第1吊リード部は、前記封止樹脂の前記第1方向の一方側から露出している、請求項7に記載の半導体装置。

[請求項9] 前記第2部材は、前記第2半導体素子が搭載された第2アイランド部と、前記第2アイランド部の前記第2方向の両側につながる2つの第2吊リード部と、を有し、

前記2つの第2吊リード部は、前記封止樹脂の前記第1方向の他方側から露出している、請求項8に記載の半導体装置。

[請求項10] 前記第1方向に視て、前記第2アイランド部は、前記第1アイランド部に重なっている、請求項9に記載の半導体装置。

[請求項11] 前記第2部材に印加される電圧は、前記第1部材に印加される電圧よりも高い、請求項3ないし10のいずれかに記載の半導体装置。

[請求項12] 前記第1半導体素子と前記第2半導体素子との相互信号を中継し、かつ前記第1半導体素子および前記第2半導体素子を互いに絶縁する

絶縁素子をさらに備え、

前記絶縁素子は、インダクティブ型である、請求項 3 ないし 11 のいずれかに記載の半導体装置。

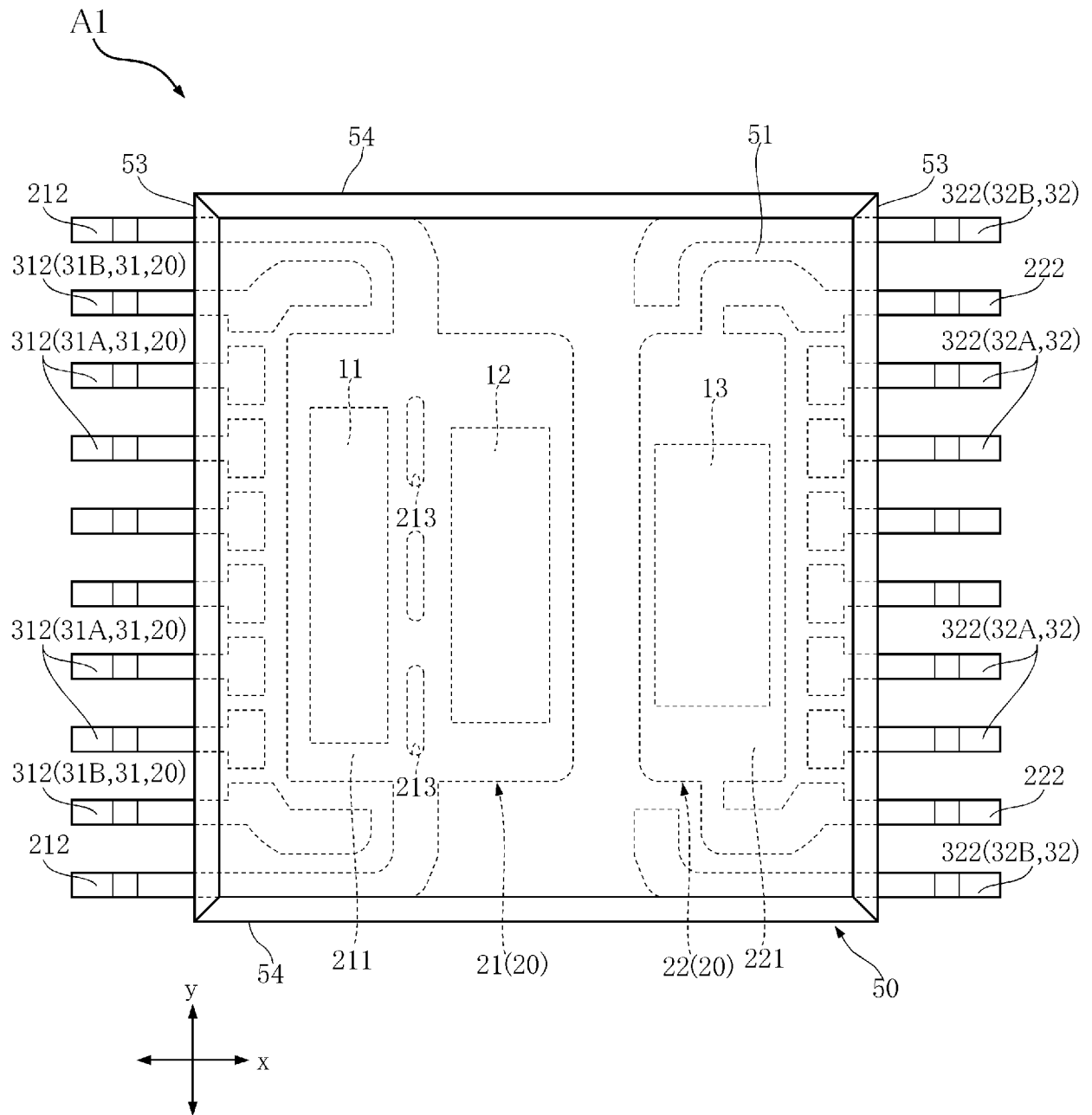
[請求項13] 前記絶縁素子は、前記第 1 部材に搭載されている、請求項 1 2 に記載の半導体装置。

[請求項14] 前記絶縁素子は、前記第 2 部材に搭載されている、請求項 1 2 に記載の半導体装置。

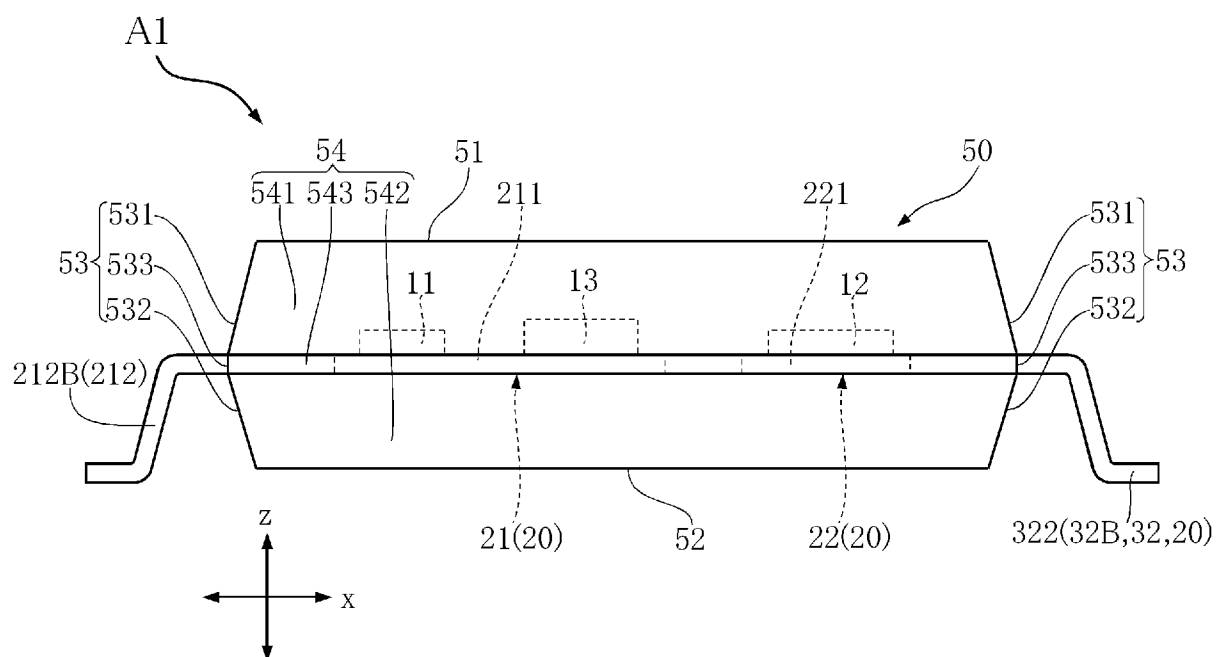
[請求項15] 第 1 ワイヤおよび第 2 ワイヤをさらに備え、
前記第 1 ワイヤは、前記絶縁素子および前記第 1 半導体素子に接合されており、
前記第 2 ワイヤは、前記絶縁素子および前記第 2 半導体素子に接合されており、
前記第 1 ワイヤおよび前記第 2 ワイヤの組成は、金を含む、請求項 1 2 ないし 1 4 のいずれかに記載の半導体装置。

[請求項16] 前記フィラーの組成は、二酸化ケイ素を含む、請求項 1 ないし 1 5 のいずれかに記載の半導体装置。

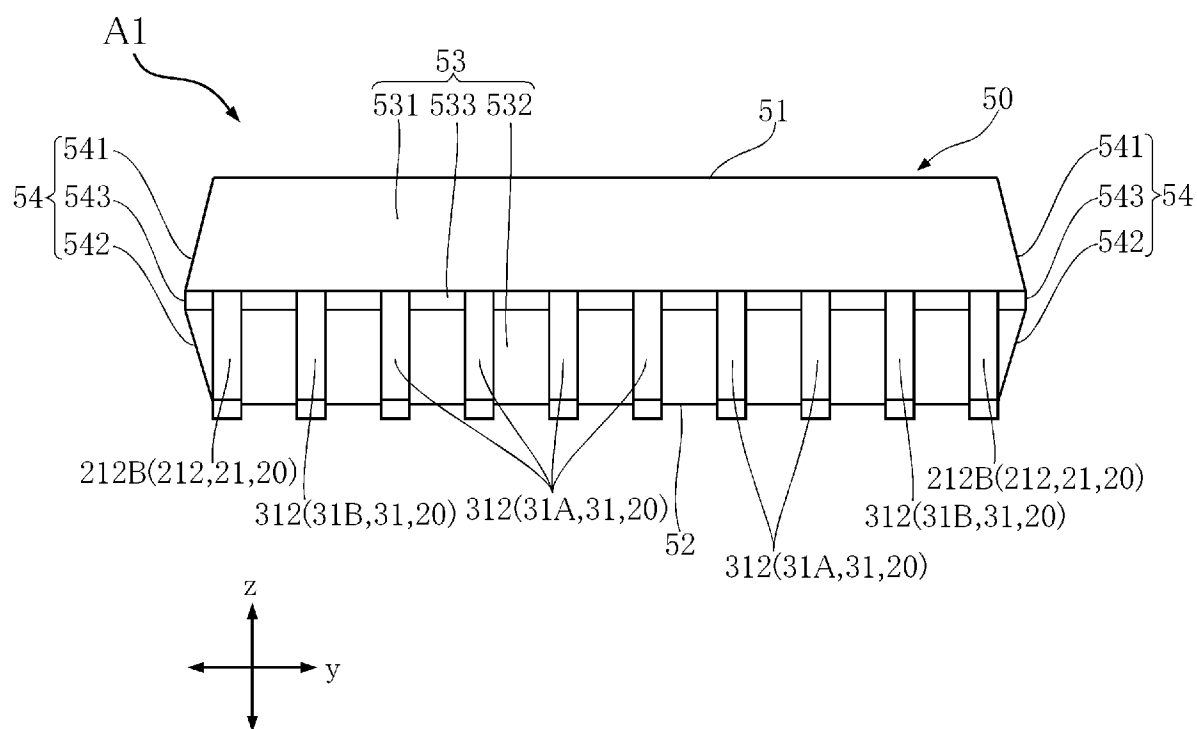
[図1]
FIG.1



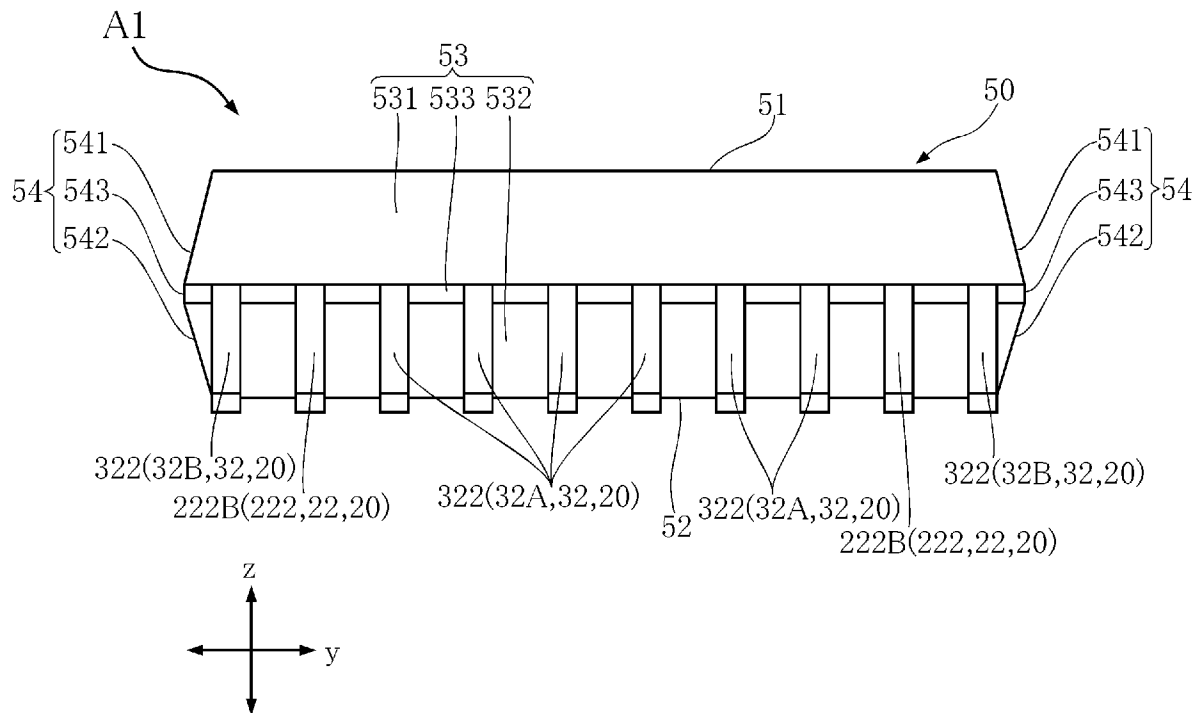
[図3]
FIG.3



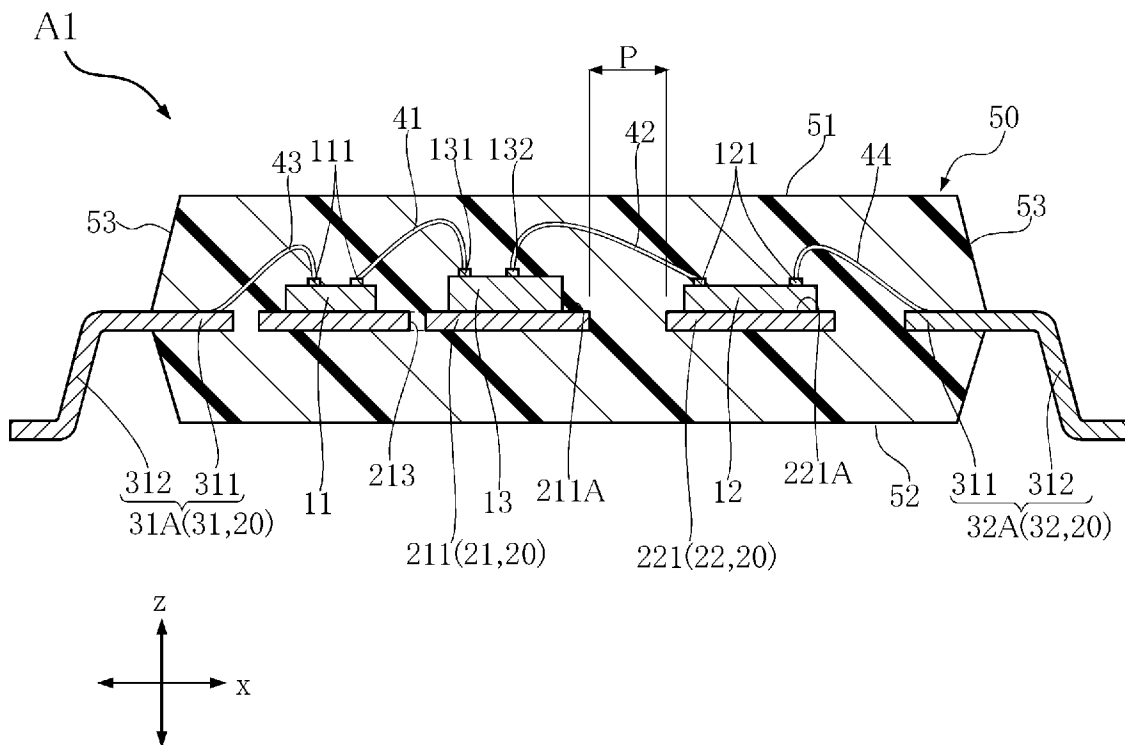
[図4]
FIG.4



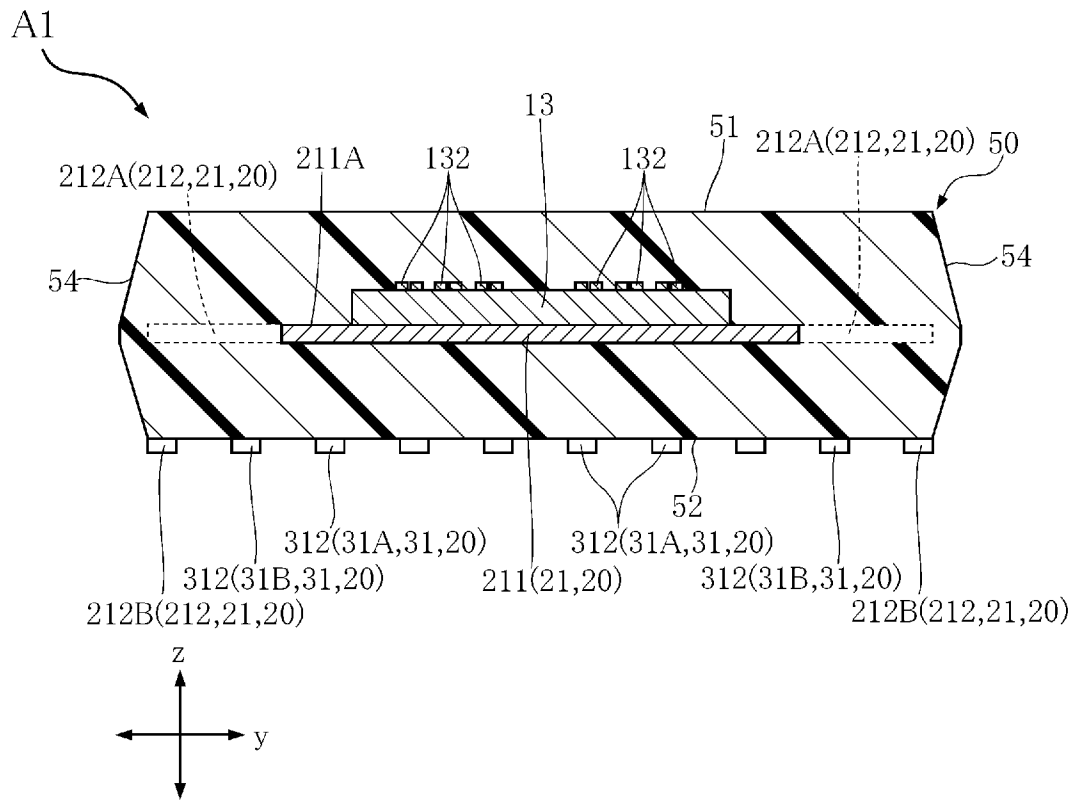
【図5】
FIG.5



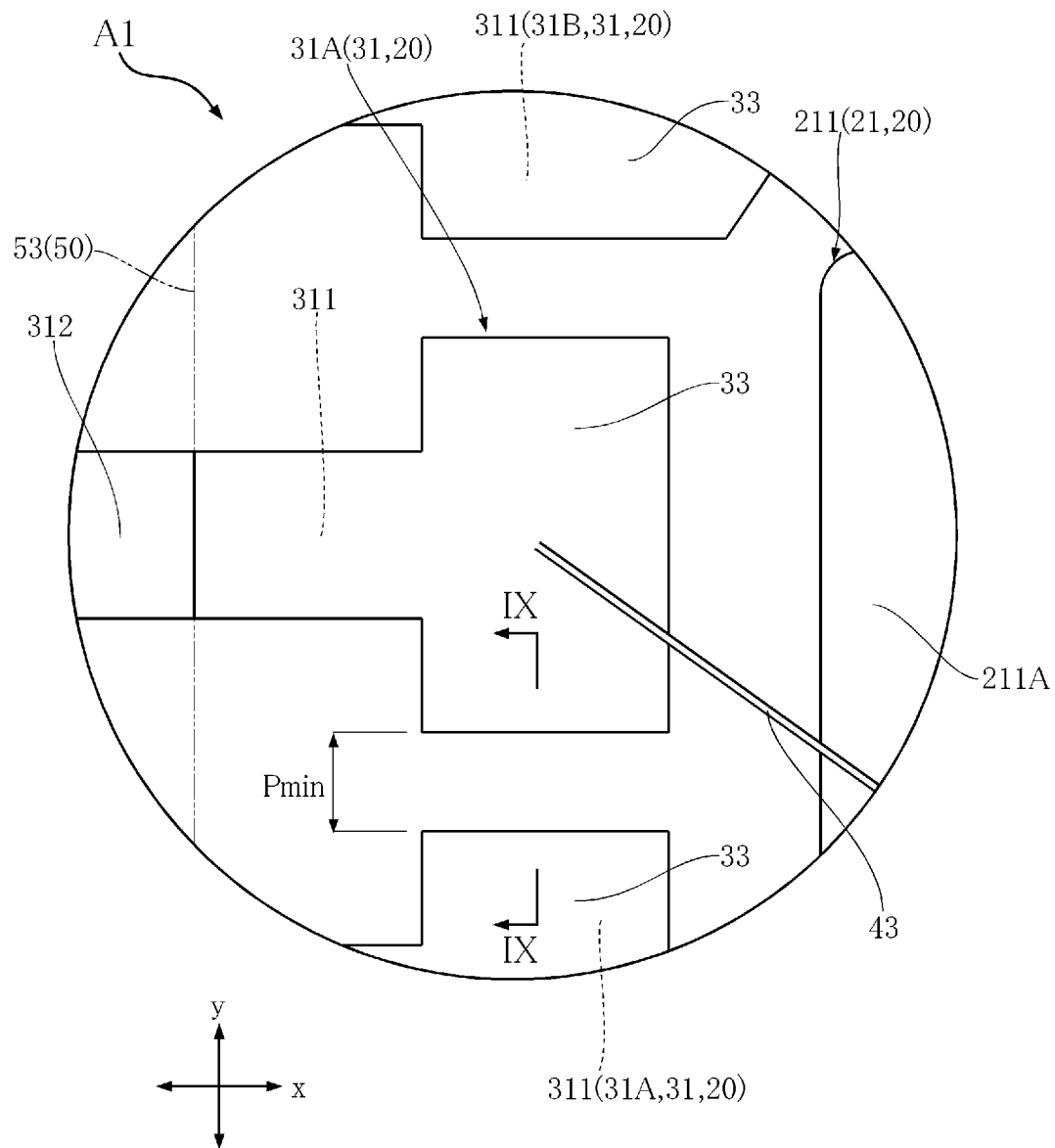
【図6】
FIG.6

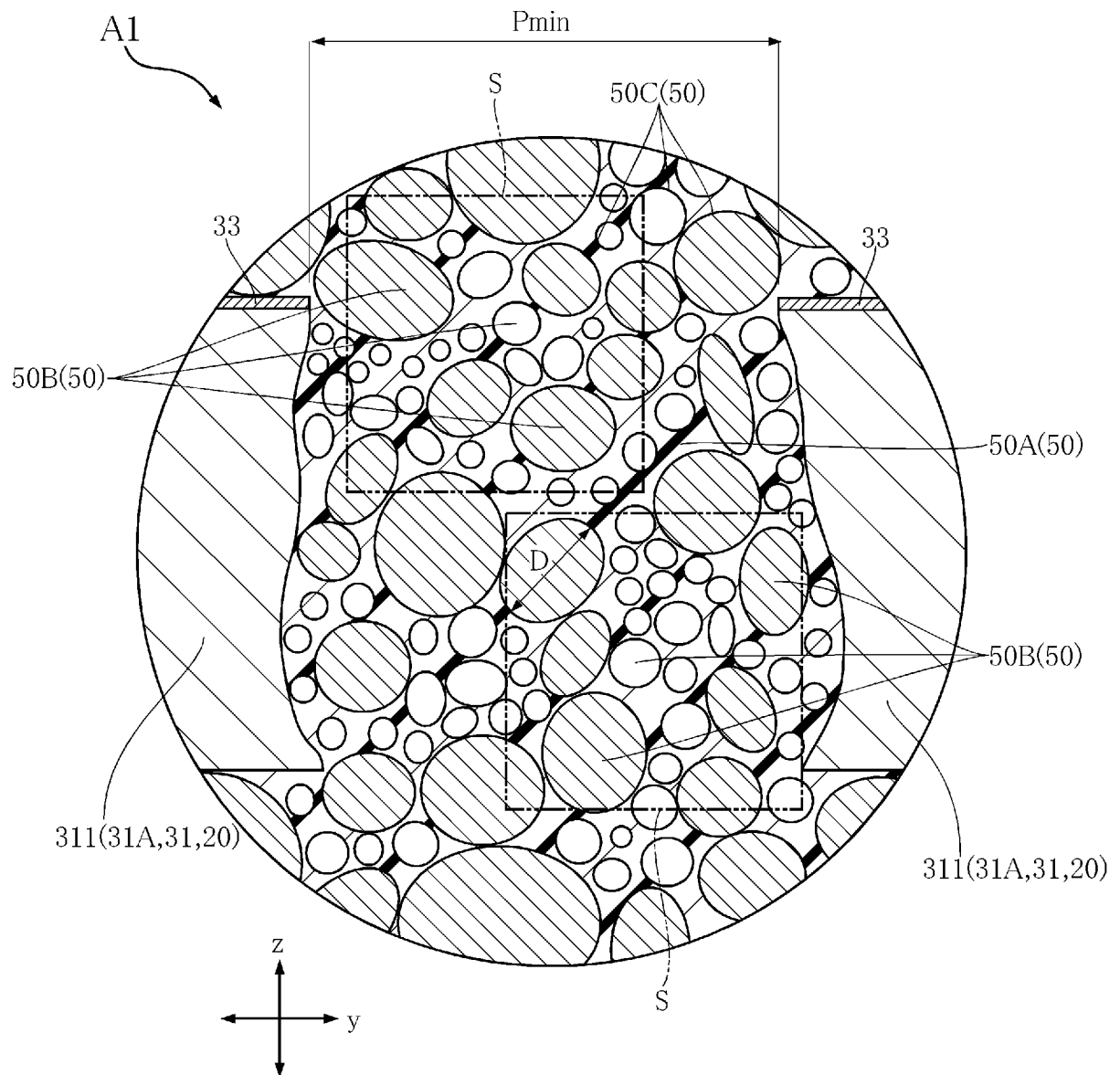


[図7]
FIG.7

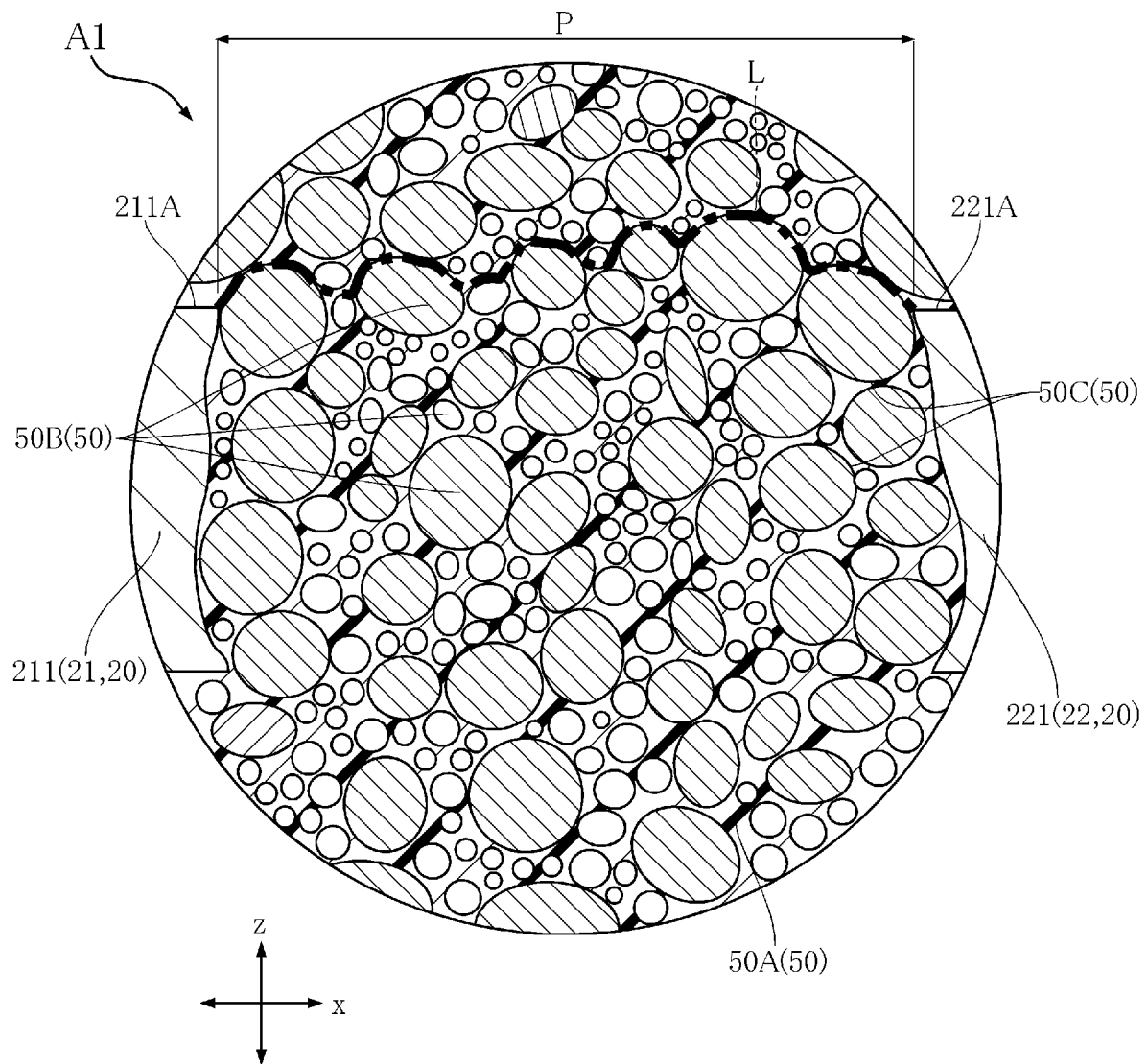


[図8]
FIG.8

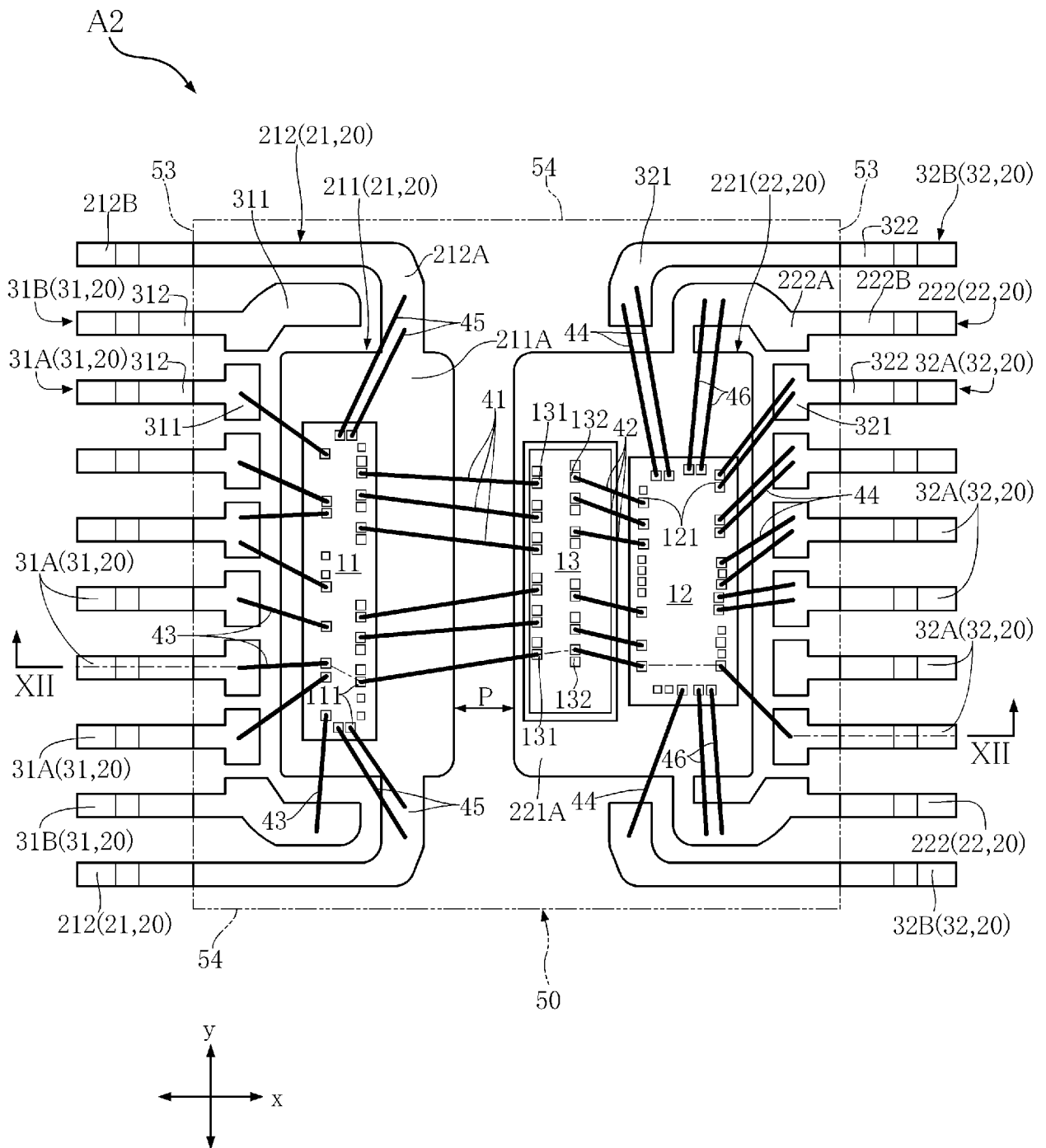


[図9]
FIG.9

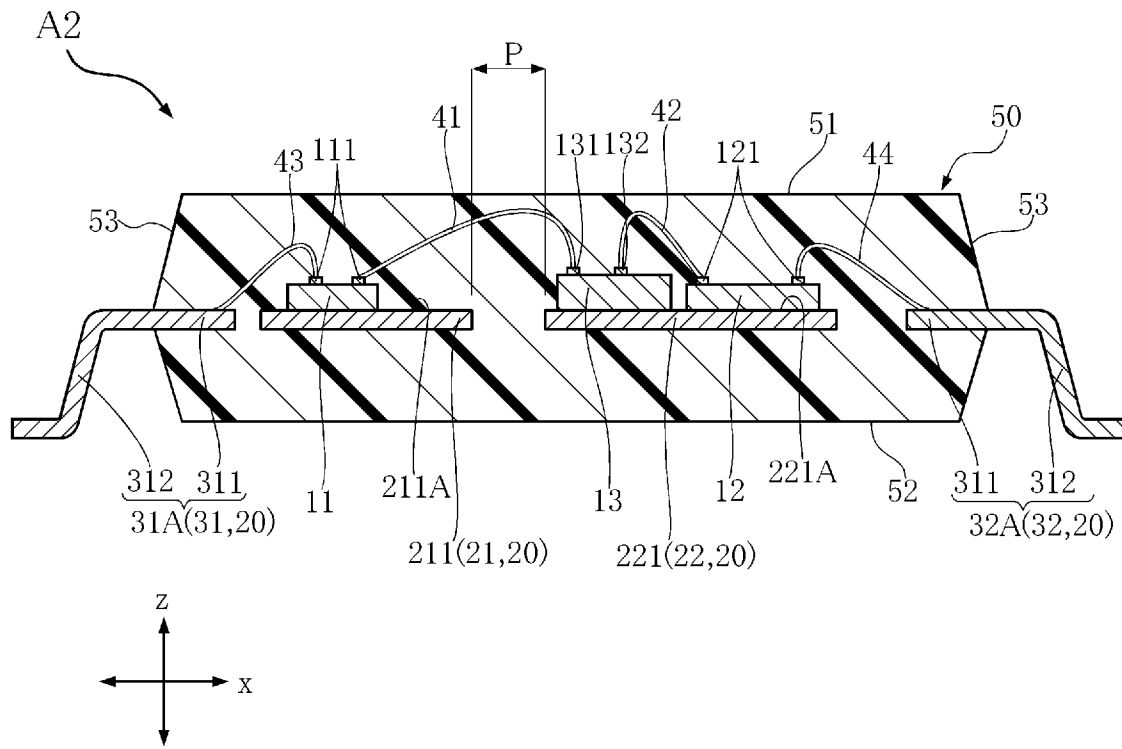
[図10]
FIG.10



[図11]
FIG.11



[図12]
FIG.12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/007924

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/29(2006.01)i; **H01L 23/31**(2006.01)i; **H01L 23/50**(2006.01)i; **H01L 25/07**(2006.01)i; **H01L 25/18**(2006.01)i;
H01L 21/60(2006.01)i

FI: H01L23/30 R; H01L25/04 C; H01L23/50 K; H01L21/60 301A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/29; H01L23/31; H01L23/50; H01L25/07; H01L25/18; H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014/0239472 A1 (JONES, Frank Tim) 28 August 2014 (2014-08-28) paragraphs [0009]-[0021], fig. 1, 2	1-16
A	JP 2016-207714 A (ROHM CO., LTD.) 08 December 2016 (2016-12-08) paragraphs [0043]-[0104], fig. 1-9	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 May 2022

Date of mailing of the international search report

24 May 2022

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/007924

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2014/0239472	A1	28 August 2014	CN	203859110	U	
JP	2016-207714	A	08 December 2016	US	2016/0307854	A1	
				paragraphs [0032]-[0094], fig. 1-9			

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/29(2006.01)i; H01L 23/31(2006.01)i; H01L 23/50(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/60(2006.01)i FI: H01L23/30 R; H01L25/04 C; H01L23/50 K; H01L21/60 301A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L23/29; H01L23/31; H01L23/50; H01L25/07; H01L25/18; H01L21/60														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	US 2014/0239472 A1 (FRANK TIM Jones) 28.08.2014 (2014-08-28) 段落[0009]-[0021]、図1,2	1-16												
A	JP 2016-207714 A (ローム株式会社) 08.12.2016 (2016-12-08) 段落[0043]-[0104]、図1-9	1-16												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 11.05.2022	国際調査報告の発送日 24.05.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 豊島 洋介 5F 9850 電話番号 03-3581-1101 内線 3516													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/007924

引用文献			公表日	パテントファミリー文献			公表日
US	2014/0239472	A1	28.08.2014	CN	203859110	U	
JP	2016-207714	A	08.12.2016	US	2016/0307854	A1	
段落[0032]-[0094]、図1-9							