(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0125049
(43) 공개일자 2019년11월06일

(51) 국제특허분류(Int. Cl.)
H03L 7/099 (2006.01) *H03L 7/197* (2006.01)
(52) CPC특허분류
H03L 7/0998 (2013.01)
H03L 7/0995 (2013.01)
(21) 출원번호 10-2018-0049307
(22) 출원일자 2018년04월27일
심사청구일자 2018년04월27일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
최재혁
울산광역시 울주군 언양읍 유니스트길 50
최서진
울산광역시 울주군 언양읍 유니스트길 50
유세연
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인 무한

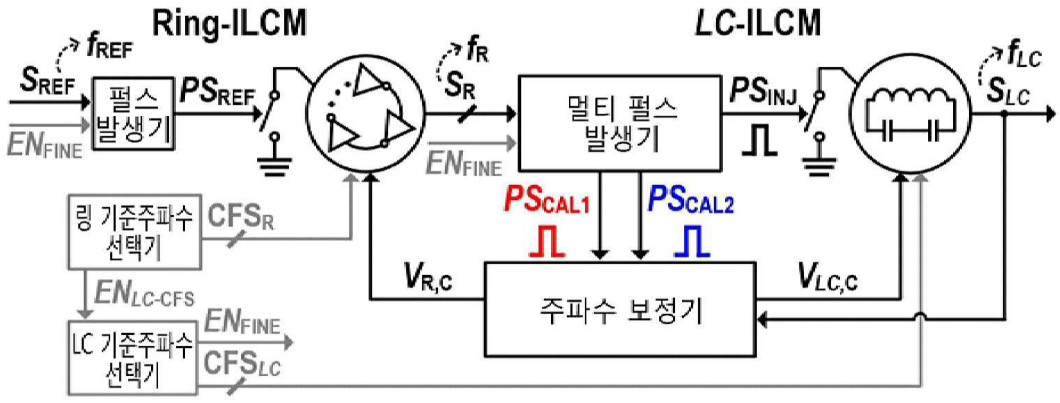
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **주파수 체배 장치 및 방법**

(57) 요 약

인젝션 락킹 기반의 주파수 체배 장치 및 방법에 연관된다. 보다 상세하게는 입력주파수를 입력 받아 제1 펄스 신호(PS_{REF})를 출력하는 펄스 발생기; 홀수의 인버터가 원형으로 배치되고 상기 제1 펄스(PS_{REF})를 입력 받아 1차 체배되는 링 신호(S_R)를 출력하는 링-VCO; 인덕터와 캐패시터로 구성되고 인젝션 펄스(PS_{INJ})를 입력 받아 2차 체배되는 LC 신호(S_{LC})를 출력하는 LC-VCO; 상기 링 신호(S_R)를 입력 받아 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), 인젝션 신호(PS_{INJ})를 출력하는 멀티 펄스 발생기; 및 상기 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), LC 신호(S_{LC})를 입력 받아, 상기 링-VCO를 교정하는 링 교정 전압($V_{R,C}$)과 상기 와 LC-VCO를 교정하는 LC 교정 전압($V_{LC,C}$)을 출력하는 주파수 보정기를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H03L 7/189 (2013.01)
H03L 7/1976 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711070434
부처명 과학기술정보통신부
연구관리전문기관 정보통신기술진흥센터
연구사업명 연구개발고급인력지원
연구과제명 자가충전형 초소형 전국단위 위치추적 시스템 원천기술 개발
기 여 율 1/1
주관기관 울산과학기술원
연구기간 2018.01.01 ~ 2018.12.31

명 세 서

청구범위

청구항 1

입력주파수를 입력 받아 제1 펄스 신호(PS_{REF})를 출력하는 펄스 발생기;

홀수의 인버터가 원형으로 배치되고 상기 제1 펄스(PS_{REF})를 입력 받아 1차 체배되는 링 신호(S_R)를 출력하는 링-VCO;

인덕터와 캐패시터로 구성되고 인젝션 펄스(PS_{INJ})를 입력 받아 2차 체배되는 LC 신호(S_{LC})를 출력하는 LC-VCO;

상기 링 신호(S_R)를 입력 받아 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), 인젝션 신호(PS_{INJ})를 출력하는 멀티 펄스 발생기; 및

상기 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), LC 신호(S_{LC})를 입력 받아, 상기 링-VCO를 교정하는 링 교정 전압($V_{R,C}$)과 상기 LC-VCO를 교정하는 LC 교정 전압($V_{LC,C}$)을 출력하는 주파수 보정기

를 포함하는 인젝션 락킹 주파수 체배기.

청구항 2

제1항에 있어서,

상기 주파수 보정기는 링 신호의 위상 시프트(Φ_R)를 검출하여 상기 링 신호의 위상 시프트에 대응하는 링 교정 전압($V_{R,C}$)을 출력하는 인젝션 락킹 주파수 체배기.

청구항 3

제2항에 있어서

상기 링 신호의 위상 시프트는,

상기 링-VCO의 목표 주파수와 상기 링 신호의 주파수의 차이에 비례하는 인젝션 락킹 주파수 체배기.

청구항 4

제1항에 있어서,

상기 주파수 보정기는 LC 신호의 위상 시프트(Φ_{INJ})를 검출하여 상기 LC 신호의 위상 시프트에 대응하는 LC 교정 전압($V_{R,C}$)을 출력하는 인젝션 락킹 주파수 체배기.

청구항 5

제4항에 있어서,

상기 LC 신호의 위상 시프트는,

상기 LC-VCO의 목표 주파수와 상기 LC 신호의 주파수의 차이에 비례하는 인젝션 락킹 주파수 체배기.

청구항 6

제1 보정 펄스의 최초 펄스, 제1 보정 펄스의 N번째 펄스, 제2 보정 펄스, LC 신호를 입력 받아 제1 직류전압, 제2 직류전압, 제3 직류전압을 출력하는 저주파 필터부(N은 자연수);

상기 제2 직류전압, 제3 직류전압을 입력 받아 제어부의 셀렉신호에 따라 둘 중 하나의 직류전압을 출력하는 멀티플렉서;

상기 멀티플렉서의 출력 직류전압과 제1 직류전압의 크기를 비교하는 비교부;

상기 비교부에 의해 결정되는 값에 대응하여 링 교정 전압과 LC 교정 전압을 출력하는 교정부; 및

상기 멀티플렉서를 제어하는 셀렉신호를 출력하고, 상기 비교부의 클락을 제어하고, 상기 교정부의 클락을 제어하는 제어부

를 포함하는 주파수 보정기.

청구항 7

제6항에 있어서,

상기 교정부는,

제어부의 클락에 대응하여 비교부의 출력을 누적하는 누적기;

상기 누적기의 출력을 안날로그 신호로 변환하는 디지털-아날로그 컨버터;

상기 누적기의 출력에 델타-시그마 변조를 수행하여 상기 컨버터로 입력하는 델타-시그마 변조기; 및

상기 컨버터의 출력을 입력 받아 링 교정 전압 또는 LC 교정 전압을 출력하는 RC필터

를 포함하는 주파수 보정기.

청구항 8

펄스 발생기가 입력주파수를 입력 받아 제1 펄스 신호(PS_{RF})를 출력하는 단계;

홀수의 인버터가 원형으로 배치되는 링-VCO가 상기 제1 펄스(PS_{RREF})를 입력 받아 1차 체배되는 링 신호(S_R)를 출력하는 단계;

인덕터와 캐패시터로 구성되는 LC-VCO가 인젝션 펄스(PS_{INJ})를 입력 받아 2차 체배되는 LC 신호(S_{LC})를 출력하는 단계;

멀티 펄스 발생기가 상기 링 신호(S_R)를 입력 받아 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), 인젝션 신호(PS_{INJ})를 출력하는 단계; 및

주파수 보정기가 상기 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), LC 신호(S_{LC})를 입력 받아, 상기 링-VCO를 교정하는 링 교정 전압($V_{R,C}$)과 상기 LC-VCO를 교정하는 LC 교정 전압($V_{LC,C}$)을 출력하는 단계

를 포함하는 인젝션 락킹 주파수 체배 방법.

청구항 9

제8항에 있어서,

상기 교정 전압을 출력하는 단계는,

링 신호의 위상 시프트(Φ_R)를 검출하여 상기 링 신호의 위상 시프트에 대응하는 링 교정 전압($V_{R,C}$)을 출력하는

인젝션 락킹 주파수 체배 방법.

청구항 10

제9항에 있어서

상기 링 신호의 위상 시프트는,

상기 링-VCO의 목표 주파수와 상기 링 신호의 주파수의 차이에 비례하는 인젝션 락킹 주파수 체배 방법.

청구항 11

제8항에 있어서,

상기 교정 전압을 출력하는 단계는,

LC 신호의 위상 시프트(Φ_{-INJ})를 검출하여 상기 LC 신호의 위상 시프트에 대응하는 LC 교정 전압($V_{R,C}$)을 출력하는 인젝션 락킹 주파수 체배 방법.

청구항 12

제11항에 있어서,

상기 LC 신호의 위상 시프트는,

상기 LC-VCO의 목표 주파수와 상기 LC 신호의 주파수의 차이에 비례하는 인젝션 락킹 주파수 체배 방법.

청구항 13

저주파 필터부가 제1 보정 펄스의 최초 펄스, 제1 보정 펄스의 N번째 펄스, 제2 보정 펄스, LC 신호를 입력 받아 제1 직류전압, 제2 직류전압, 제3 직류전압을 출력하는 단계(N은 자연수);

멀티플렉서가 상기 제2 직류전압, 제3 직류전압을 입력 받아 제어부의 셀렉신호에 따라 둘 중 하나의 직류전압을 출력하는 단계;

비교부가 상기 멀티플렉서의 출력 직류전압과 제1 직류전압의 크기를 비교하는 단계;

교정부가 상기 비교부에 의해 결정되는 값에 대응하여 링 교정 전압과 LC 교정 전압을 출력하는 단계; 및

제어부가 상기 멀티플렉서를 제어하는 셀렉신호를 출력하고, 상기 비교부의 클락을 제어하고, 상기 교정부의 클락을 제어하는 단계

를 포함하는 주파수 보정 방법.

청구항 14

제13항에 있어서,

상기 교정 전압을 출력하는 단계는,

누적기가 상기 제어부의 클락에 대응하여 비교부의 출력을 누적하는 단계;

디지털-아날로그 컨버터가 상기 누적기의 출력을 안날로그 신호로 변환하는 단계;

델타-시그마 변조기가 상기 누적기의 출력에 델타-시그마 변조를 수행하여 상기 컨버터로 입력하는 단계; 및

RC필터가 상기 컨버터의 출력을 입력 받아 링 교정 전압 또는 LC 교정 전압을 출력하는 단계

를 포함하는 주파수 보정 방법.

청구항 15

제8항 내지 제12항 중 어느 한 항의

인젝션 락킹 주파수 체배 방법을 수행하는 프로그램을 수록한 컴퓨터 판독 가능 기록 매체.

발명의 설명

기 술 분 야

[0001] 주파수 체배기에 연관되며, 보다 상세하게는 수십 Gbps의 데이터 전송 속도를 갖는 직렬 통신을 위한 인젝션 락킹(Injection-Locking) 기반의 클락 체배 장치에 연관된다.

배 경 기 술

[0003] 인젝션 락킹(Injection-Locking) 주파수 체배기는 깨끗한 기준 신호로 주기적으로 재조정 시킴으로써 적은 파워 소모로 저위상 잡음을 생성해낸다. 하지만 인젝션 락킹 주파수 체배기는 주파수의 체배 정도인 곱셈 계수가 증가함에 따라 안정성과 잡음 성능이 저하된다. 따라서 일반적으로 인젝션 락킹 주파수 체배기는 실시간 주파수 교정기가 연결되어야 한다.

[0004] 그러나 곱셈 계수가 너무 큰 경우에는 락 범위(Lock Range)가 여러 주기에서 쌓인 주파수 에러보다 훨씬 작기 때문에 주파수 교정기의 설계가 어렵다. 따라서 100이상의 높은 곱셈 계수를 갖는 주파수 체배기의 개발이 요구된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국 공개특허 10-2015-0044617호 (공개일자 2015년04월27일)는 인젝션 락킹 기반 주파수 체배기의 PVT 변화 교정 장치를 제시한다. 기준 클럭과 피드백 클럭의 위상 및 주파수를 비교하여 PVT 변화를 교정하는 장치에 관한 발명이다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0006] 일실시예에 따르면 입력주파수를 입력 받아 제1 펄스 신호(PS_{REF})를 출력하는 펄스 발생기; 홀수의 인버터가 원형으로 배치되고 상기 제1 펄스(PS_{REF})를 입력 받아 1차 체배되는 링 신호(S_R)를 출력하는 링-VCO; 인덕터와 캐패시터로 구성되고 인젝션 펄스(PS_{INJ})를 입력 받아 2차 체배되는 LC 신호(S_{LC})를 출력하는 LC-VCO; 상기 링 신호(S_R)를 입력 받아 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), 인젝션 신호(PS_{INJ})를 출력하는 멀티 펄스 발생기; 및 상기 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), LC 신호(S_{LC})를 입력 받아, 상기 링-VCO를 교정하는 링 교정 전압($V_{R,C}$)과 상기 와 LC-VCO를 교정하는 LC 교정 전압($V_{LC,C}$)을 출력하는 주파수 보정기를 포함하는 인젝션 락킹 주파수 체배기가 개시된다.

[0007] 다른 일실시예에 따르면 상기 주파수 보정기는 링 신호의 위상 시프트(Φ_R)를 검출하여 상기 링 신호의 위상 시

프트에 대응하는 링 교정 전압($V_{R,C}$)을 출력하는 인젝션 락킹 주파수 체배기도 제시된다.

[0008] 또한 상기 링 신호의 위상 시프트는, 상기 링-VCO의 목표 주파수와 상기 링 신호의 주파수의 차이에 비례할 수 있다.

[0009] 또 다른 일실시예에 따르면 상기 주파수 보정기는 LC 신호의 위상 시프트(Φ_{-INJ})를 검출하여 상기 LC 신호의 위상 시프트에 대응하는 LC 교정 전압($V_{R,C}$)을 출력하는 인젝션 락킹 주파수 체배기가 제시된다.

[0010] 또한 상기 LC 신호의 위상 시프트는, 상기 LC-VCO의 목표 주파수와 상기 LC 신호의 주파수의 차이에 비례할 수 있다.

[0011] 일측에 따르면 제1 보정 펄스의 최초 펄스, 제1 보정 펄스의 N번째 펄스, 제2 보정 펄스, LC 신호를 입력 받아 제1 직류전압, 제2 직류전압, 제3 직류전압을 출력하는 저주파 필터부(N은 자연수); 상기 제2 직류전압, 제3 직류전압을 입력 받아 제어부의 셀렉신호에 따라 둘 중 하나의 직류전압을 출력하는 멀티플렉서; 상기 멀티플렉서의 출력 직류전압과 제1 직류전압의 크기를 비교하는 비교부; 상기 비교부에 의해 결정되는 값에 대응하여 링 교정 전압과 LC 교정 전압을 출력하는 교정부; 및 상기 멀티플렉서를 제어하는 셀렉신호를 출력하고, 상기 비교부의 클락을 제어하고, 상기 교정부의 클락을 제어하는 제어부를 포함하는 주파수 보정기가 개시된다.

[0012] 다른 일측에 따르면 상기 교정부는, 제어부의 클락에 대응하여 비교부의 출력을 누적하는 누적기; 상기 누적기의 출력을 안날로그 신호로 변환하는 디지털-아날로그 컨버터; 상기 누적기의 출력에 델타-시그마 변조를 수행하여 상기 컨버터로 입력하는 델타-시그마 변조기; 및 상기 컨버터의 출력을 입력 받아 링 교정 전압 또는 LC 교정 전압을 출력하는 RC필터를 포함하는 주파수 보정기도 가능하다.

[0013] 일실시예에 따르면 펄스 발생기가 입력주파수를 입력 받아 제1 펄스 신호(PS_{RF})를 출력하는 단계; 홀수의 인버터가 원형으로 배치되는 링-VCO가 상기 제1 펄스(PS_{REF})를 입력 받아 1차 체배되는 링 신호(S_R)를 출력하는 단계; 인덕터와 캐패시터로 구성되는 LC-VCO가 인젝션 펄스(PS_{INJ})를 입력 받아 2차 체배되는 LC 신호(S_{LC})를 출력하는 단계; 멀티 펄스 발생기가 상기 링 신호(S_R)를 입력 받아 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), 인젝션 신호(PS_{INJ})를 출력하는 단계; 및 주파수 보정기가 상기 제1 보정 펄스(PS_{CAL1}), 제2 보정 펄스(PS_{CAL2}), LC 신호(S_{LC})를 입력 받아, 상기 링-VCO를 교정하는 링 교정 전압($V_{R,C}$)과 상기 와 LC-VCO를 교정하는 LC 교정 전압($V_{LC,C}$)을 출력하는 단계를 포함하는 인젝션 락킹 주파수 체배 방법이 개시된다.

[0014] 다른 일실시예에 따르면 상기 교정 전압을 출력하는 단계는, 링 신호의 위상 시프트(Φ_{-R})를 검출하여 상기 링 신호의 위상 시프트에 대응하는 링 교정 전압($V_{R,C}$)을 출력하는 인젝션 락킹 주파수 체배 방법이 제시된다.

[0015] 그리고, 상기 링 신호의 위상 시프트는, 상기 링-VCO의 목표 주파수와 상기 링 신호의 주파수의 차이에 비례할 수 있다.

[0016] 또 다른 일실시예에 따르면 상기 교정 전압을 출력하는 단계는, LC 신호의 위상 시프트(Φ_{-INJ})를 검출하여 상기 LC 신호의 위상 시프트에 대응하는 LC 교정 전압($V_{R,C}$)을 출력하는 인젝션 락킹 주파수 체배 방법일 수 있고, 상기 LC 신호의 위상 시프트는, 상기 LC-VCO의 목표 주파수와 상기 LC 신호의 주파수의 차이에 비례하는 방법도 가능하다.

[0017] 다른 일실시예에 따르면 저주파 필터부가 제1 보정 펄스의 최초 펄스, 제1 보정 펄스의 N번째 펄스, 제2 보정 펄스, LC 신호를 입력 받아 제1 직류전압, 제2 직류전압, 제3 직류전압을 출력하는 단계(N은 자연수); 멀티플렉서가 상기 제2 직류전압, 제3 직류전압을 입력 받아 제어부의 셀렉신호에 따라 둘 중 하나의 직류전압을 출력하는 단계; 비교부가 상기 멀티플렉서의 출력 직류전압과 제1 직류전압의 크기를 비교하는 단계; 교정부가 상기 비교부에 의해 결정되는 값에 대응하여 링 교정 전압과 LC 교정 전압을 출력하는 단계; 및 제어부가 상기 멀티플렉서를 제어하는 셀렉신호를 출력하고, 상기 비교부의 클락을 제어하고, 상기 교정부의 클락을 제어하는 단계를 포함하는 주파수 보정 방법이 개시된다.

[0018] 그리소 상기 교정 전압을 출력하는 단계는, 누적기가 상기 제어부의 클락에 대응하여 비교부의 출력을 누적하는 단계; 디지털-아날로그 컨버터가 상기 누적기의 출력을 안날로그 신호로 변환하는 단계; 델타-시그마 변조기가 상기 누적기의 출력에 델타-시그마 변조를 수행하여 상기 컨버터로 입력하는 단계; 및 RC필터가 상기 컨버터의

출력을 입력 받아 링 교정 전압 또는 LC 교정 전압을 출력하는 단계를 포함할 수 있다.

[0019] 상기 인젝션 락킹 주파수 체배 방법들을 수행하는 프로그램을 수록한 컴퓨터 판독 가능 기록 매체도 가능하다.

도면의 간단한 설명

[0021] 도 1은 일실시예에 따른 링 LC 하이브리드 인젝션 락킹 주파수 체배기의 구성을 도시한다.

도 2는 일실시예에 따른 이중 목적 주파수 보정기의 동작 원리를 도시한다.

도 3은 일실시예에 따른 주파수 보정기가 링 VCO의 주파수를 보정하는 원리를 도시한다.

도 4는 일실시예에 따른 주파수 보정기가 LC VCO의 주파수를 보정하는 원리를 도시한다.

도 5는 일실시예에 따른 멀티 펄스 발생기의 동작과 펄스 위상을 도시한다.

도 6은 일실시예에 따른 주파수 보정기의 전체 구조를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하에서, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 권리범위는 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0023] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.

[0024] 또한 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.

[0026] 인젝션 락킹 주파수 체배기(Injection-Lock Clock Multiplier, ILCM)은 낮은 전력 소비로 낮은 지터 신호를 생성 할 수 있기 때문에 수십 Gbps의 목표 데이터 전송 속도로 초고속 직렬 통신을 위해 사용된다. 그러나 인젝션 락킹 주파수 체배기는 체배되는 곱셈 계수(N)가 증가함에 따라 안정성과 잡음 성능이 저하된다. 그 이유는 인젝션 락킹 주파수 체배의 메커니즘이 PVT(Process, Voltage, Temperature) 변동으로 인해 발생하는 주파수 드리프트를 수정하지 않고 위상 오류만을 없애기 때문이다. 따라서 일반적으로 인젝션 락킹 주파수 체배기에는 전용 실시간 주파수 보정기가 장착된다.

[0027] 그런데 곱셈 계수(N)가 너무 크면 주파수 보정기 자체의 설계가 어렵다. 예를 들어 상기 곱셈 계수(N)가 100 이상인 경우에, 이는 락킹 범위(Lock Range)가 여러 주기에서 쌓인 주파수 에러보다 훨씬 작기 때문이다. 따라서 큰 곱셈 계수 N을 작은 계수인 N1과 N2로 분해하는 방법을 제시한다. 즉, 낮은 기준 주파수(f_{REF})를 고주파 대역으로 2번에 걸쳐 단계적으로 증가시키는 방법이다.

[0028] 일실시예에 따르면 2 개의 LC-VCO 기반 인젝션 락킹 주파수 체배기(LC-ILCM)가 캐스케이드(Cascade) 구조로 배열 될 수 있으나, 첫 번째 단계에서 LC VCO로 인해 넓은 면적이 요구되는 단점이 있다. 다른 일실시예에 따르면 두 개의 링-VCO 기반 인젝션 락킹 주파수 체배기(R-ILCM)을 사용할 수 있지만 링-VCO의 노이즈 성능으로 인해 낮은 지터의 고주파 신호를 얻을 수 없다.

[0030] 도 1은 일실시예에 따른 링 LC 하이브리드 인젝션 락킹 주파수 체배기의 구성을 도시한다.

[0031] 일실시예에 따른 링 LC 하이브리드 인젝션 락킹 주파수 체배기(Ring LC Hybrid Injection Locking Clock Multiplier, RLH ILCM)는 펄스 발생기(Pulse Generator), 링 VCO(Ring Voltage Controlled Oscillator), 멀티 펄스 발생기(Multi Pulse Generator), LC-VCO(LC-Voltage Controlled Oscillator) 및 주파수 보정기(Frequency Calibrator)로 구성될 수 있다. 또는 링 기준 주파수 선택기와 LC 기준 주파수 선택기를 더 포함할 수 있다.

[0032] 일실시예에 따른 Ring-LC 하이브리드 (RLH) ILCM은 N이 매우 큰 경우에도 PVT 변화에도 불구하고 안정적으로 굉장히 낮은 지터를 구현할 수 있는 효과가 있다. 첫 번째 단계에서 링 VCO는 기준 주파수(f_{REF})를 GHz 범위의 링 주파수(f_R)로 N_1배 증가시킨다. 두 번째 단계에서, LC-VCO는 링 주파수(f_R)보다 N_2배 체배되는 목표 고주파(f_{LC})를 생성한다($f_{LC}=f_R\times N_2$).

[0033] 도 1은 제안되는 RLH ILCM의 전체 구성을 도시한다. 예시적으로 그러나 한정되지 않게 총 N은 114이고 N_1과 N_2는 각각 6과 19인 경우로 설명한다.

[0034] 기준 주파수 선택기(Center Frequency Selector)는 기준 클럭(S_{REF})에 의해 펄스 발생기가 발생하는 얇은 펄스(PS_{REF})가 링 VCO의 첫 번째 스테이지 출력인 SR<0> 에 주입되기 전에 링 VCO 및 LC-VCO의 초기 주파수를 조정한다. 링 기준 주파수 선택기(RCFS)는 링VCO의 초기 주파수를 조정하고, LC 기준 주파수 선택기(LCCFS)는 LC-VCO의 초기 주파수를 조정한다.

[0035] 멀티 펄스 발생기(Multi Pulse Generator, MPG)는 PS_{INJ}, PS_{CAL1}, PS_{CAL2}의 3 종류 펄스를 생성한다. PS_{INJ}는 LC-VCO에 주입되고 제1 보정 펄스(PS_{CAL1})와 제2 보정 펄스(PS_{CAL2})는 주파수 보정기(DPFC)에서 두 VCO의 주파수를 보정하는 데 사용된다.

[0036] 도 5를 살펴보면, 세 개의 펄스는 11개의 스테이지로 이루어진 링 VCO의 22 개 위상 중 6 개의 연속 위상, Φ13 ~ Φ18에서 생성되며 펄스들은 같은 펄스폭(pulse width)을 갖는다. 기준 펄스(PS_{REF})의 주입에 의해 재정렬되는 S_R<0>의 상승 에지는 링 VCO의 N_1개의 사이클을 포함하는 새로운 기준주기의 시작으로 가정한다. PS_{CAL1}[k], PS_{INJ}[k], PS_{CAL2}[k]는 링 VCO의 k 번째 사이클에서 생성 된 세 개의 펄스들을 의미한다. 여기서 k는 1에서 N_1까지 이다.

[0037] RLH ILCM의 각 구성을 개별적으로 살펴보면, 펄스 발생기는 기준 주파수(f_{REF})에 대응하는 기준 클럭을 입력 받아 기준 펄스(PS_{REF})를 생성한다.

[0038] 상기 기준 펄스(PS_{REF})는 링 VCO의 입력으로 들어가고, 상기 링 VCO는 1차 체배되는 링 신호(S_R)를 생성한다. 상기 링 신호(S_R)는 기준 펄스 보다 N_1배 체배된다.

[0039] 멀티 펄스 발생기는 상기 링 신호(S_R)를 입력으로 하여 3 개의 펄스를 출력한다. LC-VCO의 입력으로 들어가는 인젝션 펄스(PS_{INJ})와 주파수 보정기의 입력으로 들어가는 두 개의 보정 펄스(PS_{CAL1}, PS_{CAL2})를 출력한다.

[0040] LC-VCO는 상기 멀티 펄스 발생기에서 출력되는 인젝션 펄스(PS_{INJ})를 입력 받아 LC 신호(S_{LC})를 출력한다. 상기 LC신호(S_{LC})는 링 신호(S_R) 보다 N_2배 체배되며 최종 출력 주파수(f_{LC})에 대응한다. 상기 최종 출력 주파수(f_{LC})는 입력 기준 주파수(f_{REF})보다 2번 체배되어 114배 체배된다. 상기 수치는 N_1이 6이고, N_2가 19인 경우를 예시할 뿐 이에 한정되는 것은 아니다.

[0041] 주파수 보정기는 제1 보정 펄스(PS_{CAL1})와 제2 보정 펄스(PS_{CAL2}) 그리고 LC 신호(S_{LC})를 입력 받는다. 상기 세 종류의 신호를 이용하여 링 VCO와 LC-VCO를 교정하는 링 교정 전압($V_{R,C}$)과 LC 교정 전압($V_{LC,C}$)을 출력한다.

[0043] 도 2는 일실시예에 따른 이중 목적 주파수 보정기의 동작 원리를 도시한다.

[0044] 링 VCO와 LC-VCO의 주파수 에러를 동시에 교정하는 이중 목적 주파수 보정기(Dual Purpose Frequency Calibrator, DPFC)는 전력 및 면적의 소모를 크게 줄일 수 있다.

[0045] 도 2에서 ①, ②, ③는 각각 LC-VCO의 출력 신호인 LC 신호(S_{LC})가 PS_{CAL1}[N1], PS_{CAL2}[N1], PS_{CAL1}[1]과 중첩(overlab)되는 영역을 나타낸다. 링 신호의 프리 러닝(free running) 주파수($f_{R,FR}$)의 교정을 위해 주파수 보정기는 ①과 ③을 사용한다. 즉, 상기 LC 신호(S_{LC})가 제1 보정 펄스(PS_{CAL1})의 N_1번째 신호 및 첫번째 신호에 중첩되는 영역을 이용한다.

[0046] 도 2 에 도시 된 바와 같이, 링 신호의 프리러닝 주파수($f_{R,FR}$)가 기준 주파수로부터 N_1배 체배되는 목표 주파수($N_1 \times f_{REF}$)로부터 벗어나는 경우에, 기준 펄스(PS_{REF})의 주입은 링 신호 S_R<0>의 순간적인 링 위상 시프트를 $\Delta\Phi_R$ 만큼 발생 시키고, PSCAL1[1]도 같은 크기만큼의 링 위상 시프트를 갖는다. 상기 링 위상 시프트는 주파수가 벗어나는 정도와 비례한다.

[0047] 반면에 PS_{CAL1}[N1]은 위상 시프트를 갖지 않기 때문에, 주파수 보정기는 ①과 ③을 비교하여 위상 시프트($\Delta\Phi_R$)를 검출 할 수 있고 이에 따라 링-VCO의 주파수 에러를 교정할 수 있다.

[0048] 도 3 및 도 4에서 위상 시프트에 따른 교정을 보다 상세하게 살펴본다.

[0049] 도 3은 일실시예에 따른 주파수 보정기가 링 VCO의 주파수를 보정하는 원리를 도시한다.

[0050] 링 신호의 프리러닝 주파수($f_{R,FR}$)가 1차 체배되는 목표 주파수($N_1 \times f_{REF}$)와 차이가 없는 경우에는 링 위상 시프트가 발생하지 않고, ③과 ①은 동일한 면적을 갖는다.

[0051] 그러나 링 신호의 프리러닝 주파수($f_{R,FR}$)가 목표 주파수보다 크면 ③의 면적은 ①의 면적보다 커진다. 반대로 링 신호의 프리러닝 주파수($f_{R,FR}$)가 목표 주파수보다 작으면 ③의 면적은 ①보다 작아진다.

[0052] 상기 ③의 면적과 ①의 면적 차이는 링 위상 시프트($\Delta\Phi_R$)에 비례하기 때문에 위상 시프트를 상기 면적 비교 방법을 이용하여 교정할 수 있다.

[0054] 도 4는 일실시예에 따른 주파수 보정기가 LC-VCO의 주파수를 보정하는 원리를 도시한다.

[0055] LC 신호의 프리러닝 주파수($f_{LC,FR}$)가 2차 체배되는 최종 목표 주파수($N_2 \times f_R$)와 차이가 없는 경우에는 인젝션 위상 시프트($\Delta\Phi_{INJ}$)가 발생하지 않고, ②와 ①은 동일한 면적을 갖는다.

[0056] LC 신호의 프리러닝 주파수($f_{LC,FR}$)를 교정하기 위해서는 ①과 ②를 비교한다. LC 신호의 프리러닝 주파수($f_{LC,FR}$)가 최종 목표 주파수($N_2 \times f_R$)에서 벗어남에 따라 LC 신호(S_{LC})와 인젝션 펄스(PS_{INJ}[N1])의 중심선 사이의 거리인 인젝션 위상 시프트($\Delta\Phi_{INJ}$)가 비례하여 증가한다는 사실을 이용한다. 따라서 LC 신호의 프리러닝 주파수($f_{LC,FR}$)가 최종 목표 주파수에 정확하게 대응하는 경우에($f_{LC,FR} = N_2 \times f_R$), 인젝션 위상 시프트($\Delta\Phi_{INJ}$)는 0이므로 ①이 ②의 면적이 동일하다.

[0057] LC 신호의 프리러닝 주파수($f_{LC,FR}$)가 최종 목표 주파수($N_2 \times f_R$)보다 높을 때는 ①의 면적이 ②의 면적보다 커진다. 반면에 LC 신호의 프리러닝 주파수($f_{LC,FR}$)가 최종 목표 주파수($N_2 \times f_R$)보다 낮을 때는 ①의 면적이 ②의 면적보다 작아진다.

[0059] 도 5는 일실시예에 따른 멀티 펄스 발생기의 동작과 펄스 위상을 도시한다. 도 5는 앞선 도 1에서 설명한 대로, 멀티 펄스 발생기의 동작을 구체적으로 도시한다.

[0060] 예시적으로 그러나 한정되지 않게 N_1=6이고, N_2=19인 경우에, 세 개의 펄스는 11개의 스테이지로 이루어진 링 VCO의 22 개 위상 중 6 개의 연속 위상, Φ13 ~ Φ18에서 생성되며 펄스들은 같은 펄스폭(pulse width)을 갖는다. 기준 펄스(PS_{REF})의 주입에 의해 재정렬되는 링 신호 S_R<0>의 상승 에지는 링 VCO의 N_1개의 사이클을 포함하는 새로운 기준주기의 시작으로 가정한다. PS_{CAL1}[k], PS_{INJ}[k], PS_{CAL2}[k]는 링 VCO의 k 번째 사이클에서 생성 된 세 개의 펄스들을 의미한다. 여기서 k는 1에서 N_1까지 이다.

[0062] 도 6은 일실시예에 따른 주파수 보정기의 전체 구조를 도시한다. 주파수 보정기는 비교기 제어부(610), 스위치드 저주파 필터(620), 비교기(630) 및 교정부(640)를 포함할 수 있다.

[0063] 이중 목적 주파수 보정기(DPFC)는 저주파수 극을 갖는 스위치드 저주파 필터(Switched-Low Pass filter, 620)

를 사용하여 DC 전압인 V_{DC1}, V_{DC2}, V_{DC3}을 출력하여 각각 ①, ②, ③을 얻는다. 전력 및 면적의 사용을 절약하기 위해 하나의 비교기(Comparator, 630)가 두 개의 VCO의 주파수를 교정하는 데 사용된다.

[0064] 상기 비교기(630)를 시간차(time-interleaved) 방식으로 두 개의 VCO 교정을 위해서 공유하기 위해, 비교기 제어부(610) 에서 나오는 컨트롤 신호에 따라 V_{DC2} 또는 V_{DC3}가 멀티플렉서(MUX)를 통해 교대로 통과된다.

[0065] 일실시예에 따르면 상기 비교기(630)는 auto-zeroing technique을 사용하여 인풋 오프셋을 제거할 수 있으며, 정상 상태(Steady State)에서 출력의 주기적 토글링(Toggling)을 방지하여, 저주파 스퍼(Spur)를 발생시키지 않도록 데드존(Dead zone)을 포함하는 비교기로 설계될 수 있다.

[0066] 링 VCO와 LC-VCO 각각의 컨트롤 전압인 $V_{R,C}$, $V_{LC,C}$는 비교기(630)의 출력인 COUT<1:0>에 따라 주파수 교정부(Frequency Corrector, 640)에 의해 업데이트 된다. 상기 교정부(640)는 누적기(accumulator), 디지털-아날로그 컨버터(DAC), 델타-시그마 변조기($\Delta\Sigma$M) 및 RC-필터로 구성될 수 있다.

[0067] 주파수 보정기(DPFC)는 20GHz 이상의 주파수를 갖는 LC 신호(S_{LC})와 수 GHz 범위의 주파수를 갖는 링 신호(S_R)를 동시에 보정하는 경우에 400㎼ 정도의 낮은 전력이 소모된다. 상기 주파수 보정기(DPFC)의 동작 주파수가 매우 낮고 한 개의 저대역폭 비교기(630)를 사용하기 때문이다.

[0069] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0070] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0071] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0072] 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재

로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

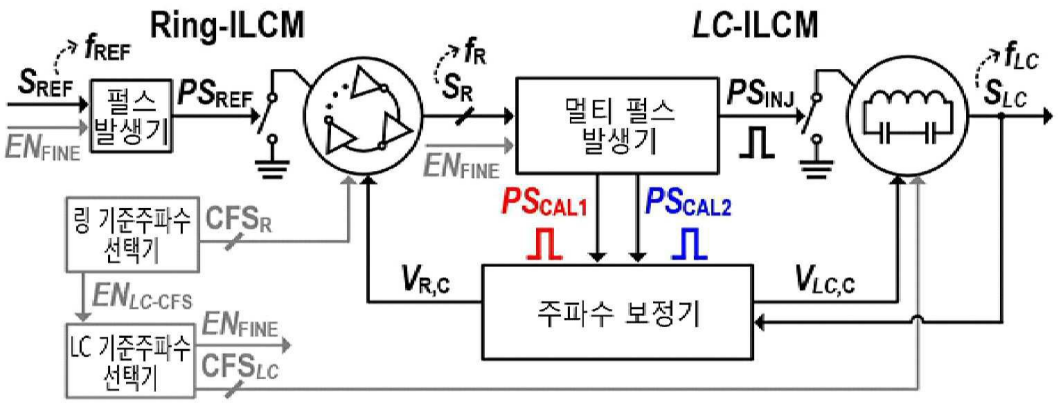
[0073] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

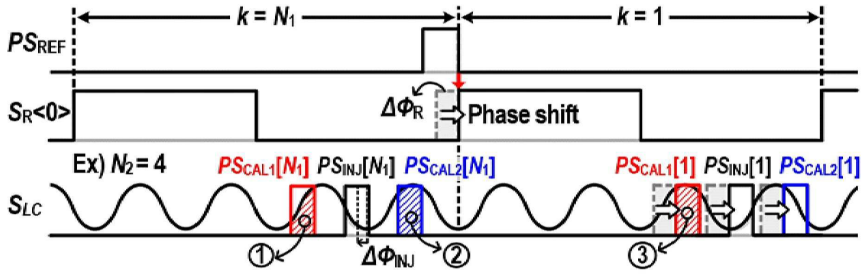
[0074] 100:

도면

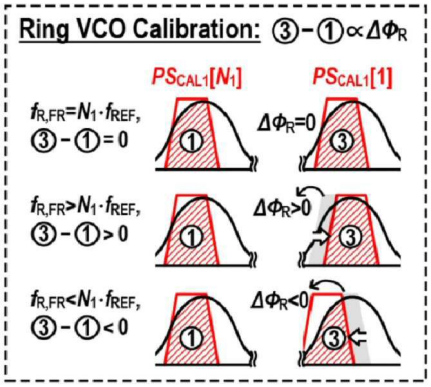
도면1



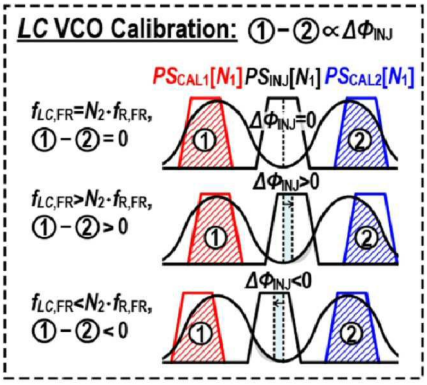
도면2



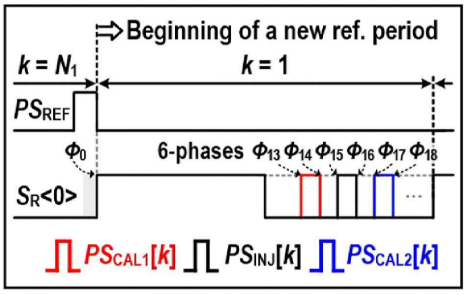
도면3



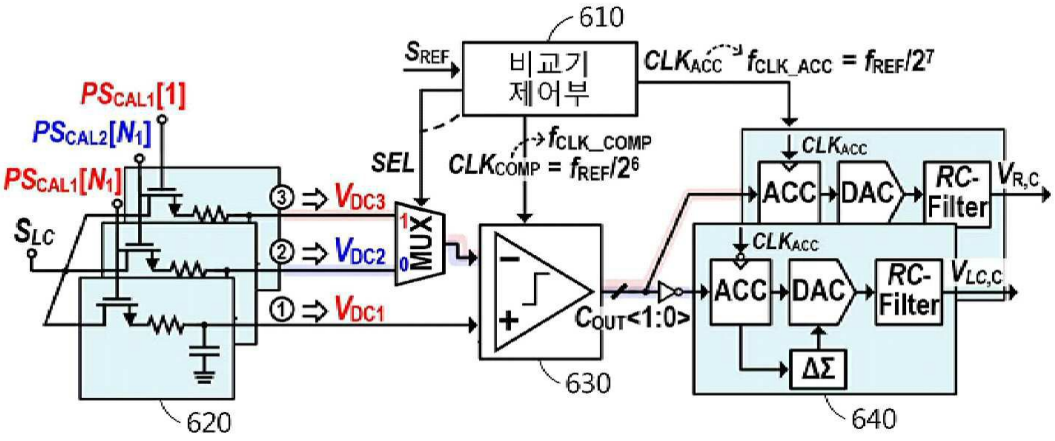
도면4


LC VCO Calibration: ①−②∝ΔΦINJ
PSCAL1[N1] PSINJ[N1] PSCAL2[N1]
fLC,FR=N2·fR,FR,
①−②=0
ΔΦINJ=0
fLC,FR>N2·fR,FR,
①−②>0
ΔΦINJ>0
fLC,FR<N2·fR,FR,
①−②<0
ΔΦINJ<0

도면5


Beginning of a new ref. period
k = N1
k = 1
PSREF
Φ0
6-phases Φ13 Φ14 Φ15 Φ16 Φ17 Φ18
SR<0>
PSCAL1[k] PSINJ[k] PSCAL2[k]

도면6


610
SREF
비교기 제어부
CLKACC
fCLK_ACC = fREF/27
fCLK_COMP
CLKCOMP = fREF/26
SEL
PSCAL1[1]
PSCAL2[N1]
PSCAL1[N1]
SLC
③ ⇒ VDC3
② ⇒ VDC2
① ⇒ VDC1
MUX
COUT<1:0>
ACC
DAC
RC-Filter
VR,C
VLC,C
ΔΣ
620
630
640