(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108

(45) 공고일자 2000년08월01일
(11) 등록번호 10-0263101
(24) 등록일자 2000년05월12일

(21) 출원번호 10-1993-0003968
(65) 공개번호 특1993-0020690
(22) 출원일자 1993년03월16일
(43) 공개일자 1993년10월20일
(30) 우선권주장 856,411 1992년03월23일 미국(US)

(73) 특허권자 모토로라 인코포레이티드 비센트 비.인그라시아
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303
(72) 발명자 케이쓰이. 위텍
미국, 텍사스 78704, 오스틴, 맨차카 로드 3204
카를로스 에이. 마주
미국, 텍사스 78739, 오스틴, 메드필드 코트 10910
존 테일러 피치
미국, 텍사스 78759, 오스틴, 졸리빌 로드 11160
(74) 대리인 이병호

심사관 : 조지은

(54) 동적 메모리 셀

요약

트랜지스터 및 캐패시터를 형성하는 방법이 한 형태에서 DRAM 셀(10)에 제공된다. 셀(10)의 캐패시터는 기판(12)내에 형성된다. 캐패시터는 제 1 캐패시터 전극(16) 및 제 2 캐패시터 전극(20)을 갖는다. 유전체 층(18)은 전극간의 캐패시터 유전체로서 형성된다. 제 1 트랜지스터 전류 전극(36)은 제 1 캐패시터 전극(16)위에 형성되며 전기적으로 연결된다. 제 1 트랜지스터 전류 전극(36)위에 겹쳐서 채널 영역(38)이 형성된다. 채널 영역위에 겹쳐서 제 2 트랜지스터 전류 전극(40)이 형성된다. 전도층(30)이 채널 영역(38)에 측방으로 인접하여 형성되며 그 전도층은 유전체 층(22 및 28)에 의해 기판(12)으로부터 분리되어 있다. 전도층(30)은 트랜지스터용 게이트 전극으로 작용하며 측벽 유전체(34)는 게이트 유전체로서 작용한다.

대표도

도1

명세서

[발명의 명칭]

동적 메모리 셀

[도면의 간단한 설명]

제 1 도 내지 제 7 도는 본 발명에 따른 동적 랜덤 액세스 메모리(DRAM) 셀을 형성하는 방법을 도시한 단면도.

제 8 도는 종래의 DRAM 셀 회로를 도시한 개략도.

제 9 도는 본 발명에 따른 선택적인 DRAM 셀을 도시한 단면도.

제 10 도는 본 발명에 따라 병렬로 연결된 세개의 트렌치 캐패시터(trhee trench eapacitors)를 3차원 공간에 도시한 도면.

제 11 도는 본 발명에 따라 다른 DRAM 셀을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

10 : 메모리 셀 12 : 기판
13 : 매스킹 층 14 : 전도 영역
15 : 스페이서 16 : 전극
18 : 유전체 층

[발명의 상세한 설명]

본 발명은 일반적으로 반도체 기술에 관한 것이며, 특히, 메모리와 같은 반도체에 사용되는 트랜지스터

및 캐패시터 구조체에 관한 것이다.

수십년동안, 캐패시터는 반도체 회로 디자인에 종종 사용되는 중요한 것이며 바꿀 수 없는 것이었다. 예를들어, 캐패시터는 동적 랜덤 액세스 메모리(DRAM), 능동 및 수동 필터, 아날로그 대 디지탈(A/D) 및 디지탈 대 아날로그(D/A)변환기, 연산 증폭기, 무선 및 동조 회로(radio and turning circuits), 오실레이터 및 멀티바이브레이터 회로, 시간 임계 및 시간 지연 회로, 소음 감소 회로, 전하 펌프, 전력 전자(power electronics)등과 같은 응용 및 많은 다른 다양한 응용에 폭넓게 사용되어 왔다. 캐패시터는 절연물질에 의해 분리된 두개의 전도 표면을 갖는 장치로서 가장 간단한 단어로 정의되어 있다. 캐패시터는 전기적 에너지나 전하를 저장하고, 직류(DC)의 흐름을 차단하며, 장치의 캐패시턴스 및 들어오는 전류의 주파수 또는 전하에 근본적으로 의존하는 교류(AC)의 흐름을 허용한다.

패럿(farad)으로 측정되는 캐패시턴스는, (1) 두개의 전도 표면으로 분리된 절연물질의 두께 또는 평균 두께 (2) 두개의 전도 표면으로 덮여진 표면 영역이 어느 정도인가 (3) 절연 물질과 두개의 전도 표면의 다양한 기계적 및 전기적 속성등의 세가지 물리적 특성으로 결정된다. 기판의 표면 영역을 감소시키며 높은 캐패시턴스 값을 이루는 것이 다음 세대의 집적 회로에 필요하다.

상기한 기술의 초기의 개발 및 마켓팅에 있어서, 병렬 플레이트 또는 병렬 전극 캐패시터가 캐패시턴스 구조체로서 사용되었다. 병렬 전극 캐패시터는 평면형 유전체 또는 절연체에 의해 분리된 평면형의 상부(planner top) 전도 표면과 평면형의 바닥(planner bottom) 전도 표면을 갖는 캐패시터이다. 병렬 전극 캐패시턴스는 완벽하게 평면이기 때문에, 유용한 나로패럿 또는 피코패럿의 캐패시턴스 값을 이루기 위해서는 기판 물질의 표면 영역 또는 기판위에 겹치는 물질의 층이 대규모로 소모된다.

DRAM 메모리 셀은 2진 비트의 정보를 저장하는데 사용되는 전자 회로이다. 대규모의 메모리 셀로 DRAM 회로를 집적 장치 밀도를 이루기 위해서는 DRAM 메모리 셀 기판 영역은 감소시키는 것이 매우 중요하다. 백만비트의 저장 또는 그 이상으로 DRAM 메모리 회로를 이루기 위해서 트렌치 캐패시터가 개발되었다. 트렌치 캐패시터는 기판 표면 또는 기판 표면위를 덮는 표면에 깊은 구멍(well), 트렌치, 홀등을 제 1 에칭함으로서 형성된다. 트렌치나 홀의 측벽 표면은 제 1 전극을 형성하는데 사용된다. 제 1 전극은 유전체 물질에 의해 덮혀지며, 제 2 전극은 유전체 물질위에 겹쳐서 형성된다. 제 2 전극은 보통 완벽하게 트렌치를 채운다. 트렌치 또는 홀의 측벽은 부가적인 기판 표면 영역을 소모하지 않고 표면-영역을 트렌치 캐패시터에 제공하기 때문에, 트렌치 캐패시터는 캐패시터 기판 표면 영역을 감소하며 표준 DRAM 메모리 셀의 크기를 감소시킨다. 표면 영역이 트렌치 캐패시터에 의해 감소되었을지라도, 그 기술상의 다른 잇점이 DRAM 기술상의 또다른 잇점을 이루기 위해 요구된다.

DRAM 쉘의 크기를 더욱 감소시키기 위하여 핀 캐패시터(fin capacitor)가 개발되었다. 핀 캐패시터는 기판 표면위에 제 1 전극을 만들어서 형성되며 수직으로 향한 빗모양의 구조체(comb-like structure)와 비슷하다. 중심이 수직인 기둥 또는 척추 모양의 전도 물질이 빗모양의 구조체를 형성하도록 몇개의 수평으로 위치한 핀(fins) 또는 평면(planes) 모양의 전도 물질과 전기적으로 연결되어 있다. 제 2 전극은 제 1 전극과 비슷한 수직의 빗모양의 구조체에 있는 기판위에 겹쳐서 형성된다. 그 두개의 빗모양 구조체의 한가지 차이점은 제 1 구조체에 핀들이 제 2 구조체의 핀들을 분리하는데, 바꿔 말하면, 두개의 구조체의 핀들은 핀들이 장치 캐패시턴스에 제공되는 표면 영역을 최대화되도록 꼬여있다. 핀 캐패시터 장치는 제조하기에 매우 복잡하며 또한 그 기하학적 모양(geometric shape)이나 제작 설계때문에 제한받는다.

영역을 더욱 개선하고 겹쳐지는 층의 복잡함을 줄이기 위해, "이중 박스(double box)" 및 다른 수직으로 상승된 캐패시터가 개발되었다. 이중 박스 캐패시터는 네개의 면이 있는 전도 물질의 제 1 박스를 리소그래프식으로 형성함으로서 만들어진다. 이 제 1 박스의 네개의 면은 상기의 기판 표면이 수직으로 상승되어 있으며, 전도 물질의 고체 수직 리소그래프식으로 한정된(solid vertical lithograpically-defined) 제 2 박스를 에워싼다. 제 1 및 제 2 박스는 바닥 전극(bottom electrode)을 형성하기 위해 전기적으로 연결되어 있다. 절연체는 제 1 및 제 2 박스를 덮으며, 겹쳐있는 전도층은 제 2 캐패시터 전극을 형성한다. 덧붙여서, 이중 박스 구조체와 유사한 구조체가 밝혀졌다.

DRAM 셀이 상기한 캐패시터를 사용하여 제조될 수 있을 지라도, DRAM 셀(1) 리소그래프에 의해 크게 제한받고(2) 대부분의 경우가 리소그래프식으로 집약되어 있고 (3) 미래의 메모리 세대가 충분하기에 스페이서가 효율적이지 못하고 (4) 캐패시터 장치가 교차하는 높이면에서 큰 차이가 있기 때문에 토포그래피 문제가 있을 수 있으며, 그리고 (5) 토포그래피 증가에 따라 제조하기가 더욱 어렵고 기계적으로 불안정하다.

트랜지스터와 같은 다른 장치는 영역 집약적이며 DRAM 셀 회로 밀도를 개선하기 위하여 표면 영역이 감소되어야만 한다. 서라운딩(surrounding)게이트 트랜지스터(SGT)는 트랜지스터 기판의 표면 영역을 감소시키는데 사용된다. SGT는 게이트 전극의 표면 영역을 감소시키기 위하여 측벽 게이트 전극 및 트렌치 에칭 기술을 이용한다.

상기한 단점들이 극복되고 다른 잇점들이 본 발명에서 이루어졌다. 한 형태에서, 본 발명에는 캐패시터 및 캐패시터를 형성하는 방법이 있다. 캐패시터에는 표면을 갖는 기판이 있다. 그 기판내에 트렌치 영역이 형성되고 이 트렌치 영역에는 트렌치 측벽이 있다. 트렌치 측벽에 인접하여 트렌치 측벽 스페이서(spacer)가 형성된다. 트렌치내에서 트렌치 측벽 스페이서에 측방으로 인접하여 전도 영역이 형성된다. 트렌치 측벽 스페이서는 트렌치 측벽과 전도 영역의 측벽이 노출되도록 제거된다. 트렌치 측벽과 전도 영역 측벽에 측방으로 인접하여 제 1 캐패시터 전극이 형성된다. 제 1 캐패시터 전극위에 겹쳐서 캐패시터 유전체 영역이 형성된다. 제 1 캐패시터 전극위에 겹쳐서 제 2 캐패시터 전극도 형성된다. 제 2 캐패시터 전극은 캐패시터 유전체 영역에 의하여 제 1 캐패시터 전극과 격리된다.

다른 형태에서, 본 발명에는 트랜지스터 및 트랜지스터를 형성하는 방법이 있다. 기저층이 있으며 이 기저층에는 표면이 있다. 기저층위에 겹쳐서 유전체 층이 형성된다. 유전층에는 기저층의 표면을 노출하는 개구부(opening)가 있다. 개구부(opening)내에 제 1 전류 전극이 형성되며 기저층의 표면과 전기적으로 연결되어 있다. 제 1 전류 전극과 유전체 층위에 겹쳐서 채널 영역이 형성된다. 채널 영역에는 유전체층을 덮고있는 채널 측벽이 있다. 채널 영역위에 겹쳐서 제 2 전류 전극이 형성되며, 채널 측벽에 측방으로

인접하여 측벽 유전체층이 형성된다. 측벽 유전체 층에 측변으로 인접하여 제어전극이 형성된다.

또다른 형태에서, 본 발명에는 언급한 바와 같은 캐패시터 트랜지스터가 있는 동적 메모리 셀의 형성을 구비한다. 동적 메모리 셀에는 표면을 갖는 기판이 있다. 기판내에 트렌치 캐패시터가 형성되며 노출된 기저층이 이 트렌치 캐패시터에 있다. 기판의 표면위에 겹쳐서 트랜지스터가 형성되며 트렌치 캐패시터 바로위에 단단하게 겹쳐있다. 트랜지스터에는 제 2 전류 전극 바로위에 단단하게 놓여있는 제 1 전류 전극이 있다. 상기한 바있는 한 형태에서의 트랜지스터 및 캐패시터도 동적 메모리 셀을 형성하는데 이용된다.

본 발명은 아래의 첨부한 도면을 참조한 상세한 설명으로 더욱 명확하게 이해될 수 있다.

제 1 도는 종적 랜덤 액세스 메모리(DRAM) 셀(10)의 형성에 적절한 구조체를 도시하고 있다. 메모리 셀에는 표면을 갖는 기판(12)이 있다. 기판(12)은 실리콘, 갈륨, 비소, 사파이어의 실리콘(SOS), 에피택셜 형성(epitaxial formations), 게르마늄, 게르마늄 실리콘, 및/또는 유사한 기판 물질등으로 만들어질 수 있다. 기판(12)은 종래의 필드 산화물 층(field oxide layer) 및 유사한 종래의 층을 포함할 수도 있다. 되도록이면, 기판(12)은 실리콘으로 만들어진다.

기판(12)위에 겹쳐서 매스킹 층(13)이 형성된다. 매스킹 층(13)은 실리콘 이산화물 또는 5에틸 정규산염(tetra-ehtyl-ortho-silicate) (TEOS)을 기제로한 산화물과 같은 유전체 물질이 적절하다. 언급한 바 있는 유전체 층은 습하거나 건조한 실리콘 이산화물(SiO_2), 질화물(nitride), 5 에틸 전규산염(tetra-ethyl-ortho-silicate) (TEOS)을 기제로한 산화물, 붕소-인산염-규산염-유리(boro-phosphate-silicate-glass)(BpSG), 인산염-규산염-유리(phosphate-siicate-glass)(pSG), 붕소-규산염-유리(boro-silicate-glass), 산화물-질화물-산화물(oxide-nitride-oxide)(ONO), 탄탈 오산화물(tantalum pentoxide)(Ta_2 o5), 플라즈마 인해스드 실리콘 질화물(p-SiNx), 유전체 물질의 화합(combination), 및/또는 이와같은 것으로 될 수도 있다. 특정한 유전체 물질이 적절하거나 요구될때는 특정한 유전체가 주의된다.

홀(hole)은 포토리소그래프식으로 패턴되고 종래의 방법으로 매스킹 층(13)에 에칭된다. 홀은 오히려 접촉홀이거나 또는 가장 작게할 수 있는 크기의 리소그래프식으로 제한된 홀이다. 매스킹 층(13)에 형성된 홀은 기판(12)의 표면을 노출시킨다. 기판(12)의 노출된 표면을 거쳐 기판(12)에 트렌치가 에칭된다. 제 1 도에서, "X"로 표시된 차원은 트렌치의 포토리소그래픽 너비를 가리킨다. 트렌치의 측벽과 매스킹 층(13)에 형성된 홀의 측벽에 측방으로 인접하여 스페이서(15)가 형성된다. 적절한 형태에서, 스페이서(15)는 기판(12)가 매스킹 층(13)에 선택적으로 에칭되는 물질로 형성된다. 그 이유는, 스페이서(15)가 통상적으로 질화물이기 때문이다.

제 2 도에, 전도 영역(14)은 트렌치 내에 형성되어 있으며 연속적으로 제거된 스페이서(15)에 초기에 측방으로 인접하여 형성된다. 전도 영역(14)은 에피택셜 성장(epitaxial growth), 폴리실리콘 침착(polysilicon deposition) 및 재결정(recrystallization), 플럭/평활화(plug/planarization)기술이거나 또는 이와 유사한 처리 공정에 의해 형성된다. 선택적인 에피택셜 성장이 전도 영역(14)을 형성하는데 주로 사용된다. 기판(12)에 전도 영역(14)의 바닥 부분이 전기적으로 연결되어 있다. 스페이서(15)는 반응 이온 에칭(reactive ion etch) (RIE), 등방성 체잉(isotropic etch), 또는 이와같은 것으로 에칭된다. 스페이서(15)를 제거하면 전도 영역(14)의 측벽 및 트렌치 측벽이 노출된다. 스페이서(15)가 제거되면 영역(14)을 에칭할 수 있으며, 영역(14)의 모양은 변해도 상관없지만 영역(14)의 기능성은 영향받아서는 안된다. 임의적으로, 도핑된 구멍(well) 영역(도시되지 않음)은 기판(12)내에 형성될 수도 있으며, 트렌치를 에워싸고 또는 전압을 바이어싱 또는 격리할 목적으로 전도 영역(14)을 에워싼다.

제 3 도에서, 트렌치 측벽과 전도 영역(14)의 측벽에 인접하여 제 1 캐패시터 전극(16)이 형성된다. 전극(16)은 에피택셜 성장, 원상태 도핑 에피택셜 성장(in-situ doped expitaxial growth), 폴리실리콘 침착 및 에칭 기술, 확산 기술, 스페이서 기술 또는 이와 같은 것으로서 형성된다. 임의로, 전극(16)을 전도 영역(14) 및 기판(12)으로부터 유전체 층(도시되지 않음)으로부터 격리할 수 있다. 이 유전체 층 격리는 기판(12)에 캐패시턴스를 가하기 때문에 캐패시턴스를 더욱 증가시키지만, 결과적으로 처리 공정은 더욱 까다로운 구조체가 된다. 원상태 도핑 에피택셜 실리콘 처리 단계는 적절한 형태에서 전극(16)을 형성하는데 사용된다. 전극(16)위에 겹쳐서 캐패시터 유전체층(18)이 형성된다. 적절한 형태에서, 유전체 층(18)은 실리콘 산화물층, ONO 층, 또는 Ta_2O_5 층이며 성장 또는 침착을 거쳐 형성된다.

제 4 도에, 유전체층(18)위에 겹쳐서 전도층(20)이 형성되어 있다. 전도층(20)은 되도록 이면 폴리실리콘의 침착된 등각층(conformal layer)이지만, 텅스텐, 살리사이드, 에피택셜 물질, 또는 이와 같은 정도층이 될수도 있다. 전도층(20)은 유전체층(18)에 인접하여 형성되며, 트렌치내에서, 도시된 바와 같이 전도층(14)과 트렌치 측벽사이에 형성된다. 전도층(20)위에 겹쳐서 유전체층(22)이 형성된다. 유전체층(22)내에 접촉 개구부가 형성되며 거기에 개구부는 적어도 트렌치의 한 부분에 놓이게 된다. 유전체층(22)의 개구부내에 스페이서(24)가 형성된다. 유전체 층(22)은 ONO, 질화물(nitride), 또는 TEOS 기제로 하는 산화물이 적당하다. 스페이서(spacer)(24)은 질화물(nitride)이 적당하다. 유전체 층(22)의 개구부(opening)에 의하여 전도층(20)의 일부분이 노출된다. 전도층(20)의 노출된 부분 및 전도층(20)과 전도 영역(14)사이에 있는 단결정이 되지 않는 다른 층들이 에칭된다. 이 에칭으로 전도 영역(14)의 상부(top portion)를 노출되거나, 또는 도시된 바와 같이 전극(16)이 단결정 실리콘으로 이루어져 있다면 전극(16)의 상부(top portion)가 노출된다.

제 5 도에서, 연속적인 처리가 이루어지는 동안에 전도영역(14)으로부터 전도층(20)이 격리되도록 스페이서(26)가 형성된다. 스페이서(26)는 되도록이면 질화물이 좋다. 또한 연속적인 처리가 이루어지는 동안에 층(20)이 에피택셜적으로 성장하는 것을 방지하는데 스페이서(26)가 사용된다.

제 6 도에서, 유전체 층(22)과 스페이서(26)위에 겹쳐서 유전체 층(28), 제어 전극 전도층(30) 및 유전체 층(32)이 각각 초기에 형성된다. 층들(28, 30 및/또는 32)의 평활화(planarization)는 임의적이다. 전도층(30)은 유전체층(28)위에 놓여있으며, 유전체 층(32)는 전도층(30)위에 있다. (33)는 유전체 층(28), 전도층(30) 및 유전체 층(32)을 통하여 장치 개구부(device opening)가 형성된다. 장치 개구부는 어떤 경우에는 개구부라 칭한다. 장치 개구부(33)는 종래의 선택적인 에칭 기술이나 종래의 비선택적 에칭 처리

공정으로 형성될 수도 있다. 유전체 층(28)의 측벽을 장치 개구부(33)의 제 1 부분으로 규정한다. 제어 전극 전도층(30)의 측벽을 장치 개구부(33)의 제 2 부분으로 규정한다. 유전체 층(32)의 측벽을 장치 개구부(33)의 제 3 부분으로 규정하며, 거기에 장치 개구부(33)의 제 1 , 제 2 및 제 3 부분을 서로 수평으로 자기 정합(self=align)되어 있다.

장치 개구부(33)의 형성으로 전극(16) 또는 전도 영역(14)의 표면이 노출된다. 전극(16) 또는 전도 영역(14)의 노축된 표면을 기저층(base layer) 또는 에피택셜 "씨(seed)"층이라 칭한다. 측벽은 임의적으로 장치 개구부(33)가 형성하는 동안에 등방성(isotropic) 에칭 단계에 의해 측방으로 우묵하게 될 수 있다. 유전체 층(28)은 임의적이라는 것에 주의해야만 한다. 몇몇 경우에 유전체(28)의 기능성을 대체하는 데 유전체 층(22) 또는 스페이서(26)가 사용될 수도 있다.

전도층(30)의 측벽에 인접하여 측방으로 측벽 유전체(34)가 형성된다. 측벽 유전체(34)의 형성으로 결과적으로 전도영역(14)위에 겹쳐서 유전체 영역(도시되지 않음)이 형성될 수 있다. 측벽 유전체(34)에 영향을 주지않고 전도 영역(14)위에 있는 유전체 영역(도시되지 않음)을 제거하는데 RIE 에칭이 사용될 수 있다. 상기한 바와 같이, 전도층(30)의 측벽을 우묵하게 하면 RIE 에칭으로부터 측벽 유전체(34)를 더욱 보호할 수 있다. RIE 에칭 및 플라즈마 환경(plasma environments)이 어떤 경우에는 산화물에 해를 끼칠 수도 있다는 것이 알려져 있다. 그러므로, 측벽 유전체(34)는 N_2, N_2O, NH_3 또는 동등한 질소 소오스로 조건적으로 질화되어야만 한다. 질화된 유전체는 다른 유전체 물질에 더 이상 플라즈마 해를 입지않게 한다.

제 7 도에서, 장치 개구부내에 유전체 층(28)에 측방으로 인접하여 제 1 전류 전극(36)을 형성하는데 에피택셜 성장 단계가 이용된다. 에피택셜 물질은 노출된 전도 영역(14) 또는 노출된 전극(16)에서 성장된다. 그러므로, 노출된 전도 영역(14) 또는 노출된 전극(16)을 기저층(base layer), 시 층(seed layer), 기판 물질층으로 칭한다. 전극(36) 및 일련의 트랜지스터 전극은 되도록 원상태 도핑된다. 원상태 도핑(in-situdoping)은 에피택셜 성장이 이루어지는 동안에 발생하는 도핑 기술이다. 확산 처리공정, 이온 주입 또는 그와같은 다른 방법이 사용될 수 있다. 전극(26)은 제 1 전도형으로 도핑된다. 제 1 전도형은 N형이거나 또는 P형이 될수 있다. 전극(36)은 캐패시턴 전극(16)과 물리적 그리고 전기적으로 연결되어 있다.

제 1 전류 전극이 형성된 후, 장치 개구부내에 전극(36)위에 겹쳐서 채널 영역(38)이 에피택셜적으로 형성된다. 채널 영역은 측벽 유전체(34)에 인접하여 위치한다. 그러므로, 전도층(30)은 제어 전극 또는 게이트 전극으로 작용하며 측벽 유전체(34)는 게이트 산화물로 작용한다. 전도층(30)은 채널 영역(38)을 완벽하게 에워쌀 수 있으며 부분적으로 채널 영역(38)을 에워쌀수도 있다. 채널 영역(38)은 제 1 전도형과 반대인 제 2 전도형을 갖는다.

장치 개구부내에 있고 유전체층(32)에 측방으로 인접하는 제 2 전류 전극(40)을 형성하기 위해 에피택셜 성장은 계속된다. 전극(40)은 형성되어 제 1 전도형을 갖는다. 전극(40)은 장치 개구부 밖에서 에피택셜 성장을 할수 있으며 장치 개구부내에서 완벽하게 남아있을 수도 있다. 금속, 살리사이드, 실리사이드, 폴리실리콘 또는 그와 같은 겹쳐있는 전도층(도시되지 않음)에 의해 전극(40)에 전기적 접촉이 이루어진다.

제 8 도에 공지된 DRAM 메모리 셀이 개략적으로 도시되어 있다. 제 8 도의 DRAM 회로의 다양한 노드(node)가 제 7 도에 있는 유사한 영역 또는 층과 동일하게 부호가 붙여있어서 제 7 도의 DRAM 단면도를 더 좋게 설명해준다. 제 8 도에 전도층 전극(16)은 접지되어 있다. 전극(16)은 제 7 도 및 제 8 도에 도시된 바와 같이 전극(36)에 접속되어 있다. 전극(40)은 제 8 도에 "비트 라인(bit line)"으로 칭하는 전도층에 접속되어 있다. 제어 전극 전도층(30)은 제 8 도에 도시된 바와 같이 "워드 라인(word line)"으로 작용한다. 결과는 작은 표면 영역을 갖는 DRAM 셀이다. 제 7 도의 차원(dimension) "X"는 현재의 포토리소그래프 설비(current photolithographic equipment)가 가능한 가장 작은 포토리소그래프 형태의 크기를 나타낸다. 그러므로, 차원 "X"는 미크론 이하로 제한되는 차원(dimension)이다. 차원 "X"가 리소그래프적으로 1/2 미크론 (0.5 미크론)으로 제한된다면, DRAM 셀(10)은 1/4 미크론이하의 표면 영역을 갖는다.

제 9 도에 DRAM 셀(17)이 도시되어 있다. 셀(17)은 창조적인 DRAM 셀을 형성하는데 사용될 수 있는 대안의 트랜지스터 구조체를 도시하고 있다. 셀(17)의 초기 처리 공정은 셀(10)과 동일하다. 그러므로, 제 1 도 내지 제 5 도에서 설명된 단계가 제 9 도의 트랜지스터를 형성하기 전에 실행된다. 제 1 도 내지 제 5 도와 제 9 도에서 유사한 성분(elements)들은 동일하게 부호가 붙혀져 있다.

제 5 도에 있는 유전체 층(22) 및 스페이서(24 및 26)가 형성된 후, 제 1 전류 전극(44)이 에피택셜로 형성된다. 전극(44)은 스페이서(26)에 측방으로 인접하여 형성되며 전도영역(14)과 전기적 접촉을 이룬다. 적절한 전극 대 게이트 오버랩(electrode-to-gate overlap)을 이루기 위해, 전극(44)은 유전체 층(22)를 넘어서 성장되며 적절한 원상태 도핑이 이루어진다. 적당한 일련의 단계로 깨끗한 표면위에 실행된다면, 에피택셜 성장은 작은면(gacets) 또는 각도를 조절해야하는 작은 면이 없는 에피택셜 영역을 형성한다.

에피택셜로 채널 영역(46)이 형성된다. 채널 영역(46)은 전극(44)위에 겹쳐서 형성된다. 채널 영역(46)은 전극(44)과는 반대되는 전도형을 가지며 적절한 원상태 도핑이 된다. 채널 영역(46) 및 전극(44)의 단결정 에피택셜 노출된 표면위에 겹쳐서 유전체 층(50)이 형성된다. 유전체 층(50)은 단결정 실리콘위에 형성되기 때문에 유전체 층(50)은 양질(good quality)로 된다. 유전체 층(22)및 유전체 층(50) 양쪽 모두를 덮으며 전도층(42)이 형성된다. 전도층(42)은 채널 영역(46)위에 있는 유전체 층(50)의 상부(top potion)가 노출되도록 하기 위해 화학적 및/또는 기계적 연마(polishing)에 의해 평활화된다. 전도층(42)은 게이트 전극으로 작용한다.

전도층(42)에 자기 정합되어 있는 제 2 전류 전극(48)을 형성하기 위해 이온 주입 단계가 이용된다. 종래의 매스킹 단계, 에칭 단계, 및 전도층 침착 도는 형성 단계를 거쳐 전극(48)에 전기적 접촉이 이루어진다. 셀(17)은 제 1 도 내지 제 7 도의 셀(10)과 유사한 방법으로 작용한다. 제 9 도에 도시된 트랜지스터 및 제 9 도에 도시된 트렌치 캐패시터는 독립적으로 형상될 수 있어야만 한다. 트렌치 캐패시터는 분리되어 형성될 수 있으며 동적 메모리 응용과는 다른 응용에 형성될 수도 있다. 덧붙여서, 기저층과 같은 기판(12)을 사용함으로서 그 트랜지스터는 기판(12)위에 형성될 수 있다. 그러므로 트랜지스터는 분리되어 형성될 수 있으며 동적 메모리 응용과는 다른 응용에 사용되도록 형성될 수도 있다.

제 10도는 DRAM(10) 또는 (17)에 훨씬 큰 캐패시턴스를 제공하도록 사용될 수 있는 방법을 도시한다. 복수개의 트렌치 캐패시터 및 트랜지스터를 동시에 형성함으로서 대용량의 캐패시턴스가 이루어진다. 복수개의 트랜지스터 및 캐패시터는 삼각형 배치, 직사각형 배치, 선형 배치(linear straight line configuration), 또는 다른 기하학 구조와 같은 몇가지의 기하학 구조중 한가지로 배열될 수 있다. 각각의 트랜지스터 및 캐패시터는 제 7 도 또는 제 9 도에 따라 형성된다. 복수개의 캐패시터에서 각각은 병렬로 전기적으로 연결되며, 또한 복수개의 트랜지스터에서 각각은 병렬로 전기적으로 연결된다.

예를들어, 제 10 도의 세개의 트렌치 캐패시터는 선형 배치(linear straight line configuration)로 서로 측방으로 인접하여 동시에 형성된다. 제 10 도를 제 1 도 내지 제 5 도에 서로 연관시키기 위해, 제 10 도의 트렌치 캐패시터의 몇몇 영역을 제 1 도 내지 제 5 도와 동일하게 부호를 붙인다. 세개의 트렌치 캐패시터는 제 1 도 내지 제 5 도에 도시된 바와 같이 각각 동시에 형성된다. 전도층(20)은 캐패시터들을 병렬로 연결한다. 전극(16)도 또한 각각의 트렌치 캐패시터에 전기적으로 연결될 수 있다. 전극(16)은 병렬 연결될 필요가 없을 수도 있으며 또는 이미 도핑된 구멍(well) 영역(도시되지 않음)을 거쳐 병렬로 연결될 수도 있기 때문에 전극(16)의 병렬 연결이 꼭 필요하지만은 않다.

세개의 트렌치 캐패시터의 형성은 결과적으로 세개의 에피택셜 씨 영역(epitaxial seed region)을 형성한다. 각각의 씨 영역을 전도 영역(14)이라 칭한다. 제 7 도에서 언급한 방법에 따른 트랜지스터나 제 9 도에서 언급한 방법에 따른 각각의 전도 영역(14)위에 겹쳐서 트랜지스터가 형성된다. 이들 세개의 트랜지스터는 제 7 도의 전도층(30) 또는 제 9 도의 전도층(42)을 거쳐 공통 게이트 전극(common gate electrode)을 공유한다. 각각의 제 1 전류 전극이 각각의 전극(16)에 연결되어 있기 때문에 트랜지스터들은 모두 공통의 제 1 전류 및 캐패시터 전극 접속(capacitor electrode connection)을 공유한다. 각각의 트랜지스터에 있는 각각의 제 2 전류 전극은 서로 전기적으로 합선(short circuit)되어 있기 때문에 트랜지스터들은 하나의 공통의 제 2 전류 전극을 공유한다. 제 2 전류 전극들은 에피택셜 성장 또는 겹쳐있는 전도층(도시되지 않음)을 거쳐 전기적으로 합선(short circuit)되어 있다.

일반적으로, 제 7 도 또는 제 9 도에 따라 복수개의 구조체를 형성함으로서, DRAM 셀의 저장 캐패시턴스는 증가될 수 있다. 덧붙여서, 병렬 트랜지스터들은 결과적으로 가로세로 비(aspect ratio)가 개선된 하나의 DRAM 헬 트랜지스터를 형성하는 병렬 트랜지스터가 형성된다. DRAM 셀의 훨씬 큰 전류 드라이브에 개선된 가로세로비(aspect ratio)가 제공된다. DRAM 셀(10) 및 DRAM 셀(17)의 표면 영역이 작기 때문에 표면 영역의 손실을 최소로하여 캐패시턴스가 이루어진다.

제 11 도는 DRAM 구조체를 도시하며 여기서 언급되는 창조적인 트랜지스터는 DRAM 셀을 형성하도록 종래의 평면형 트랜지스터에 전기적으로 연결되어 있다. 제 1 도 내지 제 5 도에 있는 성분들과 유사한 제 11 도의 성분들은 동일하게 부호가 붙여져 있다. 증가된 캐패시턴스 또는 병렬 캐패시터 접속(parrallel capacitor connection)을 제공하는 것이 바람직하다면 임의의 전도층(56)(optional conductive layer)이 사용된다. 층(56)은 트렌치 캐패시터 위에 재 2 캐패시터를 형성하기 위해 사용될 수 있다. 제 2 캐패시터는 다른 트렌치 캐패시터, 또는 핀(fin) 캐패시터와 같은 공지된 기판을 덮는 캐패시터(known substrate-overlying capacitor)가 될수 있다. 유전체 층(18)은 트랜지스터용 게이트 전극으로 작용한다. 전도층(20)의 일부분은 트랜지스터용 게이트 전극이나 워드라인(word line)으로 작용한다. 확산(54 및 52)을 거쳐 소오스와 드레인이 형성된다. 채널 영역은 소오스와 드레인은 채널 영역에 의해 분리된다. 전도층(58)을 거쳐 비트라인(bit line)이 형성된다. 그러므로, 제 11 도는 큰 기판 표면 영역을 가지는 대부분의 수직으로 집적된 DRAM 셀보다 제조하기가 쉬운 DRAM 셀을 도시한다. 여기서 언급된 창조적인 방법, 및 셀 구조체는 DRAM 셀을 제공하는데 사용되는데 이 DRAM 셀은 감소된 표면 영역, 개선된 소트 채널 트랜지스터 동작, 다른 종래의 셀보다 훨씬 큰 저장 캐패시턴스, 병렬 캐패시터 셀 배치, 및 감소된 트랜지스터 채널 길이 변조등을 갖는다. 트랜지스터 제 1 및 제 2 전류 전극과 트랜지스터 채널 영역이 종래의 평면형 트랜지스터보다 기판(12)으로부터 더 격리되어 있기 때문에 DRAM 셀의 누설 전류(leakage current)은 감소된다. 전도층(30) 또는 전도층(42)의 침착 두께에 의해 DRAM 트랜지스터 길이는 제어된다. 채널 길이가 리소그래피로 부터 독립적이며, 리소그래피에 의한 것보다 더 작으며, 더 작은 변조내에서 제어되는 것을 전도층(30 및 42)의 침착 두께가 확실하게 한다. 실린더형 트랜지스터의 채널 너비(channel width)가 실린더의 원주이기 때문에 DRAM 트랜지스터의 채널 너비는 같은 표면 영역을 갖는 평면형 트랜지스터보다 더 넓다. 트랜지스터의 더 작은 채널 길이 및 더 넓은 채널 너비로 인하여, 창조적인 DRAM의 전류 이동 용량은 셀 표면 영역이 증가하지 않아도 증가한다. 여기서 언급한 DRAM 셀은 집적 회로에서 리소그래프적으로 가장 작은 형태의 크기를 갖는 접촉(contact)내에 형성된다. 덧붙여서, 형성은 단지 약간의 포토그래피 단계(근사적으로 5분의 3정도의 포토그래피 시퀀스)를 필요로하며 창조적 트랜지스터의 많은 형태는 자기 정합될 수 있다. 비대칭 트랜지스터 소오스 및 드레인 전극에 의해 결과적으로 LDD 및 LDD (half LDD)가 원상태(in-situ)도핑 또는 이온 주입을 거쳐 쉽게 형성된다. 채널 영역의 벌크반전(bulk inversion)은 작은 채널 영역 주위에서 이루어질 수 있다. 오프 전류(off current)가 낮게 되고 많은 확산이 직렬로 놓여있으며 기판으로부터 격리되어 있기 때문에 기판으로의 (leakage)이 최소화된다.

캐패시터는 소규모의 기판 표면 영역에서 큰 용량의 표면 영역을 갖는다. 실린더형 전도 영역(14)이 트렌치내에 있기 때문에, 실린더형 캐패시턴스는 크게 증가하고 DRAM 트랜지스터가 적당하게 수직으로 위치해 있기 때문에 표면 영역은 감소된다. 표면 영역의 손실을 최소로하여 캐패시터/트랜지스터 쌍을 병렬로 형성할 수 있는 것은 결과적으로 유동적인 DRAM 디자인(flexible DRAM design)이 된다. 덧붙여서, 창조적 트렌치 캐패시터는 다른 종래의 DRAM 캐패시터보다 더욱 평면적이다. 더우기, 유전체 층 평활화나 또는 유리위의 스핀(spin)은 창조적 DRAM 트랜지스터 토포그래피가 다른 종래의 DRAM 셀보다 더욱 평면적이다는 것을 확실하게 한다.

본 발명이 특정한 실시예를 참조하여 도시되고 설명되는 동안에, 본 발명에 익숙한 기술인은 다른 수정이나 개선을 할 수 있다. 예를들어, 에피택셜 성장 방법은 온도, 도핑 매카니즘, 시간의 길이, 처리공정 및 화학에서 다양하며, 대부분의 애피택셜 처리공정은 소오스 및 드레인 전극, 캐패시터 전극 및 창조적 DRAM 셀의 채널 영역의 형성이 가능하다. DRAM 셀과는 다른 창조적인 캐패시터 및 트랜지스터에서 DRAM 셀과는 다른 많은 응용을 할 수 있다. 상기한 에피택셜 성장 처리공정을 실행하는데 다양한 클리닝 사이클(cleaning cycle)이 있다. 측벽 유전체는 몇가지 방법중의 한가지로 형성될 수 있다. 게이트 전극을 형

성하기 위해 측벽 스페이서 유전체 형성도 또한 사용될 수 있다. N채널과 P채널 트랜지스터 및 N형 또는 P형 캐패시터 전극 양쪽 모두가 창조적인 처리 공정으로 제조될 수 있다. 에피택셜 성장 대신으로 폴리실리콘 재결정의 플럭 기술(plug techology)이 사용될 수 있다. 격리(isolation) 시키기 위해, 측벽 산화(sidewall oxidation)가 스페이서(spacer)를 대신할 수 있다. 본 발명은 상기한 특별한 형태에 제한되지 아니하며 본 발명의 정신 및 범주를 벗어나지 않는 범위내에서 모든 수정이 첨부된 클레임에서 망라한다는 것을 이해해야 한다.

(57) 청구의 범위

청구항 1

동적 메모리 셀(10)에 있어서,

표면을 갖는 기판(12);

상기 기판(12)내에 형성되며 노출된 기저층(4)을 갖는 트렌치 캐패시터(16, 20); 및

상기 기판(12)의 표면 위에 겹쳐 있고 상기 트렌치 캐패시터(16, 20) 바로 위에 단단하게 겹쳐 있으며, 제 2 전류 전극(36) 바로 위에 단단하게 겹쳐 있는 제 1 전류 전극(40)을 갖는 트랜지스터(30, 36, 40);

를 포함하는 것을 특징으로 하는 동적 메모리 셀(10).

청구항 2

제 1 항에 있어서,

상기 트렌치 캐패시터(16, 20)는,

기판(12)내에 형성되며 트렌치 측벽을 갖는 트렌치 영역;

상기 트렌치 영역내에 형성되고, 트렌치 측벽으로부터 물리적으로 분리되어 있으며, 전도 영역 측벽을 가지며, 기판(12)에 전기적으로 접속된 바닥 부분(bottom portion)을 갖는 전도 영역(14);

상기 트렌치 측벽 상기 전도 영역 측벽에 측방으로 인접하는 제 1 캐패시터 전극(16);

제 1 캐패시터(16)위에 겹쳐 있는 캐패시터 유전체 영역(18); 및

상기 제 1 캐패시터 전극(16)위에 겹쳐 있으며, 캐패시터 유전체 영역(18)에 의해 제 1 캐패시터 전극(16)으로부터 절연되어 있는 제 2 캐패시터 전극(20);

을 더 포함하는 것을 특징으로 하는 동적 메모리 셀(10.

청구항 3

제 1 항에 있어서,

상기 트랜지스터(30, 36, 40)는,

기판위에 겹쳐 있으며 트렌치 캐패시터(16, 20)의 기저층(14)을 노출하는 개구부(opening)를 갖는 유전체(22);

상기 개구부내에 형성되어 있고 기저층(14)에 전기적으로 접속되어 있는 제 1 전류 전극(30);

제 1 전류 전극(36)과 유전체 층(22)위에 겹쳐 있으며, 유전층 층(22)위에 겹쳐 있는 채널 측벽을 갖는 채널 영역(38);

상기 채널 영역(38)위에 겹쳐 있는 제 2 전류 전극(40);

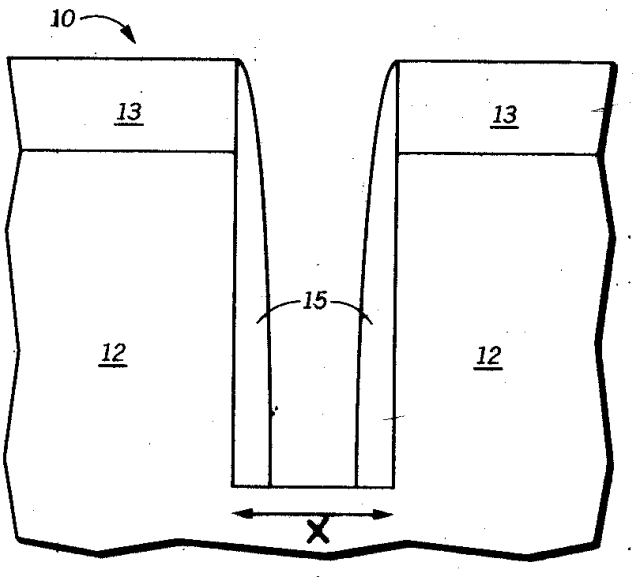
채널 측벽(34)에 측방으로 인접하여 형성된 측벽 유전체 층(30); 및

측벽 유전체 층에 측방으로 인접하여 형성된 제어 전극;

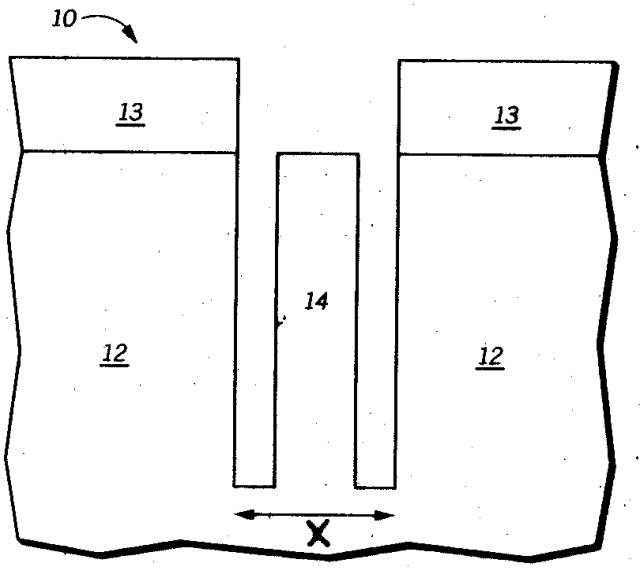
을 더 포함하는 것을 특징으로 하는 동적 메모리 셀.

도면

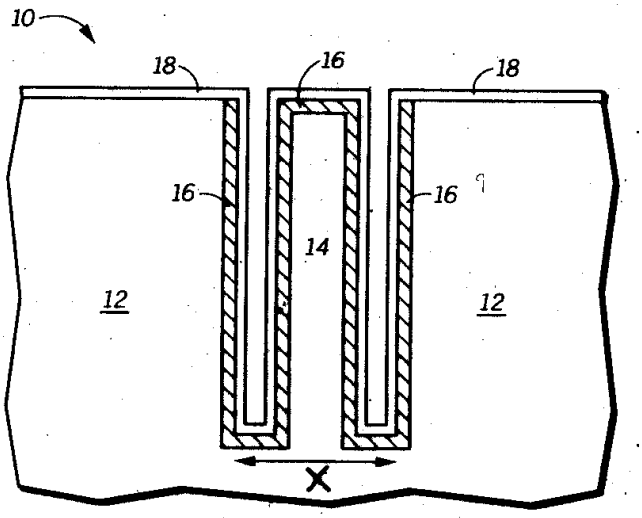
도면1



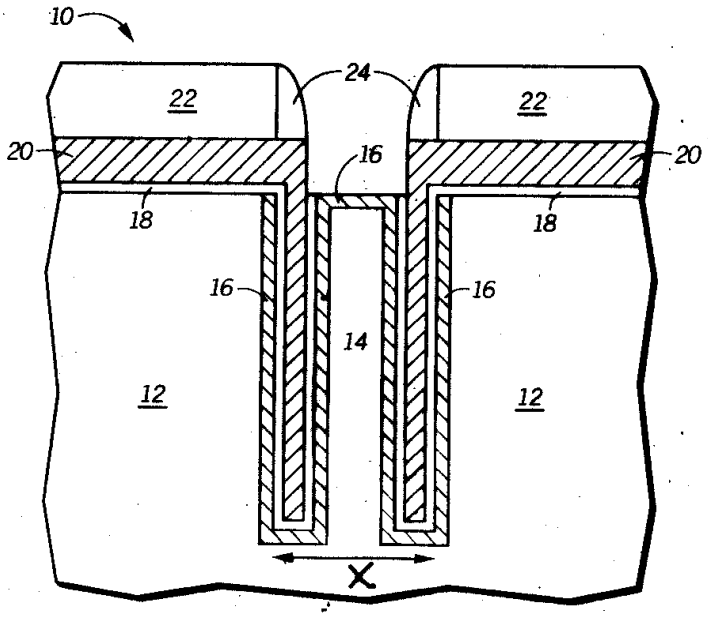
도면2



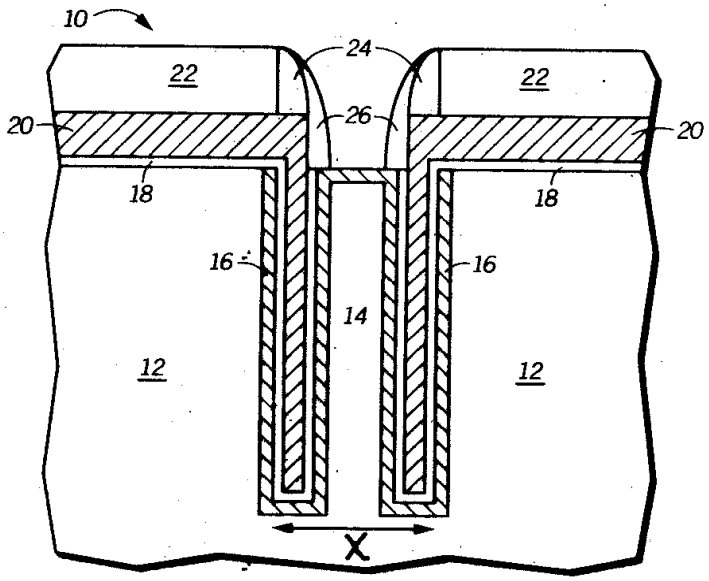
도면3



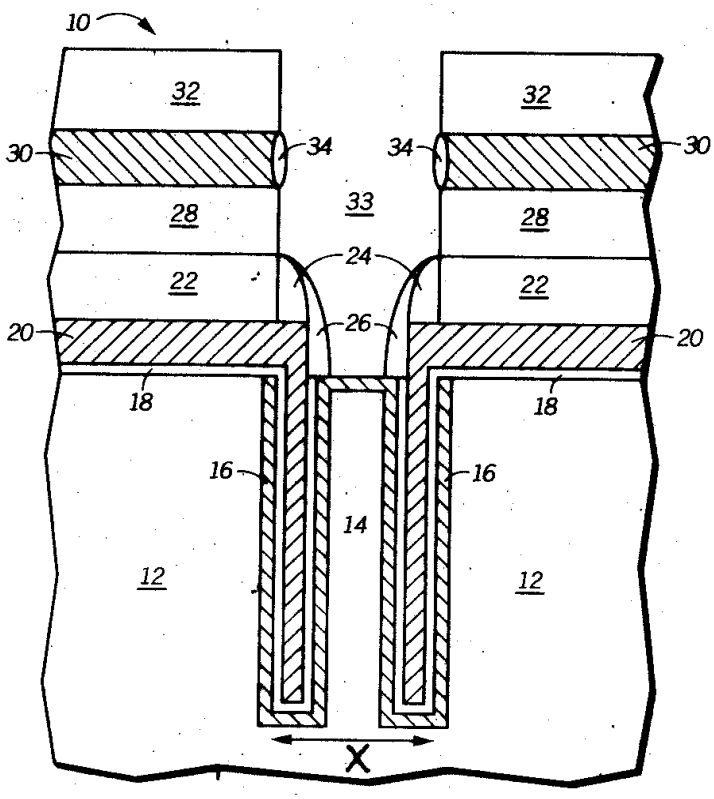
도면4



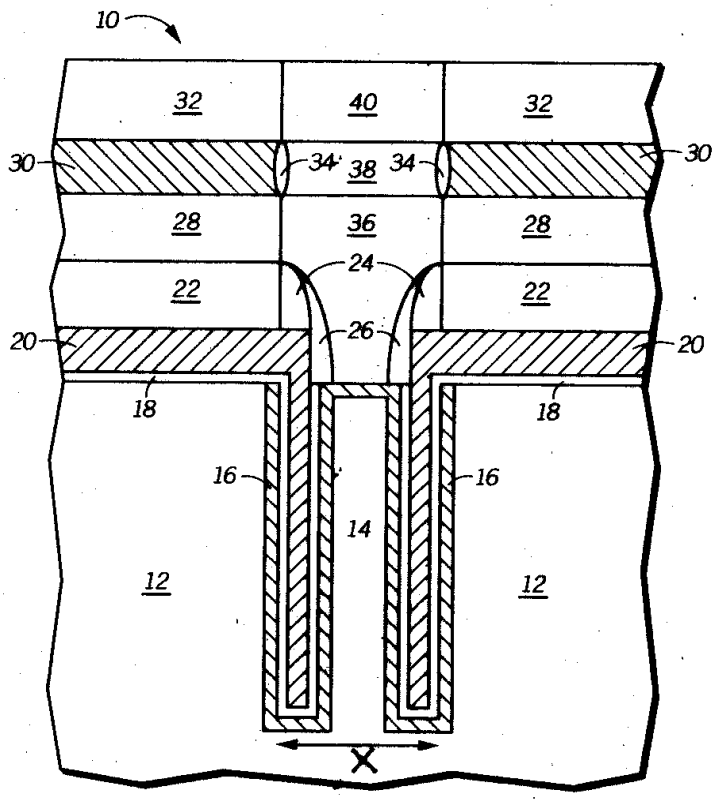
도면5


10
22
24
22
20
26
20
18
18
16
16
14
12
12
X

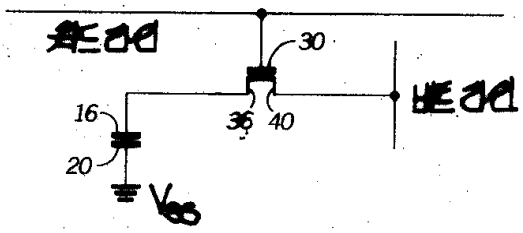
도면6


10
32
32
30
34
34
30
28
33
28
24
22
22
20
26
20
18
18
16
16
14
12
12
X

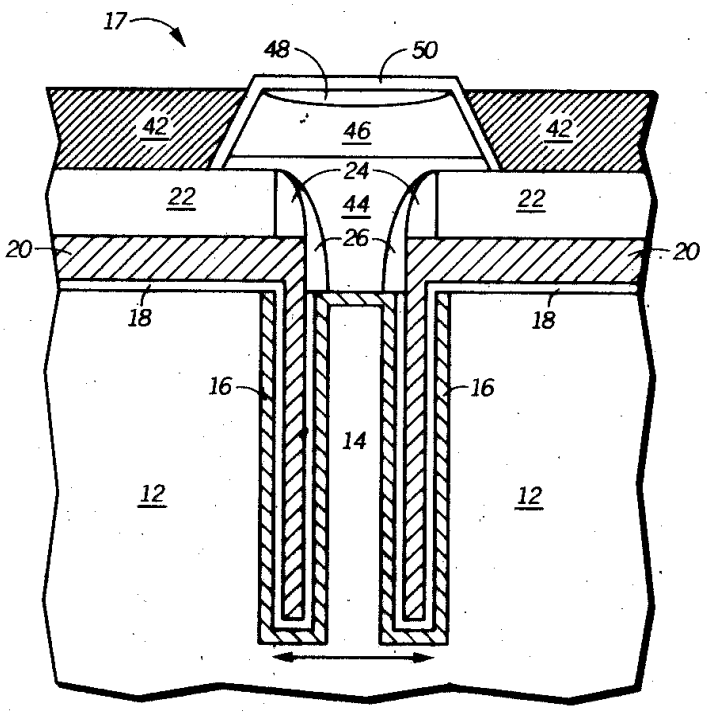
도면7


10
32
40
32
30
34
38
34
30
28
36
28
24
22
22
20
26
20
18
18
16
16
14
12
12
X

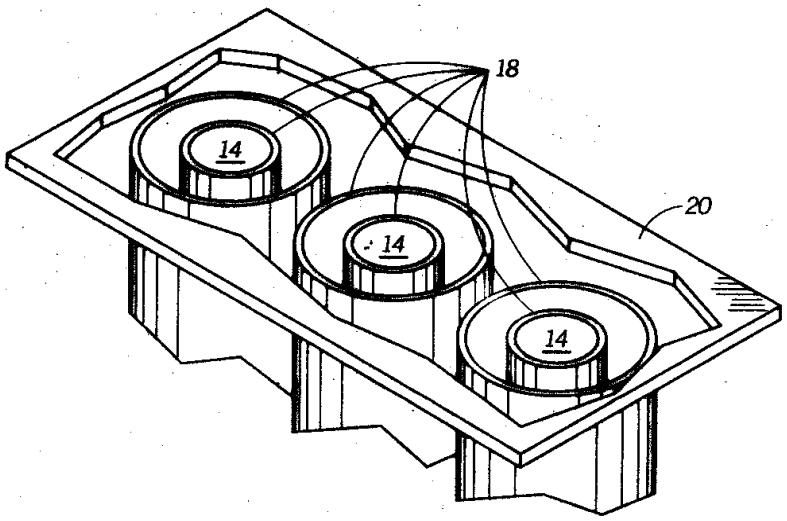
도면8


30
16
36
40
20
Vss

도면9


17
48
50
42
46
42
24
22
44
22
20
26
20
18
18
16
16
14
12
12

도면10


18
14
20
14
14

도면11

