



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0146425
(43) 공개일자 2024년10월08일

(51) 국제특허분류(Int. Cl.)

H01L 29/66 (2006.01) G02F 1/1362 (2006.01)
H01L 29/786 (2006.01) H10K 59/121 (2023.01)

(52) CPC특허분류

H01L 29/66969 (2013.01)
G02F 1/1362 (2013.01)

(21) 출원번호 10-2023-0041376

(22) 출원일자 2023년03월29일

심사청구일자 없음

(71) 출원인

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

김충익

서울특별시 동작구 여의대방로 22 (신대방동, 우성아파트) 7동 1505호

박소윤

서울특별시 서초구 서초중앙로 200, 19동 302호

호동일

서울특별시 서초구 신반포로 33길 15, 102동 1204호

(74) 대리인

특허법인한얼

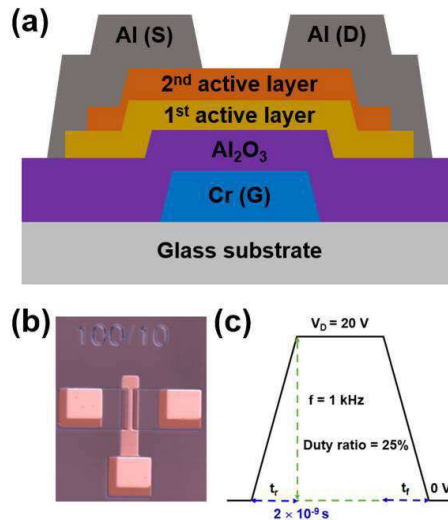
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 용액 공정으로 제조된 IGZO/ZTO 이중층 구조의 채널을 포함하는 교류 스트레스 하에서 안정성을 갖는 박막 트랜지스터 및 이의 제조방법

(57) 요약

본 발명은 용액 공정으로 제조된 IGZO/ZTO 이중층 구조의 채널을 포함하는 교류 스트레스 하에서 안정성을 갖는 박막 트랜지스터 및 이의 제조방법에 관한 것이다.

대표도 - 도2



(52) CPC특허분류

H01L 29/7869 (2013.01)

H01L 29/78696 (2013.01)

H10K 59/1213 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711173979
과제번호	RS-2022-00142063
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	방사선 이용 미래혁신 기반 기술연구(R&D)
연구과제명	방사선 실시간 조사에 따른 반도체소자 열화 메커니즘 규명 연구 (조사기술)
기 여 율	1/1
과제수행기관명	서강대학교산학협력단
연구기간	2022.05.01 ~ 2022.12.31

명세서

청구범위

청구항 1

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 유전체층을 형성하는 단계;

인듐 이온, 갈륨 이온 및 아연 이온을 (1 내지 3):1:1의 몰비율로 포함하는 전구체 용액을 코팅하여 3 내지 7 nm 두께로 인듐-갈륨-아연 산화물(indium-gallium-zinc oxide; IGZO)을 포함하는 제1반도체층을 형성하는 단계;

아연 이온 및 주석 이온을 (1.5 내지 3):1의 몰비율로 포함하는 전구체 용액을 코팅하여 상기 제1반도체층 상에 3 내지 20 nm 두께로 아연-주석 산화물(zinc-tin oxide; ZTO)을 포함하는 제2반도체층을 형성하는 단계; 및

상기 제2반도체층 상에 서로 이격되도록 소스 전극 및 드레인 전극을 형성하는 단계;를 포함하는, 교류(alternating current; AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터(thin film transistor; TFT)의 제조방법.

청구항 2

제1항에 있어서,

상기 게이트 전극은 열증착 및 리프트오프에 의해 형성되는 30 내지 70 nm 두께의 크롬 전극인 것인, 제조방법.

청구항 3

제1항에 있어서,

상기 유전체층은 원자층 증착법(atomic layer deposition; ALD)에 의해 형성되는 30 내지 70 nm 두께의 산화알루미늄(aluminum oxide, Al_2O_3)층인 것인, 제조방법.

청구항 4

제1항에 있어서,

상기 소스 전극 및 드레인 전극은, 50 내지 150 μm 너비, 5 내지 15 μm 길이 채널을 형성하도록, 열증착 및 리프트오프에 의해 제조되는 30 내지 70 nm 두께의 알루미늄 전극인 것인, 제조방법.

청구항 5

기판;

상기 기판 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 유전체층;

상기 유전체층 상에 3 내지 7 nm 두께로 형성된 제1반도체층;

상기 제1반도체층 상에 3 내지 20 nm 두께로 형성된 제2반도체층; 및

상기 제2반도체층 상에 서로 이격되도록 형성된 소스 전극 및 드레인 전극;을 포함하고,

상기 제1반도체층과 제2반도체층을 포함하여 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비하며,

상기 제1반도체층은 인듐 이온, 갈륨 이온 및 아연 이온을 (1 내지 3):1:1의 몰비율로 포함하는 인듐-갈륨-아연 산화물(IGZO)을 포함하고,

상기 제2반도체층은 아연 이온 및 주석 이온을 (1.5 내지 3):1의 몰비율로 포함하는 아연-주석 산화물(ZTO)을 포함하는, 박막 트랜지스터.

청구항 6

제5항에 있어서,

제1항 내지 제4항 중 어느 한 항의 방법으로 제조된 것인, 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터.

청구항 7

제5항에 있어서,

0.1 내지 0.6 eV의 에너지 장벽을 갖는, 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터.

청구항 8

제5항에 있어서,

1000초 동안의 교류 인가 전후, 2 내지 $7 \text{ cm}^2/\text{Vs}$ 로 유지되는 캐리어 이동도(carrier mobility), 0 내지 0.1 V의 낮은 문턱전압이동(threshold voltage shift, ΔV_{th}), 및 $90 \pm 10\%$ 의 커짐 전류(on-current, I_{on}) 강하(lowering)로 구성된 군으로부터 선택되는 하나 이상의 전기적 성능을 나타내는, 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터.

청구항 9

스위칭 소자, 구동 소자 또는 둘 모두로서 제5항의 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 구비한 액정표시장치(liquid crystal display; LCD).

청구항 10

스위칭 소자, 구동 소자 또는 둘 모두로서 제5항의 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 구비한 유기발광 표시장치(organic light emitting display; OLED).

청구항 11

스위칭 소자, 구동 소자 또는 둘 모두로서 제5항의 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 구비한 평판표시장치(flat panel display; FPD).

발명의 설명

기술 분야

[0001] 본 발명은 용액 공정으로 제조된 IGZO/ZTO 이중층 구조의 채널을 포함하는 교류 스트레스 하에서 안정성을 갖는 박막 트랜지스터 및 이의 제조방법에 관한 것이다.

배경 기술

[0003] 2004년 이후로, 무정형 산화물 반도체(amorphous oxide semiconductors; AOS)는, 높은 균일성과 투과성(transparency), 및 저온 가공성(low-temperature processability)으로 인해, 차세대 평면 패널 디스플레이를 위한 박막 트랜지스터(thin-film transistors; TFT) 분야에서 크게 각광받고 있다. 고품질(high-quality) AOS를 고안함에 있어, 캐리어 이동도뿐만 아니라 소자 안정성 및 신뢰성이 크게 고려되어야 하며, 다양한 스트레스가 소자 안정성에 영향을 주는 것으로 알려져 있다. 실제로, AOS TFT는, 각 픽셀의 "켜짐(on)" 또는 "꺼짐(off)" 상태를 변경하는, 실제 디스플레이 작동에 있어 많은 바이어스 스트레스에 노출된다. 특히, 실제로 AOS-TFT가 능동-매트릭스 디스플레이 드라이버 회로에서 작동할 때, 교류(alternating current; AC) 바이어스 스트레스에 노출되기 때문에, AC 바이어스 스트레스 하에서 AOS TFT의 열화 원리를 확립하고 안정성을 강화하는 것은 매우 중요하다.

[0004] 특히, 높은 AC 바이어스 스트레스가 TFT의 드레인 영역 부근에 가해지면, 핫 캐리어 효과(hot carrier effect; HCE)가 지배적인 소자 열화 메커니즘으로 작용한다고 알려져 있다. TFT에 AC 드레인 바이어스가 인가되면 수평 방향의 전기장(lateral electric field)이 형성되고, 이는 열전자(hot electrons)의 가속을 유발하여 열전자들이 드레인 영역에 축적되게 한다. 이와 같이 축적된 열전자들이 금속 산화물 격자와 충돌하면 금속-산소 결합이 깨지게 되는데, 이는 절연체와 채널 계면에서의 전하 트랩(charge trap) 또는 채널 영역에서 억셉터 준위(acceptor-like state)의 생성으로 이어진다. 또한, 짧은 채널 TFT(일반적으로 채널 길이 $L < 10 \mu\text{m}$)에 스트레스가 인가되면 극대화된 전하 트랩 또는 억셉터 준위 발생이 유도되는데, 이는 문턱전압(threshold voltage, V_{th}) 이동 및 켜짐 전류(on-current, I_{on}) 강하와 같은 소자의 전기적 성능 열화 및 바이어스-스트레스 하에서의 불안정성을 유발한다.

[0005] 따라서, 과도한 전기장 및 열전자 생성을 완화하는 것은 AC 스트레스 하에서 TFT 열화를 해소하기 위해 고려할 중요한 요소이다. 이와 관련하여, 이중 적층된 채널을 구비한 AOS는 물질적 및 구조적 관점에서 AC 스트레스 하에서의 결함에 대한 가능한 대책이다. 단일 채널 AOS 층을 구비한 박막 트랜지스터는 드레인 영역 근처에서 전기장 형성을 차단하지 못하므로 심한 HCE를 경험할 수 밖에 없다. 반면, 상대적으로 좁은 밴드갭(band gap, E_g) 및 큰 일함수(work function, Φ)를 갖는 물질을 아래층에, 넓은 밴드갭 및 작은 일함수를 갖는 물질을 윗층에 포함하는 이중층 채널의 도입은 적절한 밴드 굽힘(band bending)을 유발한다(도 1(a)). 이러한 밴드 굽힘은 전도 밴드 차이(conduction band difference)를 형성하는데, 이는 전자 이동의 에너지 장벽 역할을 할 수 있다(도 1(b) 및 1(c)). 이와 같은 에너지 장벽은 AC 드레인 바이어스 스트레스 하에서 소자를 안정화하기 위한 주요 기전일 수 있는데, 드레인 영역 부근에서 열전자의 축적이 완화될 수 있기 때문이다. 따라서, In^{3+} , Zn^{2+} , Ga^{3+} , 및 Sn^{2+} 와 같은 몇몇 양이온의 화학적 성질에 기반한 조성비 및 몰 농도의 최적화를 선행함으로써, 요구되는 에너지 밴드 구조를 고안할 수 있다. 용액 공정 이중층 산화물 TFT 및 밴드 구조 수정(modification)을 통한 AC 스트레스 하에서 소자 안정성의 달성은 이전에 보고된 바 없다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 하나의 목적은 교류(alternating current; AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터(thin film transistor; TFT)의 제조방법을 제공하는 것이다.

[0008] 본 발명의 다른 목적은 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 제공하는 것이다.

[0009] 본 발명의 또 다른 목적은 스위칭 소자, 구동 소자 또는 둘 모두로서 상기 교류(AC) 스트레스에 대한 저항성을

갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 구비한 액정표시장치(liquid crystal display; LCD)를 제공하는 것이다.

[0010] 본 발명의 또 다른 목적은 스위칭 소자, 구동 소자 또는 둘 모두로서 상기 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 구비한 유기발광 표시장치(organic light emitting display; OLED)를 제공하는 것이다.

[0011] 본 발명의 또 다른 목적은 스위칭 소자, 구동 소자 또는 둘 모두로서 상기 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 구비한 평판표시장치(flat panel display; FPD)를 제공하는 것이다.

과제의 해결 수단

[0013] 본 발명에서 개시되는 각각의 설명 및 실시형태는 각각의 다른 설명 및 실시 형태에도 적용될 수 있다. 즉, 본 발명에서 개시된 다양한 요소들의 모든 조합이 본 발명의 범주에 속한다. 또한, 하기 기술되는 구체적인 서술에 의하여 본 발명의 범주가 제한된다고 할 수 없다.

[0014] 또한, 당해 기술분야의 통상의 지식을 가진 자는 통상의 실험만을 사용하여 본 발명에 기재된 본 발명의 특정 양태에 대한 다수의 등가물을 인지하거나 확인할 수 있다. 또한, 이러한 등가물은 본 발명에 포함되는 것으로 의도된다.

[0015] 아울러, 본 발명의 명세서 전체에 있어서, 어떤 부분이 어떤 구성 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

[0016] 한편, 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.

[0017] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0019] 이하, 본 발명을 보다 상세히 설명한다.

[0021] 상기 목적을 달성하기 위한, 본 발명의 제1양태는 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 유전체층을 형성하는 단계; 인듐 이온, 갈륨 이온 및 아연 이온을 (1 내지 3):1:1의 몰비율로 포함하는 전구체 용액을 코팅하여 인듐-갈륨-아연 산화물(indium-gallium-zinc oxide; IGZO)을 포함하는 제1반도체층을 형성하는 단계; 아연 이온 및 주석 이온을 (1.5 내지 3):1의 몰비율로 포함하는 전구체 용액을 코팅하여 상기 제1반도체층 상에 아연-주석 산화물(zinc-tin oxide; ZTO)을 포함하는 제2반도체층을 형성하는 단계; 및 상기 제2반도체층 상에 서로 이격되도록 소스 전극 및 드레인 전극을 형성하는 단계;를 포함하는, 교류(alternating current; AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터(thin film transistor; TFT)의 제조방법을 제공한다.

[0023] 예컨대, 상기 기판은, 전기 전도성 물질로서 박막 트랜지스터를 위한 열역학적 및/또는 기계적 요구사항을 만족시킬 수 있는, 박막 트랜지스터를 형성하기 위한 베이스 기판으로서, 당 분야에서 사용하는 기판으로서 그 재질을 특별하게 한정하는 것은 아니나, 실리콘, 유리, 반도체 웨이퍼(semiconductor wafer), 금속 산화물, 세라믹 물질, 플라스틱 또는 금속 호일(foil) 등 다양한 재질을 사용할 수 있다.

- [0025] 본 발명의 용어, "게이트 전극(gate electrode)"은 박막 트랜지스터를 온/오프 하기 위한 전압이 인가되는 요소로서, 전도성 물질을 사용하여 형성될 수 있다. 상기 게이트 전극을 형성하는 전도성 물질로는 크로뮴(Cr), 티타늄(Ti), 니켈(Ni), 백금(Pt), 루테튬(Ru), 금(Au), 은(Ag), 몰리브덴(Mo), 알루미늄(Al), 텅스텐(W) 및 구리(Cu) 등의 단일 금속 또는 합금, 또는 인듐-주석 산화물(indium tin oxide; ITO), 인듐-아연 산화물(indium zinc oxide; IZO), 인듐-주석-아연 산화물(indium tin zinc oxide; ITZO), 및 알루미늄-아연 산화물(aluminum zinc oxide; AZO) 등의 금속 산화물을 이용할 수 있으나, 이에 제한되지 않는다.
- [0026] 예컨대, 상기 게이트 전극은 진공 증착법(vacuum deposition), 화학 기상 증착법(chemical vapor deposition; CVD), 물리 기상 증착법(physical vapor deposition; PVD), 원자층 증착법(atomic layer deposition; ALD), 유기금속 화학 증착법(metal organic chemical vapor deposition; MOCVD), 플라즈마 화학 증착법(plasma-enhanced chemical vapor deposition; PECVD), 분자선 성장법(molecular beam epitaxy; MBE), 수소화물 기상 성장법(hydride vapor phase epitaxy; HVPE), 스퍼터링(sputtering), 스핀코팅(spin coating), 딥 코팅(dip coating) 및 존 캐스팅(zone casting) 중 적어도 하나의 방법을 이용하여 형성될 수 있다.
- [0027] 구체적으로, 상기 게이트 전극은 열증착 및 리프트오프에 의해 형성되는 30 내지 70 nm 두께의 크롬 전극일 수 있으나, 이에 제한되지 않는다.
- [0029] 본 발명의 용어, "유전체층(dielectric layer)"은 전하가 통과하지 않는 부도체이나 전기장 안에서 극성을 띠는 유전체 또는 절연체라 일컫는 물질로 형성되며, 절연층(insulating layer)이라고도 한다. 상기 유전체층은 통상적인 반도체 소자에 사용되는 절연 물질을 사용하여 형성할 수 있으며, 실리콘 산화물(SiO_2) 또는 이보다 유전율이 높은 high-K 물질인 하프늄 산화물(HfO_2), 알루미늄 산화물(Al_2O_3), 지르코늄 산화물(ZrO_2), 실리콘 질화물(Si_3N_4), 또는 이들의 혼합물을 사용할 수 있으나, 이에 제한되지 않는다.
- [0030] 예컨대, 상기 유전체층은 진공 증착법, 화학 기상 증착법(CVD), 물리 기상 증착법(PVD), 원자층 증착법(ALD), 유기금속 화학 증착법(MOCVD), 플라즈마 화학 증착법(PECVD), 분자선 성장법(MBE), 수소화물 기상 성장법(HVPE), 스퍼터링, 스핀코팅, 딥 코팅 및 존 캐스팅 중 적어도 하나의 방법을 이용하여 형성될 수 있다.
- [0031] 구체적으로, 상기 유전체층은 원자층 증착법(ALD)에 의해 형성되는 30 내지 70 nm 두께의 산화알루미늄(aluminum oxide, Al_2O_3)층일 수 있으나, 이에 제한되지 않는다.
- [0033] 상기 IGZO로 된 제1반도체층과 ZTO로 된 제2반도체층은 게이트 전극 측으로부터 차례로 적층되어 이중층 구조의 채널층을 형성할 수 있다. 상기 채널층의 일측은 소스 전극과, 타측은 드레인 전극과 물리적으로 중첩되어 소스 영역과 드레인 영역을 연결하며 이들과 연결되지 않은 중앙부를 채널 영역이라고 지칭하기도 한다.
- [0034] 전술한 바와 같이, 상기 제1반도체층과 제2반도체층은 이들을 구성하는 금속 이온을 포함하는 전구체 용액을 스핀코팅하여 형성할 수 있고, 이에 따라 얇은 두께로 균일하게 형성할 수 있다. 또한, 상기 전구체 용액 중의 각 이온의 농도를 조절함으로써 각 반도체층을 구성하는 산화물 중의 금속 이온의 비율을 조절할 수 있고, 상기 전구체 용액의 농도를 조절함으로써 형성되는 반도체층의 두께를 조절할 수 있다. 따라서, 본 발명의 제조방법은 채널층을 구성하는 제1반도체층과 제2반도체층을 형성하기 위한 용액 공정을 포함함으로써 금속의 비율 및/또는 각 반도체층의 두께를 용이하게 조절할 수 있다.
- [0035] 예컨대, 최적의 전기적 성능을 달성하기 위하여, 상기 제1반도체층은 3 내지 7 nm 두께로 형성되고, 상기 제2반도체층은 3 내지 20 nm 두께로 형성될 수 있으나, 이에 제한되지 않는다.
- [0037] 예컨대, 상기 소스 전극 및 드레인 전극은 전술한 제1반도체층과 제2반도체층이 차례로 적층되어 형성된 채널층의 제2반도체층의 양측에 이격되어 형성되며, 상기 제2반도체층과는 소정의 영역을 통해 전기적으로 접속한다. 전술한 게이트 전극과 유사하게 당 분야에 공지된 소재와 방법으로 형성할 수 있다.
- [0038] 구체적으로, 상기 소스 전극 및 드레인 전극은, 50 내지 150 μm 너비, 5 내지 15 μm 길이 채널을 형성하도록, 열증착 및 리프트오프에 의해 제조되는 30 내지 70 nm 두께의 알루미늄 전극일 수 있으나, 이에 제한되지 않는다.

다.

[0040] 본 발명의 제2양태는 기판; 상기 기판 상에 형성된 게이트 전극; 상기 게이트 전극 상에 형성된 유전체층; 상기 유전체층 상에 3 내지 7 nm 두께로 형성된 제1반도체층; 상기 제1반도체층 상에 3 내지 20 nm 두께로 형성된 제2반도체층; 및 상기 제2반도체층 상에 서로 이격되도록 형성된 소스 전극 및 드레인 전극;을 포함하고, 상기 제1반도체층과 제2반도체층을 포함하여 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비하며, 상기 제1반도체층은 인듐 이온, 갈륨 이온 및 아연 이온을 (1 내지 3):1:1의 몰비율로 포함하는 인듐-갈륨-아연 산화물(IGZO)을 포함하고, 상기 제2반도체층은 아연 이온 및 주석 이온을 (1.5 내지 3):1의 몰비율로 포함하는 아연-주석 산화물(ZTO)을 포함하는, 박막 트랜지스터를 제공한다.

[0042] 예컨대, 본 발명의 박막 트랜지스터는 전술한 제1양태의 방법으로 제조될 수 있으나, 이에 제한되지 않는다.

[0044] 예컨대, 본 발명의 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터는 0.1 내지 0.6 eV의 에너지 장벽을 갖는 박막 트랜지스터일 수 있다.

[0046] 예컨대, 본 발명의 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터는 교류 스트레스에 대한 안정성이 향상된 박막 트랜지스터로서, 1000초 동안의 교류 인가 전후, 2 내지 7 cm^2/Vs 로 유지되는 캐리어 이동도(carrier mobility), 0 내지 0.1 V의 낮은 문턱전압이동(threshold voltage shift, ΔV_{th}), 및 $90 \pm 10\%$ 의 커짐 전류(on-current, I_{on}) 강하(lowering)로 구성된 군으로부터 선택되는 하나 이상의 전기적 성능을 나타내는 특징을 갖는다.

[0048] 본 발명의 제3양태는 스위칭 소자, 구동 소자 또는 둘 모두로서 제2양태의 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 구비한 액정표시장치(liquid crystal display; LCD)를 제공한다.

[0049] 본 발명의 제4양태는 스위칭 소자, 구동 소자 또는 둘 모두로서 제2양태의 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 구비한 유기발광 표시장치(organic light emitting display; OLED)를 제공한다.

[0050] 본 발명의 제5양태는 스위칭 소자, 구동 소자 또는 둘 모두로서 제2양태의 교류(AC) 스트레스에 대한 저항성을 갖는 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터를 구비한 평판표시장치(flat panel display; FPD)를 제공한다.

[0051] 전술한 바와 같이, 본 발명에 따라 제조된 이중층 구조의 채널을 구비한 산화물 반도체 기반 박막 트랜지스터는 교류 스트레스에 대한 저항성을 가지며 전기적 성능에 있어서 교류에의 노출에 대한 안정성을 나타내므로 교류 전압이 인가되는 제품, 예컨대, 액정표시장치, 유기발광 표시장치, 및 평판표시장치 등에 유용하게 사용될 수 있다. 구체적으로, 본 발명의 실시예에서는 20 V의 교류 전압이 인가되는 스트레스 환경 하에서 소자의 안정성을 확인하였는 바, 시판되는 디스플레이 제품에 가해지는 전압이 10 V 내외임을 고려할 때, 이는 본 발명의 TFT를 구비한 소자를 이들 제품에 적용하여도 안정적으로 구동될 수 있음을 시사한다.

발명의 효과

[0053] 본 발명에 따라 제조된 IGZO/ZTO 이중층 구조의 채널을 구비한 박막 트랜지스터는 AC 스트레스 하에서 안정성이 향상되어 소정의 시간이 경과하여도 전류 강하를 나타내지 않음은 물론 이동도의 변화나 문턱 전압 이동을 거의 나타내지 않는 안정한 소자를 제공할 수 있으므로, 액정표시장치, 유기발광 표시장치 또는 평판표시장치 등에 유용하게 사용될 수 있다.

도면의 간단한 설명

[0055]

도 1은 (a) 서로 상이한 밴드갭(band gap, E_g) 및 일함수(work function, Φ)를 갖는 소재로 된 이중층 채널의 에너지 준위 밴드 정렬과 (b) 단일층 및 (c) 이중층 구조의 채널을 포함하는 TFT의 에너지 준위 밴드 다이어그램을 나타낸 도이다.

도 2는 본 발명의 일 실시예에 따라 제조된 이중층 채널 TFT의 (a) 개략적인 단면도, (b) 광학 현미경 사진, 및 (c) 이중층 채널에 가해지는 사다리꼴 파형의 AC 드레인 바이어스 스트레스를 나타낸 도이다.

도 3은 본 발명의 일 실시예에 따라 제조된, 아래층에 2:1:1의 In:Ga:Zn 비를 갖는 IGZO 층과 위층에는 각각 (a) 1:2, (b) 1:1, (c) 2:1, (d) 4:1, (e) 6:1, 및 (f) 8:1의 Zn:Sn 비를 갖는 ZTO 층을 구비한 IGZO/ZTO TFT의 AC 드레인 바이어스 스트레스 하에서 측정된 $I_{DS}-V_G$ 전달 특성(transfer characteristics)을 나타낸 도이다.

도 4는 본 발명의 일 실시예에 따라 제조된 (a) 1:2, (b) 1:1, (c) 2:1, (d) 4:1, (e) 6:1, 및 (f) 8:1의 Zn:Sn 비를 갖는 ZTO 층을 구비한 IGZO/ZTO TFT의 평면도(top view) 전계 방출 주사 전자 현미경(field emission scanning electron microscope; FE-SEM) 이미지(스케일바는 100 nm)를 나타낸 도이다.

도 5는 본 발명의 일 실시예에 따라 어닐링으로 이어지는 스핀코팅에 의해 (a) 0.1 M IGZO 용액으로 형성한 단일층, (b) 0.1 M IGZO 용액/0.075 M ZTO 용액으로 형성한 이중층, (c) 0.1 M IGZO 용액/0.15 M ZTO 용액으로 형성한 이중층, 및 (d) 0.1 M IGZO 용액/0.3 M ZTO 용액으로 형성한 이중층 구조 TFT의 AFM 형태를 나타낸 도이다(스케일바는 1 μ m).

도 6은 본 발명의 일 실시예에 따라 제조된 유리 기재 상에 증착된 IGZO 및 ZTO 단일층 박막의 (a) 타우(T_{auc}) 플롯 및 (b) UPS 스펙트럼을 나타낸 도이다.

도 7은 본 발명의 일 실시예에 따라 제조된 TFT의 에너지 준위 밴드 구조 및 변수의 종류를 나타낸 도이다.

도 8은 본 발명의 일 실시예에 따라 제조된 (a) IGZO/ZTO-1 이중층 TFT, (b) IGZO/ZTO-2 이중층 TFT, 및 (c) IGZO/ZTO-3 이중층 TFT의 개략적인 에너지 준위 밴드 다이어그램을 나타낸 도이다.

도 9는 본 발명의 일 실시예에 따라 제조된 IGZO/ZTO-3 이중층 TFT의, 펄스 파형(pulse waveform)의 AC 드레인 바이어스 스트레스 하에서 측정된, (a) $I_{DS}-V_G$ 전달 특성(transfer characteristics) 및 (b) $I_{DS}-V_{DS}$ 출력 특성(output characteristics)을 나타낸 도이다.

도 10은 본 발명의 일 실시예에 따라 제조된 (a) IGZO/ZTO-1 이중층 TFT, 및 (b) IGZO/ZTO-2 이중층 TFT의 펄스 파형의 AC 드레인 바이어스 스트레스 하에서 측정된 $I_{DS}-V_G$ 전달 특성을 나타낸 도이다.

도 11은 본 발명의 일 실시예에 따라 제조된 (a) IGZO 및 (b) ZTO 단일층 TFT의 펄스 파형의 AC 드레인 바이어스 스트레스 하에서 측정된 $I_{DS}-V_G$ 전달 특성을 나타낸 도이다.

도 12는 본 발명의 일 실시예에 따라 제조된 (a) ZTO-1/IGZO 이중층 TFT, (b) ZTO-2/IGZO 이중층 TFT, 및 (c) ZTO-3/IGZO 이중층 TFT의 펄스 파형의 AC 드레인 바이어스 스트레스 하에서 측정된 $I_{DS}-V_G$ 전달 특성을 나타낸 도이다.

발명을 실시하기 위한 구체적인 내용

[0056]

이하, 실시예를 통하여 본 발명을 보다 상세히 설명하고자 한다. 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이들 실시예에 의해 한정되는 것은 아니다.

[0058]

제조예 1: 금속 산화물 전구체의 제조

[0060]

모든 시약은 Sigma-Aldrich로부터 구입하여 추가적인 정제 없이 사용하였다. 질산인듐 수화물(indium nitrate hydrate; $\text{In}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}$, 99.999%), 질산갈륨 수화물(gallium nitrate hydrate; $\text{Ga}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}$, 99.999%), 및 질산

아연 수화물(zinc nitrate hydrate; $\text{Zn}(\text{NO}_3)_2 \cdot x\text{H}_2\text{O}$, 99.999%)을 $\text{In}:\text{Ga}:\text{Zn} = 2:1:1$ 의 고정된 몰비율로 2-메톡시에탄올(2-methoxyethanol; 2-ME, 99.8%, anhydrous)에 용해시켜 0.1 M IGZO 용액을 준비하였다. ZTO 용액은 아세트산아연 이수화물(zinc acetate dihydrate; $\text{Zn}(\text{CH}_3\text{COO})_2 \cdot 2\text{H}_2\text{O}$, 99.999%) 및 염화주석(tin(II) chloride; SnCl_2 , 99.99%)을 $\text{Zn}:\text{Sn} = 1:2, 1:1, 2:1, 4:1, 6:1$, 및 $8:1$ 의 비율로 2-ME에 용해시켜 합성하였다. 상기 2개 용액에 안정화제로서 에탄올아민(ethanolamine, 99.5%)을 첨가하고, IGZO 및 ZTO 용액을 70°C 에서 밤새도록 및 3시간 동안 각각 교반하였다. 이후, 상기 2개 용액을 사용에 앞서 실온에서 2시간 동안 교반하였다.

[0062] 실시예 1: 이중층 구조의 채널층을 포함하는 박막 트랜지스터 소자의 제작

하부 게이트/상부 컨택트 구조로 산화물 박막 트랜지스터(thin film transistor; TFT)를 제작하였으며, 통상의 포토리소그래피(conventional photolithography) 또는 리프트-오프(lift-off) 공정을 이용하여 패터닝하였다(MIDAS, MDA-400M). 유리 기재를 아세톤과 이소프로필알콜에서 각 10분 동안 초음파처리하고, 사용 전 5분 동안 플라즈마 처리(Harrick Plasma, PDC-32G; 18 W)하였다. 각각 열증착 및 리프트-오프 공정을 통해 게이트 전극으로서 50 nm 크롬(chromium; Cr)을 코팅하고 패터닝하였다. 다음으로, 유전체층(dielectric layer)으로서 50 nm 알루미늄 산화물(aluminum oxide; Al_2O_3)을 원자층 증착법(atomic layer deposition)에 의해 증착시켰다. 모든 박막(thin films)을 산소 플라즈마로 다시 1분 동안 처리한 후, IGZO 및 ZTO 용액을 연속적으로 30초 동안 3000 rpm으로 스핀코팅하고 390°C 에서 1시간 동안 어닐링하였다. 이후, 채널과 유전체층을 통상의 포토리소그래피와 습식 에칭(wet etching)으로 패터닝하였다. 마지막으로, 각각 10 μm 및 100 μm 채널 길이 및 너비를 갖는 소스 및 드레인 전극으로서 50 nm 알루미늄을 열증착시키고(thermally deposited), 2개 전극 모두를 리프트-오프 공정으로 패터닝하였다. 도 2(a) 및 2(b)는 각각 제작된 이중층 채널 TFT의 개략적인 단면도(schematic cross-sectional view) 및 광학 현미경 사진(optical micrograph)을 나타낸다.

[0066] 실험예 1: 박막 특성분석

상기 제조예 1에 따라 준비한 전구체로 된 AOS 필름의 광학 투과율(optical transmittance) 및 에너지 밴드 갭을 자외선-가시광선 (ultraviolet-visible; UV-Vis) 분광광도계(JASCO, V-770)로 결정하고, 일함수(work function) 및 페르미 에너지(fermi energy)는 21.2 eV의 He I 광자원(photon source)을 이용한 자외선 광전자 분광현미경(ultraviolet photoelectron spectromicroscopy; UPS, Kratos, AXIS-NOVA)으로 측정하였다. 필름 두께는 X-선 반사계(X-ray reflectometry; XRR, Bruker, D8 Advance)로 측정하였다. 필름 표면 형태는 원자력 현미경(atomic force microscope; AFM, Park System, XE7)과 전계 방출 주사 전자 현미경(field-emission scanning electron microscope; FE-SEM, JEOL, JSM-7100F)으로 분석하였다.

[0070] 실험예 2: 소자 특성분석

제조된 TFT 소자의 전류-전압 측정을 위하여, 반도체 변수 분석기(semiconductor parameter analyzer, Keithley 4200-SCS)를 이용하였다. 포화 영역에서 전하 캐리어 이동도를 다음의 방정식으로 계산하였다:

$$\mu_{sat} = (2I_{DS}L) / [WC_i(V_{GS} - V_{th})^2]$$

상기 I_{DS} 는 드레인 전류, L 은 채널 길이, W 는 채널 너비, C_i 는 게이트 유전체의 면적 정전용량(120 nF/cm^2), V_{GS} 는 게이트 전압, V_{th} 는 문턱 전압(threshold voltage)임.

Agilent 8100A 펄스 생성기에 의한 주파수(frequency)=1 kHz, 듀티비(duty ratio)=25%, 전이 시간(trasntion time)= 2×10^{-9} 초, $V_{DS}=0$ 내지 20 V, $V_{GS}=0$ V의 스트레스 조건으로 AC 드레인 바이어스 스트레스 하에서 상기 실시

예 1에 따라 준비한 TFT 소자의 안정성을 확인하였다. 2가지 안정성 테스트 모두 1000초까지 진행하였다(0, 1, 10, 100 및 1000초). 다음의 방정식으로, 커짐 전류 강하를 산출하였다:

$$\text{커짐 전류 강하}(\%) = I_{on}(\text{스트레스후}) / I_{on}(\text{스트레스전}) \times 100$$

상기 I_{on} 은 5 V 게이트 전압에서 드레인 전류임.

도 2(c)에 이중층 채널에 가해지는 사다리꼴 파형의 AC 드레인 바이어스 스트레스를 나타내었다.

실험예 3: AC 스트레스 안정성 TFT를 위한 최적 이중층-채널 에너지 밴드 교안

적절한 이중층 밴드 구조는 밴드 굽힘(bending)과 HCE를 감소시키는 에너지 장벽을 형성할 수 있으므로, AC 스트레스 하에서 TFT 열화에 대한 해법으로서, 이중층 채널 구조가 도입되었다. 적절한 밴드 정렬을 형성하기 위해서는, 2개 층에 대한 밴드갭과 일함수를 적절히 결정해야 한다. 특히, 상부층은 전도 밴드 차이(conduction band difference)를 구축하도록 하부층보다 더 큰 밴드갭과 더 작은 일함수를 가져야 한다. 에너지 밴드 변수 차이는 화학적 성질 및 층 두께에 기초하여 발생하므로, 원하는 이중층 에너지 밴드 구조를 형성하고 해당 층을 사용하여 제작한 TFT에 우수한 안정성을 부여하기 위해 각 채널 층을 위한 적절한 산화물 반도체를 최적화하였다. 구체적인 최적화 종류로는 산화물 반도체의 원소 조합, 비율, 및/또는 몰 농도 조절이 있다. 이러한 최적화는 이중층 채널이 우수한 전기적 성능과 더불어 AC 드레인 바이어스 스트레스에 대한 안정성을 나타내도록 하는데 매우 중요하다.

이중층 채널의 최적화 과정은 다음의 단계로 진행하였다. 우선 IGZO가 ZTO q보다 상대적으로 작은 밴드갭을 가지므로 IGZO와 ZTO를 각각 하부층과 상부층 소재로 선택하였다. 이때, IGZO의 원자 조성 및 몰 농도는, 기존의 연구로부터 우수한 전기적 성능을 나타내는 것으로 확인된, In:Ga:Zn=2:1:1과 0.1 M로 고정하였다. 이후, ZTO의 에너지 밴드 변수는 전달 플롯, 표면 형태, 및 UV-Vis와 UPS 측정을 통해 최적화하였다. 해당 최적화 과정은 ZTO의 원소 조합과 몰 농도를 조합함으로써 원하는 에너지 밴드 정렬을 형성하고, 결과적으로 핫 캐리어 효과를 줄이기 위해 실행되었다.

구체적으로, 최적의 ZTO 원자비를 찾기 위하여 다양한 Zn:Sn 비율을 가진 ZTO를 포함하여 IGZO/ZTO 이중층 TFT를 제작하였다. 그 중, Zn:Sn=2:1 비율의 ZTO를 포함하는 소자가 가장 높은 이동도와 큰 커짐/꺼짐 전류비(on/off ratio)를 나타내었다(표 1 및 도 3). 또한, 소자 표면을 FE-SEM으로 관찰하였을 때, 높은 Zn 비율의 소자들에서는 큰 티끌(grain)이 나타난 반면, Zn:Sn=2:1, 1:1 및 1:2 비율의 ZTO를 포함하는 IGZO/ZTO 소자는 티끌 없는 균질한 표면을 나타내었다(도 4). 이와 같이 상대적으로 Zn 비율이 높은 ZTO 함유 소자에서와 같이 표면에 형성된 큰 티끌은 소자 내에서 계면 트랩으로 작용할 수 있는 것으로 알려져 있으므로, Zn:Sn=2:1을 최적화된 ZTO 원소 비율로 선택하였다.

표 1

Zn:Sn 비	μ (cm ² /Vs)	V _{th} (V)
1:2	-	-
1:1	-	-
2:1	5.9	-4.5
4:1	4.0	-1.6
6:1	3.2	0.6
8:1	1.7	0.8

마지막으로, ZTO의 몰 농도와 채널 두께 간의 관계를 정립하기 위하여, 이들 인자가 밴드갭이나 일함수와 같은 에너지 밴드 변수에 큰 영향을 미치는 점을 고려하여, UV-Vis 및 UPS 측정을 수행하였다. 상기 측정을 통해, 0.3 M 이하의 몰 농도를 갖는 ZTO 용액으로 형성한 박막은 IGZO 박막에 비해 큰 밴드갭과 작은 일함수를 갖는

것을 확인하였다. 이에 따라, 생성될 에너지 장벽과 상부층 두께와의 관계를 파악하기 위하여, 0.075, 0.15 및 0.3 M의 3가지 다른 몰 농도의 용액으로 형성한 ZTO 박막을 채택하였다. 상기 선택된 3종 박막을 각각 ZTO-1, ZTO-2 및 ZTO-3으로 표기하였다. XRR 측정을 통해 단일 IGZO 층 및 ZTO-1, ZTO-2 및 ZTO-3 층의 두께는 각각 5.5, 4.3, 8.1, 및 15.1 nm임을 확인하였다. 또한 비접촉 모드의 AFM을 사용하여 제작된 박막의 표면 형태를 평가하였다(도 4). 도 4에 나타난 바와 같이, 모든 박막은 0.3 nm 미만의 제곱-평균-제곱근(root-mean-square roughness, R_q) 값을 나타내었다.

[0090] UV-vis 측정으로부터, 타우(T_{auc}) 플롯을 획득하였고(도 6(a)), IGZO 및 ZTO 박막의 광학 밴드 갭(E_g)을 다음의 타우 방정식으로부터 추출하였다:

[0091]
$$(\alpha h\nu)^2 = A(h\nu - E_g)$$

[0092] 상기 α 는 흡광계수(absorption coefficient), h 는 플랑크 상수(Plank's constant), ν 는 광자 주파수(photon's frequency), 및 A 는 비례 상수(proportionality constant)임.

[0093] IGZO 및 ZTO 박막의 계산된 광학 밴드 갭은 각각 3.51 eV(IGZO), 4.13 eV(ZTO-1), 4.07 eV(ZTO-2), 및 3.87 eV(ZTO-3)이었다. 또한, 박막의 일함수(work functions, Φ)는 UPS 분석으로 결정하였고, 방정식은 다음과 같다:

[0094]
$$\Phi = h\nu - (E_{cutoff} - E_f)$$

[0095] $h\nu$ 는 21.22 eV의 He I 방사 에너지(radiation energy), E_{cutoff} 는 2차 전자 컷오프 에너지, 및 E_f 는 페르미 준위임.

[0096] 도 6(b)는 박막의 UPS 스펙트럼을 나타내며, E_{cutoff} 값은 각각 17.28 eV(IGZO), 17.50 eV(ZTO-1), 17.45 eV(ZTO-2), 및 17.43 eV(ZTO-3)로 확인되었다. 이에 따라 일함수는 각각 3.94 eV(IGZO), 3.72 eV(ZTO-1), 3.77 eV(ZTO-2), 및 3.79 eV(ZTO-3)로 산출되었다. 전술한 에너지 밴드 변수들을 도 7의 개략도에 나타내었다. 도 7에 나타난 바와 같이, 페르미 준위로부터 전도 밴드 최소(conduction band minimum, E_c)까지의 에너지(ΔE_c)는 각각 0.06 eV(IGZO), 0.59 eV(ZTO-1), 0.47 eV(ZTO-2), 및 0.24 eV(ZTO-3)로 산출되었다.

[0097] 추출된 데이터를 기초로 IGZO 및 ZTO 층을 각각 하부층 및 상부층으로 사용한 이중층 구조의 에너지 밴드 구조를 그릴 경우, IGZO와 ZTO-1, ZTO-2, 또는 ZTO-3 채널층 사이의 뚜렷한 에너지 장벽, 즉, 전도 밴드 차이(conduction band difference)가 도 8과 같이 형성되었다. 특히 ZTO 상부층 두께가 증가함에 따라, 에너지 장벽의 크기는 감소하는 경향을 뚜렷이 나타내었다. 구체적인 수치로서 IGZO와 ZTO-1, ZTO-2, 또는 ZTO-3 층 간의 전체적인 에너지 장벽은 각각 0.53, 0.47, 및 0.18 eV였다. 이러한 장벽은 드레인 전극 근처에서의 과도한 전기장을 억제함으로써, 지나친 캐리어의 축적을 줄이고 궁극적으로 HCE를 해소할 수 있었다. 모든 변수를 표 2에 요약하였다.

표 2

[0098]

필름	E_g (eV)	Φ (eV)	ΔE_c (eV)	에너지 장벽
IGZO	3.51	3.94	0.06	-
ZTO-1	4.13	3.72	0.59	0.53
ZTO-2	4.07	3.77	0.47	0.41
ZTO-3	3.87	3.79	0.24	0.18

[0100] **실험예 4: 고안된 에너지 밴드를 갖는 이중층 TFT의 전기적 성능**

[0102] 소자 안정성에 대한 에너지 장벽의 효과를 입증하기 위하여, 전술한 이중층 채널을 갖는 IGZO/ZTO-1, IGZO/ZTO-2, 및 IGZO/ZTO-3 TFT를 제작하고, 해당 전기적 성능을 특성 분석하였다. 주파수=1 kHz, 듀티비=25%, 전이 시간

$=2 \times 10^{-9}$ 초, $V_{DS}=0$ 내지 20 V, $V_{GS}=0$ V의 스트레스 조건을 갖는 AC 드레인 바이어스 스트레스를 준비한 각각의 TFT 소자에 가하고, 이동도, 문턱 전압(V_{th}), 및 켜짐 전류 강하 등의 전기적 변수를 산출하였다. 특히 0, 1, 10, 100 및 1000초의 시간 동안 AC 스트레스를 가한 후 소자의 안정성을 확인하고, 전달 곡선(transfer graph)을 분석하였다. 제작된 3중 IGZO/ZTO TFT는 모두 순환 테스트(cycle test) 동안 미미한 문턱 전압 및 켜짐 전류 강하만을 나타내었는데, 이는 앞서 설계된 에너지 장벽을 포함하는 에너지 밴드 구조가 소자의 AC 스트레스 하에서의 안정성을 향상시킨데 기인한다. 이때, ZTO 상부층의 두께가 증가할수록 이중층 채널 소자는 높은 이동도를 보이는데, 특히, IGZO/ZTO-3 구조는 1000초 동안의 AC 바이어스 스트레스 하에서 $5.91 \text{ cm}^2/\text{Vs}$ 의 상대적으로 높은 이동도, 약 0.06 V의 문턱 전압 이동 및 미미한 켜짐 전류 강하를 나타내는 등의 우수한 전기적 특성과 스트레스에 대한 안정성을 나타내었다(도 9 및 도 10). 이는 채널에 에너지 장벽이 존재하는 TFT 소자는 AC 스트레스 하에서 안정하게 작동함을 시사한다. 구체적으로 HCE 억제 및 캐리어 이동 사이의 제어를 통해 에너지 장벽의 높이가 줄어들수록 소자 이동도가 증가함을 알 수 있었다.

[0103] 비교를 위하여 단일층 IGZO, 및 ZTO TFT와 이중층 채널의 적층 순서가 바뀐 ZTO/IGZO 소자를 제작하였다. 이들 소자는 AC 드레인 바이어스 스트레스 하에서 모두 뚜렷한 열화 현상을 나타내었다(도 11 및 도 12). 이들 소자는 모두 확실한 문턱 전압 이동을 나타내었으며, 특히 40% 이하의 켜짐 전류 강하를 나타내었다. 이는 에너지 장벽이 존재하는 채널로 제작한 TFT 소자가 AC 드레인 바이어스 스트레스 하에서 소자 안정성을 제공할 수 있음을 나타내는 것이다. 모든 제작된 소자에 대한 특정 전기적 특성 값을 표 3에 요약하였다.

표 3

TFT 구조 (하부/상부)	$\mu (\text{cm}^2/\text{Vs})$		$V_{th}(\text{V})$		켜짐 전류 강하 (%)
	0초	1000초	0초	1000초	
IGZO/ZTO-1	2.6	3.0	-1.1	-0.9	99.2
IGZO/ZTO-2	4.2	4.4	-1.9	-1.5	89.7
IGZO/ZTO-3	5.9	6.1	-4.5	-4.4	98.3
ZTO-1/IGZO	2.1	1.9	1.7	3.3	32.2
ZTO-2/IGZO	0.7	0.7	0.6	3.5	13.5
ZTO-3/IGZO	0.5	0.5	0.2	3.6	11.5
단일층 IGZO	4.5	4.9	-6.5	-3.0	29.6
단일층 ZTO	0.8	0.8	2.1	3.4	34.3

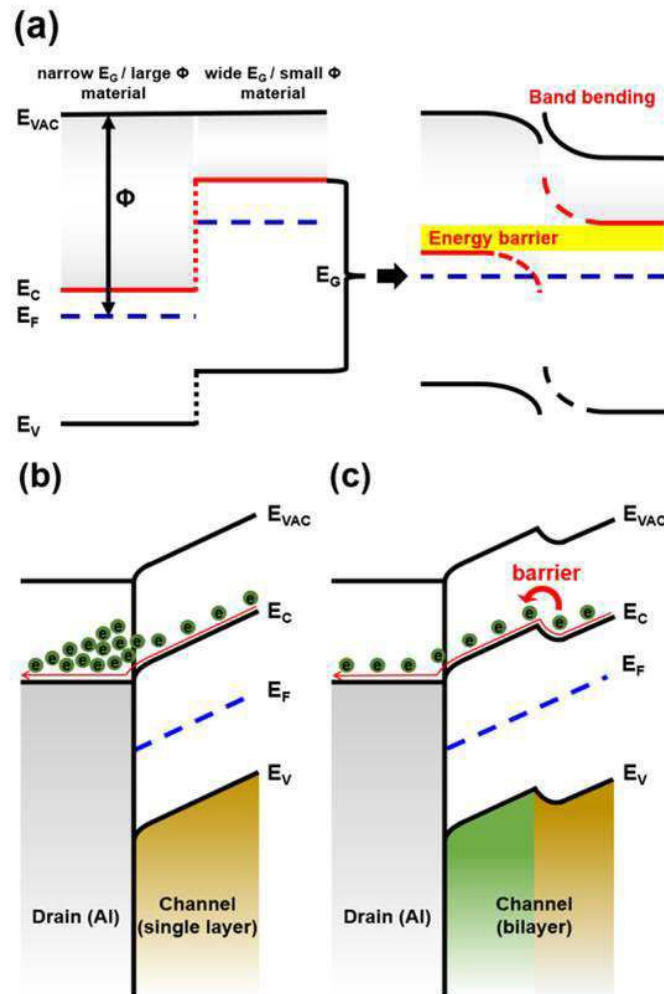
[0106] <결론>

[0107] 결론적으로, 하부층 및 상부층으로 a-IGZO 및 ZTO를 구비한 이중층 채널 TFT는 AC 드레인 바이어스 스트레스 하에서 HCE에 대한 해법으로 제작되었다. 제작된 3개 다른 ZTO 두께를 갖는 이중층 채널 모두는 에너지 계면에 에너지 장벽의 역할을 하는 명확한 전도 밴드 차이를 나타내었다. 이러한 채널 구조를 갖도록 TFT를 제작했을 때, 3중의 IGZO/ZTO 소자 모두는 펄스 AC 스트레스를 가한 지 1000초 후 문턱전압이동 및 전류 강하를 거의 나타내지 않았으며, 특히 IGZO/ZTO-3은 전류 강하 없이 $5.91 \text{ cm}^2/\text{Vs}$ 의 높은 이동도, 및 0.06 V의 문턱전압이동을 나타내었다. 단독 IGZO 및 ZTO TFT는 큰 문턱전압이동 및 전압 강하를 수반하며 불안정하게 구동되었으므로, 이는 IGZO/ZTO 이중층 채널이 HCE를 줄이기 위한 효과적인 구조라 할 수 있다. 또한, 적층 순서(stack sequence)가 변경되었을 때, TFT 소자는 열등하게(inferiorly) 작동하였으며, 이는 적절한 에너지 밴드 구조 고안이 AC 드레인 바이어스 스트레스 하에서 TFT 안정성을 위한 유망한 해법일 수 있음을 시사한다.

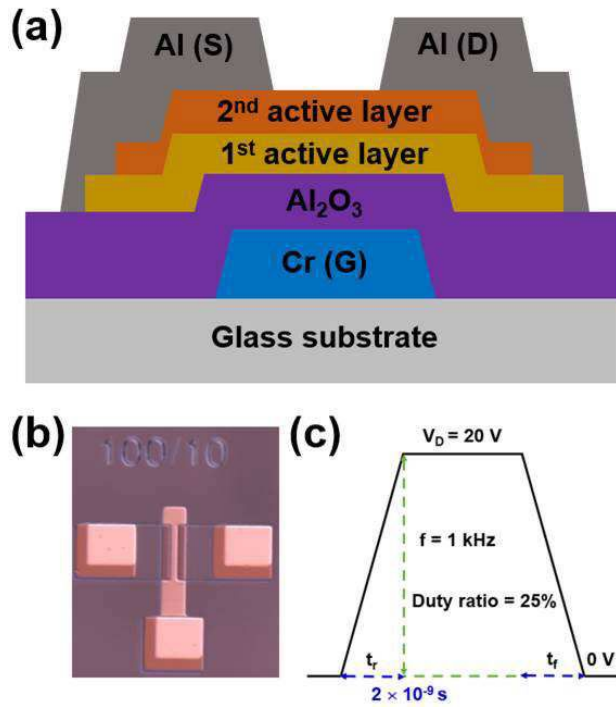
[0109] 이상의 설명으로부터, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 이와 관련하여, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허 청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

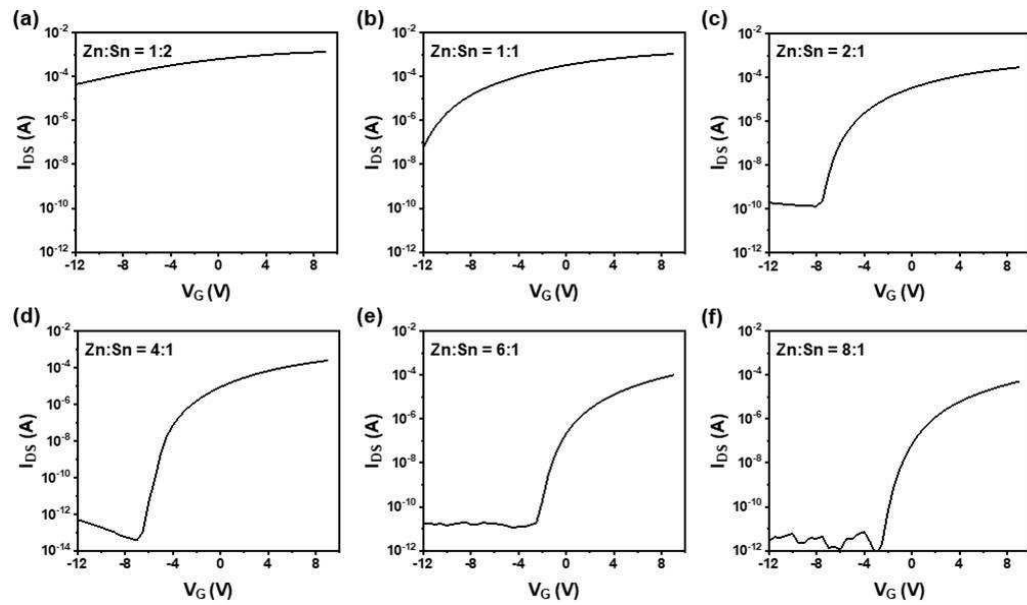
도면1



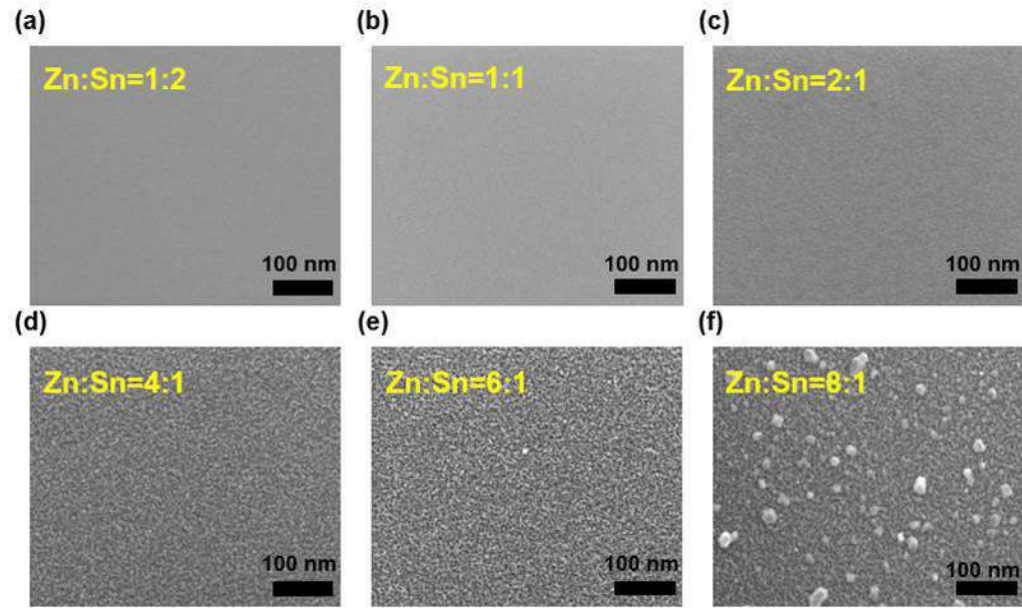
도면2



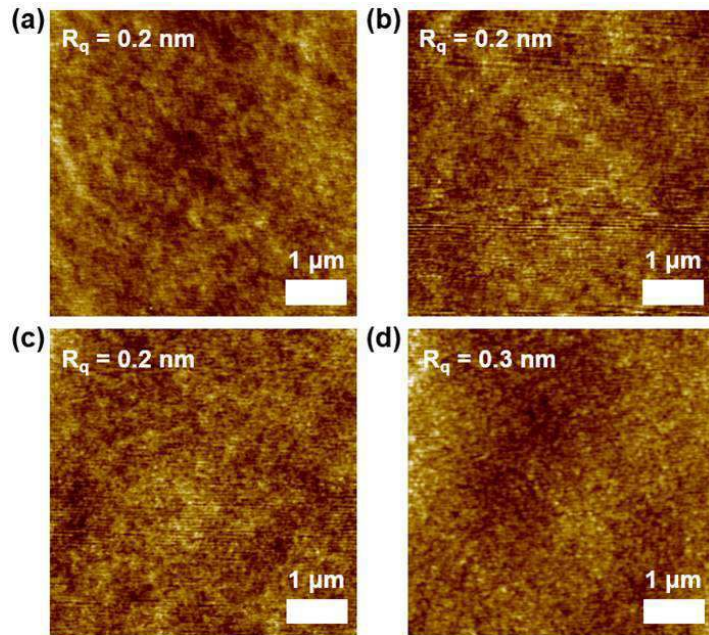
도면3



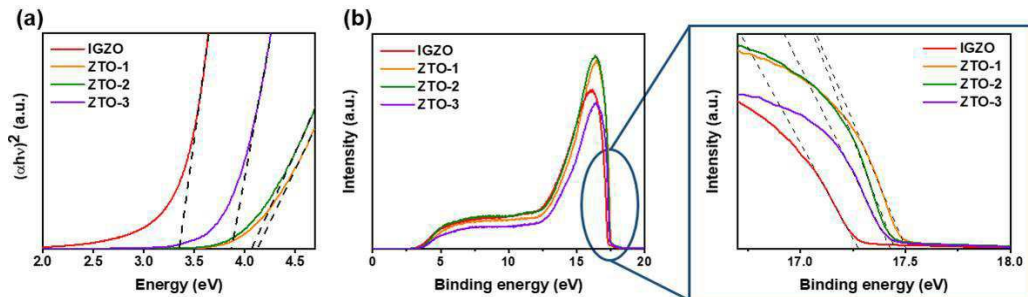
도면4



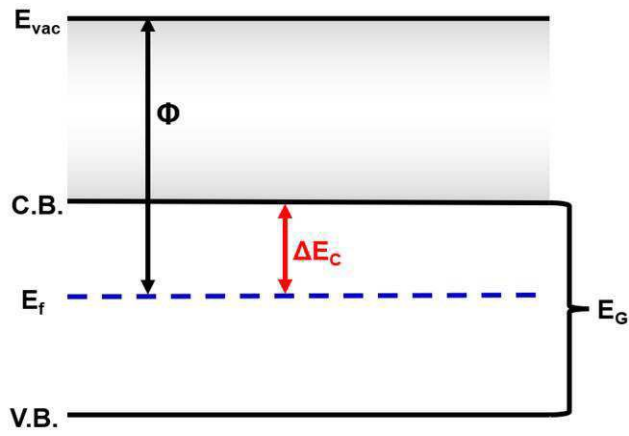
도면5



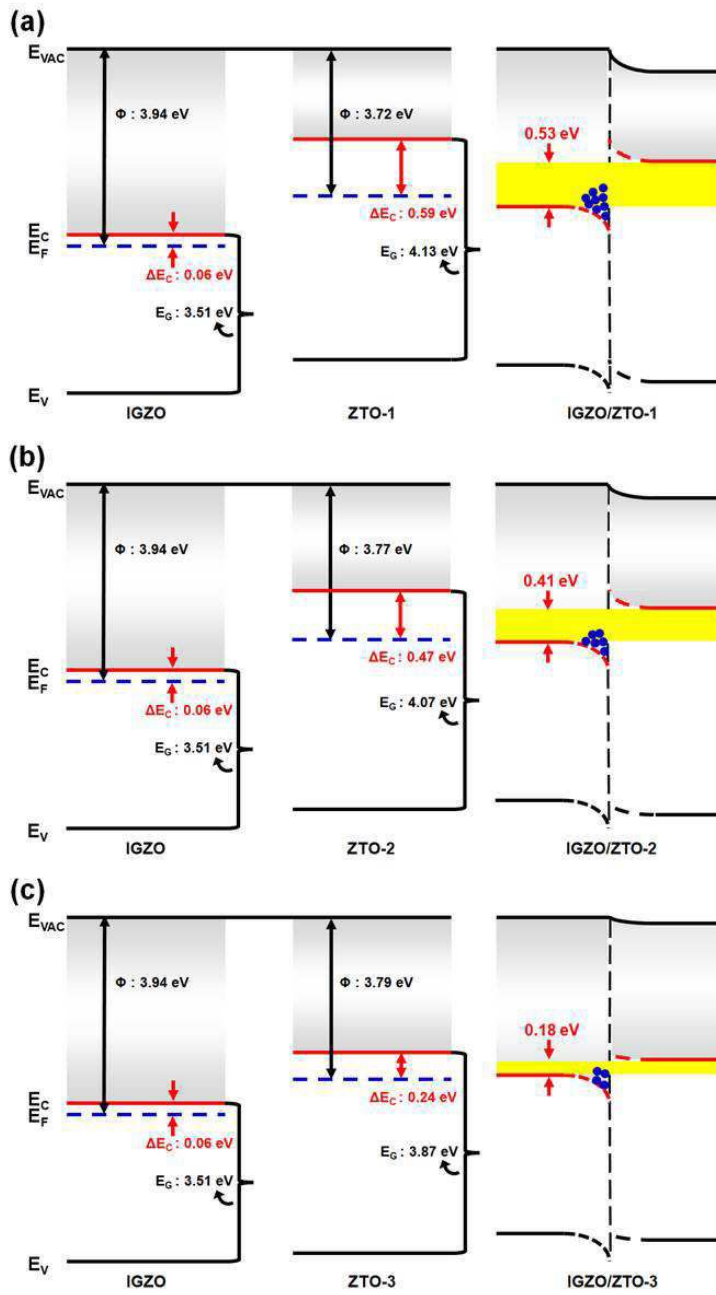
도면6



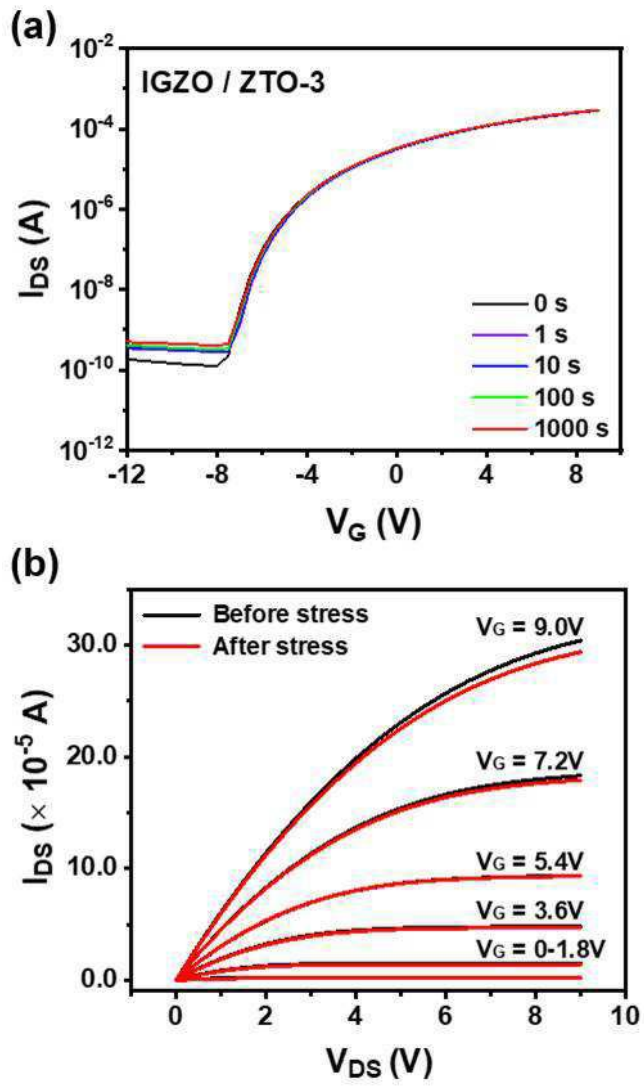
도면7



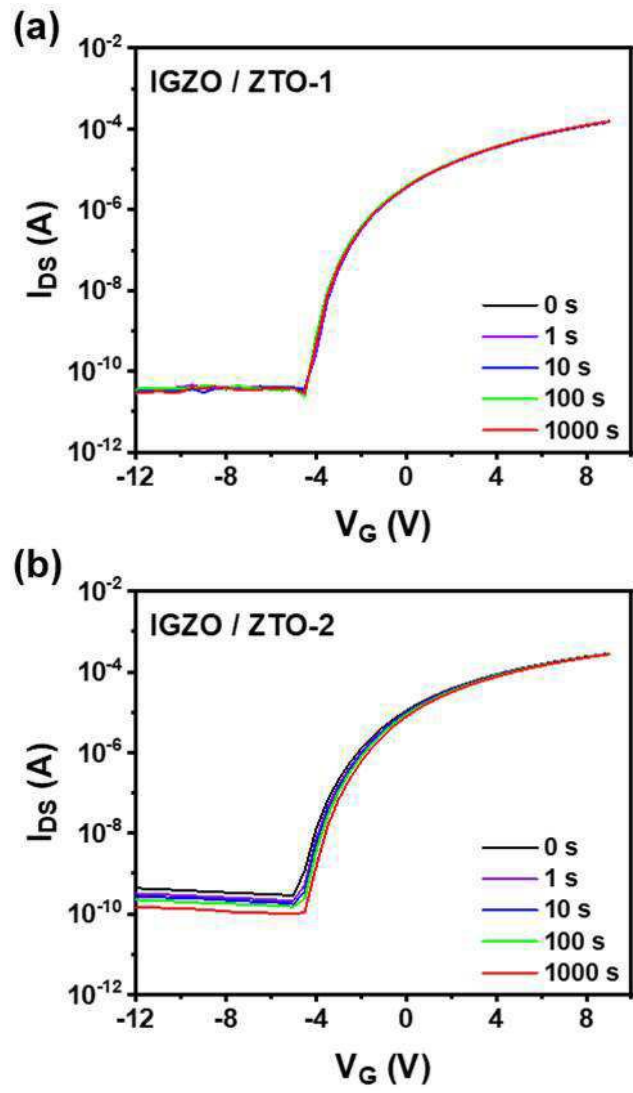
도면8



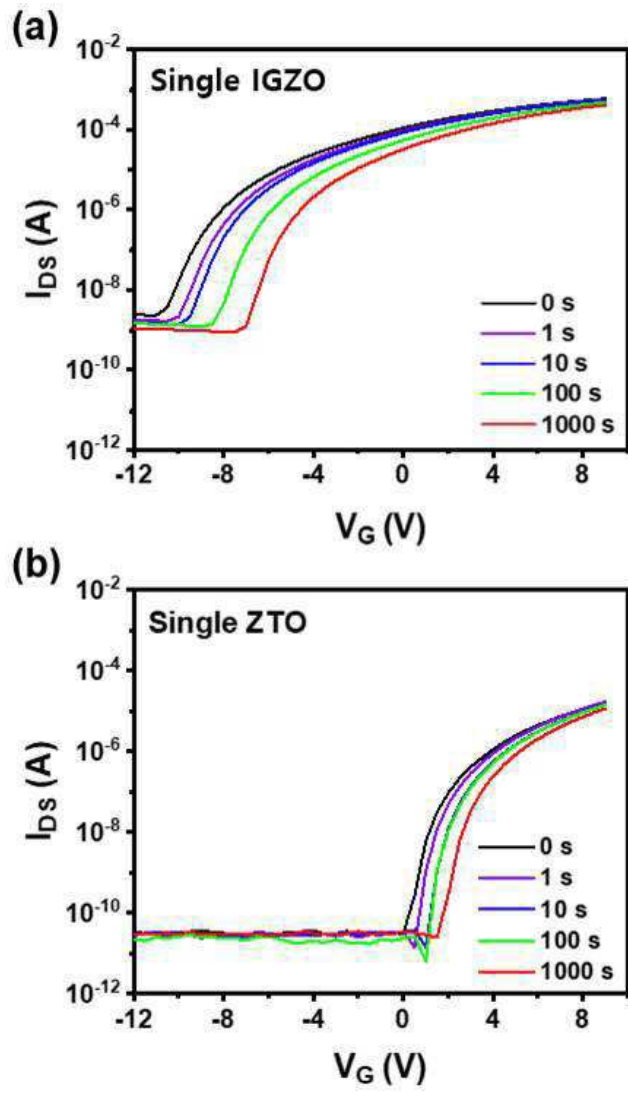
도면9



도면10



도면11



도면12

