

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5858852号  
(P5858852)

(45) 発行日 平成28年2月10日(2016.2.10)

(24) 登録日 平成27年12月25日(2015.12.25)

(51) Int.Cl.	F I
H O 1 L 33/48 (2010.01)	H O 1 L 33/00 4 0 0
H O 1 L 33/00 (2010.01)	H O 1 L 33/00 J

請求項の数 5 (全 10 頁)

(21) 出願番号	特願2012-88287 (P2012-88287)	(73) 特許権者	000001960 シチズンホールディングス株式会社 東京都西東京市田無町六丁目1番12号
(22) 出願日	平成24年4月9日(2012.4.9)	(73) 特許権者	000131430 シチズン電子株式会社 山梨県富士吉田市上暮地1丁目23番1号
(65) 公開番号	特開2013-219167 (P2013-219167A)	(74) 代理人	100126583 弁理士 宮島 明
(43) 公開日	平成25年10月24日(2013.10.24)	(72) 発明者	荒井 秀和 山梨県富士吉田市上暮地1丁目23番1号 シチズン電子株式会社内
審査請求日	平成26年10月30日(2014.10.30)	(72) 発明者	渡辺 茂久 山梨県富士吉田市上暮地1丁目23番1号 シチズン電子株式会社内

最終頁に続く

(54) 【発明の名称】 L E Dモジュール

(57) 【特許請求の範囲】

【請求項1】

回路基板上に複数のL E Dダイを実装したL E Dモジュールにおいて、  
少なくとも前記L E Dダイの実装領域の中央部において前記L E Dダイがひし形の格子  
状に配列し、

前記L E Dダイの実装領域及び前記実装領域を囲むダム材が略円形であり、

前記L E Dダイが直列接続し一本のL E D列を形成し、

前記L E D列が第1部分L E D列と第2部分L E D列からなり、

前記第1部分L E D列と前記第2部分L E D列の接続点にバイパス回路が接続し、

前記実装領域には前記第2部分L E D列の一部が実装される実装部と、前記第2部分L  
E D列の他の一部が実装される実装部があり、

前記第2部分L E D列の二つの実装部で前記第1部分L E D列の実装部を挟み込み、

前記第1部分L E D列の前記実装部と前記第2部分L E D列の前記実装部が共通の対称  
軸を有する

ことを特徴とするL E Dモジュール。

【請求項2】

前記バイパス回路が第1電流入力端子と第2電流入力端子を備え、前記第1部分L E D  
列と前記第2部分L E D列の接続点に前記第1電流入力端子が接続し、前記第2部分L E  
D列を流れる電流が前記第2電流入力端子に入力し、前記バイパス回路が前記第2電流入  
力端子に入力する電流により前記第1電流入力端子に入力する電流を制限していることを

10

20

特徴とする請求項 1 に記載の L E D モジュール。

【請求項 3】

前記バイパス回路は、ディプレッション型の F E T と抵抗からなり、前記第 1 電流入力端子には前記 F E T のドレインが接続し、前記第 2 電流入力端子には前記 F E T のソースと前記抵抗の一端が接続し、前記 F E T のゲートと前記抵抗の他端の接続部から電流が流出することを特徴とする請求項 2 に記載の L E D モジュール。

【請求項 4】

前記バイパス回路に含まれる前記 F E T がベアチップであり、前記回路基板にダイボンディングされていることを特徴とする請求項 3 に記載の L E D モジュール。

【請求項 5】

前記 L E D 列に全波整流波形を印加することを特徴とする請求項 1 から 4 のいずれか一項に記載の L E D モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の L E D ダイを回路基板に実装した L E D モジュールに関する。

【背景技術】

【0002】

ウェハーから切り出したベアチップの半導体発光素子（以下 L E D ダイと呼ぶ）を回路基板上に多数実装した L E D モジュールが知られている。この L E D ダイは回路基板上において格子状に配列されることが多く、その格子形状は長方形であったり、ひし形であったりする。

【0003】

例えば特許文献 1 の図 1 には L E D ダイがひし形の格子状に配列している発光体（L E D モジュール）が示されている。特許文献 1 の図 1 を図 5 に再掲示し、発光体の構造を説明する。図 5 は発光体 1 の概略平面図である。L E D ベアチップ 4（L E D ダイ）は図の上下方向に 4 本の列で配列しており、各列には 4 個の L E D ベアチップ 4 が含まれる。また各 L E D ベアチップ 4 は図の横方向で近接しないように配置されている。このようにして各 L E D ベアチップ 4 はひし形の格子を形成する。また各 L E D ベアチップ 4 は、六角形の金属製のパッド 3 上にダイボンディングされている。このようにして発光体 1 は、金属製のパッド 3 により高い発光効率と良好な熱伝導性を備えながら、ひし形の格子配置にすることで高い実装密度を保持している。

【0004】

なお発光体 1 は各列ごとに 4 個づつワイヤ 12, 13 で直列接続している。このとき端部の L E D ベアチップ 4 は配線パターン 7 と接続している。また L E D ベアチップ 4 は矩形の被覆板 16 の収納部 14 に実装されており、被覆板 16 の切り欠き部 16 には電源端子 17 が形成されている。なお基板 2（回路基板）はアルミ板上に絶縁層 4 を備えたものであり、各 L E D ベアチップ 4 は透明樹脂 5 で被覆されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2010 - 238972 号公報（図 1）

【発明の概要】

【発明が解決しようとする課題】

【0006】

図 5 に示した L E D モジュール（発光体 1）のように L E D ダイ（各 L E D ベアチップ 4）の実装領域が略正方形であると、例えば図 5 の縦及び横方向が明るく、図の斜め方向が暗くなることが確認されている。すなわち図 5 に示したような L E D モジュール（発光体 1）には配光ムラがある。

【0007】

10

20

30

40

50

そこで本発明は、上記課題に鑑みて為されたものであり、複数のＬＥＤダイを回路基板に実装する際、発光効率を高くしても配光ムラが小さいＬＥＤモジュールを提供することを目的とする。

【課題を解決するための手段】

【０００８】

本発明のＬＥＤモジュールは、回路基板上に複数のＬＥＤダイを実装したＬＥＤモジュールにおいて、少なくとも前記ＬＥＤダイの実装領域の中央部において前記ＬＥＤダイがひし形の格子状に配列し、前記ＬＥＤダイの実装領域及び前記実装領域を囲むダム材が略円形であり、前記ＬＥＤダイが直列接続し一本のＬＥＤ列を形成し、前記ＬＥＤ列が第１部分ＬＥＤ列と第２部分ＬＥＤ列からなり、前記第１部分ＬＥＤ列と前記第２部分ＬＥＤ列の接続点にバイパス回路が接続し、前記実装領域には前記第２部分ＬＥＤ列の一部が実装される実装部と、前記第２部分ＬＥＤ列の他の一部が実装される実装部があり、前記第２部分ＬＥＤ列の二つの実装部で前記第１部分ＬＥＤ列の実装部を挟み込み、前記第１部分ＬＥＤ列の前記実装部と前記第２部分ＬＥＤ列の前記実装部が共通の対称軸を有することを特徴とする。

10

【０００９】

本発明のＬＥＤモジュールは、少なくともＬＥＤダイを実装した領域の中央部においてＬＥＤダイがひし形の格子状に配列している。つまり実装領域の中央部でＬＥＤダイの配列がひし形の格子を形成していれば、実装領域全体にわたりＬＥＤダイの配列が概ねひし形の格子状になる。このようにＬＥＤダイを配置すると、ＬＥＤダイの側面から回路基板表面に沿うようにして出射する光線が、隣接するＬＥＤダイの側面にあたりにくくなるため、回路基板面で効率よく反射し、ＬＥＤモジュールの発光効率が向上する。

20

【００１０】

このときＬＥＤダイの実装領域を円形とすると配光ムラが軽減することを確認した。さらに本発明のＬＥＤモジュールではＬＥＤダイを直列接続しＬＥＤ列を形成させている。このためＬＥＤ列を折り曲げるようにして配置及び接続させることが可能になり、配置に関わる自由度が増すことにより略円形の実装領域であっても実装可能となる。

【００１２】

ＬＥＤ列全体に高い電圧を印加する場合、第１部分ＬＥＤ列と第２部分ＬＥＤ列がともに点灯する。これに対しＬＥＤ列に低い電圧を印加した場合は、第１部分ＬＥＤ列からバイパス回路に電流が流れ、第１部分ＬＥＤ列のみが点灯する。このとき第２部分ＬＥＤ列の実装部が分割されているため、第１部分ＬＥＤ列の実装部をＬＥＤ列全体の実装領域の中央部に配置できる。すなわちＬＥＤ列に印加する電圧が低いときであっても発光分布の偏りを少なくできる。

30

【００１３】

前記バイパス回路が第１電流入力端子と第２電流入力端子を備え、前記第１部分ＬＥＤ列と第２部分ＬＥＤ列の接続点に前記第１電流入力端子が接続し、前記第２部分ＬＥＤ列を流れる電流が前記第２電流入力端子に入力し、前記バイパス回路が前記第２電流入力端子に入力する電流により前記第１電流入力端子に入力する電流を制限しても良い。

【００１４】

前記バイパス回路は、ディプレッション型のＦＥＴと抵抗からなり、前記第１電流入力端子には前記ＦＥＴのドレインが接続し、前記第２電流入力端子には前記ＦＥＴのソースと前記抵抗の一端が接続し、前記ＦＥＴのゲートと前記抵抗の他端の接続部から電流が流出するようにしても良い。

40

【００１５】

前記バイパス回路に含まれる前記ＦＥＴがベアチップであり、前記回路基板にダイボンディングされていても良い。

【００１６】

前記ＬＥＤ列に全波整流波形を印加しても良い。

50

## 【発明の効果】

## 【0017】

以上のように本発明のLEDモジュールは、複数のLEDダイを略ひし形の格子状に配列することにより発光効率を向上させている。このときLEDダイを直列接続し、これで形成したLED列を折り曲げるようにして各LEDダイを配置及び接続することにより、円形の実装領域にLEDダイを適切に配列し配光ムラを低減させることができる。

## 【図面の簡単な説明】

## 【0018】

【図1】本発明のLEDモジュールの外形図。

【図2】図1に示すLEDモジュールから蛍光樹脂を除いた状態の平面図。

10

【図3】図1に示すLEDモジュールの実体的な回路図。

【図4】図1に示すLEDモジュールの回路図。

【図5】従来例として示したLEDモジュールの概略平面図。

## 【発明を実施するための形態】

## 【0019】

以下、添付図1～4を参照しながら本発明の好適な実施形態について詳細に説明する。なお図面の説明において、同一または相当要素には同一の符号を付し、重複する説明は省略する。また説明のため部材の縮尺は適宜変更している。さらに特許請求の範囲に記載した発明特定事項との関係をカッコ内に記載している。

## 【0020】

20

先ず図1によりLEDモジュール100の外觀を説明する。図1はLEDモジュール100の外形図であり、(a)が平面図、(b)が正面図である。回路基板111上には円形のダム材112と一辺が欠けた矩形状のダム材114がある。ダム材112の内側の領域には蛍光樹脂113が充填され、ダム材112とダム材114で囲まれた領域には蛍光樹脂115が充填されている。なおダム材112とダム材114で囲まれた領域は図の上下2箇所にある。また回路基板111上の配線パターンは図示していない。

## 【0021】

次に図2によりLEDモジュール100の電子部品の配置を説明する。図2は図1に示したLEDモジュール100から蛍光樹脂113, 115をとり除いた状態の平面図であり、ダム材112, 114の内側の領域を示している。なお回路基板111及び回路基板111上の配線パターンは図示していない。

30

## 【0022】

図2において、回路基板111上には83個のLEDダイ21(以下、個別のLEDダイについては必要に応じてサフィックスをつけて区別する)と、2個のFET324, 344(ベアチップ状態のディプレッション型のFET)と、2個の抵抗325, 345が搭載されている。LEDダイ21の実装領域は略円形であり、円形のダム材112により周囲を囲まれている。またFET324, 344と抵抗325, 345を実装した領域はダム材112の円弧とダム材114により囲まれている。なお回路基板111の配線パターン(図示せず)は上面(表面)だけに形成されており、回路基板111にスルーホールはない。

40

## 【0023】

LEDダイ21は $500\mu\text{m} \times 290\mu\text{m}$ 、FET324, 344は $1.5\text{mm} \times 1.5\text{mm}$ 、抵抗325, 345は $500\mu\text{m} \times 500\mu\text{m}$ である。回路基板111は熱伝導性と反射率を考慮してアルミナを使用した。図示していない配線パターンはAg上にNi, Pd, Auを積層している。ダム材112, 114はシリコン樹脂からなり、太さが $0.7 \sim 1.0\text{mm}$ であり、高さが $0.5 \sim 0.7\text{mm}$ である。図1に示した蛍光樹脂113, 115は蛍光体を含むシリコン樹脂であり、厚さが $400 \sim 800\mu\text{m}$ 程度である。なお蛍光樹脂113の厚さはその変動が色度ずれを引き起こすので厳密に管理しなければならないが、これに比べ蛍光樹脂115の厚さは精度を緩くして良い。なおFET324, 344の被覆材を蛍光樹脂115としても光による誤動作はなかった。

50

## 【 0 0 2 4 】

次に図 1 , 2 を参照して L E D モジュール 1 0 0 の製造方法を説明する。まず回路基板 1 1 1 上に L E D ダイ 2 1 、 F E T 3 2 4 , 3 4 4 及び抵抗 3 2 5 , 3 4 5 をダイボンディングし、その後ワイヤボンディングする。次にディスペンサで硬化前のダム材 1 1 2 , 1 1 4 を配置し、ダム材 1 1 2 , 1 1 4 を約 1 5 0 で硬化させる。L E D ダイ 2 1 の実装領域では蛍光樹脂 1 1 3 の厚さを精度良く管理しなければならないためダム材 1 1 2 の外形も高精度に形成する必要がある。これに比べダム材 1 1 4 の精度は緩くて良い。最後にディスペンサで L E D ダイ 2 1 の実装領域並びに F E T 3 2 4 , 3 4 4 及び抵抗 3 2 5 , 3 4 5 の実装領域に蛍光樹脂 1 1 3 , 1 1 5 を塗布する。蛍光樹脂 1 1 3 , 1 1 5 の焼結温度は約 1 5 0 であり、焼結後の蛍光樹脂 1 1 3 の厚さばらつきは 1 0 0 μ m 以内が好ましい。

10

## 【 0 0 2 5 】

L E D ダイ 2 1 を実装した領域の中央部では、近接しあう 4 個の L E D ダイ 2 1 は、それぞれを頂点とし、図の縦方向に潰れたひし形をなすよう配列している。このひし形をセルとする格子配列は、実装領域の周辺部では L E D ダイ 2 1 がなくなるため当然周期性はなくなるが、これとは別に寸法調整のため周期性を失うこともある。なお全体的に L E D ダイ 2 1 の配列がひし形格子を形成していれば、L E D ダイ 2 1 の側面から回路 1 1 1 の表面に沿うようにして出射する光線が、図の横方向で隣接する L E D ダイ 2 1 にあたりにくくなっているため、回路基板 1 1 1 ( 図示せず ) の表面で効率よく反射し、L E D モジュール 1 0 0 の発光効率が向上する。このとき L E D ダイ 2 1 の実装領域を円形とすることにより配光ムラが軽減することを確認した。

20

## 【 0 0 2 6 】

L E D ダイ 2 1 は回路基板 1 1 1 ( 図示せず ) にダイボンディングされ、ワイヤ 2 2 により接続している。なお L E D ダイ 2 1 a ~ g は一方のワイヤ 2 2 が配線パターン ( 図示せず ) に接続している。L E D ダイ 2 1 は全体で一本の直列接続した L E D 列を構成しており、この L E D 列のアノードは L E D ダイ 2 1 c の一方のワイヤ 2 2 が相当し、カソードは L E D ダイ 2 1 d の一方のワイヤ 2 2 が相当する。このとき L E D ダイ 2 1 f と L E D ダイ 2 1 g は図示していない配線パターンで接続している。同様に L E D ダイ 2 1 a と L E D ダイ 2 1 b も図示していない配線パターンで接続している。

30

## 【 0 0 2 7 】

F E T 3 2 4 は底面がドレインであり、導電性ペーストで配線パターン ( 図示せず ) にダイボンディングされている。この配線パターンにより F E T 3 2 4 のドレインは L E D ダイ 2 1 a , 2 1 b と接続している。F E T 3 2 4 のゲートとソースはワイヤ 2 2 で図示していない別の配線パターンと接続する。抵抗 3 2 5 も回路基板 1 1 1 にダイボンディングされ、ワイヤ 2 2 で図示していない配線パターンと接続する。F E T 3 4 4 も底面がドレインであり、導電性ペーストで配線パターン ( 図示せず ) にダイボンディングされている。この配線パターンにより F E T 3 4 4 のドレインは L E D ダイ 2 1 d と接続している。F E T 3 4 4 のゲートとソースはワイヤ 2 2 で図示していない別の配線パターンと接続する。抵抗 3 4 5 も回路基板 1 1 1 にダイボンディングされ、ワイヤ 2 2 で図示していない配線パターンと接続する。なお L E D ダイ 2 1 及び抵抗 3 2 5 , 3 4 5 の底面は絶縁されている。

40

## 【 0 0 2 8 】

この接続状態を図 3 により説明する。図 3 は図 1 に示す L E D モジュール 1 0 0 の実体的な回路図であり、図 2 で示した電子部品と図 3 で示した電子部品は相対的な位置関係が一致している。あわせて L E D ダイ 2 1 の向きも明示している。L E D ダイ 2 1 は直列接続しており、L E D 列は、L E D ダイ 2 1 c から始まり、途中 L E D ダイ 2 1 a , 2 1 b , 2 1 d , 2 1 g を通り、L E D ダイ 2 1 d で終わっている。L E D ダイ 2 1 c から L E D ダイ 2 1 a に至る部分 ( 第 1 部分 L E D 列、図 4 で示す部分 L E D 列 3 1 0 ) の実装部は実装領域全体の中央部にあり、L E D 2 1 b から L E D 2 1 d に至る部分 L E D 列 3 3 0 a ( 第 2 部分 L E D 列の一部、図 4 で示す部分 L E D 列 3 3 0 の一部分 ) の実装部と L

50

LED 21g から LED 21d に至る部分 LED 列 330b (第 2 部分 LED 列の他の一部、図 4 で示す部分 LED 列 330 の一部分) の実装部に挟まれている。FET 324 と抵抗 325 が図 4 で後述するバイパス回路 320 となり、FET 344 と抵抗 345 が図 4 で後述する電流制限回路 340 となる。端子 A, B はそれぞれ電流が流入及び流出する端子である。また図 3 において配線が交差していないため、図 2 の説明のなかで述べたように回路基板 111 (図 1 参照) にスルーホールを設けなくても良くなる。

#### 【0029】

次に図 4 により LED モジュール 100 の動作について説明する。図 4 は LED モジュール 100 と周辺回路の回路図である。なお図 3 の回路図と図 4 に示した LED モジュール 100 の回路図は等価であり、各電子部品は共通の符号を用いている。また図 4 の回路には、LED モジュール 100 とともにブリッジ整流回路 305 と商用交流電源 306 が書き加えられている。ブリッジ整流回路 305 は 4 個のダイオード 301, 302, 303, 304 からなり、端子 A が全波整流波形の出力端子であり、端子 B が基準電圧を与える端子となる。商用交流電源 306 はブリッジ整流回路 305 の入力端子に接続している。

10

#### 【0030】

LED モジュール 100 は、部分 LED 列 310 (第 1 部分 LED 列)、部分 LED 列 330 (第 2 部分 LED 列)、バイパス回路 320、電流制限回路 340 からなる。部分 LED 列 310 と部分 LED 列 330 とが直列接続し LED モジュール 100 全体の LED 列を構成する。部分 LED 列 310 内では LED ダイ 21c, 21a を含む多数の LED ダイ 21 (図 2 参照) が直列接続しており、同様に部分 LED 列 330 内でも LED ダイ 21b, 21d を含む多数の LED ダイ 21 が直列接続している。部分 LED 列 310 のアノードはブリッジ整流回路 305 の A 端子に接続している。部分 LED 列 310, 330 の接続部はバイパス回路 320 の電流入力端子 321 (第 1 電流入力端子) と接続している。部分 LED 列 330 のカソードは電流制限回路 340 の電流入力端子 341 に接続している。

20

#### 【0031】

バイパス回路 320 は、電流入力端子 321 (第 1 電流入力端子)、電流入力端子 322 (第 2 電流入力端子)、電流出力端子 323 を備えている。電流入力端子 322 は電流制限回路 340 の電流出力端子 343 と接続している。電流出力端子 323 はブリッジ整流回路 305 の B 端子に接続している。バイパス回路 320 は、ディプレッション型の FET 324 及び抵抗 325 からなり、電流入力端子 321 に FET 324 のドレインが接続し、電流入力端子 322 に FET 324 のソースと抵抗 325 の一端が接続し、電流出力端子 323 に FET 324 のゲートと抵抗 325 の他端が接続している。またバイパス回路 320 は、電流入力端子 322 から流入する電流により電流入力端子 321 から流入する電流を制限する。

30

#### 【0032】

電流制限回路 340 は、バイパス回路 320 と略同じ回路構成であり、相違点はバイパス回路 320 の電流入力端子 322 に相当するものがないことだけである。FET 344、抵抗 345 の結線もバイパス回路 320 と等しい。なお LED ダイ 21 の順方向電圧降下量が 3V 程度なので、部分 LED 列 310 の閾値は約 150V、部分 LED 列 330 の閾値は約 90V となり、LED モジュール 100 は実効値が 240V となる商用交流電源 306 に対応している。また抵抗 345 は、抵抗 325 よりも値が小さく、抵抗 345 と抵抗 325 の抵抗値の比を 1:2 にしている。

40

#### 【0033】

次に図 4 により LED モジュール 100 の点灯状況を説明する。全波整流波形の電圧が上昇し、部分 LED 列 310 の閾値を越えると、部分 LED 列 310 とバイパス回路 320 に電流が流れ部分 LED 列 310 が点灯する。このとき抵抗 325 から FET 324 のソースにフィードバックが掛かり、バイパス回路 320 は定電流動作する。さらに全波整流波形の電圧が上昇し、部分 LED 列 310 の閾値と部分 LED 列 330 の閾値の和より

50

も大きくなると、部分ＬＥＤ列３３０及び電流制限回路３４０にも電流が流れ始める。電流入力端子３２２に電流が入力するようになると、ＦＥＴ３２４はソース電圧が上昇し、ソース－ゲート間の電圧が広がるためカットオフする。このとき抵抗３４５からＦＥＴ３４４にフィードバックがかかり、電流制限回路３４０は定電流動作する。このようにして部分ＬＥＤ列３１０と部分ＬＥＤ列３３０が点灯する。なお全波整流波形の電圧が下降する期間では、全波整流波形の電圧が上昇する期間の逆の過程を辿る。

#### 【００３４】

ＬＥＤモジュール１００は、ＬＥＤダイ２１が長いＬＥＤ列を形成しているため、この長いＬＥＤ列を折り曲げるようにしてＬＥＤダイ２１を配置できるので、実装領域が円形であってもＬＥＤダイを過不足なく配置できる。このようにして実装部を円形にしたことで配光ムラを改善していたが、さらにＬＥＤモジュール１００は部分ＬＥＤ列３１０と部分ＬＥＤ列３３０の実装部の割り振り方で配光分布を改善している。前述のように部分ＬＥＤ列３３０（図４参照）の実装部が二つに分かれており（図３において部分ＬＥＤ列３３０ａと部分ＬＥＤ列３３０ｂとして示していることに対応する）、部分ＬＥＤ列３１０（図４参照）の実装部が部分ＬＥＤ列３３０の二つの実装部に挟まれている。そして部分ＬＥＤ列３１０と部分ＬＥＤ列３３０の接続点にバイパス回路２２０が接続していた。このため全波整流波形の電圧が低いうちはＬＥＤ列３１０が点灯し、実装領域全体の中央部が発光する。その後全波整流波形の電圧が上昇すると部分ＬＥＤ列３３０が点灯し実装領域全体が発光する。すなわち全波整流波形の低電圧位相でも高電圧位相でも配光分布が共通の対称軸をもっているため、ＬＥＤモジュール１００が長いＬＥＤ列を折り曲げるようにしてＬＥＤダイ２１を配置しても配光分布を劣化させていない。

#### 【００３５】

またＬＥＤモジュール１００ではバイパス回路３２０がディプレッション型のＦＥＴ３２４と抵抗３２５からなるだけであった（図４参照）。このため図３の説明のなかで述べたように配線を交差させないで回路図が描けるようになったため、回路基板１１１（図１参照）表面上の配線パターンとワイヤ２２（図１参照）だけで各電子部品を接続でき、さらに電力供給用の端子Ａ、Ｂ（図３参照）も確保できた。さらにバイパス回路３２０はＬＥＤ列３３０（図４参照）を流れる電流がバイパス回路３２０の第２の電流入力端子３２２（図４参照）に入力し、第１の電流入力端子３２１（図４参照）から流れ込む電流を制限していたため、バイパス回路３２０には制御配線が存在しない。このことも回路基板１１１上の配線パターンを単純化するのに役立っている。

#### 【００３６】

またＬＥＤモジュール１００ではＦＥＴ３２４、３４４と抵抗３２５、３４５をダイボンディング及びワイヤボンディングで実装していた。ＦＥＴや抵抗は表面実装用のチップ部品でも良いが、ＬＥＤモジュール１００のような実装方式とすることにより、小型化を図ると共にＬＥＤダイ２１の実装方法と共通化させることができる。なおＬＥＤダイをフリップチップ実装しても良い。この場合は接続用のワイヤが不要になるため、ワイヤの影がなくなりＬＥＤモジュールの発光効率が向上する。

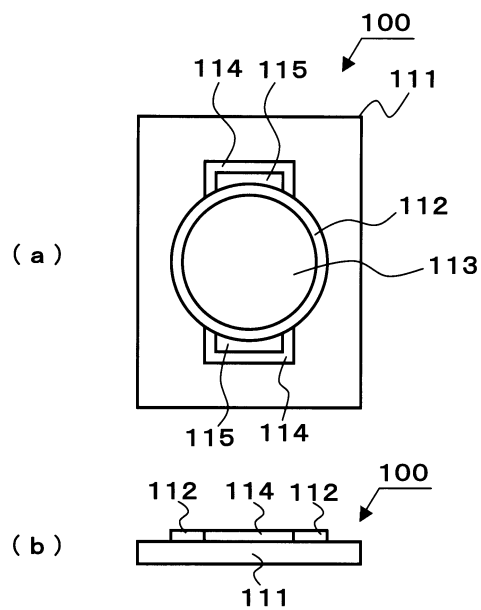
#### 【符号の説明】

#### 【００３７】

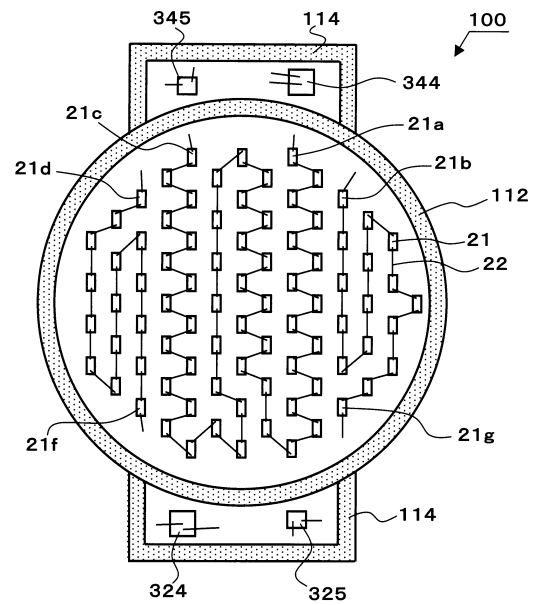
- １００ ... ＬＥＤモジュール、
- １１１ ... 回路基板、
- １１２，１１４ ... ダム材、
- １１３，１１５ ... 蛍光樹脂、
- ２１，２１ａ～ｇ ... ＬＥＤダイ、
- ２２ ... ワイヤ、
- ３０１，３０２，３０３，３０４ ... ダイオード、
- ３０５ ... ブリッジ整流回路、
- ３０６ ... 商用交流電源、
- ３１０ ... 部分ＬＥＤ列（第１部分ＬＥＤ列）、

- 3 2 0 ... バイパス回路、
- 3 2 1 ... 電流入力端子 (第 1 電流入力端子)、
- 3 2 2 ... 電流入力端子 (第 2 電流入力端子)、
- 3 2 3 , 3 4 3 ... 電流出力端子、
- 3 2 4 , 3 4 4 ... F E T、
- 3 2 5 , 3 4 5 ... 抵抗、
- 3 3 0 ... 部分 L E D 列 (第 2 部分 L E D 列)、
- 3 3 0 a , 3 3 0 b ... 部分 L E D 列 (第 2 部分 L E D 列の一部)、
- 3 4 0 ... 電流制限回路、
- 3 4 1 ... 電流入力端子。

【図 1】

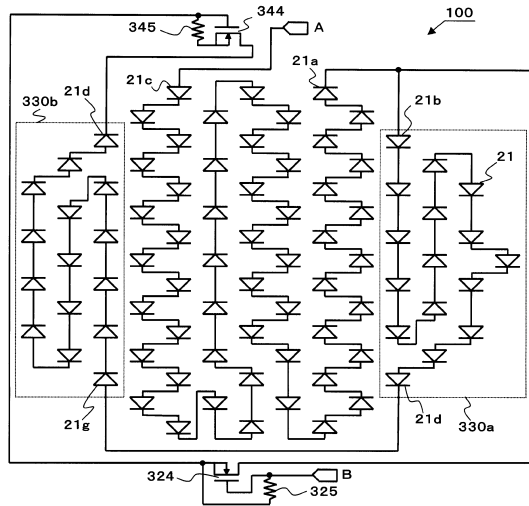


【図 2】

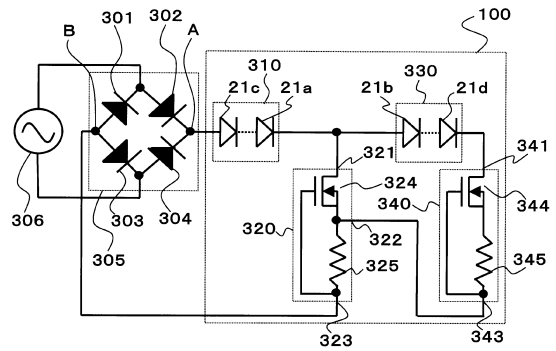




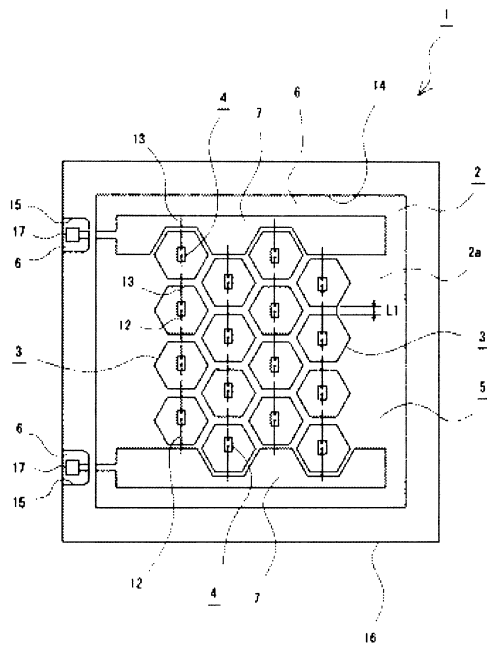
【図 3】



【図 4】



【図 5】



---

フロントページの続き

審査官 村井 友和

(56)参考文献 特開2010-287657(JP, A)  
国際公開第2011/020007(WO, A1)

(58)調査した分野(Int.Cl., DB名)  
H01L 33/00 - 33/64