

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-200430

(P2009-200430A)

(43) 公開日 平成21年9月3日(2009.9.3)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 29/786 (2006.01)	H01L 29/78 618E	2H092
G02F 1/1368 (2006.01)	H01L 29/78 618C	5C094
G09F 9/30 (2006.01)	H01L 29/78 612B	5F110
	G02F 1/1368	
	G09F 9/30 338	
審査請求 未請求 請求項の数 8 O L (全 14 頁)		

(21) 出願番号 特願2008-43278 (P2008-43278)
 (22) 出願日 平成20年2月25日 (2008.2.25)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100093506
 弁理士 小野寺 洋二
 (72) 発明者 三宅 秀和
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 園田 大介
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 大植 栄司
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 表示装置とその製造方法

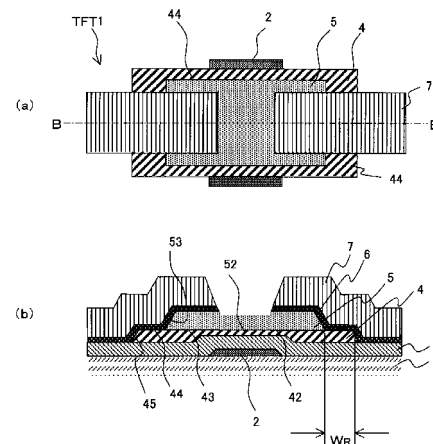
(57) 【要約】

【課題】薄膜トランジスタの電流特性を改善し、高品位の表示装置を可能とする。

【解決手段】チャネル領域が多結晶及び非晶質シリコンの積層構造でかつ逆スタガ構造の第1の薄膜トランジスタTFT1の前記多結晶シリコン層4と前記非晶質シリコン層5の平面形状を略相似形状とし、かつ前記非晶質シリコン層5を前記多結晶シリコン層4より小面積とした。

【選択図】 図2

図2



【特許請求の範囲】

【請求項 1】

チャネル領域が多結晶及び非晶質シリコンの積層構造でかつ逆スタガ構造の第 1 の薄膜トランジスタと、チャネル領域が単層非晶質シリコン構造でかつ逆スタガ構造の第 2 の薄膜トランジスタを同一絶縁基板上に備えた表示装置で、

前記第 1 の薄膜トランジスタは前記チャネル領域の前記非晶質シリコン層上に n 型非晶質シリコン層と更にこの n 型非晶質シリコン層上にソース・ドレイン電極を備え、前記非晶質シリコン層とこの非晶質シリコン層と積層される前記多結晶シリコン層は積層方向と直交する平面形状を略相似形状とし、かつ上層の前記非晶質シリコン層を下層の前記多結晶シリコン層より小面積としてなることを特徴とする表示装置。

10

【請求項 2】

前記多結晶シリコン層はその頂面中央部に前記非晶質シリコン層を積層し、この非晶質シリコン層の外周から更に外側に延びて前記頂面中央部に連なる頂面周縁部及びこの頂面周縁部の外縁に連なる側壁を備え、この側壁から前記頂面周縁部に亘り連続して前記 n 型非晶質シリコン層と接してなることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記頂面周縁部は前記非晶質シリコン層の外周を取り囲んで配置されてなることを特徴とする前記請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記側壁は裾広がり状の傾斜面であることを特徴とする前記請求項 1 乃至 3 の何れかに記載の表示装置。

20

【請求項 5】

前記チャネル領域の前記非晶質シリコン層と前記多結晶シリコン層との積層部分にエッチングストップ層を介挿させたことを特徴とする前記請求項 1 乃至 4 の何れかに記載の表示装置。

【請求項 6】

チャネル領域が多結晶及び非晶質シリコンの積層構造でかつ逆スタガ構造の第 1 の薄膜トランジスタと、チャネル領域が単層非晶質シリコン構造でかつ逆スタガ構造の第 2 の薄膜トランジスタを同一絶縁基板上に備えた表示装置で、

前記第 1 の薄膜トランジスタは前記チャネル領域の前記非晶質シリコン層上に n 型非晶質シリコン層と更にこの n 型非晶質シリコン層上に配置したソース・ドレイン電極を備え、

30

前記多結晶シリコン層は前記非晶質シリコン層の側壁とは異なる傾斜でこの側壁下端を始点として裾広がり状の傾斜側壁を備え、この傾斜側壁から前記非晶質シリコン層の側壁を通り頂面に亘る領域で前記 n 型非晶質シリコン層と接してなることを特徴とする表示装置。

【請求項 7】

チャネル領域が多結晶及び非晶質シリコンの積層構造でかつ逆スタガ構造の第 1 の薄膜トランジスタと、チャネル領域が単層非晶質シリコン構造でかつ逆スタガ構造の第 2 の薄膜トランジスタを同一絶縁基板上に備えた表示装置の製造方法であって、

40

絶縁基板上に第 1 の薄膜トランジスタ用のゲート電極を形成する工程と

前記ゲート電極を覆ってゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に非晶質シリコン層を成膜する工程と、

前記非晶質シリコン層を加工して多結晶シリコン層化する工程と、

前記多結晶シリコン層をエッチングを含む処理により島状に加工する工程と、

前記島状の多結晶シリコン層を水素化非晶質シリコン層で覆う工程と、

前記水素化非晶質シリコン層上に前記島状の多結晶シリコン層と略同心でこの島状の多結晶シリコン層より小面積の島状のレジストパターンを形成する工程と、

前記水素化非晶質シリコン層を前記レジストパターンと略同心でこのレジストパターンより小面積の島状に加工する工程と、

50

前記島状の多結晶シリコン層を前記島状の水素化非晶質シリコン層と略同心で周縁が前記水素化非晶質シリコン層より突出する形状に加工する工程と、

前記レジストパターンを除去する工程と、

前記島状の前記水素化非晶質シリコン層を含む表面にP⁺ドーブ非晶質シリコン層を成膜する工程と、

前記P⁺ドーブ非晶質シリコン層表面にソース・ドレイン電極用金属膜を成膜する工程と、

前記P⁺ドーブ非晶質シリコン層及びソース・ドレイン電極用金属膜を加工し、ソース・ドレイン電極及びn型非晶質シリコン層を形成する工程を含むことを特徴とする表示装置の製造方法。

10

【請求項8】

チャネル領域が多結晶及び非晶質シリコンの積層構造でかつ逆スタガ構造の第1の薄膜トランジスタと、チャネル領域が単層非晶質シリコン構造でかつ逆スタガ構造の第2の薄膜トランジスタを同一絶縁基板上に備えた表示装置の製造方法であって、

絶縁基板上に第1の薄膜トランジスタ用のゲート電極を形成する工程と

前記ゲート電極を覆ってゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に非晶質シリコン層を成膜する工程と、

前記非晶質シリコン層を加工して多結晶シリコン層化する工程と、

前記多結晶シリコン層をエッチングを含む処理により島状に加工する工程と、

前記島状の多結晶シリコン層をエッチングストッパ層で覆う工程と、

20

前記エッチングストッパ層で覆われた島状の多結晶シリコン層を水素化非晶質シリコン層で覆う工程と、

前記水素化非晶質シリコン層上に前記島状の多結晶シリコン層と略同心でこの島状の多結晶シリコン層より小面積の島状のレジストパターンを形成する工程と、

前記水素化非晶質シリコン層を前記レジストパターンにより島状に加工する工程と、

前記レジストパターンを除去する工程と、

前記エッチングストッパ層で覆われた前記島状の多結晶シリコン層の前記島状の水素化非晶質シリコン層で覆われた部分を除く残部の前記エッチングストッパ層を除去する工程と、

前記島状の前記水素化非晶質シリコン層を含む表面にP⁺ドーブ非晶質シリコン層を成膜する工程と、

30

前記P⁺ドーブ非晶質シリコン層表面にソース・ドレイン電極用金属膜を成膜する工程と、

前記P⁺ドーブ非晶質シリコン層及びソース・ドレイン電極用金属膜を加工し、ソース・ドレイン電極及びn型非晶質シリコン層を形成する工程を含むことを特徴とする表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタを有する表示装置に係り、特に薄膜トランジスタの電流特性の向上を図った表示装置とその製造方法に関する。

40

【背景技術】

【0002】

下記特許文献1には、背面基板側に配置される薄膜トランジスタとしてチャネル領域が多結晶及び非晶質シリコンの積層構造でかつ逆スタガ構造の第1の薄膜トランジスタと、チャネル領域が単層非晶質シリコン構造でかつ逆スタガ構造の第2の薄膜トランジスタを備えた構成が開示されている。

【0003】

図15(a)、(b)は前記特許文献1に開示された薄膜トランジスタの構成の一例を拡大して示す模式図で、図15(a)は平面図、図15(b)は図15(a)のA-A線

50

に沿った断面図である。図 15 (a)、(b)において、ガラス等の絶縁基板 1 上にモリブデン (Mo) 等の高融点金属またはその合金からなるゲート電極 2 が配置され、その上を SiO もしくは SiN 等の絶縁膜、又はこれらの積層膜からなるゲート絶縁膜 3 で覆っている。更に、ゲート絶縁膜 3 上に多結晶シリコン (p - Si) 層 4 及び非晶質シリコン (a - Si) 層 5 が略同心で順次配置されている。又、前記非晶質シリコン層 5 上には n 型非晶質シリコン (n + Si) 層 6 とソース・ドレイン電極 7 が積層配置されている。一方、前記多結晶シリコン層 4 及び非晶質シリコン層 5 は一括してエッチングされるため、両層の側壁 4 1、5 1 は段差の無い連続した傾斜面を呈している。

【特許文献 1】特開平 5 - 5 5 5 7 0 号公報

【発明の開示】

10

【発明が解決しようとする課題】

【 0 0 0 4 】

図 15 (a)、(b)に示すような構成で、p - Si T F T のチャネル幅を大きくしても電流がそれに比例して増加しない現象が見られ、電流特性の向上を図る上で支障を来たす問題があった。

【 0 0 0 5 】

これは、前述のような構成では、非晶質シリコン層 5 は高抵抗であるため電流は流れ難く、電流の殆どは多結晶シリコン層 4 から n 型非晶質シリコン層 6 を介しソース・ドレイン電極 7 へと流れる。ところが多結晶シリコン層 4 と n 型非晶質シリコン層 6 のコンタクト部は多結晶シリコン層 4 の側壁 4 1 部分のみであり、前述した側壁構造からコンタクト面積が小さいため必要とする電流値が得られ難い問題があった。この対策の一つとして、ソース・ドレイン電極 7 の電極幅を広くすることが考えられるが、これにはレイアウト上の制約があり現実的ではない。

20

【 0 0 0 6 】

本発明の目的は、多結晶シリコン層と n 型非晶質シリコン層とのコンタクト面積を増大させ、必要とする電流特性の得られる薄膜トランジスタを備えた表示装置とその製造方法を提供することにある。

【課題を解決するための手段】

【 0 0 0 7 】

上記目的を達成するため、本発明の表示装置では、チャネル領域が多結晶及び非晶質シリコンの積層構造でかつ逆スタガ構造の第 1 の薄膜トランジスタと、チャネル領域が単層非晶質シリコン構造でかつ逆スタガ構造の第 2 の薄膜トランジスタを同一絶縁基板上に備えた表示装置で、前記第 1 の薄膜トランジスタは前記チャネル領域の前記非晶質シリコン層上に n 型非晶質シリコン層と更にこの n 型非晶質シリコン層上にソース・ドレイン電極を備え、

30

前記非晶質シリコン層とこの非晶質シリコン層と積層される前記多結晶シリコン層は積層方向と直交する平面形状を略相似形状とし、かつ上層の前記非晶質シリコン層を下層の前記多結晶シリコン層より小面積としてなることを特徴とする。

【 0 0 0 8 】

又、本発明の表示装置は、チャネル領域が多結晶及び非晶質シリコンの積層構造でかつ逆スタガ構造の第 1 の薄膜トランジスタと、チャネル領域が単層非晶質シリコン構造でかつ逆スタガ構造の第 2 の薄膜トランジスタを同一絶縁基板上に備え、

40

前記第 1 の薄膜トランジスタは前記チャネル領域の前記非晶質シリコン層上に n 型非晶質シリコン層と更にこの n 型非晶質シリコン層上に配置したソース・ドレイン電極を備え、

前記多結晶シリコン層は前記非晶質シリコン層の側壁とは異なる傾斜でこの側壁下端を始点として裾広がり状の傾斜側壁を備え、この傾斜側壁から前記非晶質シリコン層の側壁を通り頂面に亘る領域で前記 n 型非晶質シリコン層と接してなることを特徴とする。

【 0 0 0 9 】

更に、本発明の表示装置の製造方法では、前記第 1 の薄膜トランジスタの製造で、前記

50

多結晶シリコン層上に積層される前記非晶質シリコン層を覆うレジストパターンの寸法を特定し、前記非晶質シリコン層の溶解時のサイドエッチング量を制御してこのレジストパターンより小面積の島状非晶質シリコン層を形成することを特徴とする。

【 0 0 1 0 】

更に又、本発明の表示装置の製造方法では、前記第 1 の薄膜トランジスタの製造で、前記多結晶シリコン層上にエッチングストッパ層を配置することを特徴とする。

【発明の効果】

【 0 0 1 1 】

前記多結晶シリコン層上に積層配置される前記非晶質シリコン層の面積を前記多結晶シリコン層より小面積とし、前記多結晶シリコン層と n 型非晶質シリコン層及びソース・ドレイン電極とのコンタクト面積を増大させたことにより、所望の電流特性を確保でき、低電圧化を可能とした。

【 0 0 1 2 】

なお、本発明は、液晶表示装置や有機 E L 表示装置、その他の各種表示原理を用いた表示装置に適用できる。

【発明を実施するための最良の形態】

【 0 0 1 3 】

以下、本発明の表示装置及びその製造方法を実施例を参照して説明する。

【実施例 1】

【 0 0 1 4 】

図 1 は、本発明による表示装置の一実施例を示す模式平面図である。図 1 において、絶縁基板 1 上の表示領域 1 0 1 とその外側に R G B スイッチ 1 0 2 やシフトレジスタ 1 0 3 等の周辺回路を内蔵し、表示領域 1 0 1 はチャネル領域が単層非晶質シリコン構造でかつ逆スタガ構造の第 2 の薄膜トランジスタ T F T 2 で構成し、周辺回路はチャネル領域が多結晶及び非晶質シリコンの積層構造でかつ逆スタガ構造の第 1 の薄膜トランジスタ T F T 1 で構成される。この第 1 の薄膜トランジスタ T F T 1 は周辺回路に適用されるが、画素領域にも適用可能である。

【 0 0 1 5 】

図 2 (a)、(b) は前記第 1 の薄膜トランジスタ T F T 1 の一例の構成を示す模式図で、図 2 (a) は平面図、図 2 (b) は図 2 (a) の B - B 線に沿った断面図である。図 2 (a)、(b) において、ガラス等の絶縁基板 1 上にモリブデン (M o) 等の高融点金属またはその合金からなる膜厚 5 0 ~ 1 5 0 n m 程度のゲート電極 2 が配置され、その上を S i O もしくは S i N 等の絶縁膜、又はこれらの積層膜からなり 1 0 0 ~ 3 0 0 n m 程度の膜厚のゲート絶縁膜 3 で覆っている。更に、ゲート絶縁膜 3 上に 5 0 ~ 3 0 0 n m 程度の膜厚の多結晶シリコン (p - S i) 層 4 及び 1 0 0 ~ 3 0 0 n m 程度の膜厚の非晶質シリコン (a - S i) 層 5 が略同心で順次配置されている。又、前記非晶質シリコン層 5 上には n 型非晶質シリコン (n + S i) 層 6 とソース・ドレイン電極 7 が積層配置されている。

【 0 0 1 6 】

上述のような構成で、前記非晶質シリコン層 5 は多結晶シリコン層 4 より小面積で構成されている。すなわち、前記多結晶シリコン層 4 は、その頂面 4 2 を頂面中央部 4 3 と頂面周縁部 4 4 から構成している。前記頂面中央部 4 3 は前記非晶質シリコン層 5 の底面 5 2 を略同心で積層する部分であり、又、頂面周縁部 4 4 は前記頂面中央部 4 3 に連なり前記非晶質シリコン層 5 の側壁 5 3 の外周から更に外側に突出して延びる領域を表し、かつこの頂面周縁部 4 4 の外縁は裾広がり形状の側壁 4 5 に連なる構成である。

【 0 0 1 7 】

前記頂面周縁部 4 4 は、この実施例 1 では前記非晶質シリコン層 5 の側壁 5 3 の外周全周に亘って配置されているが、これは前記ソース・ドレイン電極 7 の延在方向と同方向のみに設けても良い。

【 0 0 1 8 】

10

20

30

40

50

又、その突出幅 W_R は前記ソース・ドレイン電極 7 の延在方向と同方向でこの実施例 1 では 50 nm 程度に設定している。

【0019】

この構成では、前記多結晶シリコン層 4 と前記 n 型非晶質シリコン層 6 とのコンタクト面は側壁 45 から前記頂面周縁部 44 に亘る広範囲となり、電流特性の改善が図れる。

【0020】

次に、図 3 は第 1 の薄膜トランジスタ TFT 1 のオン電流値の前記多結晶シリコン層 4 と前記 n 型非晶質シリコン層 6 とのコンタクト面積依存性を示す図表である。ここで、チャンネル幅及びチャンネル長は一定である。

図 3 から明らかなように、電流特性はコンタクト面積に依存して電流値が増加している。

10

【実施例 2】

【0021】

次に、図 4 乃至図 8 は本発明の表示装置の製造方法の一実施例を説明する工程図で、各図 (a) は第 1 の薄膜トランジスタ TFT 1 (周辺回路領域配置) を、又、各図 (b) は第 2 の薄膜トランジスタ TFT 2 (画素領域配置) の製造工程をそれぞれ示す。なお、これらの図において前述した図と同一部分には同一記号を付してある。

【0022】

先ず、図 4 に示すように、ガラス等の絶縁基板 1 上にモリブデン (Mo) 等の高融点金属またはその合金をスパッタリングにより 50 ~ 150 nm 程度の厚さで成膜した後、ホトリソグラフィ・エッチングによりパターンを形成しゲート電極 2 を形成する。その後、前記ゲート電極 2 を覆うように、SiO もしくは SiN 等の絶縁膜、又はこれらの積層膜を 100 ~ 300 nm 程度の厚さで成膜してゲート絶縁膜 3 を形成する。

20

【0023】

次に、前記ゲート絶縁膜 3 上に非晶質シリコン (a-Si) 層を CVD により 50 ~ 300 nm 程度の厚さで成膜して半導体層 46 を形成する。

【0024】

次に、この半導体層 46 に脱水素処理を行った後、パルスまたは連続発振レーザ 47 等により前記半導体層 46 を結晶化させ第 1 次多結晶シリコン層 40 を形成する。この時、図 4 (b) に示す画素領域では結晶化は行っていないが、結晶化させても良い。

【0025】

30

次に、図 5 に示すように、ホトリソグラフィ・エッチングにより、先ず図 5 (a) に示す周辺回路部では第 1 次多結晶シリコン層 40 を必要とするトランジスタサイズよりもおおきく島状に加工し、この島状の中心をゲート電極 2 と略同心とする。一方、図 5 (b) に示す画素領域はエッチングにより半導体層 46 を除去する。ただし、画素トランジスタも多結晶シリコンで形成する場合は島状に加工する。

【0026】

次に、図 6 に示すように、CVD を用いて水素化非晶質シリコン (a-Si) 層を表面全面に 100 ~ 300 nm 程度の厚さで成膜して半導体層 55 を形成する。次に、半導体層 55 の表面にレジスト膜を成膜した後、このレジスト膜を加工して後述する仕様のレジストパターン 8 を形成する。このレジストパターン 8 の仕様の一つは形成位置で、図 6 (a) に示す前記周辺回路部では前記島状の第 1 次多結晶シリコン層 40 と略同心の位置とし、図 6 (b) に示す画素領域ではゲート電極 2 と略同心配置とする。

40

【0027】

又、レジストパターン 8 の寸法は、周辺回路部では前記島状の第 1 次多結晶シリコン層 40 のエッチング後の寸法が、必要とするトランジスタサイズになるような寸法のレジストパターン 81 を形成する。一方、画素領域では周辺回路部と同一又は異なる寸法のレジストパターン 82 を形成する。

【0028】

次に、図 7 に示すように、水素化非晶質シリコン (a-Si) 層からなる半導体層 55 を例えば secco エッチング法等でレジストパターン 8 よりも小さくなるまで溶解し、島状

50

の非晶質シリコン層 5 を形成する。この工程でのサイドエッチング量としては、 $0.5 \mu\text{m} \sim 5.0 \mu\text{m}$ 程度が良い。

【0029】

この溶解工程では、前記第 1 次多結晶シリコン層 40 の粒界部分もエッチングされる恐れがあるが、前述した連続発振レーザ等をスキャンさせながら結晶化していれば、粒界が一定方向に形成されるので、例えば粒界がエッチングされても T F T 特性に影響を与えない。

次に、ドライエッチングにより第 1 次多結晶シリコン層 40 をエッチングし、前記非晶質シリコン層 5 よりも大きな寸法が多結晶シリコン層 4 を形成する。これにより多結晶シリコン層 4 よりも小さい非晶質シリコン層 5 が配置される。

10

【0030】

次に、前記レジストパターン 8 を除去した後、n 型非晶質シリコン層 (n + 層) 6 形成の為に P⁺ ドープ非晶質シリコン層を C V D で $10 \sim 50 \text{ nm}$ 程度の厚さで成膜する。更にその上に、ソース・ドレイン電極 7 となるアルミニウム (A l) 等の金属をスパッタリングにより $300 \sim 500 \text{ nm}$ 程度の厚さで成膜する。

【0031】

その際、A l 膜の拡散の防止や、コンタクト抵抗の低減を考慮し、チタン (T i) 又は M o 等の高融点金属またはその合金をバリアメタルとして A l 層の上下に形成しておくことも可能である。このバリアメタル層の厚さは $30 \sim 100 \text{ nm}$ 程度で良い。

【0032】

20

その後、ホトリソグラフィ・エッチングにより、ソース・ドレイン電極 7 を形成する。又、半導体層のチャネルを形成する為に P⁺ ドープ非晶質シリコン層もこのときエッチングし n 型非晶質シリコン層 (n + 層) 6 を形成する (図 8 参照)。

【実施例 3】

【0033】

次に、図 9 乃至図 13 は、本発明の表示装置の製造方法の他の実施例を説明する工程図で、各図 (a) は第 1 の薄膜トランジスタ T F T 1 (周辺回路領域配置) を、又、各図 (b) は第 2 の薄膜トランジスタ T F T 2 (画素領域配置) の製造工程をそれぞれ示す。なお、これらの図において前述した図と同一部分には同一記号を付してある。

【0034】

30

先ず、図 9 に示すように、ガラス等の絶縁基板 1 上にモリブデン (M o) 等の高融点金属またはその合金をスパッタリングにより $50 \sim 150 \text{ nm}$ 程度の厚さで成膜した後、ホトリソグラフィ・エッチングによりパターンを形成しゲート電極 2 を形成する。その後、前記ゲート電極 2 を覆うように、S i O もしくは S i N 等の絶縁膜、又はこれらの積層膜を $100 \sim 300 \text{ nm}$ 程度の厚さで成膜してゲート絶縁膜 3 を形成する。

【0035】

次に、前記ゲート絶縁膜 3 上に非晶質シリコン (a - S i) 層を C V D により $50 \sim 300 \text{ nm}$ 程度の厚さで成膜して半導体層 46 を形成する。

【0036】

次に、この半導体層 46 に脱水素処理を行った後、パルスまたは連続発振レーザ 47 等により前記半導体層 46 を結晶化させ第 1 次多結晶シリコン層 40 を形成する。この時、図 9 (b) に示す画素領域では結晶化は行っていないが、結晶化させても良い。

40

【0037】

次に、図 10 に示すように、ホトリソグラフィ・エッチングにより、先ず図 10 (a) に示す周辺回路部では第 1 次多結晶シリコン層 40 を必要とするトランジスタサイズに島状に加工し、この島状の中心をゲート電極 2 と略同心とする。一方、図 10 (b) に示す画素領域はエッチングにより半導体層 46 を除去する。

【0038】

次に、周辺回路部では第 1 次多結晶シリコン層 40 の表面をエッチングストップ層 9 で覆う。このエッチングストップ層 9 は O₂ プラズマ処理を行うか、若しくは数 $\text{nm} \sim 10$

50

n m 程度の S i O 膜を成膜することで形成する。

【 0 0 3 9 】

次に、図 1 1 に示すように、C V D を用いて水素化非晶質シリコン (a - S i) 層を表面全面に 1 0 0 ~ 3 0 0 n m 程度の厚さで成膜して半導体層 5 5 を形成する。

次に、半導体層 5 5 の表面にレジスト膜を成膜した後、このレジスト膜を加工して後述する仕様のレジストパターン 8 を形成する。このレジストパターン 8 の仕様の一つは形成位置で、図 1 1 (a) に示す前記周辺回路部では前記島状の第 1 次多結晶シリコン層 4 0 と略同心の位置とし、図 1 1 (b) に示す画素領域ではゲート電極 2 と略同心配置とする。

【 0 0 4 0 】

又、レジストパターン 8 の寸法は、周辺回路部では前記半導体層 5 5 のエッチング後の寸法が、先に形成した第 1 次多結晶シリコン層 4 0 及び更に完成後の多結晶シリコン層 4 1 にも 0 . 5 μ m ~ 5 μ m 程度小さくなるような寸法のレジストパターン 8 1 を形成する。

【 0 0 4 1 】

一方、画素領域では周辺回路部と同一又は異なる寸法のレジストパターン 8 2 を形成する。

【 0 0 4 2 】

次に、図 1 2 に示すように、水素化非晶質シリコン (a - S i) 層からなる半導体層 5 5 をドライエッチングにより加工し、島状の非晶質シリコン層 5 を形成する。この工程では前記エッチングストップ層 9 がエッチストップパーとして作用し、第 1 次多結晶シリコン層 4 0 のエッチングを防止する。

【 0 0 4 3 】

次に、レジストパターン 8 を除去した後、H F 等で第 1 次多結晶シリコン層 4 0 表面の露呈している部分のエッチングストップ層 9 を除去する。

【 0 0 4 4 】

次に、n 型非晶質シリコン層 (n + 層) 6 形成の為に P⁺ ドープ非晶質シリコン層を C V D で 1 0 ~ 5 0 n m 程度の厚さで成膜する。更にその上に、ソース・ドレイン電極 7 とするアルミニウム (A l) 等の金属をスパッタリングにより 3 0 0 ~ 5 0 0 n m 程度の厚さで成膜する。

【 0 0 4 5 】

その際、A l 膜の拡散の防止や、コンタクト抵抗の低減を考慮し、チタン (T i) 又は M o 等の高融点金属またはその合金をバリアメタルとして A l 層の上下に形成しておくことも可能である。このバリアメタル層の厚さは 3 0 ~ 1 0 0 n m 程度で良い。

その後、ホトリソグラフィ・エッチングにより、ソース・ドレイン電極 7 を形成する。又、半導体層のチャネルを形成する為に、P⁺ ドープ非晶質シリコン層もこのときエッチングし n 型非晶質シリコン層 (n + 層) 6 を形成する (図 1 3 参照) 。

【 実施例 4 】

【 0 0 4 6 】

図 1 4 は、本発明による表示装置の他の実施例を示す模式断面図で、前述した図と同一部分には同一記号を付してある。図 1 4 において、参照記号 4 8 は多結晶シリコン層 4 の傾斜側壁を示す。この傾斜側壁 4 8 は非晶質シリコン層 5 の側壁 5 3 の下端を始点としてこの側壁 5 3 とは異なる傾斜角度で裾広がり状に展開する構成を備えている。このような裾広がり状の傾斜側壁 4 8 で n 型非晶質シリコン層 6 とコンタクトしている。

【 0 0 4 7 】

前述した構成により、電流特性を改善した高品位の薄膜トランジスタを備えた表示装置とその製造方法を提供することができる。

【 図面の簡単な説明 】

【 0 0 4 8 】

【 図 1 】 本発明による表示装置の一実施例を示す模式平面図である。

【 図 2 】 図 2 は本発明による薄膜トランジスタの一例の構成を示す模式図で、図 2 (a)

10

20

30

40

50

は平面図、図 2 (b) は図 2 (a) の B - B 線に沿った断面図である。

【図 3】本発明による表示装置を説明するための薄膜トランジスタのオン電流値のコンタクト面積依存性を示す図表である。

【図 4】本発明による表示装置の製造方法を説明する工程図で、図 4 (a) は周辺回路部の模式断面図、図 4 (b) は画像領域の模式断面図である。

【図 5】本発明による表示装置の製造方法を説明する工程図で、図 5 (a) は周辺回路部の模式断面図、図 5 (b) は画像領域の模式断面図である。

【図 6】本発明による表示装置の製造方法を説明する工程図で、図 6 (a) は周辺回路部の模式断面図、図 6 (b) は画像領域の模式断面図である。

【図 7】本発明による表示装置の製造方法を説明する工程図で、図 7 (a) は周辺回路部の模式断面図、図 7 (b) は画像領域の模式断面図である。

【図 8】本発明による表示装置の製造方法を説明する工程図で、図 8 (a) は周辺回路部の模式断面図、図 8 (b) は画像領域の模式断面図である。

【図 9】本発明による表示装置の製造方法を説明する工程図で、図 9 (a) は周辺回路部の模式断面図、図 9 (b) は画像領域の模式断面図である。

【図 10】本発明による表示装置の製造方法を説明する工程図で、図 10 (a) は周辺回路部の模式断面図、図 10 (b) は画像領域の模式断面図である。

【図 11】本発明による表示装置の製造方法を説明する工程図で、図 11 (a) は周辺回路部の模式断面図、図 11 (b) は画像領域の模式断面図である。

【図 12】本発明による表示装置の製造方法を説明する工程図で、図 12 (a) は周辺回路部の模式断面図、図 12 (b) は画像領域の模式断面図である。

【図 13】本発明による表示装置の製造方法を説明する工程図で、図 13 (a) は周辺回路部の模式断面図、図 13 (b) は画像領域の模式断面図である。

【図 14】本発明による表示装置の他の実施例を示す模式断面図である。

【図 15】従来の表示装置の構成を説明する図で、図 15 (a) は模式平面図、図 15 (b) は図 15 (a) の A - A 線に沿った模式断面図である。

【符号の説明】

【0049】

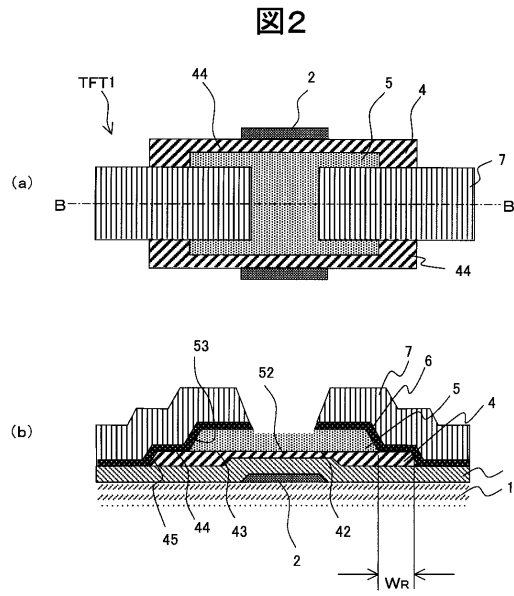
1・・・絶縁基板、2・・・ゲート電極、3・・・ゲート絶縁膜、4・・・多結晶シリコン層、42・・・頂面、43・・・頂面中央部、44・・・頂面周縁部、45・・・側壁、48・・・傾斜側壁、5・・・非晶質シリコン層、52・・・底面、53・・・側壁、6・・・n型非晶質シリコン層、7・・・ソース・ドレイン電極、8・・・レジストパターン、9・・・エッチングストッパ層、TF T 1・・・第 1 の薄膜トランジスタ、TF T 2・・・第 2 の薄膜トランジスタ。

10

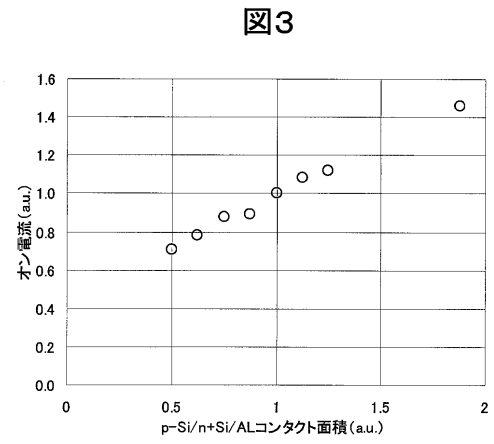
20

30

【図2】

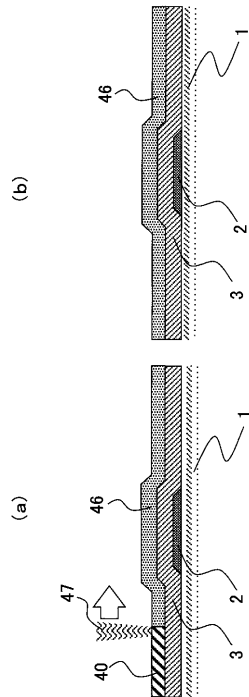


【図3】



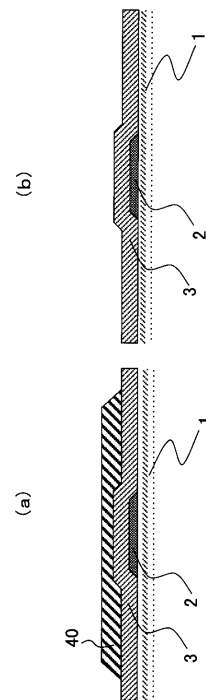
【図4】

図4



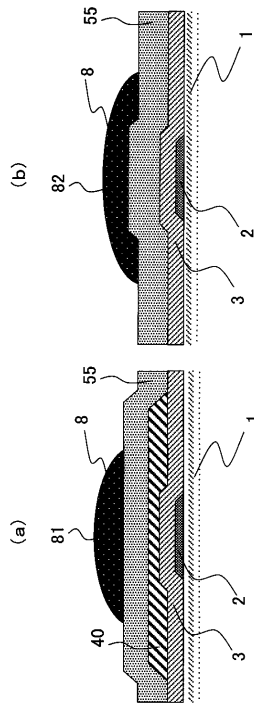
【図5】

図5



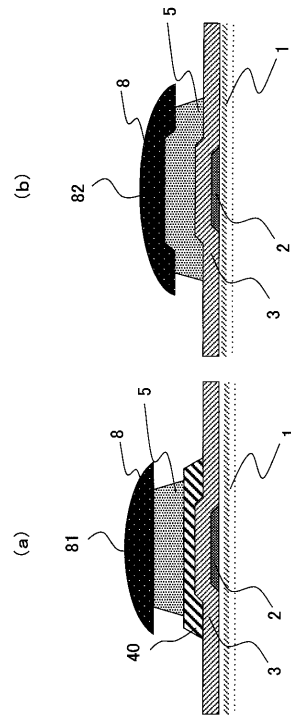
【図 6】

図 6



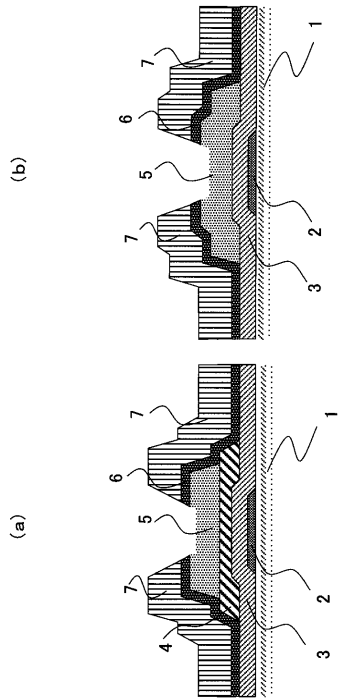
【図 7】

図 7



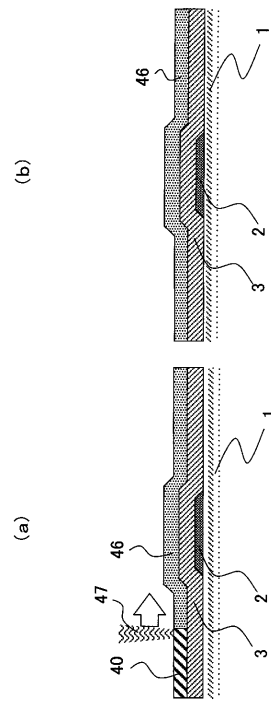
【図 8】

図 8



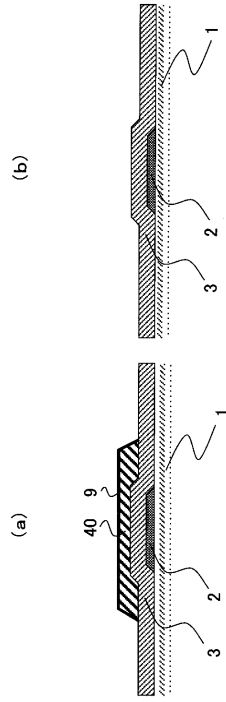
【図 9】

図 9



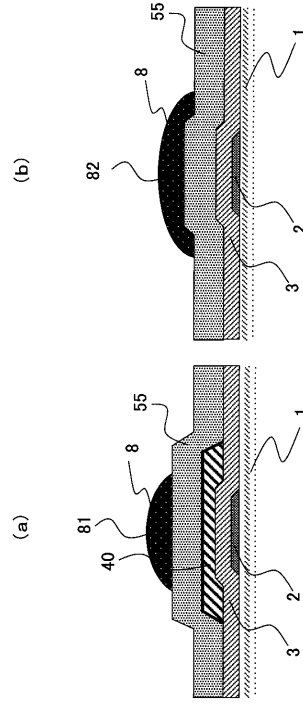
【図 10】

図10



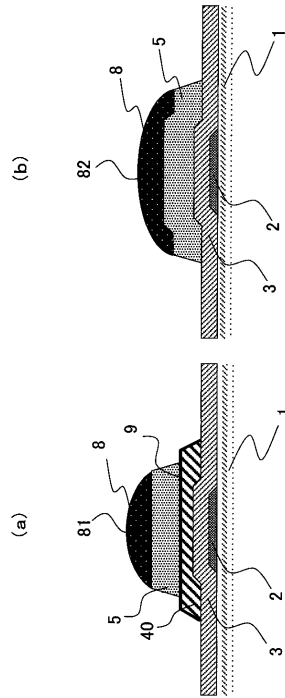
【図 11】

図11



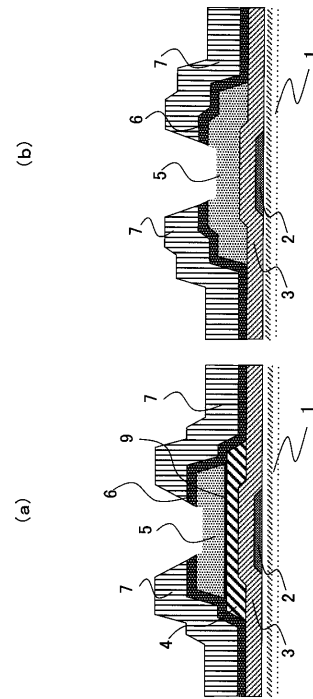
【図 12】

図12



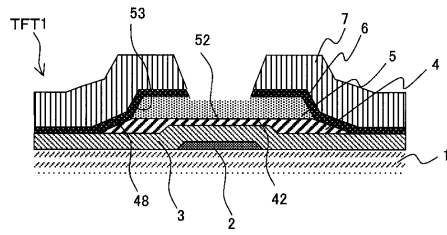
【図 13】

図13



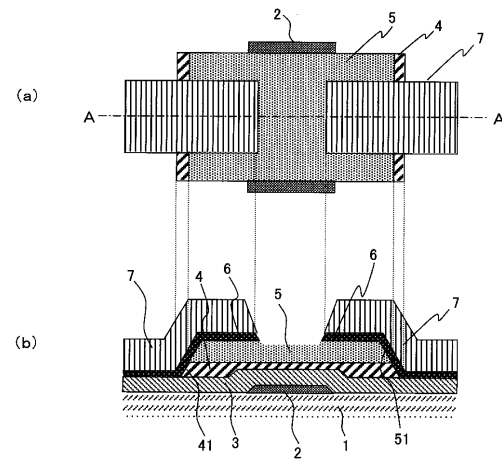
【図14】

図14



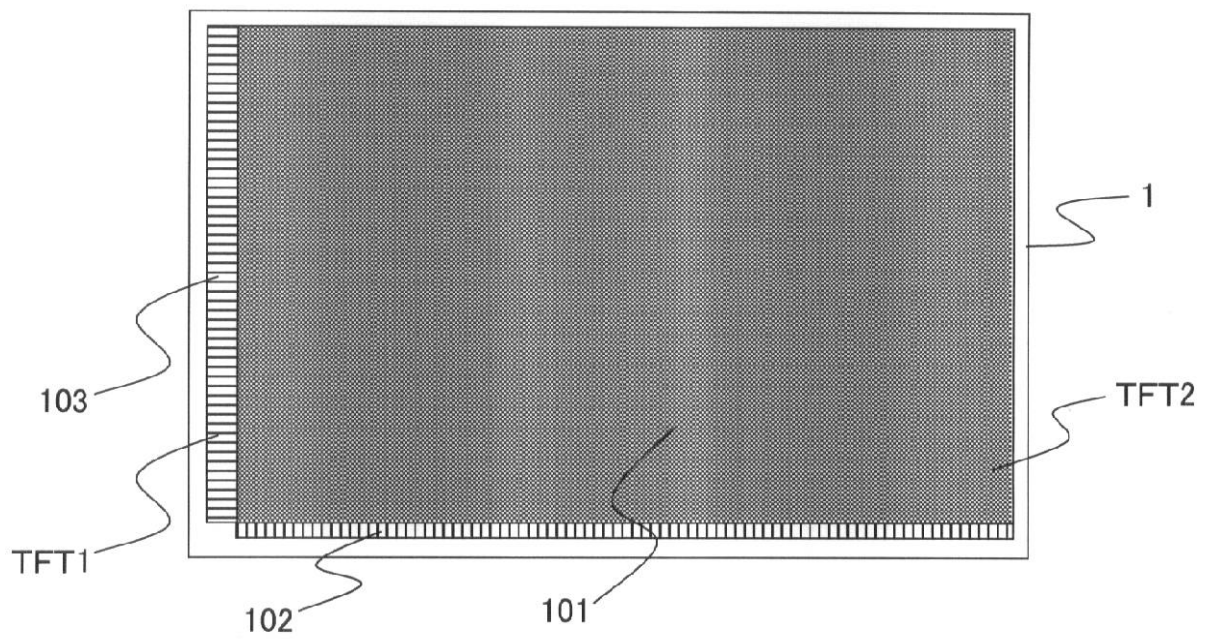
【図15】

図15



【図1】

図1



フロントページの続き

(72)発明者 海東 拓生

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H092 GA59 JA26 JA28 JA34 JA37 JA41 JA46 JA47 JB56 KA04
KA05 KA07 KA18 MA05 MA07 MA13 MA17 MA27 MA30 NA22
NA29
5C094 AA04 AA21 BA03 BA27 BA43 DA13 FB14
5F110 AA07 BB02 CC07 DD02 EE04 EE44 FF02 FF03 FF09 GG02
GG13 GG15 GG19 GG22 GG23 GG24 GG44 HK03 HK04 HK09
HK16 HK21 HK22 HK33 HK34 NN78 PP03 PP35 QQ05