



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월04일
(11) 등록번호 10-0843538
(24) 등록일자 2008년06월27일

(51) Int. Cl.

G06F 12/00 (2006.01)

(21) 출원번호 10-2005-0061616

(22) 출원일자 2005년07월08일

심사청구일자 2005년09월09일

(65) 공개번호 10-2006-0049975

(43) 공개일자 2006년05월19일

(30) 우선권주장

10/903,188 2004년07월30일 미국(US)

(56) 선행기술조사문헌

KR 1020060009378 A

US 6317352 B1

"Standard for High-Bandwidth Memory Interface
Based on Scalable Coherent Interface
Signalling Technology(RamLink) IEEE Std 1596.
1996.4.

(73) 특허권자

인터내셔널 비지네스 머신즈 코퍼레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

델 티모시 제이

미국 05446 버몬트주 콜체스터 파크우드 드라이브
101

퍼레이올로 프랭크 디

미국 12553 뉴욕주 뉴 원저 테니스톤 드라이브
170

(뒷면에 계속)

(74) 대리인

김원준, 김창세, 장성구

전체 청구항 수 : 총 10 항

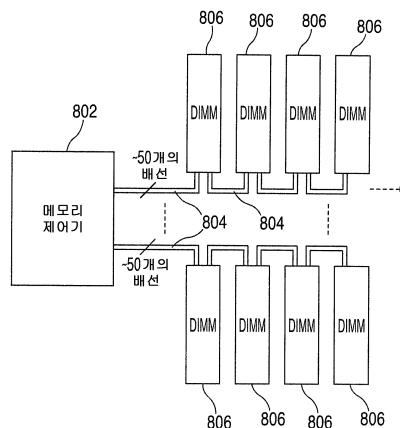
심사관 : 윤혜숙

(54) 메모리 시스템, 세그먼트 레벨 스페어링 제공 방법 및 기록 매체

(57) 요약

본 발명의 메모리 서브시스템(memory subsystem)은 세그먼트 레벨 스페어링(segment level sparing)을 포함한다. 메모리 서브시스템은 세그먼트 레벨 스페어링을 갖는 캐스케이드형 상호 접속 시스템(cascaded interconnect system)을 포함한다. 캐스케이드형 상호 접속 시스템은 2개 이상의 메모리 어셈블리와 메모리 버스를 포함한다. 메모리 버스는 다수의 세그먼트를 포함하고, 메모리 어셈블리는 메모리 버스를 통해 상호 접속된다.

대표도 - 도8



(72) 발명자

고워 케빈 씨

미국 12540 뉴욕주 라그랑제빌 얼레리 로드 이엑스
티 8

카크 케빈 더블유

미국 12603 뉴욕주 포우킵시 코치라이트 드라이브
31

켈로그 마크 더블유

미국 14467 뉴욕주 헨리에타 힐링톤 코트 20

마울르 워렌 이

미국 78613 텍사스주 시더 파크 타쿠 로드 2701

특허청구의 범위

청구항 1

메모리 시스템으로서,

세그먼트 레벨 스페어링(segment level sparing)을 갖는 캐스케이드형 상호 접속 시스템(cascaded interconnect system)을 포함하고,

상기 캐스케이드형 상호 접속 시스템은,

2개 이상의 메모리 어셈블리들과,

각각이 비트레인에 대응하는 다수의 세그먼트를 포함하는 메모리 버스(memory bus)를 포함하되,

상기 메모리 어셈블리들은 상기 메모리 버스를 통해 상호 접속되며,

상기 세그먼트 레벨 스페어링은 세그먼트 실패 이전의 결함 검출과 동일한, 메모리 시스템에서의 전체 결함 검출을 유지하면서 수행되며, 그리고 상기 세그먼트 레벨 스페어링은 세그먼트 실패 이전에 메모리 버스 상에서 데이터용으로 이용되었던 것과 동일한 개수의 세그먼트를 메모리 버스 상에서 데이터용으로 이용하면서 수행되는

메모리 시스템.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상호 접속된 2개의 메모리 어셈블리들 중의 임의의 쌍 사이의 단일 세그먼트는 임의의 2개의 상호 접속된 메모리 어셈블리들 사이의 스페어 세그먼트(spare segment)로 교체되는 메모리 시스템.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

세그먼트 레벨 스페어링(segment level sparing)을 제공하는 방법으로서,

현재의 메모리 어셈블리에서 이전의 메모리 어셈블리로부터의 입력 신호를 수신하는 단계—상기 현재의 메모리 어셈블리와 상기 이전의 메모리 어셈블리는 각각이 비트레인에 대응하는 복수의 세그먼트를 포함하는 메모리 버스를 통해 상호 접속된 2개 이상의 메모리 어셈블리를 포함하는 캐스케이드형 상호 접속 시스템 내에 포함되고, 상기 이전의 메모리 어셈블리는 상기 현재의 메모리 어셈블리로부터 업스트림이거나 다운스트림임—와,

상기 입력 신호 내의 비트들 중의 하나가 실패 세그먼트(failing segment)와 연관되는 것에 응답하여 상기 입력 신호 내의 비트들을 재배치(repositioning)하는 단계를 포함하며,

상기 재배치 단계 이후 캐스케이드형 상호 접속 시스템의 전체 결함 검출은 세그먼트 실패 이전의 캐스케이드형 상호 접속 시스템의 전체 결함 검출과 동일하며, 상기 재배치 단계 이후 메모리 버스 상에서 데이터용으로 이용된 세그먼트의 개수는 세그먼트 실패 이전 메모리 버스 상에서 데이터용으로 이용된 세그먼트의 개수와 동일한

세그먼트 레벨 스페어링 제공 방법.

청구항 8

삭제

청구항 9

제 7 항에 있어서,

상기 입력 신호 내의 상기 재배치된 비트들 중 하나가 상기 현재 메모리 어셈블리와 상기 현재 메모리 어셈블리로부터 업스트림이거나 다운스트림인 다음의 메모리 어셈블리 사이의 제 2 실패 세그먼트와 연관되는 것에 응답하여 상기 입력 신호 내의 상기 재배치된 비트들을 재순차화(reordering)하는 단계와,

상기 재순차화된 비트들을 상기 다음의 메모리 어셈블리로 송신하는 단계를 더 포함하는

세그먼트 레벨 스페어링 제공 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제 7 항에 있어서,

상기 캐스케이드형 상호 접속 시스템은 상기 현재의 메모리 어셈블리에서의 단일 비트라인 결함을 실시간으로 보정하기 위한 버스 레벨 에러 보정 코드 기능 블록을 상기 현재의 메모리 어셈블리에 포함하는

세그먼트 레벨 스페어링 제공 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

제 7 항 또는 제 9 항에 따른 세그먼트 레벨 스페어링 제공 방법의 각각의 단계를 컴퓨터가 수행할 수 있도록 하는 컴퓨터 프로그램 코드를 구비한 컴퓨터 판독가능한 기록 매체.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

메모리 시스템으로서,

세그먼트 레벨 스페어링을 갖는 캐스케이드형 상호 접속 시스템을 포함하고,

상기 캐스케이드형 상호 접속 시스템은,

2개 이상의 메모리 어셈블리들과,

적어도 하나의 클록을 구성하는 하나 이상의 클록 신호 세그먼트를 포함하는 메모리 버스를 포함하되—각각의 클럭 신호 세그먼트는 비트라인에 대응함—,

상기 메모리 어셈블리들은 상기 메모리 버스를 통해 상호 접속되고,

상기 상호 접속된 2개 이상의 메모리 어셈블리들 간의 하나 이상의 클록 신호 세그먼트는 상기 상호 접속된 메모리 어셈블리들 사이의 스페어 세그먼트로 교체되며,

상기 교체 이후 캐스케이드형 상호 접속 시스템의 전체 결합 검출은 상기 교체 이전의 캐스케이드형 상호 접속 시스템의 전체 결합 검출과 동일하며, 상기 교체 이후 메모리 버스 상에서 데이터용 세그먼트의 개수는 상기 교체 이전 메모리 버스 상에서 데이터용 세그먼트의 개수와 동일한

메모리 시스템.

청구항 33

메모리 시스템으로서,

세그먼트 레벨 스페어링을 갖는 캐스케이드형 상호 접속 시스템을 포함하고,

상기 캐스케이드형 상호 접속 시스템은,

2개 이상의 메모리 어셈블리와,

업스트림 메모리 버스 및 다운스트림 메모리 버스를 포함한 메모리 버스를 포함하되,

상기 업스트림 메모리 버스 및 다운스트림 메모리 버스 각각은 복수의 세그먼트를 포함하며, 하나 이상의 업스트림 메모리 버스 및 다운스트림 메모리 버스는 상기 세그먼트 레벨 스페어링에 의해 이용되는 적어도 하나의 전용의 스페어 세그먼트를 포함하며, 상기 메모리 어셈블리는 상기 메모리 버스를 통해 상호 접속되는

메모리 시스템.

청구항 34

세그먼트 레벨 스페어링을 제공하는 방법으로서,

현재의 메모리 어셈블리에서 이전의 메모리 어셈블리로부터의 입력 신호를 수신하는 단계—상기 현재의 메모리 어셈블리와 상기 이전의 메모리 어셈블리는 적어도 하나의 전용 스페어 세그먼트를 포함한 복수의 세그먼트를 포함하는 메모리 버스를 통해 상호 접속된 2개 이상의 메모리 어셈블리를 포함하는 캐스케이드형 상호 접속 시스템 내에 포함되고, 상기 이전의 메모리 어셈블리는 상기 현재의 메모리 어셈블리로부터 업스트림이거나 다운스트림임—와,

상기 입력 신호 내의 비트들 중의 하나가 제 1 실패 세그먼트와 연관되는 것에 응답하여 상기 입력 신호 내의 비트들을 재배치(repositioning)하는 단계와,

상기 입력 신호를 재배치하는 단계 이후 상기 실패 세그먼트 대신에 이용되는 전용의 스페어 세그먼트를 사용하는 단계를 포함하는

세그먼트 레벨 스페어링 제공 방법.

청구항 35

제 34 항에 따른 세그먼트 레벨 스페어링 제공 방법의 각각의 단계를 컴퓨터가 수행할 수 있도록 하는 컴퓨터 프로그램 코드를 구비한 컴퓨터 판독가능한 기록 매체.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<22> 본 발명은 메모리 서브시스템(memory subsystem)에 관한 것이고, 보다 구체적으로는 세그먼트 레벨 스페어링(segment level sparing)을 제공하는 메모리 서브시스템에 관한 것이다.

<23> 컴퓨터 메모리 서브시스템은 수 년에 걸쳐 개발되어 왔지만, 여러 일관적인 속성을 지속적으로 유지하였다. LeValle 등에 의한 미국 특허 번호 제 4,475,194 호에 개시된 것과 같이, 1980년대 초반의 컴퓨터 메모리 서브시스템은 메모리 제어기, 어레이 장치를 갖는 메모리 어셈블리(당시에는 발명자에 의해 기본 저장 모듈(basic storage module)(BSM)로 지칭됨), 버퍼, 터미네이터(terminators) 및 보조 타이밍 및 제어 기능을 포함할 뿐만

아니라, 수 개의 포인트-투-포인트 버스(point-to-point busses)를 포함하여, 각각의 메모리 어셈블리가 자신의 포인트-투-포인트 어드레스 및 데이터 버스를 이용하여 메모리 제어기와 통신할 수 있게 한다. 도 1은 2개의 BSM, 메모리 제어기, 관리 콘솔(maintenance console) 및 BSM과 메모리 제어기를 접속하는 포인트-투-포인트 어드레스 및 데이터 버스를 갖는 1980년대 초반의 컴퓨터 메모리 서브시스템의 일례를 도시한다.

<24> 도 2에는, Dell 등에 의한 미국 특허 번호 제 5,513,135 호에 따라서 동기 DRAM(dynamic random access memories)(8), 버퍼 장치(12), 최적화된 핀아웃(optimized pinout), 상호 접속부 및 작동을 용이하게 하는 용량성 디커플링 수단(capacitive decoupling method)을 포함하는 초기의 동기 메모리 모듈(synchronous memory module)이 도시되어 있다. 이 특허는 또한 모듈 상에서 이러한 장치를 PLL(phase lock loops)로서 이용하여 클럭 재구동(clock re-drive)하는 것에 대해서도 개시하고 있다.

<25> 도 3에는, Grundon 등에 의한 미국 특허 번호 제 6,510,100 호에 따른 메모리 서브시스템(10)에 대한 단순화된 도면이 도시되고, 해당 특허에서는 메모리 서브시스템(10)에 대해 서술되어 있는데, 이러한 메모리 서브시스템(10)은 통상적인 멀티 드롭 스템 버스 채널(multi-drop stub bus channel) 상에 최대 4개의 레지스터형 DIMM(dual inline memory modules)(40)을 포함한다. 서브시스템은 메모리 제어기(20), 외부 클럭 버퍼(30), 레지스터형 DIMM(40), 어드레스 버스(50), 제어 버스(60) 및 데이터 버스(70)와, 어드레스 버스(50)와 데이터 버스(70) 상의 터미네이터(95)를 포함한다.

<26> 도 4는 1990년대의 메모리 서브시스템을 도시하는데, 이는 도 1에 도시된 구조로부터 발달된 것이고, 메모리 제어기(402)와, 하나 이상의 고속 포인트-투-포인트 채널(404)을 포함하며, 이러한 채널은 각각 버스-투-버스 컨버터 칩(bus-to-bus converter chip)(406)에 접속되고, 각각 하나 이상의 레지스터형 DIMM(410)에 대한 접속을 가능하게 하는 동기 메모리 인터페이스(408)를 구비한다. 이러한 구현에서, DRAM 데이터 레이트보다 2배로 작동하는 고속의, 포인트-투-포인트 채널(404)은 버스-투-버스 컨버터 칩(406)이 하나 또는 2개의 레지스터형 DIMM 메모리 채널을 최대 DRAM 데이터 레이트로 작동시킬 수 있게 한다. 각각의 레지스터형 DIMM은 다른 패시브 부품(passive components)에 추가하여 PLL, 레지스터, DRAM, EEPROM(electrically erasable programmable read-only memory) 및 터미네이터를 포함한다.

<27> 도 5에 도시된 바와 같이, 메모리 서브시스템은 때때로 단일 메모리 모듈에 접속되거나, 스템 버스(stub bus)에 상호 접속된 2개 이상의 메모리 모듈에 접속되는 메모리 제어기로 형성된다. 도 5는 도 3에 도시된 것과 유사한 멀티-드롭 스템 버스 메모리 구조물의 단순화된 예를 도시한다. 이러한 구조물은 비용, 성능, 신뢰도 및 업그레이드 가능성 사이의 합리적인 절충을 제공하지만, 스템 버스에 대해 부착될 수 있는 모듈의 개수에 대한 고유의 한계가 존재한다. 스템 버스에 부착될 수 있는 모듈의 개수에 대한 한계는 버스를 통해 전달되는 정보의 데이터 레이트에 직접 연관된다. 데이터 레이트가 증가할수록, 스템의 개수 및 길이가 감소되어 견고한 메모리 동작을 보장해야 한다. 버스의 속도를 증가시키면, 일반적으로 버스 상에서 모듈의 감소가 초래되고, 최적 전기 인터페이스는 단일 모듈이 단일 제어기에 직접적으로 접속된 형태이거나, (존재한다면) 소수의 스템을 갖는 포인트-투-포인트 인터페이스가 되어, 반사 및 임피던스 단절(impedance discontinuities)을 초래할 것이다. 대부분의 메모리 모듈이 64 또는 72 비트의 데이터 폭을 갖기 때문에, 이러한 구조는 또한 어드레스, 커맨드 및 데이터를 전달하는데 있어서 다수의 핀을 필요로 한다. 120개의 핀은 도 5에서 대표적 핀카운트(pincount)로서 도시되어 있다.

<28> Petty에 의한 미국 특허 번호 제 4,723,120 호에서 인용된 도 6은, 멀티포인트 통신 구조물(multipoint communication structure) 내의 데이지 체인 구조물(daisy chain structure)의 적용에 관한 것으로서, 이것이 없다면 각각 포인트-투-포인트 인터페이스를 통해 별도의 장치에 접속되는 다수의 포트(ports)를 필요로 할 것이다. 데이지 체인 구조물을 채용함으로써 제어 스테이션(controlling station)은 더 소수의 포트(또는 채널)를 구비할 수 있고, 채널 상의 각각의 장치는 데이지 체인 구조물 내에서 자신의 위치와 무관하게 표준 업스트림 및 다운스트림 프로토콜을 이용할 수 있다.

<29> 도 7은 데이지 체인형 메모리 버스를 도시하는데, 이는 미국 특허 번호 제 4,723,120 호의 개시 내용과 부합되도록 구현된다. 메모리 제어기(111)는 메모리 버스(315)에 접속되고, 이 메모리 버스(315)는 모듈(310a)에 접속된다. 버스(315)에서의 정보는 모듈(310a) 상의 버퍼에 의해 다음 모듈(310b)에 대해 재구동(re-driven)되고, 이는 또한 버스(315)를 모듈 위치(310n)에 대해 재구동한다. 각각의 모듈(310a)은 DRAM(311a) 및 버퍼(320a)를 포함한다. 버스(315)는 본질적으로 각각의 버스가 포인트-투-포인트 형태인 데이지 체인 구조물을 갖는 것으로서 설명될 수 있다.

<30> 데이지 체인 버스를 이용하는 것의 단점은, 실패(failure)의 가능성을 증가시켜서 다수의 메모리 모듈이 버스에

의해 영향을 받게 한다는 것이다. 예를 들어, 제 1 모듈이 비기능성(non-functional)이면, 해당 버스 상의 제 2 및 후속 모듈도 비기능성이 된다.

발명이 이루고자 하는 기술적 과제

- <31> 본 발명의 예시적인 실시예는 세그먼트 레벨 스페어링을 갖는 캐스케이드형 상호 접속 시스템을 구비하는 메모리 서브시스템을 포함한다. 캐스케이드형 상호 접속 시스템은 2개 이상의 메모리 어셈블리 및 메모리 버스를 포함한다. 메모리 버스는 다수의 세그먼트를 포함하고, 메모리 어셈블리는 메모리 버스를 통해 상호 접속된다.
- <32> 추가적인 예시적인 실시예는 세그먼트 레벨 스페어링을 제공하는 방법을 포함한다. 이러한 방법은 현재의 메모리 어셈블리에서 입력 신호를 수신하는 단계를 포함하고, 현재의 메모리 어셈블리는 복수의 세그먼트를 포함하는 메모리 버스를 통해 상호 접속된 복수의 메모리 어셈블리를 포함하는 캐스케이드형 상호 접속 시스템 내에 포함된다. 입력 신호 내의 비트들은 업스트림 또는 다운스트림 메모리 어셈블리 내에서 실패 세그먼트(failing segment)와 연관된 비트 중의 하나에 응답하여 재배치(repositioning)된다.
- <33> 다른 예시적인 실시예는 세그먼트 레벨 스페어링을 갖는 메모리 서브시스템을 제공하는 저장 매체를 포함한다. 저장 매체는 세그먼트 레벨 스페어링을 제공하는 머신 판독 가능 컴퓨터 프로그램 코드로 인코딩된다. 저장 매체는 현재의 메모리 어셈블리에서 입력 신호를 수신하는 단계-현재의 메모리 어셈블리는 복수의 세그먼트를 포함하는 메모리 버스를 통해 상호 접속된 복수의 메모리 어셈블리를 포함하는 캐스케이드형 상호 접속 시스템 내에 포함됨-를 포함하는 방법을 컴퓨터가 실행하게 하는 인스트럭션을 포함한다. 입력 신호 내의 비트들은 업스트림 또는 다운스트림 메모리 어셈블리 내에서 실패 세그먼트와 연관된 비트 중의 하나에 응답하여 재배치된다.

발명의 구성 및 작용

- <34> 이하에서는 여러 도면 내에서 동일한 소자가 동일 참조 부호로 지칭되어 있는 도면을 참조한다.
- <35> 본 발명의 예시적인 실시예는 세그먼트 레벨 스페어링, 또는 메모리 채널 상의 임의의 2개의 어셈블리 사이(즉, 메모리 제어기와 메모리 모듈 사이, 또는 임의의 2개의 메모리 모듈 사이)의 임의의 실패 상호 접속(예를 들면 배선 실패(wire failure), 커넥터 실패(connector failure), 드라이버 실패(driver failure) 및/또는 수신기 실패(receiver failure) 등에 기인함)을 대체하는 능력을 제공한다. 세그먼트 레벨 스페어링은 업스트림 버스 및 다운스트림 버스 모두에서, 세그먼트 당 버스마다 적어도 하나의 교체 배선(replacement wire)을 가지고 실행될 수 있다. 다시 말해서, 각 버스 상의 각각의 세그먼트(제어기에서 제 1 DIMM으로, 제 1 DIMM에서 제 2 DIMM으로, 제 2 DIMM에서 제 3 DIMM 등으로, 또한 메모리 제어기로 되돌아가는 세그먼트)는 각각의 고유한 실패 세그먼트로 전송하도록 의도된 정보를 다른 '교체(replacement)' 또는 '스페어(spare)' 세그먼트로 재라우팅(re-routing)함으로써 로직적으로 교체될 수 있다. 세그먼트 레벨 스페어링을 제공하는 기능은 시스템 보정 동작이 요구되기 전에, 증가된 고유의 실패의 개수를 조정할 수 있다는 점에서 신뢰성 및 존속성(survivability)의 향상을 제공한다.
- <36> 본 발명의 예시적인 일실시예에서, 세그먼트 레벨 스페어링은 임의의 2개의 서브시스템 구성 요소 사이에 단측성(single-ended) 포인트-투-포인트 상호 접속부를 포함하는 고속 및 고 신뢰도의 메모리 서브시스템 아키텍처 및 상호 접속 구조물에 의해 제공된다. 메모리 서브시스템은 메모리 제어 기능, 하나 이상의 메모리 모듈, DRAM 데이터 레이트에 비해서 4:1의 속도 비율로 작동되는 하나 이상의 고속 버스 및 각각의 하나 이상의 캐스케이드형 모듈 상에서 고속 버스(들)를 종래의 이중 데이터 레이트(double data rate)(DDR) 메모리 인터페이스로 변환하는 버스-투-버스 컨버터 칩(bus-to-bus converter chip)을 더 포함한다. 메모리 모듈은, 커맨드에 대응하여 확정적(deterministic) 또는 비확정적(non-deterministic) 방식으로 메모리 제어기에 대해 슬레이브 장치로서 기능하지만, 실시간 방식으로 작동 상의 예러가 보고되는 경우를 제외하고는 자체 개시형 비계획적 버스 작업(self-initiate unplanned bus activity)을 수행하지 않는다. 메모리 모듈은 캐스케이드형 버스에 추가될 수 있는데, 어드레스에 할당된 각각의 모듈은 캐스케이드형 버스 상에서 각 모듈의 고유한 선택을 허용한다. 본 발명의 예시적인 실시예는 패킷화(packetized) 다중 전송 인터페이스를 포함하는데, 이는 메모리 동작이 감소된 핀카운트(pincount)로 발생되게 하는 혁신적 통신 프로토콜(innovative communication protocol)을 활용함으로써, 다수의 사이클에 걸쳐 캐스케이드형 버스 상의 구성 요소들 사이에서 어드레스, 커맨드 및 데이터를 송신하고, 의도되는 수신자에 의해 이용되기 전에 재구성(reconstructed) 및 에러 보정한다.
- <37> 도 8은 버퍼형 메모리 모듈(806)(예를 들면, 버퍼 장치는 메모리 모듈(806) 내에 포함됨)이 메모리 제어기(802)와 통신 중일 때 본 발명의 예시적인 실시예에 의해 이용될 수 있는 캐스케이드형 메모리 구조물을 도시한다.

이러한 메모리 구조물은 고속 포인트-투-포인트 버스(804)를 통해 하나 이상의 메모리 모듈(806)과 통신하는 메모리 제어기(802)를 포함한다. 도 8에 도시된 예시적인 실시예에서의 각 버스(804)는 어드레스, 커맨드, 데이터 및 클록의 전송을 위해 대략 50개의 고속 배선을 포함한다. 상술된 종래 기술에서 설명된 바와 같은 포인트-투-포인트 버스를 이용함으로써, 상당히 증가된 데이터 레이트를 허용하도록 버스 설계를 최적화할 뿐만 아니라, 다수의 사이클에 걸쳐 데이터를 전송함으로써 버스 핀카운트를 감소시킬 수 있다. 반면에 도 4는 메모리 제어기를 버스 컨버터(bus converters) 중의 하나와 접속시키는 버스 중 임의의 하나에서의 데이터 레이트(예를 들면, 핀 당 1,066Mb/s)와, 버스 컨버터와 하나 이상의 메모리 모듈 사이의 버스 중 임의의 하나의 데이터 레이트(예를 들면, 핀 당 533Mb/s) 사이에 2:1 비율을 갖는 메모리 서브시스템을 도시하고, 도 8에 도시된 바와 같은 본 발명의 예시적인 실시예는, 버스 효율의 최대화 및 핀카운트의 최소화를 위해서 4:1 버스 속도 비율을 제공한다.

<38> 포인트-투-포인트 상호 접속은 더 높은 데이터 레이트를 가능하게 하지만, 전체 메모리 서브시스템 효율은 채널 당 적당한 개수의 메모리 모듈(806) 및 메모리 장치(역사적으로는 메모리 모듈 당 4개 내지 36개의 칩을 갖는 4개의 메모리 모듈이 존재하지만, 많게는 채널 당 8개의 메모리 모듈이 존재하고, 적게는 채널 당 하나의 메모리 모듈이 존재함)를 유지함으로써 획득되어야 한다. 포인트-투-포인트 버스를 이용하면, 메모리 모듈이 캐스케이드 형태가 되어 각각의 메모리 모듈이 메모리 제어기(802)뿐만 아니라 다른 메모리 모듈에 대해서도 상호 접속 되도록 하기 위해서 각각의 메모리 모듈에 대한 버스 재구동 기능(bus re-drive function)이 필요하게 된다.

<39> 도 9는 모든 메모리 모듈(806)이 버퍼형 메모리 모듈(806)인 경우에 본 발명의 예시적인 실시예에 의해 이용되는 캐스케이드형 메모리 모듈 및 단방향성 버스를 갖는 메모리 구조물을 도시한다. 캐스케이드 구조물 내의 메모리 모듈(806)에 의해 제공되는 기능 중의 하나는 메모리 버스 상의 신호를 다른 메모리 모듈(806) 또는 메모리 제어기(802)로 전달하는 재구동 기능이다. 도 9는 직접 방식 또는 캐스케이드형 방식으로 메모리 제어기(802)에 접속된 2개의 메모리 버스(다운스트림 메모리 버스(904) 및 업스트림 메모리 버스(902)) 상에서 하나의 메모리 제어기(802) 및 4개의 메모리 모듈(806a, 806b, 806c, 806d)을 포함한다. 메모리 모듈(806a)은 직접 방식으로 메모리 제어기(802)에 접속된다. 메모리 모듈(806b, 806c, 806d)은 캐스케이드형 방식으로 제어기(802)에 접속된다.

<40> 본 발명의 예시적인 실시예는 캐스케이드형 메모리 구조물 내에서 메모리 제어기(802)와 메모리 모듈(806a)("DIMM#1") 사이뿐만 아니라 각각의 연속적인 메모리 모듈(806b~806d)("DIMM#2", "DIMM#3", "DIMM#4") 사이에 2개의 단방향성 버스를 포함한다. 다운스트림 메모리 버스(904)는 22개의 단측성 신호 및 차동 클록 쌍(differential clock pair)으로 이루어진다. 다운스트림 메모리 버스(904)는 어드레스, 제어, 데이터 및 에러 코드 보정(error code correction : ECC) 비트 다운스트림을 수 개의 클록 사이클에 걸쳐 메모리 제어기(802)로부터 캐스케이드형 메모리 채널 상에 설치된 하나 이상의 메모리 모듈(806)로 전달하는데 이용된다. 업스트림 메모리 버스(902)는 23개의 단측성 신호 및 차동 클록 쌍으로 이루어지고, 버스-레벨 데이터 및 ECC 비트 업스트림을 소싱 메모리 모듈(sourcing memory module)(806)로부터 메모리 제어기(802)로 전송하는 데 이용된다. 이러한 메모리 구조 및 DRAM 데이터 레이트(예를 들면, 핀 당 400 내지 800Mb/s)와 단방향성 메모리 버스 데이터 레이트(예를 들면 핀 당 1.6 내지 3.2Gb/s) 사이의 4:1 데이터 레이트 승산기를 이용하면, 메모리 채널 당 메모리 제어기(802) 신호 핀카운트는 대략 120개의 핀으로부터 대략 50개의 핀으로 감소된다.

<41> 도 10은 본 발명의 예시적인 실시예에 의해 이용되는 버퍼형 메모리 모듈(806)의 전면부(front view)(1006) 및 후면부(back view)(1008)를 도시한다. 본 발명의 예시적인 실시예에서, 각각의 메모리 모듈(806)은 대략 6인치 길이와 1/2인치 높이의 치수를 갖는 블랭크 카드(blank card)와, 18개의 DRAM 위치와, 다중 모드 버퍼 장치(1002)와, 도시되지 않았으나 본 기술 분야에서 알려진 다수의 소형 부품(예를 들면, 캐패시터(capacitors), 저항(resistors), EEPROM)을 포함한다. 본 발명의 예시적인 실시예에서, 카드의 크기는 151.35mm길이에 30.5mm의 높이를 갖는다. 본 발명의 예시적인 실시예에서, 다중 모드 버퍼 장치(1002)는 도 10의 전면부(1006)에 도시된 바와 같이 메모리 모듈(806)의 전면부의 중심 영역 내에 위치된다. 동기 DRAM(SDRAM)(1004)은 다중 모드 버퍼 장치(1002)의 어느 한 쪽 위에 위치되고, 또한 도 10의 후면부(1008)에 도시된 바와 같이 메모리 모듈(806)의 후면 상에 위치된다. 이러한 구성은 버퍼 장치로부터 SDRAM(1004)으로의 신호뿐만 아니라 다중 모드 버퍼 장치(1002)에 대한 고속 배선(high speed wiring)을 촉진하기 위해 이용될 수 있다.

<42> 도 11은 본 발명의 예시적인 실시예에 의해 이용되는 버퍼형 모듈 배선 시스템(buffered module wiring system)을 도시한다. 도 11은 도 10에 도시된 메모리 모듈(806)의 도식적 표현으로서, 음영이 있는 화살표는 기본 신호 흐름을 나타낸다. 신호 흐름은 업스트림 메모리 버스(902)와, 다운스트림 메모리 버스(904)와, 어드레스 및 커맨드 버스(1102, 1106)와, 데이터 버스(1104, 1108)를 포함한다. 본 발명의 예시적인 실시예에서, 메모리

인터페이스 칩 또는 메모리 모듈로도 지칭되는 버퍼 장치(1002)는 SDRAM(1004)에 대해 어드레스 및 커맨드 신호의 2개의 복사본을 제공하는데, 우측 어드레스 및 커맨드 버스(1106)는 버퍼 장치(1002)의 우측으로부터 나와서 버퍼 모듈(1002)의 우측 및 우측 뒤쪽에 위치하는 SDRAM(1004)에 접속된다. 좌측 어드레스 및 커맨드 버스(1102)는 버퍼 장치(1002)의 좌측으로부터 나와서 버퍼 장치(1002)의 좌측 및 좌측 뒤쪽의 SDRAM(1004)에 접속된다. 이와 유사하게, 버퍼 장치(1002)의 우측 SDRAM(1004)용의 데이터 비트는 우측 데이터 버스(1108) 상의 버퍼 모듈(1002)의 우측으로부터 출력된다. 버퍼 모듈(1002)의 좌측용의 데이터 비트는 좌측 데이터 버스(1104) 상에 있는 버퍼 장치(1002)의 좌측으로부터 출력된다. 고속 업스트림 메모리 버스(902) 및 다운스트림 메모리 버스(904)는 버퍼 모듈(1002)의 아래 부분으로부터 출력되고, 적용에 따라서 이러한 메모리 모듈(806)의 업스트림 또는 다운스트림으로 메모리 제어기 또는 메모리 모듈에 접속된다. 버퍼 장치(1002)는 메모리 모듈 데이터 레이트의 4배의 레이트인 신호를 수신하고, 이들을 메모리 모듈 데이터 레이트로 신호로 변환한다.

<43> 도 12는 본 발명의 예시적인 실시예에서 메모리 제어기(802)로부터 메모리 모듈(806)로 정보 다운스트림을 전달하기 위해 이용되는 다운스트림 프레임 포맷을 도시한다. 본 발명의 예시적인 실시예에서, 다운스트림 프레임은 8개의 전송으로 이루어지는데, 각 전송은 22개의 신호 및 차동 클록(전체 24개의 배선)을 포함한다. 프레임은 8개의 커맨드 배선(c0 내지 c7)(1208)과, 9개의 데이터 배선(di0 내지 di8)(1206)과, 4개의 버스 에러 보정 코드(ECC) 배선(ecc0 내지 ecc3)(1204)과, 스페어 배선(스페어)(1202)을 더 포함한다. 72 데이터 비트는 도 12에서 비트(di0 내지 di8)로서 도시되고, 각 프레임 당 각 배선 상에 8개의 전송을 갖는 9개의 배선으로 이루어진다. 본 발명의 예시적인 실시예에서, 도 12에 도시된 프레임 포맷은 하나 또는 2개의 메모리 커맨드에 추가하여 메모리 클록 사이클 당 기록 데이터의 72개의 비트를 전달하기 위해 이용될 수 있다. 다른 비트뿐만 아니라 각 데이터 비트의 넘버링(numbering)은, 특수한 전송뿐만 아니라 이용된 배선에 기초한다. D34는 (비트 0 내지 비트 8 중에서) 데이터 비트 3 및 (전송 0 내지 전송 7 중에서) 전송 4를 지칭한다. 커맨드 비트 필드는 c0 내지 c7로 도시되고, 8개의 전송에 걸쳐 모듈에 제공된 정보의 64 비트로 이루어진다.

<44> ECC 비트 필드(ecc0 내지 ecc3)는 8개의 전송에 걸쳐 32개의 비트 위치로 이루어지지만, 실제로 16개의 비트의 그룹으로 포맷팅(formatted)된다. 각각의 16개의 비트 패킷은 각각의 4개의 배선마다 4개의 전송으로 이루어지고, 4개의 버스 전송의 각 그룹마다 버스 레벨 결함 검출 및 보정(bus level fault detection and correction)을 제공한다. 스페어 비트 위치(spare bit position)는 21개의 배선 중 어느 하나를 로직적으로 대체하기 위해 이용될 수 있고, 비트레인(bitlane)으로도 지칭되어 커맨드, 데이터 및 ECC 필드 내에서 비트를 전달하기 위해 이용될 수 있으며, 비트레인 중 하나에 발생한 실패는 시스템에 할당된 실패 임계 한도(system-assigned failure threshold limit)를 초과할 것이다. 스페어 배선은 배선 실패(wire failure), 커넥터 실패(connector failure), 솔더 상호 접속 실패(solder interconnect failure), 드라이버 실패(driver failure) 및 /또는 수신기 실패(receiver failure) 등과 같은 경우에 배선을 교체하기 위해서, 임의의 2개의 직접 접속된 어셈블리 사이(즉, 메모리 제어기(802)와 메모리 모듈(806a) 사이 또는 임의의 2개의 메모리 모듈(806a~806d) 사이)의 실패 세그먼트를 교체하는 데 이용될 수 있다. 176개의 가능한 비트 위치 중에서, 168개는 메모리 모듈(806)에 대한 정보의 전송을 위해 이용될 수 있고, 이러한 168개의 비트 위치 중에서 32개의 비트 위치는 버스 전송 자체에 대한 ECC 보호를 제공하도록 추가적으로 할당됨으로써, 136개의 비트 위치 전체가 메모리 모듈(806)에 대한 정보 전송을 위해 이용될 수 있게 한다. 도 12에 도시된 프레임 포맷은 메모리 제어기의 방향으로부터 메모리 모듈(806)로 입력되는 신호에 적용가능할 뿐만 아니라, 임의의 다운스트림 메모리 모듈(806)로 출력되는 신호에도 적용 가능하다.

<45> 도 13은 메모리 모듈(806)로부터 메모리 제어기(802) 또는 업스트림 메모리 모듈(806)로 정보 업스트림을 전달하기 위해 본 발명의 예시적인 실시예에 의해 이용되는 업스트림 프레임 포맷을 도시한다. 본 발명의 예시적인 실시예에서, 업스트림 프레임은 8개의 전송으로 이루어지고, 각각의 전송은 23개의 신호 및 차동 클록(전체 25개의 배선)을 포함한다. 프레임은 18개의 커맨드 배선(do0 내지 do17)(1306)과, 4개의 버스 ECC 배선(ecc0 내지 ecc3)(1304)과, 스페어 배선(스페어)(1302)을 더 포함한다. 본 발명의 예시적인 실시예에서, 도 13에 도시된 프레임 포맷은 메모리 클록 사이클 당 144개의 판독 데이터 비트를 전달하기 위해 이용될 수 있다. 다른 비트뿐만 아니라 각 데이터 비트의 넘버링은, 특수한 전송뿐만 아니라 이용된 배선에 기초한다. D34는 (비트 0 내지 비트 17 중에서) 데이터 비트 3 및 (전송 0 내지 전송 7 중에서) 전송 4를 지칭한다.

<46> ECC 비트 필드(ecc0 내지 ecc3)는 8개의 전송에 걸쳐 32개의 비트 위치로 이루어지지만, 실제로 16개의 비트의 그룹으로 포맷팅된다. 각각의 16개의 비트 패킷은 각각의 4개의 배선마다 4개의 전송으로 이루어지고, 에러 보정은 각 4개의 전송마다 실행된다. 스페어 배선 위치(spare wire position)는 데이터 및 ECC 필드 내에서 비트를 전달하기 위해 이용되는 22개의 배선 중 어느 하나를 로직적으로 대체하기 위해 이용될 수 있고, 이러한

배선 중 하나에는 그 본질과 부합되는 실패가 발생할 것이다. 실패가 시스템 의존성 임계값(예를 들면, 실패가 검출된 회수)을 초과하는 경우에, 이러한 실패는 그 본질과 부합된다고 고려할 수 있다. 단일 비트레인 실패(single bitlane failures)는 버스 레벨 ECC에 의해 실시간으로(on the fly) 보정될 수 있는 반면, 서비스 프로세서 등과 같은 시스템 서비스 소자는, 시스템 동작 동안에 발생할 수 있는 하드(hard)(예를 들면, 주기적, 반복적 및 연속적) 실패를 복구하기 위해 실패 세그먼트를 복구하지 않고 남겨두도록 결정할 수 있다. 스페어 배선은 배선 실패, 커넥터 실패, 솔더 상호 접속 실패, 드라이버 실패 및/또는 수신기 실패 등과 같은 경우 기 인하여 배선을 교체하기 위해서, 임의의 2개의 직접 접속된 어셈블리 사이(즉, 메모리 제어기(802)와 메모리 모듈(806a) 사이 또는 임의의 2개의 메모리 모듈(806a~806d) 사이)의 실패 세그먼트를 교체하는 데 이용될 수 있다. 184개의 가능한 비트 위치 중에서, 176개는 메모리 모듈(806)에 대한 정보의 전송을 위해 이용될 수 있고, 이러한 176개의 비트 위치 중에서 32개의 비트 위치는 버스 전송 자체에 대한 ECC 보호를 제공하도록 추가적으로 할당됨으로써, 144개의 비트 위치 전체가 업스트림 메모리 모듈(806) 또는 메모리 제어기(802)에 대한 정보 전송을 위해 이용될 수 있게 한다.

<47> 반면에, 일부 실시예는 완전한 '스페어' 또는 '미사용(unused)' 상태가 아닌(즉, 실시예 내에서 기존의 기능을 가짐) 스페어 비트레인을 포함할 수 있고, 이러한 실시예는 '스페어' 비트레인이 호출(invoked)될 때 전체 메모리 서브시스템 데이터 무결성(integrity)을 절충할 수 있다. 일례는 비트가 통신되는 배선의 재할당(re-assignment)을 통해 에러 검출을 위해 이용되는 비트의 일부분이 제거되어, 결과적으로 결함 검출의 감소 및 검출되지 않은 데이터의 손상(corruption)('사일런트 데이터 손상(silent data corruption)')의 가능성을 상당히(200배까지, 또는 그 이상) 증가되게 하는 서브시스템일 수 있다. 이러한 접근법은 높은 레벨의 데이터 무결성 및 시스템 가용성을 요구하는 적용 분야에서는 적합하지 않은 것으로 고려된다.

<48> 본 발명의 예시적인 실시예는 서브시스템 내의 임의의 2개의 상호 접속된 메모리 모듈(806) 사이뿐만 아니라 메모리 제어기(802)와 제 1 메모리 모듈(806) 사이의 하나 이상의 실패 상호 접속의 경우에 메모리 서브시스템의 존속성을 최대화한다. 도 14는 본 발명의 예시적인 실시예에 의해 이용되는 세그먼트 레벨 스페어링을 갖는 캐스케이드형 모듈 버스 구조물을 도시한다. 도 14는 메모리 제어기(802), 캐스케이드형 다운스트림 메모리 버스(904), 캐스케이드형 업스트림 메모리 버스(902), 4개의 메모리 모듈(806a~806d)(어느 정도 허용 가능함) 및 일련의 교체형 세그먼트(1402)(다운스트림 메모리 버스(904) 상에서 2개의 어셈블리마다, 그 사이에서 고유한 배선을 포함함)를 포함하는 메모리 서브시스템의 단순화된 도면을 포함한다.

<49> 본 발명의 예시적인 실시예는 도 12 및 도 13에 도시된 바와 같이, 고유한 방식으로 스페어 배선을 할당하여 업스트림 메모리 버스(902) 및 다운스트림 메모리 버스(904) 모두 상에서 임의의 2개의 어셈블리 사이(즉, 메모리 제어기(802)와 메모리 모듈(806a) 사이 또는 임의의 2개의 메모리 모듈(806a~806d) 사이)의 임의의 실패 세그먼트를 교체할 수 있게 하는 기능을 제공한다. 서로 다른 실패 세그먼트의 세트는 업스트림 메모리 버스(902) 및 다운스트림 메모리 버스(904) 상의 스페어 배선에 할당될 수 있다. 이는 메모리 시스템이 서브시스템의 부분들의 실패 이후에도 연장된 주기 동안 계속적으로 작동할 수 있게 한다. 버스 레벨 ECC(비트 또는 배선 실패의 존재 시에 버스의 연속적인 작동을 가능하게 함)의 이용과, 다운스트림(및 업스트림) 프레임 내에서 스페어 비트레인의 이용 가능성과, (동일한 캐스케이드형 버스 상에서 임의의 2개의 다른 어셈블리 사이의 세그먼트를 교체하는 기능을 유지하면서) 임의의 2개의 어셈블리 사이의 단일 세그먼트 교체 기능을 통해서, 높은 레벨의 신뢰도 및 존속성을 획득할 수 있다.

<50> 단부간(end-to-end)(캐스케이드 체인 내에서 메모리 제어기에서 최종 DIMM으로)에서 비트레인의 교체는, 상호 접속 실패를 보정하기 위한 보다 간단한 방법을 제공하지만, '스페어' 비트레인이 매우 값비싸고 대부분의 실패가 전체 비트레인이 아닌 단일 포인트 또는 장치에 기인하기 때문에 불충분한 방법이다. 8개의 DIMM 메모리 채널에서, 세그먼트 레벨 스페어링을 이용하면 8개의 독립 세그먼트 교체에 의해 최대 8개의 고유한 실패가 바이패싱(bypassed)되도록 허용하는 반면, 최대 비트레인의 단부간 교체(end-to-end replacement)는 하나의 실패만이 바이패싱되게 할 것이다.

<51> 본 발명의 다른 예시적인 실시예는 실패 정보 및 진단(diagnostics)에서 클록의 일부분이 결함 상태라고 표시하는 경우에 고속 클록의 스페어링을 포함한다. 일반적으로, 클록 결함(clock faults)은 여분의 컨택터 컨택트(redundant connector contacts)를 이용함으로써 사전에 최소화되는데, 이는 커넥터 컨택트가 때때로 채널 내에서 하드 실패를 반복하는 데 큰 기여를 하기 때문이다.

<52> 도 15는 세그먼트 레벨 스페어링을 제공하기 위해 본 발명의 예시적인 실시예에 의해 이용되는 다중 모드 버퍼 장치(1002)의 하이 레벨 로직 흐름에 대한 블록도이다. 다중 모드 버퍼 장치(1002)(버퍼 모듈로도 지칭됨)는

임의의 세그먼트에 대해 고유한 스페어링이 발생될 수 있게 하는 4개의 버스 스페어링 로직 블록(1526, 1536, 1538, 1540)을 포함한다. 추가하여, 버퍼 모듈(1002)은 업스트림 버스 ECC 기능 블록(1522) 및 다운스트림 버스 ECC 기능 블록(1520)을 포함하고, 수신되거나 버퍼 장치(1002)를 통과하는 임의의 정보 또는 신호에 대해 작동되어, 버스 에러가 존재하는지 여부를 판정할 수 있게 한다. 업스트림 버스 ECC 기능 블록(1522) 및 다운스트림 버스 ECC 기능 블록(1520)은 버스-레벨 에러 검출 및 보정 코드를 이용함으로써 버스 레벨 결함 검출 및 보정을 실행한다. 이는 실패가 된 특정 세그먼트의 식별 및 그 이후의 세그먼트 교체에 가능하게 할 것이다. 도면의 좌측 하부 및 우측 하부의 블록(1524, 1528, 1530, 1534)은 고속 버스(804)의 수신 또는 구동과 연관된다. "업스트림"은 메모리 제어기(802)의 방향으로 정보를 전달하는 버스(902)를 지칭하고, "다운스트림"은 메모리 제어기(802)로부터 멀어지는 쪽으로 정보를 전달하는 버스(904)를 지칭한다.

<53> 도 15를 참조하면, 업스트림 메모리 어셈블리(즉, 메모리 모듈(806)) 또는 메모리 제어기(802)로부터의 데이터, 커맨드, 어드레스, ECC 및 클럭 신호는 다운스트림 메모리 버스(904)로부터 수신기 모듈(1524)로 수신된다. 수신기 기능 블록(1524)은 매크로(macros)를 제공하고, 다운스트림 메모리 버스(904)를 위한 로직을 지원하며, 본 발명의 예시적인 실시예에서는 22개의 비트, 최대 속도의 슬레이브 수신기 버스에 대한 지원을 포함한다. 수신기 기능 블록(1524)은 클럭 로직 및 분산 기능 블록(distribution functional block)(1518)(예를 들면, 4:1 클럭 신호를 생성함)에 클럭 신호를 전송한다. 클럭 로직 및 분산 기능 블록(1518)은 또한 퍼베이션 및 기타 신호(pervasive and miscellaneous signals)(1510)로부터 데이터 입력을 수신한다. 이러한 신호는 전형적으로 클럭 분산 PLL을 위한 제어 및 셋업(setup) 정보, BIST(built-in self-test) 모드를 위한 테스트 입력, 프로그래밍 가능 타이밍 설정 등을 포함한다. 수신기 기능 블록(1524)은 데이터, 커맨드, ECC 및 어드레스 신호를 버스 스페어링 로직 블록(1526)으로 전송하여, 적용 가능하다면 스페어 배선이 이전 어셈블리로부터의 전송 중에 이용되는 경우에 데이터의 비트 위치를 재배치한다. 본 발명의 예시적인 실시예에서, 버스 스페어링 로직 블록(1526)은 멀티플렉서에 의해 구현되어 필요한 경우에 신호 위치를 시프팅한다. 다음에, 오리지널 신호(original signal) 또는 재순차화된 신호(re-ordered signals)를 다른 버스 스페어링 로직 블록(1536)에 입력하여, 현재의 메모리 어셈블리와 다운스트림 메모리 어셈블리 사이에 존재할 수 있는 임의의 결함 상호 접속을 고려하여 필요한 경우에 신호 배치를 수정 또는 재순차화한다. 다음에 오리지널 또는 재순차화된 신호를 드라이버 기능 블록(1528)에 입력하여, 다운스트림 메모리 버스(904)를 통해 체인(chain) 내의 다음 메모리 모듈(806)로 전송한다. 본 발명의 예시적인 실시예에서, 버스 스페어링 로직(1536)은 멀티플렉서를 이용하여 구현된다. 드라이버 기능 블록(1528)은 매크로를 제공하고, 다운스트림 메모리 버스(904)를 위한 로직을 지원하며, 본 발명의 예시적인 실시예에서는, 22개의 비트, 고속, 저 지연의 캐스케이드 버스 드라이버에 대한 지원을 포함한다.

<54> 오리지널 또는 재순차화된 신호를 버스 스페어링 로직(1536)에 입력하는 것에 추가하여, 버스 스페어링 로직(1526)은 또한 오리지널 또는 재순차화된 신호를 다운스트림 버스 ECC 기능 블록(1120)에 입력하여 프레임에 대한 에러 검출 및 보정을 실행한다. 다운스트림 버스 ECC 기능 블록(1120)은 다운스트림 메모리 버스(904)로부터 다중 모드 버퍼 장치(1002)를 통해 수신되거나 전달된 임의의 정보에 대해 작동되어 버스 에러가 존재하는지 여부를 판정한다. 다운스트림 버스 ECC 기능 블록(1520)은 버스 신호를 분석하여 그것이 유효한지 여부를 판정한다. 다음에, 다운스트림 버스 ECC 기능 블록(1520)은 보정된 신호를 커맨드 상태 머신(1514)에 전송한다. 커맨드 상태 머신(1514)은 커맨드 디코딩과 연관된 에러 플래그(error flags)를 입력하거나, 퍼베이션 및 기타 기능 블록(1510)과 상충된다. 다운스트림 및 업스트림 기능 블록은 또한 에러 플래그 및/또는 에러 데이터(존재한다면)를 퍼베이션 및 기타 기능 블록(1510)에 제공하여 메모리 제어기, 프로세서, 서비스 프로세서 또는 다른 에러 관리 유닛(error management unit)에 대해 이러한 에러의 보고를 가능하게 한다.

<55> 도 15를 참조하면, 퍼베이션 및 기타 기능 블록(1510)은 메모리 제어기(802)에 에러 플래그 및/또는 에러 데이터를 전송한다. 체인 내의 각 메모리 모듈(806)로부터 에러 플래그 및/또는 에러 데이터를 수집함으로써, 메모리 제어기(802)는 추가적인 진단을 개시하지 않고도(추가적인 진단은 몇몇 실시예의 설계에서는 완료될 수도 있음) 실패 세그먼트(들)를 식별할 수 있다. 추가하여, 실패의 개수 또는 실패의 타입에 대한 설치 선택 임계(installation selected threshold)(예를 들면, 1, 2, 10 또는 12)에 도달하면, 퍼베이션 및 기타 기능 블록(1510)은 일반적으로 메모리 제어기(802)로부터의 입력에 대응하여, 실패가 된 세그먼트를 스페어 배선으로 대체할 수 있다. 본 발명의 예시적인 실시예에서, 에러 검출 및 보정은 4개의 전송 그룹마다 실행되어, 프레임을 포함하는 8개의 전송의 절반이 수신된 이후에 동작이 디코딩 및 개시되게 한다. 에러 검출 및 보정은, 신호가 특정한 메모리 모듈(806)에 의해 처리되었는지 여부에 무관하게 다운스트림 메모리 버스(904)로부터 메모리 모듈(806)을 통과하는 모든 신호에 대해 실행된다. 보정된 신호로부터의 데이터 비트는 다운스트림 버스 ECC 기

능 블록(1520)에 의해 기록 데이터 버퍼(1512)에 입력된다.

<56> 커맨드 상태 머신(1514)은 또한 보정된 신호(데이터, 커맨드 및 어드레스 신호를 포함함)가 메모리 모듈(806)로 전달되고 메모리 모듈(806)에 의해 처리되어야 하는지 여부를 판정한다. 보정된 신호가 메모리 모듈(806)로 전달되면, 커맨드 상태 머신(1514)은 어떤 동작을 취할 것인지 판정하고, DRAM 동작, 기록 버퍼 동작, 판독 버퍼 동작 또는 그 조합을 개시할 수 있다. 기록 데이터 버퍼(1512)는 메모리 데이터 인터페이스(1506)에 데이터 신호를 전송하고, 커맨드 상태 머신(1514)은 DRAM 스펙에 따라서 메모리 커맨드 인터페이스(1508)에 연관된 어드레스 및 커맨드 신호를 전송한다. 앞서 설명된 바와 같이, 우측 커맨드(1106)는 일반적으로 우측 어드레스 커맨드 버스(1102)를 통해 메모리 모듈(806)의 우측으로 전송되고, 좌측 커맨드(1102)는 좌측 어드레스 커맨드 버스(1106)를 통해 메모리 모듈(806)의 좌측으로 전송되는데, 추가적인 모듈 구성이 존재할 수도 있다.

<57> 제어기(802)에 전송될 데이터 신호는 판독 커맨드 등과 같은 커맨드가 메모리 모듈(806)에 실행된 이후에, 메모리 장치 '판독' 타이밍에 따라서 판독 데이터 버퍼(1516) 내에 일시적으로 저장될 수 있다. 판독 데이터 버퍼(1516)는 판독 데이터를 업스트림 버스 ECC 모듈(1522)로 전달한다. 업스트림 버스 ECC 기능 블록(1522)은 판독 데이터 버퍼(1516) 내에서 신호에 대한 검사 비트(check bits)를 생성한다. 판독 데이터 버퍼(1516)로부터의 검사 비트 및 신호는 업스트림 데이터 멀티플렉싱 기능 블록(1532)에 입력된다. 업스트림 데이터 멀티플렉싱 기능 블록(1532)은 버스 스페어링 로직(1538) 및 드라이버 기능 블록(1530)을 이용하여 데이터를 업스트림 메모리 버스(902)에 통합(merges)한다. 필요하다면, 버스 스페어링 로직(1538)은 현재의 메모리 모듈(806)과 업스트림 수신 모듈(또는 메모리 제어기) 사이에 결합 세그먼트를 고려하여 신호를 리디렉트(re-direct)할 수 있다. 드라이버 기능 블록(1530)은 업스트림 메모리 버스(902)를 통해서, 체인 내의 다음 어셈블리(즉, 메모리 모듈(806) 또는 메모리 제어기(802))로 오리지널 또는 재순차화된 신호를 전송한다. 본 발명의 예시적인 실시예에서, 버스 스페어링 로직(1538)은 신호를 시프팅하기 위해 멀티플렉서를 이용하도록 구현된다. 드라이버 기능 블록(1530)은 매크로를 제공하고, 업스트림 메모리 버스(902)를 위한 로직을 지원하며, 본 발명의 예시적인 실시예에서는 23개의 비트, 고속, 저 지연의 캐스케이드 드라이버 버스에 대한 지원을 포함한다.

<58> 업스트림 메모리 버스(902)로부터의 데이터, 클럭 및 ECC 신호는 또한 임의의 업스트림 메모리 모듈(806) 내의 임의의 업스트림 다중 모드 버퍼 장치(1002)에 의해 수신된다. 이러한 신호는 다음 메모리 모듈(806) 또는 메모리 제어기(802)에 대해 업스트림으로 전달될 필요가 있다. 도 15를 참조하면, 다운스트림 어셈블리(즉, 메모리 모듈(806))로부터의 데이터, ECC 및 클럭 신호는 업스트림 메모리 버스(902) 상에서 수신기 모듈(1534)로 수신된다. 수신기 기능 블록(1534)은 매크로를 제공하고, 업스트림 메모리 버스(902)를 위한 로직을 지원하며, 본 발명의 예시적인 실시예에서는 23개의 비트, 고속, 슬레이브 수신기 버스를 위한 지원을 포함한다. 수신기 모듈(1534)은 버스 스페어링 모듈(1540)을 통해 업스트림 데이터 멀티플렉싱 기능 블록(1532)으로 데이터 및 ECC 신호를 전달한 다음, 버스 스페어링 로직 블록(1538)으로 전달한다. 이러한 신호는 드라이버 기능 블록(1530)을 통해 업스트림 메모리 버스(902)로 전송된다.

<59> 업스트림 데이터 멀티플렉싱 기능 블록(1532)에 데이터 및 ECC 신호를 전달하는 것에 추가하여, 보정된 버스 스페어링 기능 블록(1540)은 또한 업스트림 버스 ECC 기능 블록(1522)에 대해 오리지널 또는 재순차화된 데이터 및 ECC 신호를 입력하여 프레임에 대한 에러 검출 및 보정을 수행한다. 업스트림 버스 ECC 기능 블록(1522)은 업스트림 메모리 버스(902)로부터 버퍼 모듈(1002)을 통해 수신되거나 전달된 임의의 정보를 처리하여 버스 에러가 존재하는지 여부를 판정한다. 업스트림 버스 ECC 기능 블록(1522)은 데이터 및 ECC 신호를 분석하여 이들이 유효한지 여부를 판정한다. 다음으로, 업스트림 버스 ECC 기능 블록(1522)은 임의의 에러 플래그 및/또는 에러 데이터를 퍼베이스브 및 기타 기능 블록(1510)에 전달하여 메모리 제어기(802)에 전송한다. 추가하여, 실패의 개수 또는 타입에 대해 사전 결정된 임계값이 초과되면, 퍼베이스브 및 기타 기능 블록(1510)은, 일반적으로 메모리 제어기(802)의 방향에 따라서 실패 세그먼트를 스페어 세그먼트로 대체할 수 있다.

<60> 메모리 모듈(806)에 대한 각각의 메모리 제어기(802) 또는 메모리 모듈(806) 버스에 대한 메모리 모듈(806)은 다운스트림 프레임(1202) 및 업스트림 프레임(1302)에 의해 정의된 바와 같이 스페어 신호에 의해 교체될 고유한 비트라인 세그먼트를 가질 수 있다. 도 15에 도시된 블록도는 본 발명의 예시적인 실시예에 의해 이용될 수 있는 버퍼 모듈(1002)의 하나의 구현이다. 본 발명의 범주를 벗어나지 않으면서 다른 구현도 이루어질 수 있다.

<61> 캐스케이드형 메모리 서브시스템 내에서 더 낮은 지연을 달성하기 위해서, 스페어 배선의 대체를 촉진하도록 설계된 메커니즘은 본 발명의 예시적인 실시예에 의해 이용된다. 버스 내에서 임의의 실패 세그먼트를 대체할 스페어 신호를 이용하는 것 대신에, 버스의 위치를 하나의 비트 위치만큼 시프팅하여 다수의 선택 입력을 갖는 멀

티플렉싱 기능의 필요성을 회피하는 방식으로 스페어 신호의 사용을 개시한다. 드라이버 및 수신기 버스의 각 비트에 대해서 단일 2:1 선택기를 이용한다. 스페어 동작이 실행될 때, 레지스터는 교체될 세그먼트의 위치로 로딩된다. 이 값은 각 비트마다의 멀티플렉서 선택으로 인코딩된 우선 순위이다. 송신측(버스 스페어링 로직 모듈(1536, 1538)에 의해 실행됨)에서, 교체된 세그먼트보다 더 중요한 비트는 그의 오리지널 위치로 되돌아가도록 하향 시프팅된다. 수신측(버스 스페어링 로직 모듈(1526, 1540)에 의해 실행됨)에서, 교체된 세그먼트보다 더 중요한 비트는 그의 오리지널 위치로 되돌아가도록 하향 시프팅된다.

<62> 본 발명의 예시적인 실시예는 세그먼트 레벨 스페어링을 제공한다. 비트 또는 배선 실패가 존재할 때 버스의 연속 동작을 가능하게 하는 버스 레벨 ECC를 이용한다고 해도, 다운스트림(및 업스트림) 프레임 내에서 스페어 비트레인의 이용 가능성과, 동일한 캐스케이드형 버스에서 임의의 2개의 다른 어셈블리 사이의 세그먼트 교체 기능을 유지하면서 임의의 2개의 어셈블리 사이에서 단일 세그먼트를 교체하는 기능은 메모리 서브시스템의 신뢰도 및 존속성의 증가를 초래할 것이다. 버스 레벨 ECC를 이용함으로써, 제어기는 일반적으로 진단 툴(diagnostic tools)을 실행하지 않고도 실패 세그먼트를 식별할 수 있을 것이다. 이는 드물게 발생하는 실패 세그먼트의 정확한 식별 가능성을 증가시킬 뿐만 아니라 메모리 서브시스템 내에서 실패 상호 접속을 위한 복원 시간(recovery time)을 더 빠르게 할 것이다.

<63> 앞서 설명된 바와 같이, 본 발명의 실시예는 이러한 프로세스를 실행하기 위한 컴퓨터 구현 프로세스 및 장치의 형태로 구현될 수 있다. 본 발명의 실시예는 또한 플로피 디스켓, CD-ROM, 하드 드라이브 또는 임의의 다른 컴퓨터 판독 가능 저장 매체 등과 같은 실제적 매체 내에 포함된 인스트럭션을 포함하는 컴퓨터 프로그램 코드의 형태로 구현될 수 있는데, 여기에서 컴퓨터 프로그램 코드가 컴퓨터 내에 로딩되고 컴퓨터에 의해 실행되면, 이러한 컴퓨터는 본 발명을 실행하기 위한 장치가 된다. 또한 본 발명은 예를 들면, 저장 매체 내에 저장되거나, 컴퓨터 내에 로딩 및/또는 컴퓨터에 의해 실행되거나, 전기 배선(electrical wiring) 또는 케이블(cabling), 광 섬유(fiber optics) 또는 전자기 방사(electromagnetic radiation) 등을 이용하는 몇몇 전송 매체를 거쳐 전송되건 아니건간에, 컴퓨터 프로그램 코드의 형태로 구현될 수 있고, 이러한 컴퓨터 프로그램 코드가 컴퓨터 내에 로딩되고 컴퓨터에 의해 실행될 때, 컴퓨터는 본 발명을 실행하는 장치가 된다. 범용(general-purpose) 마이크로프로세서 상에서 구현될 때, 컴퓨터 프로그램 코드 세그먼트는 마이크로프로세서를 구성하여 특정 로직 회로를 생성한다.

<64> 본 발명은 예시적인 실시예를 참조하여 설명되었으나, 당업자라면 본 발명의 범주를 벗어나지 않으면서 여러 변형이 이루어질 수 있고, 등가물이 그 구성 요소를 대체할 수 있다는 것을 이해할 것이다. 추가하여, 본 발명의 진정한 범주를 벗어나지 않으면서 본 발명의 개시 내용에 대해 특정한 상황 또는 재료를 적용하기 위해서 여러 변형이 이루어질 수 있다. 그러므로, 본 발명을 실행하기 위해 고려된 최적 모드로서 개시된 특정한 실시예로 본 발명을 한정하도록 의도된 것이 아니고, 본 발명은 첨부된 청구항의 범주 내에 속하는 모든 실시예를 포함할 것이다. 또한, 제 1, 제 2 등과 같은 용어는 임의의 순서 또는 중요도를 표시하는 것이 아니고, 오히려 제 1, 제 2 등은 하나의 구성 요소를 다른 구성 요소와 구분하기 위해 이용된 것이다.

발명의 효과

<65> 본 발명은 세그먼트 레벨 스페어링을 제공하는데, 이것에 의하면 메모리 채널 상의 임의의 2개의 어셈블리 사이의 임의의 실패 상호 접속을 대체하는 능력을 제공함으로써, 시스템 보정 동작이 요구되기 전에, 증가된 고유의 실패의 개수를 조정할 수 있다는 점에서 신뢰성 및 존속성의 향상을 제공한다.

도면의 간단한 설명

- <1> 도 1은 별개의 포인트-투-포인트 링크를 통해 2개의 버퍼형 메모리 어셈블리에 접속된 종래 기술의 메모리 제어기를 도시하는 도면.
- <2> 도 2는 버퍼 장치를 갖는 종래 기술의 동기 메모리 모듈을 도시하는 도면.
- <3> 도 3은 레지스터형 DIMM을 이용하는 종래 기술의 메모리 서브시스템을 도시하는 도면.
- <4> 도 4는 포인트-투-포인트 채널, 레지스터형 DIMM 및 2:1 버스 속도 승산기(bus speed multiplier)를 갖는 종래 기술의 메모리 서브시스템을 도시하는 도면.
- <5> 도 5는 멀티 드롭 메모리 '스터브(stub)' 버스를 이용하는 종래 기술의 메모리 구조물을 도시하는 도면.
- <6> 도 6은 멀티 포인트 통신 구조물 내의 종래 기술의 데이터 체인 구조물(이것이 없으면 다수의 포트가 필요함)을

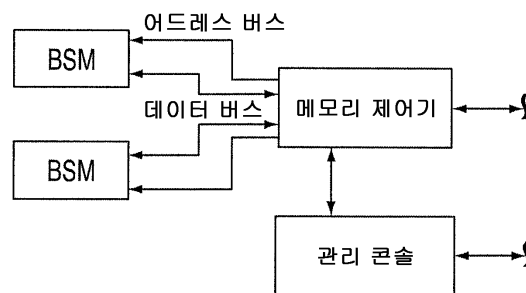
도시하는 도면.

- <7> 도 7은 메모리 제어기와 메모리 모듈 사이에 있는 종래 기술의 데이터 체인 접속부를 도시하는 도면.
 - <8> 도 8은 본 발명의 예시적인 실시예에 의해 이용되는 캐스케이드형 메모리 구조를 도시하는 도면.
 - <9> 도 9는 본 발명의 예시적인 실시예에 의해 이용되는 캐스케이드형 메모리 모듈 및 단방향성 버스를 갖는 메모리 구조물을 도시하는 도면.
 - <10> 도 10은 본 발명의 예시적인 실시예에 의해 이용되는 버퍼형 메모리 모듈을 도시하는 도면.
 - <11> 도 11은 본 발명의 예시적인 실시예에 의해 이용되는 버퍼형 모듈 배선 시스템(buffered module wiring system)을 도시하는 도면.
 - <12> 도 12는 본 발명의 예시적인 실시예에 의해 이용되는 다운스트림 프레임 포맷을 도시하는 도면.
 - <13> 도 13은 본 발명의 예시적인 실시예에 의해 이용되는 업스트림 프레임 포맷을 도시하는 도면.
 - <14> 도 14는 본 발명의 예시적인 실시예에 의해 이용되는 세그먼트 스페어링을 갖는 캐스케이드형 모듈 버스를 도시하는 도면.
 - <15> 도 15는 본 발명의 예시적인 실시예에 의해 이용되는 버퍼 칩 하이 레벨 로직 흐름(buffer chip high level logic flow)을 도시하는 블록도.
 - <16> 도면의 주요 부분에 대한 부호의 설명
 - <17> 802 : 메모리 제어기 806 : 메모리 모듈
 - <18> 804 : 고속 포인트-투-포인트 버스
 - <19> 904 : 다운스트림 메모리 버스
 - <20> 902 : 업스트림 메모리 버스
 - <21> 1004 : SDRAM

도면

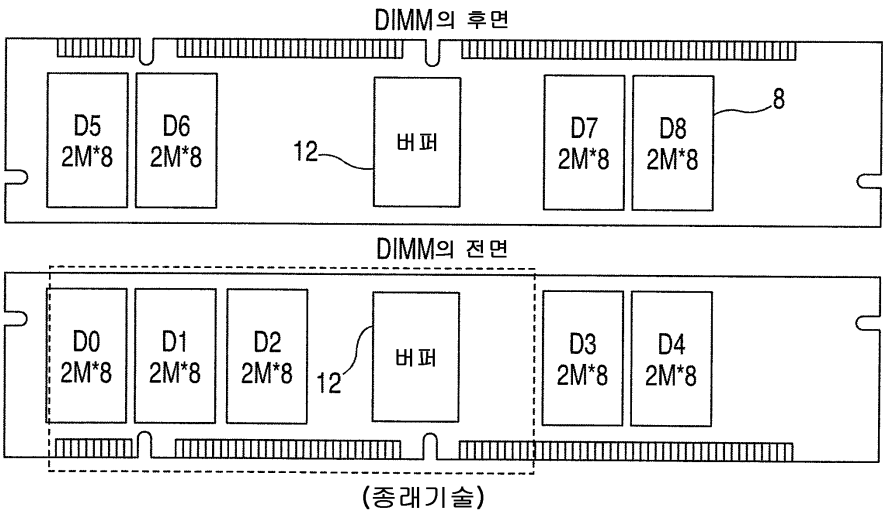
도면1

전형적인 대형 시스템 메모리 구성

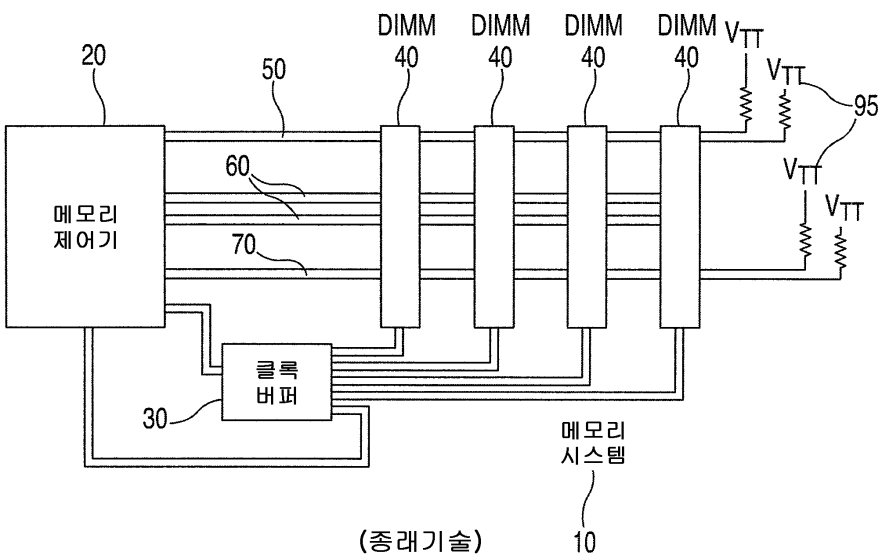


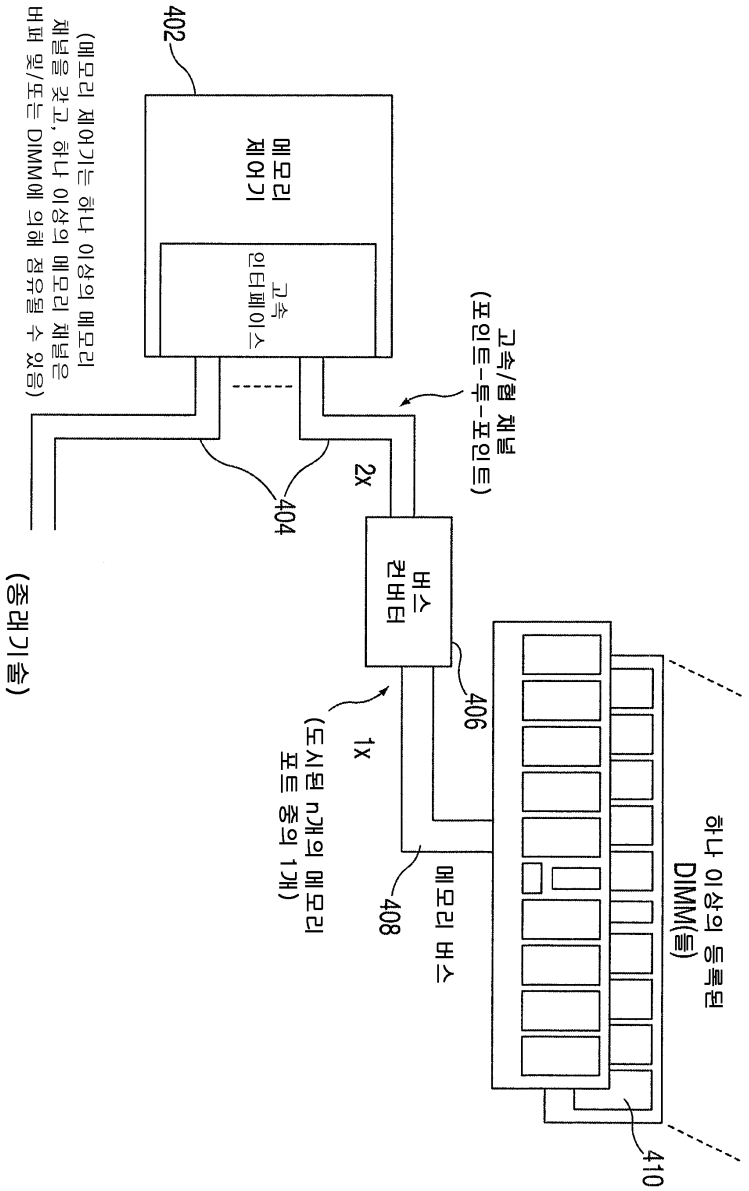
(종래기술)

도면2



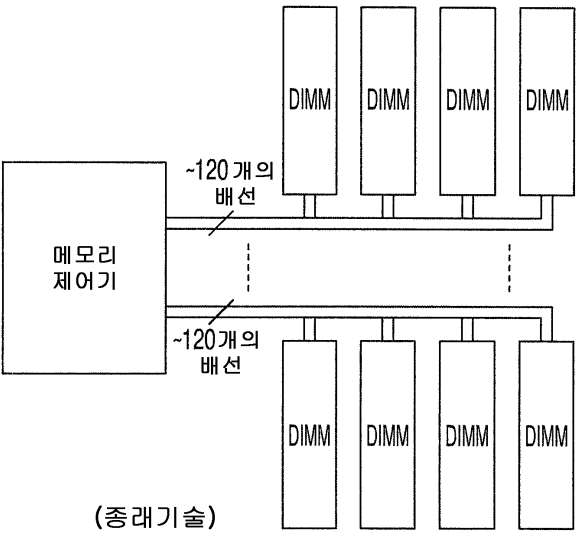
도면3



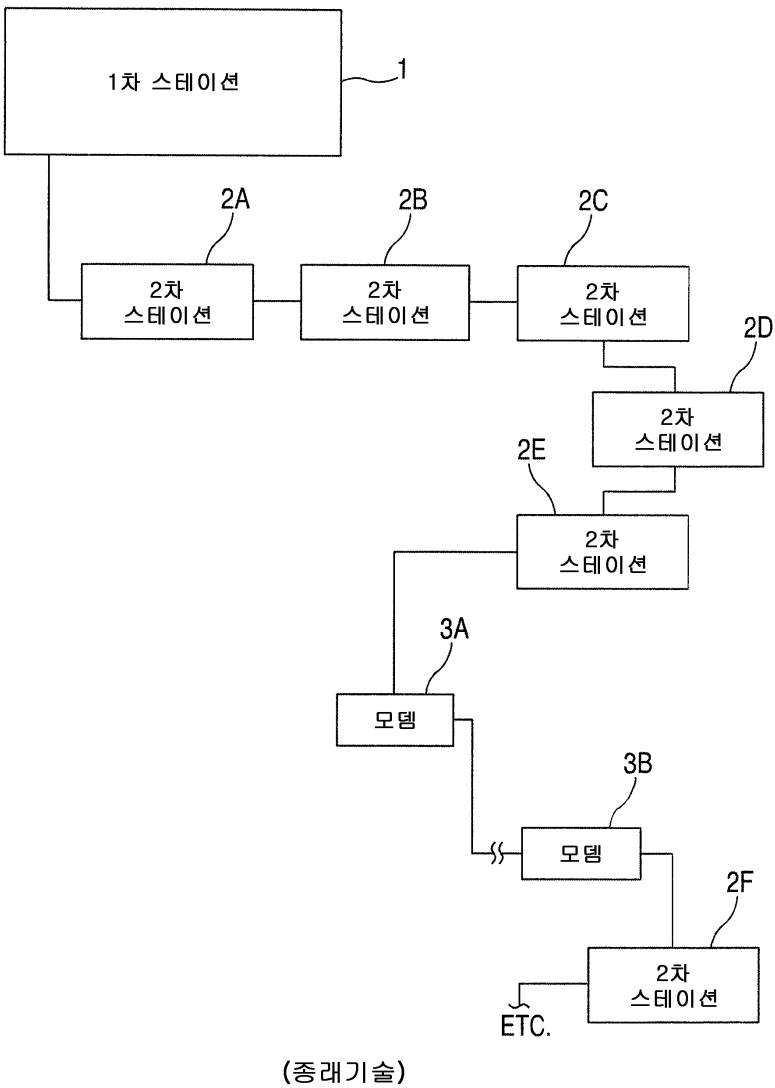


도면4

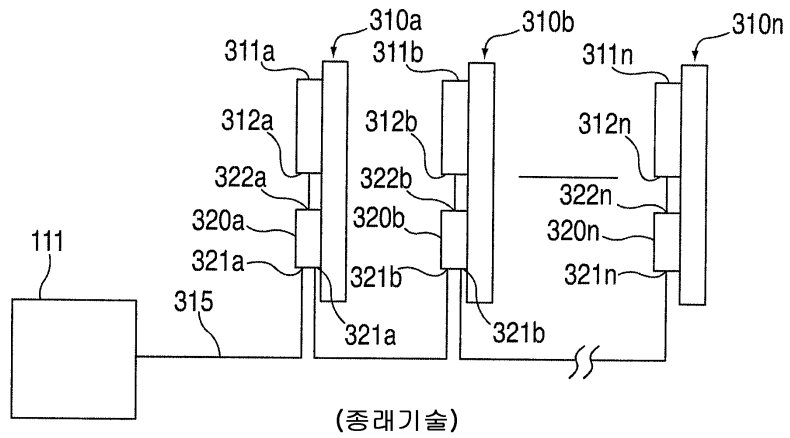
도면5



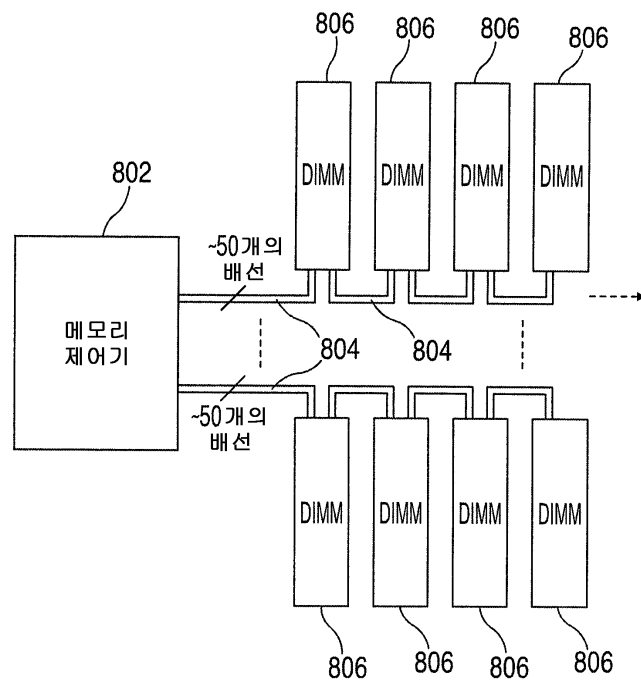
도면6



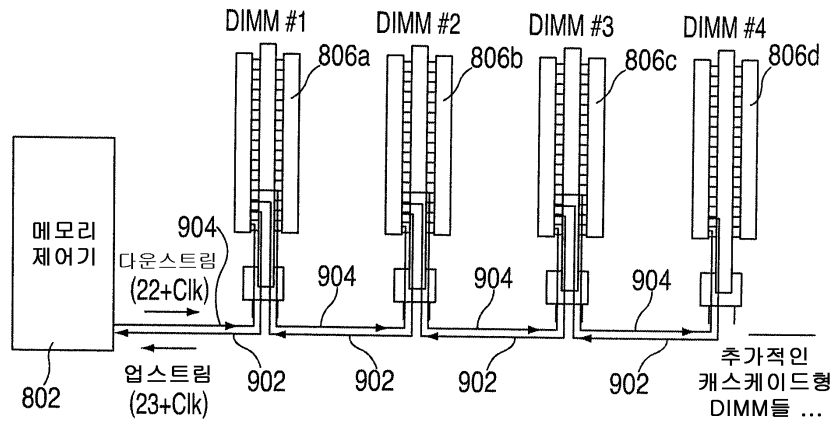
도면7



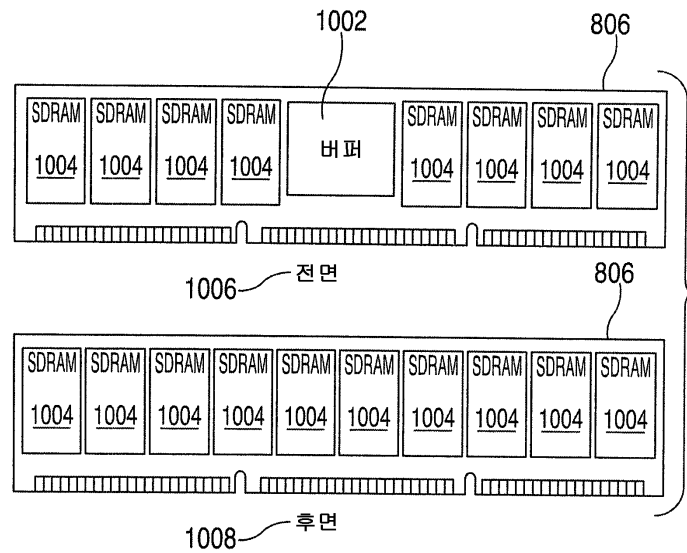
도면8



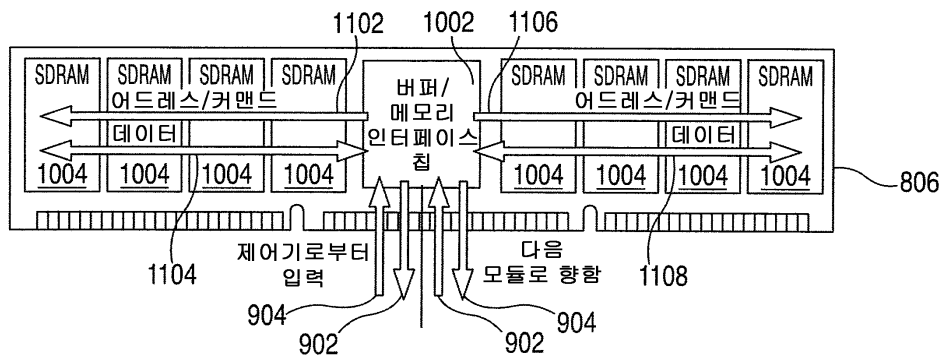
도면9



도면10



도면11



| 다문스트림 포맷 : 9 data - 8 cmd - 4 ecc - 1 spare - 1 diff clk = 24개의 전체 배선 | | | | | | | | | | | | | | | | | | | | | | | |
|---|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|--|
| S3 US(#) | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | |
| d0 S3/# | | | | | | | | | | | | | | | | | | | | | | | |
| Xler/Bit spare | ecc0 | ecc1 | ecc2 | ecc3 | d10 | d11 | d12 | d13 | d14 | d15 | d16 | d17 | d18 | c0 | c1 | c2 | c3 | c4 | c5 | c6 | c7 | | |
| 0 | S0 | E00 | E10 | E20 | E30 | D00 | D10 | D20 | D30 | D40 | D50 | D60 | D70 | D80 | C00 | C10 | C20 | C30 | C40 | C50 | C60 | C70 | |
| 1 | S1 | E01 | E11 | E21 | E31 | D01 | D11 | D21 | D31 | D41 | D51 | D61 | D71 | D81 | C01 | C11 | C21 | C31 | C41 | C51 | C61 | C71 | |
| 2 | S2 | E02 | E12 | E22 | E32 | D02 | D12 | D22 | D32 | D42 | D52 | D62 | D72 | D82 | C02 | C12 | C22 | C32 | C42 | C52 | C62 | C72 | |
| 3 | S3 | E03 | E13 | E23 | E33 | D03 | D13 | D23 | D33 | D43 | D53 | D63 | D73 | D83 | C03 | C13 | C23 | C33 | C43 | C53 | C63 | C73 | |
| 4 | S4 | E04 | E14 | E24 | E34 | D04 | D14 | D24 | D34 | D44 | D54 | D64 | D74 | D84 | C04 | C14 | C24 | C34 | C44 | C54 | C64 | C74 | |
| 5 | S5 | E05 | E15 | E25 | E35 | D05 | D15 | D25 | D35 | D45 | D55 | D65 | D75 | D85 | C05 | C15 | C25 | C35 | C45 | C55 | C65 | C75 | |
| 6 | S6 | E06 | E16 | E26 | E36 | D06 | D16 | D26 | D36 | D46 | D56 | D66 | D76 | D86 | C06 | C16 | C26 | C36 | C46 | C56 | C66 | C66 | |
| 7 | S7 | E07 | E17 | E27 | E37 | D07 | D17 | D27 | D37 | D47 | D57 | D67 | D77 | D87 | C07 | C17 | C27 | C37 | C47 | C57 | C67 | C67 | |

S:스페이스 비트
1202

E:ECC 검사 비트
1204

D:기록 데이터 비트
1206

C:커맨드 비트
1208

| 업스트림 포맷 : 18 data + 4 ecc + 1 spare + 1 diff clk = 25개의 전체 배선 | | | | | | | | | | | | | | | | | | | | | | | | |
|---|-------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|------|------|------|------|------|------|------|------|--|
| S3 us(#) | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | |
| d3 s3(#) | | | | | | | | | | | | | | | | | | | | | | | | |
| Xler/Bit | spare | ecc0 | ecc1 | ecc2 | ecc3 | do0 | do1 | do2 | do3 | do4 | do5 | do6 | do7 | do8 | do9 | do10 | do11 | do12 | do13 | do14 | do15 | do16 | do17 | |
| 0 | S0 | E00 | E10 | E20 | E30 | D00 | D10 | D20 | D30 | D40 | D50 | D60 | D70 | D80 | D90 | D100 | D110 | D120 | D130 | D140 | D150 | D160 | D170 | |
| 1 | S1 | E01 | E11 | E21 | E31 | D01 | D11 | D21 | D31 | D41 | D51 | D61 | D71 | D81 | D91 | D101 | D111 | D121 | D131 | D141 | D151 | D161 | D171 | |
| 2 | S2 | E02 | E12 | E22 | E32 | D02 | D12 | D22 | D32 | D42 | D52 | D62 | D72 | D82 | D92 | D102 | D112 | D122 | D132 | D142 | D152 | D162 | D172 | |
| 3 | S3 | E03 | E13 | E23 | E33 | D03 | D13 | D23 | D33 | D43 | D53 | D63 | D73 | D83 | D93 | D103 | D113 | D123 | D133 | D143 | D153 | D163 | D173 | |
| 4 | S4 | E04 | E14 | E24 | E34 | D04 | D14 | D24 | D34 | D44 | D54 | D64 | D74 | D84 | D94 | D104 | D114 | D124 | D134 | D144 | D154 | D164 | D174 | |
| 5 | S5 | E05 | E15 | E25 | E35 | D05 | D15 | D25 | D35 | D45 | D55 | D65 | D75 | D85 | D95 | D105 | D115 | D125 | D135 | D145 | D155 | D165 | D175 | |
| 6 | S6 | E06 | E16 | E26 | E36 | D06 | D16 | D26 | D36 | D46 | D56 | D66 | D76 | D86 | D96 | D106 | D116 | D126 | D136 | D146 | D156 | D166 | D176 | |
| 7 | S7 | E07 | E17 | E27 | E37 | D07 | D17 | D27 | D37 | D47 | D57 | D67 | D77 | D87 | D97 | D107 | D117 | D127 | D137 | D147 | D157 | D167 | D177 | |

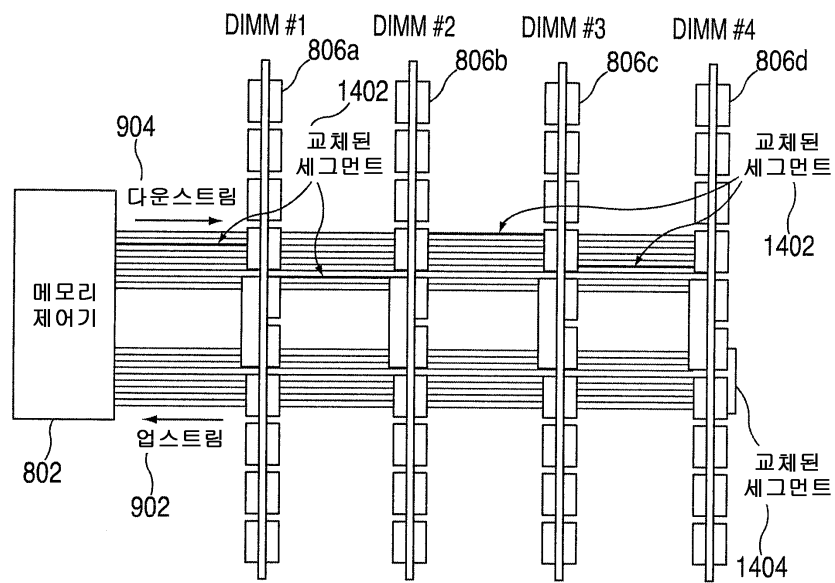
S : 스페어 비트 E : ECC 검사 비트 D : 기록 데이터 비트

1302

1304

1306

도면14



도면15

