



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년11월26일

(11) 등록번호 10-1465463

(24) 등록일자 2014년11월20일

(51) 국제특허분류(Int. Cl.)

H01L 27/092 (2006.01) G11C 11/34 (2006.01)

H01L 29/786 (2006.01)

(21) 출원번호 10-2011-0045128

(22) 출원일자 2011년05월13일

심사청구일자 2014년04월16일

(65) 공개번호 10-2011-0126071

(43) 공개일자 2011년11월22일

(30) 우선권주장

JP-P-2010-111907 2010년05월14일 일본(JP)

(56) 선행기술조사문헌

KR1020010012160 A*

KR1020100009869 A*

KR1020100037407 A*

US20100013018 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

요네다 세이이치

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가

부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 10 항

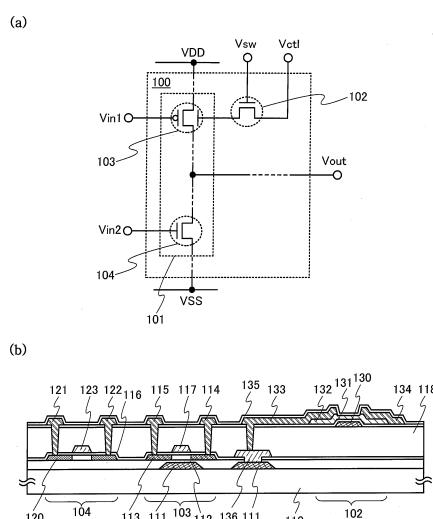
심사관 : 최정민

(54) 발명의 명칭 반도체 장치

(57) 요 약

본 발명은, 관통 전류를 저감시킬 수 있는 상보형의 논리 회로를 사용함으로써 소비 전력을 억제할 수 있는 반도체 장치의 제안을 목적인 하나로 한다. 또는 관통 전류를 저감시킬 수 있는 상보형의 논리 회로를 사용함으로써 발열을 억제할 수 있는 반도체 장치의 제안을 목적인 하나로 한다.

일반적인 게이트 전극 외에 임계 값 전압을 제어하기 위한 제 2 게이트 전극이 구비된 n채널형 트랜지스터, 또는 p채널형 트랜지스터를 상보형의 논리 회로에 사용한다. 그리고, 오프 전류가 극히 작은 절연 게이트 전계 효과형 트랜지스터를 스위칭 소자로서 사용하여 상기 제 2 게이트 전극의 전위를 제어한다. 상기 스위칭 소자로서 기능하는 트랜지스터는, 실리콘 반도체보다 밴드 갭이 넓고, 실리콘보다 진성 캐리어 밀도가 낮은 반도체 재료를 채널 형성 영역에 포함한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

반도체 장치에 있어서:

제 1 트랜지스터로서, 상기 제 1 트랜지스터는 n채널형 트랜지스터이고, 상기 제 1 트랜지스터의 제 1 게이트는 제 1 신호가 공급되는 제 1 배선에 전기적으로 접속되는, 상기 제 1 트랜지스터;

제 2 트랜지스터로서, 상기 제 2 트랜지스터는 p채널형 트랜지스터이고, 상기 제 2 트랜지스터의 제 1 게이트는 제 2 신호가 공급되는 제 2 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되는, 상기 제 2 트랜지스터;

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 위의 절연막; 및

상기 절연막 위의 제 3 트랜지스터를 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 한쪽은 제 2 게이트를 포함하고,

상기 제 2 게이트는 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 채널 형성 영역은 산화물 반도체층을 포함하는, 반도체 장치.

청구항 2

반도체 장치에 있어서:

제 1 트랜지스터로서, 상기 제 1 트랜지스터는 n채널형 트랜지스터이고, 상기 제 1 트랜지스터의 제 1 게이트는 제 1 신호가 공급되는 제 1 배선에 전기적으로 접속되는, 상기 제 1 트랜지스터;

제 2 트랜지스터로서, 상기 제 2 트랜지스터는 p채널형 트랜지스터이고, 상기 제 2 트랜지스터의 제 1 게이트는 제 2 신호가 공급되는 제 2 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되는, 상기 제 2 트랜지스터;

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 위의 절연막; 및

상기 절연막 위의 제 3 트랜지스터를 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 한쪽은 제 2 게이트를 포함하고,

상기 제 2 게이트는 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터의 채널 형성 영역은 산화물 반도체층을 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각의 채널 형성 영역은 실리콘을 포함하는, 반도체 장치.

청구항 3

반도체 장치에 있어서:

제 1 트랜지스터로서, 상기 제 1 트랜지스터는 n채널형 트랜지스터이고, 상기 제 1 트랜지스터의 제 1 게이트는 제 1 신호가 공급되는 제 1 배선에 전기적으로 접속되는, 상기 제 1 트랜지스터;

제 2 트랜지스터로서, 상기 제 2 트랜지스터는 p채널형 트랜지스터이고, 상기 제 2 트랜지스터의 제 1 게이트는 제 2 신호가 공급되는 제 2 배선에 전기적으로 접속되고, 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되는, 상기 제 2 트랜지스터;

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 위의 절연막; 및

상기 절연막 위의 제 3 트랜지스터를 포함하고,

상기 제 3 트랜지스터의 채널 형성 영역은 산화물 반도체층을 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 한쪽의 임계 값 전압은 상기 제 1 트랜지스터 및 상기 제 2

트랜지스터 중 한쪽에 포함된 제 2 게이트의 전위, 또는 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 한쪽의 기판 전위를 설정함으로써 제어되는, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체를 포함하는, 반도체 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 3 트랜지스터의 상기 채널 형성 영역 내의 수소 농도는 5×10^{19} atoms/cm³ 이하인, 반도체 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

오프 전류를 상기 제 3 트랜지스터의 채널 폭으로 나눈 것으로 얻은 100 zA/ μ m 이하인, 반도체 장치.

청구항 7

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 1 전위가 공급되는 제 3 배선에 전기적으로 접속되고, 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 2 전위가 공급되는 제 4 배선에 전기적으로 접속되고,

상기 제 1 전위는 상기 제 2 전위보다 높은, 반도체 장치.

청구항 8

제 2 항에 있어서,

상기 산화물 반도체층의 밴드 갭은 상기 실리콘의 밴드 갭보다 넓고,

상기 산화물 반도체층의 진성 캐리어 밀도는 상기 실리콘의 진성 캐리어 밀도보다 낮은, 반도체 장치.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 신호의 논리 값은 상기 제 2 신호의 논리 값과 같은, 반도체 장치.

청구항 10

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 3 트랜지스터의 게이트는 제 3 신호가 공급되는 제 5 배선에 전기적으로 접속되고, 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 한쪽은 제 4 신호가 공급되는 제 6 배선에 전기적으로 접속되는, 반도체 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

명세서

기술분야

[0001] 본 발명은 상보(相補)형의 논리 회로를 사용한 반도체 장치에 관한 것이다.

배경기술

[0002] 근년에 들어, 폴리실리콘이나 미결정 실리콘에 의하여 얻어지는 높은 이동도와, 아모페스 실리콘에 의하여 얻어지는 균일한 소자 특성을 겸비한 새로운 반도체 재료로서 산화물 반도체라고 불리는, 반도체 특성을 나타내는 금속 산화물이 주목을 받고 있다. 금속 산화물은 다양한 용도로 사용되고, 예를 들어, 잘 알려진 금속 산화물

인 산화 인듐은 액정 표시 장치 등으로 투명 전극 재료로서 사용된다. 반도체 특성을 나타내는 금속 산화물로서는, 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있고, 이와 같은 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역으로 하는 트랜지스터가 이미 알려져 있다(특히 문헌 1 및 특허 문헌 2 참조).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본국 특개2007-123861호 공보

(특허문헌 0002) 일본국 특개2007-96055호 공보

발명의 내용

해결하려는 과제

[0004] 그런데, p채널형 트랜지스터와 n채널형 트랜지스터를 조합한 상보형의 논리 회로는, 트랜지스터의 게이트 전극에 주는 전위에 따라 하나를 온으로 하고, 다른 하나를 오프로 할 수 있기 때문에, 단극성의 트랜지스터로 구성되는 논리 회로와 비교하여 소비 전력을 작게 할 수 있다는 장점을 갖는다. 그러나 p채널형 트랜지스터와 n채널형 트랜지스터의 임계 값 전압에 따라서는, 게이트 전극의 전위가 하이 레벨(high level)과 로우 레벨(low level)간에서 전환될 때, 약간의 기간이지만 양쪽 모두의 트랜지스터가 모두 온으로 되어 관통 전류라고 불리는 전류가 흐르는 경우가 있다.

[0005] 그리고, 관통 전류에 기인하는 소비 전력을, 논리 회로를 사용한 집적 회로의 집적도가 높아질수록 커진다. 예를 들어, p채널형 트랜지스터와 n채널형 트랜지스터로 구성되는 상보형의 인버터가 10억개 형성되는 집적 회로의 경우, 각 인버터에 1pA의 관통 전류가 흐르면, 집적 회로 전체로 1mA의 전류가 관통 전류로서 소비되는 계산이 된다. 또한, 집적 회로의 구동 주파수가 GHz의 단위까지 높아지면, 관통 전류에 기인하는 발열량도 커진다.

[0006] 상술한 과제를 감안하여, 본 발명은 관통 전류를 저감시킬 수 있는 상보형의 논리 회로를 사용함으로써 소비 전력을 억제할 수 있는 반도체 장치의 제안을 목적의 하나로 한다. 또는 본 발명은, 관통 전류를 저감시킬 수 있는 상보형의 논리 회로를 사용함으로써 발열을 억제할 수 있는 반도체 장치의 제안을 목적의 하나로 한다.

과제의 해결 수단

[0007] 본 발명의 일 형태에서는, 일반적인 게이트 전극 외에 임계 값 전압을 제어하기 위한 제 2 게이트 전극이 구비된 n채널형 트랜지스터, 또는 p채널형 트랜지스터를 상보형의 논리 회로에 사용한다. 그리고, 오프 전류가 극히 작은 절연 게이트 형 전계 효과형 트랜지스터(이하, 단순히 “트랜지스터”라고 함)를 스위칭 소자로서 사용하여 상기 제 2 게이트 전극의 전위를 제어하는 것을 특징으로 한다.

[0008] 구체적으로 상기 논리 회로는 적어도 하나의 p채널형 트랜지스터와 적어도 하나의 n채널형 트랜지스터가 제 1 노드와 제 2 노드 사이에 있어서 직렬로 접속된 구성을 갖는다. 상기 p채널형 트랜지스터, 또는 n채널형 트랜지스터는 절연 게이트 형 전계 효과 트랜지스터라면 좋고, 구체적으로는 제 1 게이트 전극과, 제 2 게이트 전극과, 제 1 게이트 전극과 제 2 게이트 전극 사이에 위치하는 반도체막과, 제 1 게이트 전극과 반도체막 사이에 위치하는 제 1 절연막과, 제 2 게이트 전극과 반도체막 사이에 위치하는 제 2 절연막과, 반도체막에 접하는 소스 전극 및 드레인 전극을 갖는다. 그리고, 제 2 게이트 전극을 갖는 트랜지스터의 임계 값 전압은 제 2 게이트 전극의 전위의 높이(height), 더 구체적으로는 소스 전극과 제 2 게이트 전극의 전위차에 의하여 제어된다.

[0009] 또는, 본 발명의 일 형태에서는, n채널형 트랜지스터 및 p채널형 트랜지스터를 상보형의 논리 회로에 사용하고, 스위칭 소자로서 기능하는, 오프 전류가 극히 작은 트랜지스터로 상기 트랜지스터 중 어느 하나의 기판 전위를 제어하는 것을 특징으로 한다.

[0010] 구체적으로, 상기 논리 회로는, 적어도 하나의 p채널형 트랜지스터와, 적어도 하나의 n채널형 트랜지스터가 제 1 노드와 제 2 노드 사이에 있어서 직렬로 접속된 구성을 갖는다. 상기 p채널형 트랜지스터 또는 n채널형 트랜지스터의 임계 값 전압은 기판 전위의 높이, 더 구체적으로는 소스 전극의 전위와 기판 전위의 전위차에 의하여 제어된다.

[0011]

또한, 상기 스위칭 소자로서 기능하는 트랜지스터는, 실리콘 반도체보다 밴드 갭이 넓고, 실리콘보다 진성 캐리어 밀도가 낮은 반도체 재료를 채널 형성 영역에 포함하는 것을 특징으로 한다. 상술한 바와 같은 특성을 갖는 반도체 재료를 채널 형성 영역에 포함함으로써, 오프 전류가 극히 낮은 트랜지스터를 실현할 수 있다. 이와 같은 반도체 재료로서는, 예를 들어, 실리콘의 약 3배 정도의 큰 밴드 갭을 갖는 산화물 반도체를 들 수 있다. 오프 전류가 극히 작은 트랜지스터를 사용함으로써, 상기 제 2 게이트 전극에 상시 전위를 공급하지 않아도, 제 2 게이트 전극의 전위를 유지하고, 상기 전위에 의하여 설정된 임계 값 전압을 유지할 수 있다.

[0012]

또한, 산화물 반도체는, 미결정 실리콘 또는 다결정 실리콘에 의하여 얻어지는 이동도와 같은 정도의 높은 이동도와, 비정질 실리콘에 의하여 얻어지는 균일한 소자 특성을 겸비한 반도체 특성을 나타내는 금속 산화물이다. 그리고, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되어 고순도화된 산화물 반도체(purified OS)는 i형(진성 반도체) 또는 i형에 극히 가깝다. 따라서, 상기 산화물 반도체를 사용한 트랜지스터는 오프 전류가 현저히 낮은 특성을 갖는다. 구체적으로는, 고순도화된 산화물 반도체는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의한 수소 농도의 측정값이 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 보다 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하로 한다. 또한, 흡 효과 측정에 의하여 측정할 수 있는 산화물 반도체막의 캐리어 밀도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만으로 한다. 또한, 산화물 반도체의 밴드 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되어 고순도화된 산화물 반도체막을 사용함으로써 트랜지스터의 오프 전류를 낮출 수 있다.

[0013]

여기서, 산화물 반도체막 중의 수소 농도의 분석에 대하여 언급한다. 산화물 반도체막 중의 수소 농도 측정은 SIMS로 행한다. SIMS는 그 원리상 시료 표면 근방이나 재질이 상이한 막과의 적층 계면 근방의 데이터를 정확하게 얻기 어려운 것으로 알려져 있다. 그래서, 막 중에 있어서의 수소 농도의 두께 방향의 분포를 SIMS로 분석하는 경우, 대상이 되는 막이 존재하는 범위에서 값이 극단적으로 변동하는 일이 없고, 거의 일정 값이 얻어지는 영역에서의 평균 값을 수소 농도로서 채용한다. 또한, 측정의 대상이 되는 막의 두께가 작은 경우, 인접하는 막 내의 수소 농도의 영향을 받아 거의 일정 값이 얻어지는 영역을 찾을 수 없는 경우가 있다. 이 경우, 상기 막이 존재하는 영역에서의 수소 농도의 극대 값 또는 극소 값을 상기 막 중의 수소 농도로서 채용한다. 또한, 상기 막이 존재하는 영역에서 극대 값을 갖는 산 모양의 피크, 극소 값을 갖는 골짜기 모양의 피크가 존재하지 않은 경우, 변곡(變曲) 점의 값을 수소 농도로서 채용한다.

[0014]

구체적으로는, 고순도화된 산화물 반도체막을 활성층으로서 사용한 트랜지스터의 오프 전류가 낮은 것은 다양한 실험에 의거하여 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이 $10 \mu\text{m}$ 인 소자인 경우에도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V인 범위에서 오프 전류(게이트 전극과 소스 전극 간의 전압을 0V 이하로 하였을 때의 드레인 전류)가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13}\text{A}$ 이하라는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 값에 상당하는 오프 전류 밀도는 $100\text{zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터(게이트 절연막의 두께는 100nm)를 접속하여 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 사용한 실험에 있어서, 상기 트랜지스터로서 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 경우, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류 밀도를 측정한 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3V인 경우에는, 더 낮은 오프 전류 밀도 $10\text{zA}/\mu\text{m}$ 내지 $100\text{zA}/\mu\text{m}$ 가 얻어진 것을 밝혔다. 따라서, 본 발명의 일 형태에 따른 반도체 장치에서는, 고순도화된 산화물 반도체막을 활성층으로서 사용한 트랜지스터의 오프 전류 밀도를 소스 전극과 드레인 전극 사이의 전압에 따라서는 $10\text{zA}/\mu\text{m}$ 이하, 바람직하게는 $1\text{zA}/\mu\text{m}$ 이하, 더 바람직하게는 $1\text{yA}/\mu\text{m}$ 이하로 할 수 있다. 따라서, 고순도화된 산화물 반도체막을 활성층으로서 사용한 트랜지스터는 오프 전류가 결정성을 갖는 실리콘을 사용한 트랜지스터와 비교하여 현저히 낮다.

[0015]

또한, 산화물 반도체는 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화

물 반도체 등을 사용할 수 있다. 또한, 본 명세서에서는, 예를 들어, In-Sn-Ga-Zn-O계 산화물 반도체란 인듐(In), 주석(Sn), 갈륨(Ga), 아연(Zn)을 포함하는 금속 산화물을 의미하고, 특히 그 조성 비율을 불문한다. 또한, 상기 산화물 반도체는 실리콘을 포함하여도 좋다.

[0016] 또한, 산화물 반도체는, 화학식 $InM_3(ZnO)_m$ ($m > 0$, m 은 자연수에 한정되지 않음)으로 표기할 수 있다. 여기에서, M은 Zn, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.

발명의 효과

[0017] 발명의 일 형태에 따른 반도체 장치에서는, 상보형의 논리 회로를 구성하는 p채널형 트랜지스터, 또는 n채널형 트랜지스터의 임계 값 전압을 제 2 게이트 전극에 주는 전위, 또는 기판 전위에 의하여 제어하므로, 상기 p채널형 트랜지스터 또는 n채널형 트랜지스터의 게이트 전극의 전위가 하이 레벨과 로우 레벨간에서 전환될 때, 어느 하나의 트랜지스터가 오프로 되도록 하거나, 또는 양쪽 모두의 트랜지스터가 양쪽 모두 온으로 되는 기간을 짧게 할 수 있다. 따라서, 상기 p채널형 트랜지스터 및 n채널형 트랜지스터의 채널 형성 영역에 흐르는 관통 전류를 저감시킬 수 있다. 또한, 본 발명의 일 형태에 따른 반도체 장치에서는 상기 제 2 게이트 전극의 전위, 또는 기판 전위를 오프 전류가 현저히 낮은 트랜지스터로 유지할 수 있기 때문에, 상기 제 2 게이트 전극에 대한 전위의 공급, 또는 기판에 대한 전위의 공급을 상시 행하지 않아도 상기 전위에 의하여 설정된 임계 값 전압을 유지할 수 있다.

[0018] 따라서, 본 발명의 일 형태에 따른 반도체 장치에서는, 관통 전류를 저감시킬 수 있으므로 소비 전력을 억제할 수 있다. 또는 본 발명의 일 형태에 따른 반도체 장치에서는, 관통 전류를 저감시킬 수 있으므로 발열을 억제할 수 있다.

도면의 간단한 설명

[0019] 도 1a는 논리 회로의 구성의 일례를 도시하는 도면이고, 도 1b는 논리 회로의 단면 구조의 일례를 도시하는 도면.

도 2a 및 도 2b는 인버터의 구성의 일례를 도시하는 도면과 타이밍 차트.

도 3은 전위 V_{in} 의 타이밍 차트와, 관통 전류 I_{sc} 의 시간 변화의 일례를 도시하는 도면.

도 4는 전위 V_{in} 의 타이밍 차트와, 관통 전류 I_{sc} 의 시간 변화의 일례를 도시하는 도면.

도 5a 및 도 5b는 논리 회로의 구성의 일례를 도시하는 도면.

도 6a 및 도 6b는 NAND의 구성의 일례를 도시하는 도면과 타이밍 차트.

도 7a 및 도 7b는 NOR의 구성의 일례를 도시하는 도면과 타이밍 차트.

도 8은 레지스터의 구성의 일례를 도시하는 도면.

도 9는 전위 제어 회로의 구성의 일례를 도시하는 도면.

도 10a 및 도 10b는 플립 플롭의 구성의 일례를 도시하는 도면과 타이밍 차트.

도 11a 내지 도 11e는 반도체 장치의 제작 방법의 일례를 도시하는 도면.

도 12a 내지 도 12d는 반도체 장치의 제작 방법의 일례를 도시하는 도면.

도 13a 내지 도 13c는 반도체 장치의 구성의 일례를 도시하는 도면.

도 14는 반도체 표시 장치의 구성의 일례를 도시하는 블록도.

도 15는 신호선 구동 회로의 일례를 도시하는 블록도.

도 16a 내지 도 16f는 전자 기기의 일례를 도시하는 도면.

도 17은 반도체 장치의 구성의 일례를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하에서는, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 개시하는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0021] 또한, 본 발명은 마이크로 프로세서, 화상 처리 회로, DSP(Digital Signal Processor), 마이크로 컨트롤러 등의 집적 회로나, RF 태그, 반도체 표시 장치 등, 모든 반도체 장치의 제작에 사용할 수 있다. 반도체 표시 장치에는, 액정 표시 장치, 유기 발광 소자(OLED)로 대표되는 발광 소자를 각 화소에 구비한 발광 장치, 전자 페이퍼, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등이나, 반도체 막을 사용한 회로 소자를 구동 회로에 갖는 그 외의 반도체 표시 장치가 그 범주에 포함된다.
- [0022] (실시형태 1)
- [0023] 도 1a에 본 발명의 일 형태에 따른 반도체 장치에 있어서 사용되는, 논리 회로의 구성의 일례를 나타낸다.
- [0024] 도 1a에 도시하는 논리 회로(100)는, 논리 연산을 행하는 로직부(101)와, 스위칭 소자로서 기능하는 트랜지스터(102)를 갖는다. 로직부(101)는 p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)를 적어도 갖는다. 로직부(101)에서는, p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)의 개수, 및 그 접속 구성에 의하여 행해지는 논리 연산이 하나로 특정된다. 그리고, 로직부(101)에 있어서 행해지는 논리 연산에 의하여 복수의 입력 값을 대하여 하나의 출력 값을 얻을 수 있다.
- [0025] 또한, 입력 값을, 논리 회로(100)에 입력되는 입력 신호의 전위 Vin에 의하여 나타내어지는 논리 값을 의미한다. 또한, 출력 값을 논리 회로(100)로부터 출력되는 출력 신호의 전위 Vout에 의하여 나타내어지는 논리 값을 의미한다.
- [0026] 구체적으로 p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)는 하이 레벨의 전위 VDD가 주어지는 제 1 노드와, 로우 레벨의 전위 VSS가 주어지는 제 2 노드 사이에 있어서 직렬로 접속되어 있다.
- [0027] 또한, 본 명세서에 있어서 접속이란, 전기적인 접속을 의미하고, 전류, 전압 또는 전위를 공급 가능, 또는 전송 가능한 상태에 상당한다. 따라서, 접속되어 있는 상태란, 반드시 직접 접속하는 상태를 가리키는 것이 아니라, 전류, 전압 또는 전위를 공급 가능하거나, 또는 전송 가능한 것처럼 배선, 저항, 다이오드, 트랜지스터 등의 회로 소자를 사이에 두고 간접적으로 접속되어 있는 상태도 그 범주에 포함된다. 따라서, 로직부(101)에서는 p채널형 트랜지스터(103)와 n채널형 트랜지스터(104) 사이에 다른 회로 소자가 접속되어 있어도 좋다.
- [0028] 또한, 회로도에서는 독립된 구성 요소끼리 접속되는 경우에도 실제로는, 예를 들어, 배선의 일부분이 전극으로서도 기능하는 경우 등 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 본 명세서에 있어서 접속이란 이와 같은 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.
- [0029] 또한, 트랜지스터가 갖는 소스 전극과 드레인 전극은 트랜지스터의 극성 및 각 전극에 주어지는 전위의 고저 차이에 따라 그 호칭이 바뀐다. 일반적으로, n채널형 트랜지스터에서는 낮은 전위가 주어지는 전극이 소스 전극이라고 불리고, 높은 전위가 주어지는 전극이 드레인 전극이라고 불린다. 또한, p채널형 트랜지스터에서는 낮은 전위가 주어지는 전극이 드레인 전극이라고 불리고, 높은 전위가 주어지는 전극이 소스 전극이라고 불린다. 이하, 소스 전극과 드레인 전극 중 어느 하나를 제 1 단자, 다른 하나를 제 2 단자로 하고, p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)의 접속 관계를 설명한다.
- [0030] 또한, 본 명세서에 있어서, 트랜지스터가 직렬로 접속되어 있는 상태란, 예를 들어, 제 1 트랜지스터의 제 1 단자와 제 2 단자 중 어느 하나만이 제 2 트랜지스터의 제 1 단자와 제 2 단자 중 어느 하나에만 접속되어 있는 상태를 의미한다.
- [0031] 구체적으로 도 1a에서는, p채널형 트랜지스터(103)가 갖는 제 1 단자는 하이 레벨의 전위 VDD가 주어지는 제 1 노드에 접속되고, n채널형 트랜지스터(104)가 갖는 제 1 단자는 로우 레벨의 전위 VSS가 주어지는 제 2 노드에 접속된다. 또한, p채널형 트랜지스터(103)가 갖는 제 2 단자는, n채널형 트랜지스터(104)가 갖는 제 2 단자에 접속된다. 그리고, p채널형 트랜지스터(103)가 갖는 제 2 단자와 n채널형 트랜지스터(104)가 갖는 제 2 단자가 접속된 노드의 전위가 출력 신호의 전위 Vout로서 출력된다.
- [0032] 또한, 본 발명의 일 형태에서는, 로직부(101)를 구성하는 트랜지스터가 통상적인 게이트 전극 외에 임계 값을 전압을 제어하기 위한 제 2 게이트 전극을 구비한다. 도 1a에서는, p채널형 트랜지스터(103)가 제 2 게이트 전극을 구비하는 경우를 예시하지만, 본 발명의 일 형태는 이 구성에 한정되지 않는다. p채널형 트랜지스터(103)

대신에 n채널형 트랜지스터(104)가 제 2 게이트 전극을 구비하여도 좋고, p채널형 트랜지스터(103)와 n채널형 트랜지스터(104) 양쪽 모두가 제 2 게이트 전극을 구비하여도 좋다.

[0033] 구체적으로 로직부(101)의 p채널형 트랜지스터(103) 또는 n채널형 트랜지스터(104)는 제 1 게이트 전극과, 제 2 게이트 전극과, 제 1 게이트 전극 및 제 2 게이트 전극 사이에 위치하는 반도체막과, 제 1 게이트 전극 및 반도체막 사이에 위치하는 제 1 절연막과, 제 2 게이트 전극 및 반도체막 사이에 위치하는 제 2 절연막과, 반도체막에 접하는 소스 전극 및 드레인 전극을 갖는다. 그리고, 제 2 게이트 전극을 갖는 트랜지스터의 임계 값 전압은 제 2 게이트 전극의 전위의 높이, 더 바람직하게는 소스 전극과 제 2 게이트 전극의 전위차에 의하여 제어된다.

[0034] 또한, 스위칭 소자로서 기능하는 트랜지스터(102)는, 상기 제 2 게이트 전극에 대한 전위의 공급을 제어한다. 구체적으로는, 트랜지스터(102)가 온으로 되면, 전위 V_{ct1} 트랜지스터(102)를 통하여 제 2 게이트 전극에 주어지고, 트랜지스터(102)가 오프로 되면 제 2 게이트 전극의 전위가 유지된다. 그리고, 트랜지스터(102)의 스위칭은 그 게이트 전극에 주어지는 전위 V_{sw} 에 의하여 제어된다.

[0035] 도 1a에서는 트랜지스터(102)의 제 1 단자가 p채널형 트랜지스터(103)의 제 2 게이트 전극에 접속되고, 트랜지스터(102)의 제 2 단자가 전위 V_{ct1} 이 주어지는 노드에 접속되어 있는 예를 도시한다.

[0036] 또한, 본 발명의 일 형태에서는, 트랜지스터(102)가 실리콘보다 밴드 갭이 넓고, 실리콘보다 진성 캐리어 밀도가 낮은 반도체 재료를 채널 형성 영역에 포함한다. 이와 같은 반도체 재료를 트랜지스터(102)의 채널 형성 영역에 사용함으로써, 오프 전류를 충분히 저감할 수 있다.

[0037] 또한, 특별히 언급이 없는 한, 본 명세서에서 오프 전류란 n채널형 트랜지스터에 있어서는 드레인 전극을 소스 전극과 게이트 전극보다 높은 전위로 한 상태로서 소스 전극의 전위를 기준으로 하였을 때 게이트 전극의 전위가 0 이하일 때 소스 전극과 드레인 전극 사이에 흐르는 전류를 의미한다. 또는, 본 명세서에서 오프 전류란 p채널형 트랜지스터에 있어서는 드레인 전극을 소스 전극과 게이트 전극보다 낮은 전위로 한 상태로 있어서 소스 전극의 전위를 기준으로 하였을 때의 게이트 전극의 전위가 0 이상일 때 소스 전극과 드레인 전극 사이에 흐르는 전류를 의미한다.

[0038] 실리콘 반도체보다 밴드 갭이 넓고, 실리콘보다 진성 캐리어 밀도가 낮은 반도체 재료의 일례로서, 탄화 실리콘(SiC), 질화 갈륨(GaN) 등의 화합물 반도체, 산화 아연(ZnO) 등의 금속 산화물로 이루어진 산화물 반도체 등을 적용할 수 있다. 또한, 탄화 실리콘이나 질화 갈륨 등의 화합물 반도체는, 단결정인 것이 필수적이고, 단결정 재료를 얻기 위해서는 산화물 반도체의 프로세스 온도보다 현저히 높은 온도에 의한 결정 성장, 또는 특수한 기판 위의 에피택시얼 성장이 필요하다. 한편, 산화물 반도체는 실온에서도 형성할 수 있으므로, 입수하기 쉬운 실리콘 웨이퍼나, 염가(廉價)이며 대형화에 대응할 수 있는 유리 기판 위에 형성할 수 있고, 양산성이 높다. 또한, 일반적인 실리콘이나 갈륨 등의 반도체 재료를 사용한 접적 회로 위에 산화물 반도체로 형성된 반도체 소자를 적층시킬 수도 있다. 또한, 트랜지스터의 성능(예를 들어 전계 효과 이동도)을 향상시키기 위하여, 결정 성의 산화물 반도체를 얻고자 하는 경우에도 200°C 내지 800°C의 열 처리에 의하여 용이하게 결정성의 산화물 반도체를 얻을 수 있다.

[0039] 본 발명의 일 형태에서는, 적어도 스위칭 소자로서 기능하는 트랜지스터(102)가, 상술한 와이드 갭 반도체 재료를 활성층에 가지면 좋다. 이하의 설명에서는, 트랜지스터(102)의 반도체막으로서 상술한 바와 같은 이점을 갖는 산화물 반도체를 사용하는 경우를 예로 든다.

[0040] 또한, 로직부(101)의 n채널형 트랜지스터(104) 또는 p채널형 트랜지스터(103)는 그 활성층에 산화물 반도체 이외의 비정질, 미결정, 다결정, 또는 단결정의 실리콘, 또는 게르마늄 등의 반도체를 사용할 수 있다. 특히, 고속 동작이 요구되는 회로에 있어서, 논리 회로(100)를 사용하는 경우는, 산화물 반도체보다 이동도가 높은 다결정 또는 단결정의 실리콘 또는 게르마늄을 로직부(101)의 n채널형 트랜지스터(104) 또는 p채널형 트랜지스터(103)에 사용하는 것이 바람직하다.

[0041] 또는, 로직부(101)의 n채널형 트랜지스터(104)는 그 활성층에 산화물 반도체가 사용되어도 좋다. 산화물 반도체를 사용하여 p채널형 트랜지스터의 제작이 가능하면, 로직부(101)의 p채널형 트랜지스터(103)의 활성층에 산화물 반도체가 사용되어도 좋다. 논리 회로(100)를 구성하는 모든 트랜지스터의 활성층에 산화물 반도체를 사용함으로써, 프로세스를 간략화할 수 있다.

[0042] 또한, 도 1a에서는, 논리 회로(100)가 스위칭 소자로서 기능하는 트랜지스터(102)를 하나만 갖는 구성을 도시하지만, 본 발명은 이 구성에 한정되지 않는다. 본 발명의 일 형태에서는 복수의 트랜지스터가 하나의 스위칭 소

자로서 기능하여도 좋다. 논리 회로(100)가 스위칭 소자로서 기능하는 트랜지스터를 복수 갖는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어도 좋고, 직렬로 접속되어도 좋고, 직렬과 병렬이 조합되어 접속되어도 좋다.

[0043] 또한, 트랜지스터가 병렬로 접속되는 상태란, 제 1 트랜지스터의 제 1 단자가 제 2 트랜지스터의 제 1 단자에 접속되고, 제 1 트랜지스터의 제 2 단자가 제 2 트랜지스터의 제 2 단자에 접속되는 상태를 의미한다.

[0044] 또한, 스위칭 소자로서 기능하는 트랜지스터(102)는, 로직부(101)의 p채널형 트랜지스터(103) 또는 n채널형 트랜지스터(104)와는 상이하고, 활성층의 한 쪽에만 존재하는 게이트 전극층 적어도 가지면 좋다. 다만, 본 발명은 이 구성에 한정되지 않고, 스위칭 소자로서 기능하는 트랜지스터도 로직부(101)의 p채널형 트랜지스터(103) 또는 n채널형 트랜지스터(104)와 마찬가지로 활성층을 사이에 두고 존재하는 한 쌍의 게이트 전극을 가져도 좋다.

[0045] 또한, p채널형 트랜지스터(103)는, 그 제 1 게이트 전극에 입력 신호의 전위 V_{in1} 이 주어진다. n채널형 트랜지스터(104)는, 그 게이트 전극에 입력 신호의 전위 V_{in2} 가 주어진다. 또한, 2개의 입력 신호의 전위 V_{in1} 과 전위 V_{in2} 는 같은 높이라도 좋고, 소정의 전위차를 가져도 좋다. 다만, 전위 V_{in1} 이 나타내는 논리 값과 전위 V_{in2} 가 나타내는 논리 값은 일치한다.

[0046] 이하, 전위 V_{in1} 과 전위 V_{in2} 가 같은 높이일 경우를 예로 들어, 논리 회로(100)의 동작을 설명한다.

[0047] 도 1a에 있어서, p채널형 트랜지스터(103)는 그 제 1 게이트 전극의 전위와 소스 전극의 전위차에 상당하는 게이트 전압 V_{gs} 에 따라, 스위칭을 행한다. 또한, p채널형 트랜지스터(103)의 게이트 전압 V_{gs} 는 제 1 게이트 전극에 주어지는 입력 신호의 전위 V_{in1} 과 전위 V_{DD} 의 전위차이다. 따라서, p채널형 트랜지스터(103)의 임계 값 전압을 V_{thp} 로 하고, $V_{thp} < 0$ 인 것으로 가정하면, p채널형 트랜지스터(103)는 $V_{in1}-V_{DD} \leq -|V_{thp}|$ 일 때 온으로 되고, $V_{in1}-V_{DD} > -|V_{thp}|$ 일 때 오프로 된다.

[0048] 또한, n채널형 트랜지스터(104)도 그 게이트 전극의 전위와 소스 전극의 전위차에 상당하는 게이트 전압 V_{gs} 에 따라, 스위칭을 행한다. 그리고, n채널형 트랜지스터(104)의 게이트 전압 V_{gs} 는 게이트 전극에 주어지는 입력 신호의 전위 V_{in2} 와 전위 V_{SS} 의 전위차이다. 따라서, n채널형 트랜지스터(104)의 임계 값 전압을 V_{thn} 로 하고, $V_{thn} > 0$ 인 것으로 가정하면, n채널형 트랜지스터(104)는 $V_{in2}-V_{SS} \geq |V_{thn}|$ 일 때 온으로 되고, $V_{in2}-V_{SS} < |V_{thn}|$ 일 때 오프로 된다.

[0049] 관통 전류를 낮게 억제하기 위해서는, p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)를 한쪽이 온일 때 다른 쪽이 오프로 되도록 동작시키는 것이 바람직하다. 즉, p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)가 양쪽 모두 온으로 되는 것을 방지하도록 임계 값 전압 V_{thp} 의 값을 제어한다.

[0050] $V_{in1}=V_{in2}=V_{in}$ 로 가정하면, p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)가 양쪽 모두 온으로 되는 전위 V_{in} 의 범위는, $V_{SS}+|V_{thn}| \leq V_{in} \leq V_{DD}-|V_{thp}|$ 가 된다. 따라서, 관통 전류를 낮게 억제하기 위해서는, 임계 값 전압 V_{thp} 의 절대 값을 크게 하고, 상기 전위 V_{in} 의 범위를 좁히도록 하는 것이 바람직하다.

[0051] 또한, 임계 값 전압 V_{thp} 의 절대 값을, 제 2 게이트 전극에 주어지는 전위 V_{ct1} 이 높아질수록 커지는 경향이 있다. 반대로, 임계 값 전압 V_{thp} 의 절대 값을 제 2 게이트 전극에 주어지는 전위 V_{ct1} 이 낮아질수록 작아지는 경향이 있다. 따라서, 본 발명의 일 형태에서는, 전위 V_{ct1} 을 전위 V_{SS} 보다 높게 하고, 임계 값 전압 V_{thp} 의 절대 값을 크게 함으로써 관통 전류를 낮게 억제한다.

[0052] 또한, 임계 값 전압 V_{thp} 의 절대 값을 더 크게 해 가면, 전위 V_{in} 의 값에 따르지 않고, p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)가 양쪽 모두 온으로 되는 것을 방지할 수 있으므로, 관통 전류를 낮게 억제할 수 있다. 그러나, 임계 값 전압 V_{thp} 의 절대 값을 지나치게 크면, 전위 V_{in} 의 값에 따라서는 p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)가 양쪽 모두 오프로 되는 기간이 출현한다. p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)가 양쪽 모두 오프로 되는 기간에서는, p채널형 트랜지스터(103)가 갖는 제 2 단자가 접속되는 노드에 전위 V_{DD} 및 전위 V_{SS} 가 양쪽 모두 주어질 수 없는 상태가 된다. 따라서, 출력 신호의 전위 V_{out} 가 불안정하게 되는 것을 방지하기 위하여 $V_{DD}-|V_{thp}|$ 가 $V_{SS}+|V_{thn}|$ 보다 낮아지지 않도록 임계 값 전압 V_{thp} 의 값을 제어하는 것이 바람직하다.

[0053] 또한, 본 실시형태에서는, p채널형 트랜지스터(103)의 임계 값 전압 V_{thp} 를 그 제 2 게이트 전극에 주는 전위에 의하여 제어하는 예에 대하여 설명하였지만, 본 발명의 일 형태에 따른 반도체 장치는, n채널형 트랜지스터(104)에 제 2 게이트 전극을 형성하여 그 임계 값 전압 V_{thn} 를 제 2 게이트 전극에 주는 전위에 의하여 제어하

여도 좋다.

- [0054] n채널형 트랜지스터(104)의 경우는, 임계 값 전압 V_{thn} 의 절대 값이 제 2 게이트 전극에 주어지는 전위가 높아 질수록 작아지는 경향이 있다. 반대로 임계 값 전압 V_{thn} 의 절대 값은 제 2 게이트 전극에 주어지는 전위가 낮아질수록 커지는 경향이 있다. 따라서, n채널형 트랜지스터(104)의 경우 제 2 게이트 전극의 전위를 전위 V_{SS} 보다 낮게 하고, 임계 값 전압 V_{thn} 의 절대 값을 크게 함으로써 관통 전류를 낮게 억제한다.
- [0055] 또한, 임계 값 전압 V_{thp} 의 경우와 마찬가지로 임계 값 전압 V_{thn} 의 절대 값이 지나치게 크면, 전위 V_{in} 의 값에 따라 p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)가 양쪽 모두 오프로 되는 기간이 출현한다. 따라서, 출력 신호의 전위 V_{out} 가 불안정하게 되는 것을 방지하기 위하여 $VDD - |V_{thp}|$ 가 $VSS + |V_{thn}|$ 보다 낮아지지 않도록 임계 값 전압 V_{thn} 의 값을 제어하는 것이 바람직하다.
- [0056] 또한, 본 발명의 일 형태에 따른 반도체 장치에서는, 제 2 게이트 전극의 전위를 더 확실하게 유지하기 위하여 제 2 게이트 전극에 유지 용량을 접속시켜도 좋다. 도 5a에 유지 용량(105)을 갖는 논리 회로(100)의 구성을 일례로서 도시한다.
- [0057] 도 5a에서는, 유지 용량(105)이 갖는 한 쌍의 전극 중, 한 쪽이 p채널형 트랜지스터(103)의 제 2 게이트 전극에 접속되고, 다른 쪽이 고정 전위가 주어진 노드에 접속된다. 상기 구성에 의하여 트랜지스터(102)를 오프로 하는 기간에 있어서 제 2 게이트 전극의 전위를 더 길게 유지할 수 있다.
- [0058] 또는, 본 발명의 일 형태에 따른 반도체 장치에서는, 제 2 게이트 전극에 주는 전위를 출력 신호의 전위 V_{out} 로 하여도 좋다. 도 5b에 트랜지스터(102)의 접속 구성이 도 1a의 경우와 상이한, 논리 회로(100)의 구성을 일례로서 도시한다.
- [0059] 도 5b에서는 트랜지스터(102)의 제 1 단자가 p채널형 트랜지스터(103)의 제 2 게이트 전극에 접속되고, 제 2 단자가 출력 신호의 전위 V_{out} 가 주어지는 노드에 접속된다. 상기 구성에 의하여 논리 회로(100)에 전위 V_{ct1} 을 주기 위한 배선을 생략할 수 있다.
- [0060] 또한, 도 5a 및 도 5b에서는, p채널형 트랜지스터(103)의 제 2 게이트 전극의 전위를 오프 전류가 낮은 트랜지스터(102)에서 유지하는 구성을 나타내지만, 상술한 바와 같이, n채널형 트랜지스터(104)에 제 2 게이트 전극을 형성하고, 그 전위를 오프 전류가 낮은 트랜지스터(102)에서 유지하는 구성으로 하여도 좋다. 또한, p채널형 트랜지스터(103)와 n채널형 트랜지스터(104)가 양쪽 모두 제 2 게이트 전극을 구비하고, 각각의 전위를 오프 전류가 낮은 트랜지스터로 유지하는 구성으로 하여도 좋다.
- [0061] 본 발명의 일 형태에 따른 반도체 장치에서는, p채널형 트랜지스터(103) 또는 n채널형 트랜지스터(104)의 제 2 게이트 전극의 전위를 오프 전류가 현저히 낮은 트랜지스터(102)에 의하여 유지한다. 상기 구성에 의하여 제 2 게이트 전극에 상시 전위를 공급하지 않아도 제 2 게이트 전극의 전위를 유지하고, p채널형 트랜지스터(103) 또는 n채널형 트랜지스터(104)의 임계 값 전압을 원하는 값으로 설정된 상태로 할 수 있다. 따라서, 제 2 게이트 전극에 상시 전위를 공급하지 않아도 관통 전류의 저감이라는 효과를 얻을 수 있다. 또한, 예를 들어, 로직부(101)에 대한 각종 신호, 전위의 공급을 정지한 후에 상기 각종 신호, 전위의 공급을 다시 시작한 경우에 있어서, 신호나 전위의 상승이 불안정하여도 관통 전류를 낮게 억제한다는 효과를 안정하게 얻을 수 있다.
- [0062] 다음에, 제 2 게이트 전극에 주어지는 전위 V_{ct1} 을 생성하는 회로의 일례를 도 9에 도시한다. 도 9에 도시하는 회로(230)는, 저항(231)과 저항(232)이 하이 레벨의 전위 VDD 가 주어지는 제 1 노드와 로우 레벨의 전위 VSS 가 주어지는 제 2 노드 사이에 있어서, 직렬로 접속된 구성을 갖는다. 또한, 저항(231)과 저항(232)이 접속되는 노드의 전위가 전위 V_{ct1} 으로서 출력된다.
- [0063] 또한, 제 2 게이트 전극에 주어지는 전위 V_{ct1} 을 생성하는 회로는, 도 9에 도시하는 구성에 한정되지 않는다. 정전압 회로를 형성하고, 전위 V_{ct1} 을 생성하도록 하여도 좋다.
- [0064] 또한, 도 9에 도시하는 회로(230)는, 논리 회로(100)에 주어지는 전위 VDD 와 전위 VSS 를 사용하여 전위 V_{ct1} 을 생성할 수 있으므로, 회로(230) 및 논리 회로(100)에 전위를 공급하기 위한 배선의 개수를 정전압 회로에서 전위 V_{ct1} 을 생성하는 경우와 비교하여 적게 할 수 있다.
- [0065] 다음에, 논리 회로(100)에 있어서 사용되는 p채널형 트랜지스터(103), n채널형 트랜지스터(104), 트랜지스터(102)의 구조에 대하여 설명한다. 도 1b에 p채널형 트랜지스터(103), n채널형 트랜지스터(104), 트랜지스터(102)의 단면 구조의 일례를 도시한다.

- [0066] 도 1b에서는, 로직부(101)를 구성하는 p채널형 트랜지스터(103), n채널형 트랜지스터(104)와, 스위칭 소자로서 기능하는 트랜지스터(102)가 절연 표면을 갖는 기판(110) 위에 형성된다.
- [0067] 구체적으로 p채널형 트랜지스터(103)는, 기판(110) 위에 제 2 게이트 전극(111)과, 제 2 게이트 전극(111) 위의 절연막(112)과, 절연막(112)을 사이에 협지하여 제 2 게이트 전극(111)과 겹치는, 실리콘을 사용한 활성층으로서 기능하는 반도체막(113)과, 반도체막(113)에 접속된 소스 전극(114), 드레인 전극(115)과, 반도체막(113)에 접속된 소스 전극(114), 드레인 전극(115)과, 반도체막(113) 위의 절연막(116)과, 절연막(116) 위에 있어서 반도체막(113)과 겹치는 제 1 게이트 전극(117)을 갖는다.
- [0068] 또한, n채널형 트랜지스터(104)는, 절연막(112) 위에 실리콘을 사용한 활성층으로서 기능하는 반도체막(120)과, 반도체막(120)에 접속된 소스 전극(121), 드레인 전극(122)과, 반도체막(120) 위의 절연막(116)과, 절연막(116) 위에 있어서 반도체막(120)과 겹치는 게이트 전극(123)을 갖는다.
- [0069] p채널형 트랜지스터(103) 및 n채널형 트랜지스터(104)는 각각 소스 전극(114) 및 드레인 전극(115)과, 소스 전극(121) 및 드레인 전극(122)이 노출되도록 절연막(118)에 덮인다.
- [0070] 트랜지스터(102)는 절연막(118) 위에 게이트 전극(130)과, 게이트 전극(130) 위의 절연막(131)과, 절연막(131)을 사이에 협지하여 게이트 전극(130)과 겹치는, 활성층으로서 기능하는 산화물 반도체막(132)과, 산화물 반도체막(132)에 접하는 소스 전극(133) 및 드레인 전극(134)을 갖는다. 산화물 반도체막(132), 소스 전극(133) 및 드레인 전극(134) 위에는, 절연막(135)이 형성되고, 트랜지스터(102)는 절연막(135)을 구성 요소에 포함하여도 좋다.
- [0071] 그리고, 소스 전극(133)은, 제 2 게이트 전극(111)에 접속된다. 구체적으로는, 도 1b에서는, 절연막(112) 및 절연막(116)에 형성된 콘택트 홀을 통하여 제 2 게이트 전극(111)이 배선(136)에 접속되고, 절연막(118) 및 절연막(131)에 형성된 콘택트 홀을 통하여 배선(136)이 소스 전극(133)에 접속되는 경우를 예시한다.
- [0072] 본 발명의 일 형태에 따른 반도체 장치에서는, 상보형의 논리 회로(100)를 구성하는 p채널형 트랜지스터(103) 또는 n채널형 트랜지스터(104)의 임계 값 전압을 제 2 게이트 전극에 주는 전위에 의하여 제어하므로, 상기 p채널형 트랜지스터(103) 또는 n채널형 트랜지스터(104)의 게이트 전극의 전위가 하이 레벨과 로우 레벨 사이에서 전환될 때, 어느 한 쪽의 트랜지스터가 오프로 되도록 하거나, 또는 양쪽 트랜지스터가 모두 온으로 되는 기간을 짧게 할 수 있다. 따라서, 상기 p채널형 트랜지스터(103) 및 n채널형 트랜지스터(104)의 채널 형성 영역에 흐르는 관통 전류를 저감시킬 수 있다. 또한, 본 발명의 일 형태에 따른 반도체 장치에서는, 상기 제 2 게이트 전극의 전위를 오프 전류가 현저히 낮은 트랜지스터(102)로 유지할 수 있으므로, 상기 제 2 게이트 전극에 전위를 상시 공급하지 않아도 상기 전위 Vct1에 의하여 설정된 임계 값 전압을 유지할 수 있다.
- [0073] 따라서, 본 발명의 일 형태에 따른 반도체 장치에서는 관통 전류를 저감시킬 수 있으므로, 소비 전력을 억제할 수 있다. 또는 본 발명의 일 형태에 따른 반도체 장치에서는 관통 전류를 저감시킬 수 있으므로, 발열을 억제할 수 있고, 반도체 장치의 신뢰성을 높일 수 있다.
- [0074] (실시형태 2)
- [0075] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치에 있어서 사용되는 논리 회로의 구성의 일례를 나타낸다.
- [0076] 도 2a에 도시하는 논리 회로(200)는, 논리 연산을 행하는 로직부(201)와, 스위칭 소자로서 기능하는 오프 전류가 낮은 트랜지스터(202)를 갖는다. 로직부(201)는 p채널형 트랜지스터(203)와 n채널형 트랜지스터(204)를 갖는다. 그리고, 도 2a에서는, 로직부(201)가 p채널형 트랜지스터(203)와 n채널형 트랜지스터(204)로 구성되는 인버터인 경우를 예시한다.
- [0077] 구체적으로, 로직부(201)에서는 p채널형 트랜지스터(203)의 게이트 전극과, n채널형 트랜지스터(204)의 게이트 전극이 서로 접속된다. 논리 회로(200)에 대한 입력 신호 전위 Vin은, p채널형 트랜지스터(203)의 게이트 전극과, n채널형 트랜지스터(204)의 게이트 전극에 주어진다. 그리고, p채널형 트랜지스터(203)의 제 1 단자는 하이 레벨의 전위 VDD가 주어지는 제 1 노드에 접속되고, n채널형 트랜지스터(204)가 갖는 제 1 단자는 로우 레벨의 전위 VSS가 주어지는 제 2 노드에 접속된다. 또한, p채널형 트랜지스터(203)가 갖는 제 2 단자는 n채널형 트랜지스터(204)가 갖는 제 2 단자에 접속된다. 즉, p채널형 트랜지스터(203)와 n채널형 트랜지스터(204)는 하이 레벨의 전위 VDD가 주어지는 제 1 노드와 로우 레벨의 전위 VSS가 주어지는 제 2 노드 사이에서 직렬로 접속된다. 그리고, p채널형 트랜지스터(203)가 갖는 제 2 단자와 n채널형 트랜지스터(204)가 갖는 제 2 단자가 접

속되는 노드의 전위가 출력 신호 전위 V_{out} 로서 출력된다.

[0078] 또한, 도 2a에서는 p채널형 트랜지스터(203)가 일반적인 게이트 전극 외에 임계 값 전압을 제어하기 위한 제 2 게이트 전극이 구비한다.

[0079] 또한, 도 2a에서는 p채널형 트랜지스터(203)가 제 2 게이트 전극이 구비한 경우를 예시하지만, 본 발명의 일 형태는 이 구성에 한정되지 않는다. p채널형 트랜지스터(203) 대신에 n채널형 트랜지스터(204)가 제 2 게이트 전극을 구비하여도 좋고, p채널형 트랜지스터(203)와 n채널형 트랜지스터(204)가 모두 제 2 게이트 전극을 구비하여도 좋다.

[0080] 트랜지스터(202)는 상기 제 2 게이트 전극에 대한 전위의 공급을 제어한다. 도 2a에서는, 트랜지스터(202)의 제 1 단자가 p채널형 트랜지스터(203)의 제 2 게이트 전극에 접속되고, 트랜지스터(202)의 제 2 단자가 전위 V_{ct1} 이 주어지는 노드에 접속된 예를 도시한다. 구체적으로는 트랜지스터(202)가 온으로 되면, 전위 V_{ct1} 이 트랜지스터(202)를 통하여 제 2 게이트 전극에 주어지고, 트랜지스터(202)가 오프로 되면 제 2 게이트 전극의 전위가 유지된다. 그리고, 트랜지스터(202)의 스위칭은 그 게이트 전극에 주어지는 전위 V_{sw} 에 의하여 제어된다.

[0081] 도 2b에 도 2a에 도시한 논리 회로(200)에 있어서의 입력 신호의 전위 V_{in} 과 출력 신호의 전위 V_{out} 의 이상적인 타이밍 차트의 일례를 도시한다.

[0082] 도 2b에 도시하는 바와 같이, 전위 V_{in} 이 로우 레벨로 되면, p채널형 트랜지스터(203)가 온으로 되고, n채널형 트랜지스터(204)가 오프로 된다. 그래서, 전위 VDD가 p채널형 트랜지스터(203)의 제 2 단자에 주어진다. 따라서, 전위 VDD가 출력 신호의 전위 V_{out} 로서 논리 회로(200)로부터 출력된다. 반대로 전위 V_{in} 이 하이 레벨로 되면, p채널형 트랜지스터(203)가 오프로 되고, n채널형 트랜지스터(204)가 온으로 된다. 그래서, 전위 VSS가 n채널형 트랜지스터(204)의 제 2 단자에 주어진다. 따라서, 전위 VSS가 출력 신호의 전위 V_{out} 로서 논리 회로(200)로부터 출력된다.

[0083] 또한, 도 2b에 도시한 타이밍 차트에서는, 전위 V_{in} 의 전위 변화가 순식간에 행해지는 모양을 도시한다. 그러나, 실제로는 전위 V_{in} 이 로우 레벨로부터 완전히 하이 레벨로 이행될 때까지, 또는 하이 레벨로부터 완전히 로우 레벨로 이행될 때까지에는 다소의 시간이 필요하다.

[0084] 도 3에 전위 V_{in} 이 로우 레벨로부터 완전히 하이 레벨로 이행된 후, 하이 레벨로부터 로우 레벨로 이행될 때까지의 전위 V_{in} 의 타이밍 차트의 일례를 도시한다. 또한, 도 3에 p채널형 트랜지스터(203) 및 n채널형 트랜지스터(204)를 흐르는 관통 전류 I_{sc} 의 시간 변화의 일례도 함께 도시한다. 또한, 전위 V_{in} 의 타이밍 차트와 관통 전류 I_{sc} 의 시간 변화는 시간 축이 일치한 것으로 한다.

[0085] 도 3에 도시하는 전위 V_{in} 의 타이밍 차트에서는, 전위 V_{in} 이 로우 레벨의 전위 VSS로부터 하이 레벨의 전위 VDD 까지 소정의 시간으로 변화한다. 또한, 전위 V_{in} 은 하이 레벨의 전위 VDD로부터 로우 레벨의 전위 VSS까지 소정으로 시간으로 변화한다.

[0086] 그리고, 도 3에 도시하는 바와 같이, 전위 V_{in} 이 변화하는 경우, 전위 V_{in} 이 $V_{SS} + |V_{thn}| \leq V_{in} \leq V_{DD} - |V_{thp}|$ 의 범위에 들어가 있는 기간 t에 있어서, p채널형 트랜지스터(203)와 n채널형 트랜지스터(204)가 양쪽 모두 온으로 된다. 따라서, 도 3에 도시하는 바와 같이, 상기 기간 t에 있어서 관통 전류 I_{sc} 가 높아진다.

[0087] 다음에, 임계 값 전압 V_{thp} 의 절대 값을 크게 한 경우의 전위 V_{in} 의 타이밍 차트의 일례와, 관통 전류 I_{sc} 의 시간 변화의 일례를 도 4에 도시한다. 도 4에서는, 임계 값 전압 V_{thp} 의 절대 값이 도 3의 경우보다 크므로, 전위 V_{in} 이 $V_{SS} + |V_{thn}| \leq V_{in} \leq V_{DD} - |V_{thp}|$ 의 범위에 들어가 있는 기간 t를 짧게 할 수 있다. 즉, p채널형 트랜지스터(203)와 n채널형 트랜지스터(204)가 양쪽 모두 온으로 되는 기간 t를 도 3의 경우보다 짧게 할 수 있다. 따라서, 도 4에 도시하는 바와 같이, 상기 기간 t에 있어서 생기는 관통 전류 I_{sc} 는 도 3의 경우보다 저감된다.

[0088] 또한, 본 발명의 일 형태에 따른 반도체 장치에서는, 상기 제 2 게이트 전극의 전위를 오프 전류가 현저히 낮은 트랜지스터(202)에서 유지할 수 있으므로, 상기 제 2 게이트 전극에 전위를 상시 공급하지 않아도 상기 전위 V_{ct1} 에 의하여 설정된 임계 값 전압을 유지할 수 있다.

[0089] 따라서, 본 발명의 일 형태에 따른 반도체 장치에서는 제 2 게이트 전극에 전위를 상시 공급하지 않아도 관통 전류를 저감시킬 수 있으므로, 소비 전력을 억제할 수 있다. 또는 본 발명의 일 형태에 따른 반도체 장치에서는 제 2 게이트 전극에 전위를 상시 공급하지 않아도 관통 전류를 저감시킬 수 있으므로, 발열을 억제할 수 있고 반도체 장치의 신뢰성을 높일 수 있다.

- [0090] 다음에 도 8에, 도 2a에 도시한 인버터를 사용한 레지스터의 구성을 일례로서 나타낸다.
- [0091] 도 8에 도시하는 레지스터(500)는, 인버터(501), 인버터(502), 스위칭 소자(503), 스위칭 소자(504)를 갖는다. 인버터(501)와 인버터(502)는, 각각 도 2a에 도시한 논리 회로(200)와 같은 구성을 갖는다. 그리고, 스위칭 소자(503)는 입력 신호의 전위 Vin의 인버터(501)의 입력 단자에 대한 입력을 제어한다. 인버터(501)의 출력 단자의 전위는 출력 신호의 전위 Vout로서 레지스터(500)의 후단의 회로에 주어진다. 또한, 인버터(501)의 출력 단자는 인버터(502)의 입력 단자에 접속되고, 인버터(502)의 출력 단자는 스위칭 소자(504)를 통하여 인버터(501)의 입력 단자에 접속된다.
- [0092] 스위칭 소자(503)를 통하여, 입력된 입력 신호의 전위 Vin은, 스위칭 소자(503)가 오프로 되고, 스위칭 소자(504)가 온으로 됨으로써 레지스터(500) 내에서 유지된다.
- [0093] 본 실시형태는, 상기 실시형태와 조합하여 실시할 수 있다.
- [0094] (실시형태 3)
- [0095] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치에 있어서 사용되는 논리 회로의 구성의 일례를 나타낸다.
- [0096] 도 6a에 도시하는 논리 회로(300)는, 논리 연산을 행하는 로직부(301)와 스위칭 소자로서 기능하는 오프 전류가 낮은 트랜지스터(302), 트랜지스터(303)를 갖는다. 로직부(301)는, p채널형 트랜지스터(304), p채널형 트랜지스터(305), n채널형 트랜지스터(306), n채널형 트랜지스터(307)를 갖는다. 그리고, 도 6a에서는 로직부(301)가 p채널형 트랜지스터(304), p채널형 트랜지스터(305), n채널형 트랜지스터(306), n채널형 트랜지스터(307)로 구성되는 NAND인 경우를 예시한다.
- [0097] 구체적으로 로직부(301)에서는, p채널형 트랜지스터(304)의 게이트 전극과, n채널형 트랜지스터(306)의 게이트 전극이 서로 접속된다. 논리 회로(300)에 대한 입력 신호의 전위 VinA는 p채널형 트랜지스터(304)의 게이트 전극과, n채널형 트랜지스터(306)의 게이트 전극에 주어진다. 또한, p채널형 트랜지스터(305)의 게이트 전극과 n채널형 트랜지스터(307)의 게이트 전극이 서로 접속된다. 논리 회로(300)에 대한 입력 신호의 전위 VinB는 p채널형 트랜지스터(305)의 게이트 전극과 n채널형 트랜지스터(307)의 게이트 전극에 주어진다.
- [0098] 그리고, p채널형 트랜지스터(304)의 제 1 단자, 및 p채널형 트랜지스터(305)의 제 1 단자는, 하이 레벨의 전위 VDD가 주어지는 제 1 노드에 접속된다. n채널형 트랜지스터(307)의 제 1 단자는, 로우 레벨의 전위 VSS가 주어지는 제 2 노드에 접속된다. n채널형 트랜지스터(307)의 제 2 단자는, n채널형 트랜지스터(306)의 제 1 단자에 접속된다. n채널형 트랜지스터(306)의 제 2 단자, p채널형 트랜지스터(304)의 제 2 단자, 및 p채널형 트랜지스터(305)의 제 2 단자는 접속되고, 그 노드의 전위가 출력 신호의 전위 Vout로서 출력된다.
- [0099] 즉, 상기 로직부(301)에서는, 하나의 논리 값을 갖는 입력 신호가 주어지는 p채널형 트랜지스터(304)와 n채널형 트랜지스터(306)가 하이 레벨의 전위 VDD가 주어지는 제 1 노드와 로우 레벨의 전위 VSS가 주어지는 제 2 노드 사이에 있어서, 직렬로 접속된다. 또한, 상기 로직부(301)에서는, 하나의 논리 값을 갖는 입력 신호가 주어지는 p채널형 트랜지스터(305)와 n채널형 트랜지스터(307)가 하이 레벨의 전위 VDD가 주어지는 제 1 노드와 로우 레벨의 전위 VSS가 주어지는 제 2 노드 사이에 있어서, 직렬로 접속된다.
- [0100] 그리고, 도 6a에서는, p채널형 트랜지스터(304)와 p채널형 트랜지스터(305)가 일반적인 게이트 전극 외에 임계 값 전압을 제어하기 위한 제 2 게이트 전극을 구비한다.
- [0101] 또한, 도 6a에서는 p채널형 트랜지스터(304)와 p채널형 트랜지스터(305)가 병렬로 접속되므로, 관통 전류를 저감시키기 위해서는 상기 트랜지스터가 제 2 게이트 전극을 각각 구비하는 것이 바람직하다.
- [0102] 또는, 본 발명의 일 형태에서는, p채널형 트랜지스터(304) 대신에 n채널형 트랜지스터(306)가 제 2 게이트 전극을 구비하여도 좋고, p채널형 트랜지스터(304)와 n채널형 트랜지스터(306)가 모두 제 2 게이트 전극을 구비하여도 좋다. 또는, 본 발명의 일 형태에서는, p채널형 트랜지스터(305) 대신에 n채널형 트랜지스터(307)가 제 2 게이트 전극을 구비하여도 좋고, p채널형 트랜지스터(305)와 n채널형 트랜지스터(307)가 모두 제 2 게이트 전극을 구비하여도 좋다.
- [0103] 트랜지스터(302)는, p채널형 트랜지스터(304)가 갖는 제 2 게이트 전극에 대한 전위의 공급을 제어한다. 도 6a에서는, 트랜지스터(302)의 제 1 단자가 p채널형 트랜지스터(304)의 제 2 게이트 전극에 접속되고, 트랜지스터(302)의 제 2 단자가 전위 Vct1A가 주어지는 노드에 접속되는 예를 도시한다. 구체적으로는 트랜지스터(302)가

온으로 되면, 전위 Vct1A가 트랜지스터(302)를 통하여 p채널형 트랜지스터(304)가 갖는 제 2 게이트 전극에 주어지고, 트랜지스터(302)가 오프로 되면, 상기 제 2 게이트 전극의 전위가 유지된다. 그리고, 트랜지스터(302)의 스위칭이 그 게이트 전극에 주어지는 전위 VswA에 의하여 제어된다.

[0104] 또한, 트랜지스터(303)는, p채널형 트랜지스터(305)가 갖는 제 2 게이트 전극에 대한 전위의 공급을 제어한다. 도 6a에서는, 트랜지스터(303)의 제 1 단자가 p채널형 트랜지스터(305)의 제 2 게이트 전극에 접속되고, 트랜지스터(303)의 제 2 단자가 전위 Vct1B가 주어지는 노드에 접속되는 예를 도시한다. 트랜지스터(303)가 온으로 되면, 전위 Vct1B가 트랜지스터(303)를 통하여 p채널형 트랜지스터(305)가 갖는 제 2 게이트 전극에 주어지고, 트랜지스터(303)가 오프로 되면, 상기 제 2 게이트 전극의 전위가 유지된다. 그리고, 트랜지스터(303)의 스위칭이 그 게이트 전극에 주어지는 전위 VswB에 의하여 제어된다.

[0105] 도 6b에 도 6a에 도시하는 논리 회로(300)에 있어서의 입력 신호의 전위 VinA, VinB와, 출력 신호의 전위 Vout의 이상적인 타이밍 차트의 일례를 도시한다.

[0106] 도 6b에 도시하는 바와 같이, 전위 VinA가 하이 레벨로 되고 전위 VinB가 하이 레벨로 되면, p채널형 트랜지스터(304) 및 p채널형 트랜지스터(305)가 오프로 되고, n채널형 트랜지스터(306) 및 n채널형 트랜지스터(307)가 온으로 된다. 그래서, 전위 VSS가 출력 신호의 전위 Vout로서 논리 회로(300)로부터 출력된다. 또한, 전위 VinA가 로우 레벨로 되고 전위 VinB가 하이 레벨로 되면, p채널형 트랜지스터(305) 및 n채널형 트랜지스터(306)가 오프로 되고, p채널형 트랜지스터(304) 및 n채널형 트랜지스터(307)가 온으로 된다. 그래서, 전위 VDD가 출력 신호의 전위 Vout로서 논리 회로(300)로부터 출력된다. 또한, 전위 VinA가 하이 레벨로 되고 VinB가 로우 레벨로 되면, p채널형 트랜지스터(304) 및 n채널형 트랜지스터(307)가 오프로 되고, p채널형 트랜지스터(305) 및 n채널형 트랜지스터(306)가 온으로 된다. 그래서, 전위 VDD가 출력 신호의 전위 Vout로서 논리 회로(300)로부터 출력된다. 또한, 전위 VinA가 로우 레벨로 되고 VinB가 로우 레벨로 되면, n채널형 트랜지스터(306) 및 n채널형 트랜지스터(307)가 오프로 되고, p채널형 트랜지스터(304) 및 p채널형 트랜지스터(305)가 온으로 된다. 그래서, 전위 VDD가 출력 신호의 전위 Vout로서 논리 회로(300)로부터 출력된다.

[0107] 또한, 도 6b에 도시한 타이밍 차트에서는, 전위 VinA 및 VinB의 전위의 변화가 순식간에 행해지는 모양을 도시한다. 그러나, 실제로는 전위 VinA 및 전위 VinB가 로우 레벨로부터 완전히 하이 레벨로 이행될 때까지, 또는 하이 레벨로부터 완전히 로우 레벨로 이행될 때까지에는 다소의 시간이 필요하다. 상기 전위가 이행되는 기간에 있어서 상기 실시형태에 있어서 기술한 바와 같이, 관통 전류가 흐르기 쉽다.

[0108] 본 발명의 일 형태에서는, p채널형 트랜지스터(304)의 임계 값 전압을 VthpA, n채널형 트랜지스터(306)의 임계 값 전압을 VthnA로 하면, 전위 Vct1A를 높이고, 임계 값 전압 VthpA의 절대 값을 크게 함으로써, 전위 VinA가 $VSS + |VthnA| \leq VinA \leq VDD - |VthpA|$ 의 범위에 들어가 있는 기간을 짧게 할 수 있다. 즉, p채널형 트랜지스터(304)와 n채널형 트랜지스터(306)가 양쪽 모두 온으로 되는 기간을 짧게 할 수 있다. 따라서, 상기 기간에 있어서, 생기는 관통 전류를 저감할 수 있다.

[0109] 또한, 본 발명의 일 형태에 따른 반도체 장치에서는, p채널형 트랜지스터(304)의 제 2 게이트 전극의 전위를 오프 전류가 현저히 낮은 트랜지스터(302)에서 유지할 수 있으므로, 상기 제 2 게이트 전극에 전위를 상시 공급하지 않아도 상기 전위 Vct1A에 의하여 설정된 임계 값 전압을 유지할 수 있다.

[0110] 또는, 본 발명의 일 형태에서는, p채널형 트랜지스터(305)의 임계 값 전압을 VthpB, n채널형 트랜지스터(307)의 임계 값 전압을 VthnB로 하면, 전위 Vct1B를 높이고 임계 값 전압 VthpB의 절대 값을 크게 함으로써 전위 VinB가 $VSS + |VthnB| \leq VinB \leq VDD - |VthpB|$ 의 범위에 들어가 있는 기간을 짧게 할 수 있다. 즉, p채널형 트랜지스터(305)와 n채널형 트랜지스터(307)가 양쪽 모두 온으로 되는 기간을 짧게 할 수 있다. 따라서, 상기 기간에 있어서, 생기는 관통 전류를 저감할 수 있다.

[0111] 또한, 본 발명의 일 형태에 따른 반도체 장치에서는, p채널형 트랜지스터(305)의 제 2 게이트 전극의 전위를 오프 전류가 현저히 낮은 트랜지스터(303)에서 유지할 수 있으므로, 상기 제 2 게이트 전극에 전위를 상시 공급하지 않아도 상기 전위 Vct1B에 의하여 설정된 임계 값 전압을 유지할 수 있다.

[0112] 따라서, 본 발명의 일 형태에 따른 반도체 장치에서는 관통 전류를 저감시킬 수 있으므로, 소비 전력을 억제할 수 있다. 또는 본 발명의 일 형태에 따른 반도체 장치에서는 관통 전류를 저감시킬 수 있으므로, 발열을 억제할 수 있고, 반도체 장치의 신뢰성을 높일 수 있다.

[0113] 다음에 도 10a에, 도 6a에 도시한 NAND를 사용한 플립 플롭의 구성을, 일례로서 도시한다.

[0114] 도 10a에 도시하는 플립 플롭(510)은 NAND(511), NAND(512), NAND(513), NAND(514)를 사용한 D형 플립 플롭이다. NAND(511), NAND(512), NAND(513), NAND(514)는 각각 도 6a에 도시한 논리 회로(300)와 같은 구성을 갖는다.

[0115] 구체적으로 NAND(511)의 제 1 입력 단자에는, 입력 신호의 전위 Vin이 주어진다. NAND(511)의 제 2 입력 단자와 NAND(513)의 제 2 입력 단자에는 클록 신호의 전위 CLK가 주어진다. NAND(511)의 출력 단자는, NAND(513)의 제 1 입력 단자와, NAND(512)의 제 1 입력 단자에 접속된다. NAND(513)의 출력 단자는 NAND(514)의 제 2 단자에 접속된다. NAND(512)의 출력 단자는 NAND(514)의 제 1 입력 단자에 접속되고, 또 NAND(512)의 출력 단자의 전위가 제 1 출력 신호의 전위 Vout1로서 후단의 회로에 주어진다. NAND(514)의 출력 단자는 NAND(512)의 제 2 입력 단자에 접속되고, 또 NAND(514)의 출력 단자의 전위가 제 2 출력 신호의 전위 Vout2로서 후단의 회로에 주어진다.

[0116] 또한, 도 10a에 도시하는 플립 플롭(510)은 제 1 출력 신호와 제 2 출력 신호가 얹어지는 구성으로 되어 있지만, 필요에 따라 출력 신호를 하나로 하여도 좋다.

[0117] 도 10b에, 도 10a에 도시하는 플립 플롭(510)에 있어서의 클록 신호의 전위 CLK, 입력 신호의 전위 Vin, 제 1 출력 신호의 전위 Vout1, 제 2 출력 신호의 전위 Vout2의 타이밍 차트를 도시한다.

[0118] 도 10b에서는, 클록 신호 CLK가 하이 레벨, 입력 신호의 전위 Vin이 하이 레벨일 때, 제 1 출력 신호의 전위 Vout1이 하이 레벨, 제 2 출력 신호의 전위 Vout2가 로우 레벨이 된다. 또한, 클록 신호의 전위 CLK가 하이 레벨, 입력 신호의 전위 Vin이 로우 레벨일 때 제 1 출력 신호의 전위 Vout1이 로우 레벨, 제 2 출력 신호의 전위 Vout2가 하이 레벨이 된다. 또한, 클록 신호의 전위 CLK가 로우 레벨일 때 입력 신호의 전위 Vin에 상관없이 제 1 출력 신호의 전위 Vout1 및 제 2 출력 신호의 전위 Vout2는 유지된다.

[0119] 본 실시형태는, 상기 실시형태와 조합하여 실시할 수 있다.

[0120] (실시형태 4)

[0121] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치에 있어서 사용되는 논리 회로의 구성의 일례를 나타낸다.

[0122] 도 7a에 도시하는 논리 회로(400)는, 논리 연산을 행하는 로직부(401)와, 스위칭 소자로서 기능하는 오프 전류가 낮은 트랜지스터(402), 트랜지스터(403)를 갖는다. 로직부(401)는, p채널형 트랜지스터(404), p채널형 트랜지스터(405), n채널형 트랜지스터(406), n채널형 트랜지스터(407)를 갖는다. 그리고, 도 7a에서는 로직부(401)가 p채널형 트랜지스터(404), p채널형 트랜지스터(405), n채널형 트랜지스터(406), n채널형 트랜지스터(407)로 구성되는 NOR인 경우를 예시한다.

[0123] 구체적으로 로직부(401)에서는 p채널형 트랜지스터(404)의 게이트 전극과 n채널형 트랜지스터(407)의 게이트 전극이 서로 접속된다. 논리 회로(400)에 대한 입력 신호의 전위 VinA는, p채널형 트랜지스터(404)의 게이트 전극과 n채널형 트랜지스터(407)의 게이트 전극에 주어진다. 또한, p채널형 트랜지스터(405)의 게이트 전극과, n채널형 트랜지스터(406)의 게이트 전극이 서로 접속된다. 논리 회로(400)에 대한 입력 신호의 전위 VinB는, p채널형 트랜지스터(405)의 게이트 전극과, n채널형 트랜지스터(406)의 게이트 전극에 주어진다.

[0124] 그리고, p채널형 트랜지스터(404)의 제 1 단자는, 하이 레벨의 전위 VDD가 주어지는 제 1 노드에 접속된다. p채널형 트랜지스터(404)의 제 2 단자는, p채널형 트랜지스터(405)의 제 1 단자에 접속된다. n채널형 트랜지스터(406)의 제 1 단자, 및 n채널형 트랜지스터(407)의 제 1 단자는 로우 레벨의 전위 VSS가 주어지는 제 2 노드에 접속된다. p채널형 트랜지스터(405)의 제 2 단자, n채널형 트랜지스터(406)의 제 2 단자, 및 n채널형 트랜지스터(407)의 제 2 단자는 접속되고, 그 노드의 전위가 출력 신호의 전위 Vout로서 출력된다.

[0125] 즉, 상기 로직부(401)에서는 하나의 논리 값을 갖는 입력 신호가 주어지는 p채널형 트랜지스터(404)와 n채널형 트랜지스터(407)가 전위 VDD가 주어지는 제 1 노드와 로우 레벨의 전위 VSS가 주어지는 제 2 노드 사이에 있어서 직렬로 접속된다. 또한, 상기 로직부(401)에서는 하나의 논리 값을 갖는 입력 신호가 주어지는 p채널형 트랜지스터(405)와 n채널형 트랜지스터(406)가 전위 VDD가 주어지는 제 1 노드와 로우 레벨의 전위 VSS가 주어지는 제 2 노드 사이에 있어서 직렬로 접속된다.

[0126] 또한, 도 7a에서는, p채널형 트랜지스터(404)와 p채널형 트랜지스터(405)가 일반적인 게이트 전극 외에 임계 값을 제어하기 위한 제 2 게이트 전극을 구비한다.

- [0127] 또한, 도 7a에서는 p채널형 트랜지스터(404)와 p채널형 트랜지스터(405)가 제 2 게이트 전극을 각각 구비하는 경우를 예시하지만, 본 발명의 일 형태는 이 구성에 한정되지 않는다. 도 7a에서는 p채널형 트랜지스터(404)와 p채널형 트랜지스터(405)는 병렬로 접속되므로, 어느 하나만이 제 2 게이트 전극을 구비하여도 관통 전류를 저감시킬 수 있다. 다만, p채널형 트랜지스터(404)와 p채널형 트랜지스터(405)가 모두 제 2 게이트 전극을 각각 구비하는 쪽이 관통 전류를 더 저감시킬 수 있어서 바람직하다.
- [0128] 또는, 본 발명의 일 형태에서는, p채널형 트랜지스터(404) 대신에 n채널형 트랜지스터(407)가 제 2 게이트 전극을 구비하여도 좋고, p채널형 트랜지스터(404)와 n채널형 트랜지스터(407)가 모두 제 2 게이트 전극을 구비하여도 좋다. 또는, 본 발명의 일 형태에서는, p채널형 트랜지스터(405) 대신에 n채널형 트랜지스터(406)가 제 2 게이트 전극을 구비하여도 좋고, p채널형 트랜지스터(405)와 n채널형 트랜지스터(406)가 모두 제 2 게이트 전극을 구비하여도 좋다.
- [0129] 트랜지스터(402)는, p채널형 트랜지스터(404)가 갖는 제 2 게이트 전극에 대한 전위의 공급을 제어한다. 도 7a에서는, 트랜지스터(402)의 제 1 단자가 p채널형 트랜지스터(404)의 제 2 게이트 전극에 접속되고, 트랜지스터(402)의 제 2 단자가 전위 Vct1A가 주어지는 노드에 접속되는 예를 도시한다. 구체적으로는 트랜지스터(402)가 온으로 되면, 전위 Vct1A가 트랜지스터(402)를 통하여 p채널형 트랜지스터(404)가 갖는 제 2 게이트 전극에 주어지고, 트랜지스터(402)가 오프로 되면, 상기 제 2 게이트 전극의 전위가 유지된다. 그리고, 트랜지스터(402)의 스위칭은 그 게이트 전극에 주어지는 전위 VswA에 의하여 제어된다.
- [0130] 또한, 트랜지스터(403)는, p채널형 트랜지스터(405)가 갖는 제 2 게이트 전극에 대한 전위의 공급을 제어한다. 도 7a에서는, 트랜지스터(403)의 제 1 단자가 p채널형 트랜지스터(405)의 제 2 게이트 전극에 접속되고, 트랜지스터(403)의 제 2 단자가 전위 Vct1B가 주어지는 노드에 접속되는 예를 도시한다. 구체적으로는 트랜지스터(403)가 온으로 되면, 전위 Vct1B가 트랜지스터(403)를 통하여 p채널형 트랜지스터(405)가 갖는 제 2 게이트 전극에 주어지고, 트랜지스터(403)가 오프로 되면, 상기 제 2 게이트 전극의 전위가 유지된다. 그리고, 트랜지스터(403)의 스위칭이 그 게이트 전극에 주어지는 전위 VswB에 의하여 제어된다.
- [0131] 도 7b에 도 7a에 도시하는 논리 회로(400)에 있어서의 입력 신호의 전위 VinA, VinB와, 출력 신호의 전위 Vout의 이상적인 타이밍 차트의 일례를 도시한다.
- [0132] 도 7b에 도시하는 바와 같이, 전위 VinA가 로우 레벨, 전위 VinB가 로우 레벨로 되면, n채널형 트랜지스터(406) 및 n채널형 트랜지스터(407)가 오프로 되고, p채널형 트랜지스터(404) 및 p채널형 트랜지스터(405)가 온으로 된다. 그래서, 전위 VDD가 출력 신호의 전위 Vout로서 논리 회로(400)로부터 출력된다. 또한, 전위 VinA가 하이 레벨, 전위 VinB가 로우 레벨로 되면, p채널형 트랜지스터(404) 및 n채널형 트랜지스터(406)가 오프로 되고, p채널형 트랜지스터(405) 및 n채널형 트랜지스터(407)가 온으로 된다. 그래서, 전위 VSS가 출력 신호의 전위 Vout로서 논리 회로(400)로부터 출력된다. 또한, 전위 VinA가 로우 레벨, 전위 VinB가 하이 레벨로 되면, p채널형 트랜지스터(405) 및 n채널형 트랜지스터(407)가 오프로 되고, p채널형 트랜지스터(404) 및 n채널형 트랜지스터(406)가 온으로 된다. 그래서, 전위 VSS가 출력 신호의 전위 Vout로서 논리 회로(400)로부터 출력된다. 또한, 전위 VinA가 하이 레벨, 전위 VinB가 하이 레벨로 되면, p채널형 트랜지스터(404) 및 p채널형 트랜지스터(405)가 오프로 되고, n채널형 트랜지스터(406) 및 n채널형 트랜지스터(407)가 온으로 된다. 그래서, 전위 VSS가 출력 신호의 전위 Vout로서 논리 회로(400)로부터 출력된다.
- [0133] 또한, 도 7b에 도시한 타이밍 차트에서는, 전위 VinA 및 전위 VinB의 전위의 변화가 순식간에 행해지는 모양을 도시한다. 그러나, 실제로는 전위 VinA 및 전위 VinB가 로우 레벨로부터 완전히 하이 레벨로 이행될 때까지, 또는 하이 레벨로부터 완전히 로우 레벨로 이행될 때까지에는 다소의 시간이 필요하다. 상기 전위가 이행되는 기간에 있어서 상기 실시형태에 있어서 기술한 바와 같이, 관통 전류가 흐르기 쉽다.
- [0134] 본 발명의 일 형태에서는, p채널형 트랜지스터(404)의 임계 값 전압을 VthpA, n채널형 트랜지스터(407)의 임계 값 전압을 VthnA로 하면, 전위 Vct1A를 높이고, 임계 값 전압 VthpA의 절대 값을 크게 함으로써, 전위 VinA가 $VSS + |VthnA| \leq VinA \leq VDD - |VthpA|$ 의 범위에 들어가 있는 기간을 짧게 할 수 있다. 즉, p채널형 트랜지스터(404)와 n채널형 트랜지스터(407)가 양쪽 모두 온으로 되는 기간을 짧게 할 수 있다. 따라서, 상기 기간에 있어서, 생기는 관통 전류를 저감할 수 있다.
- [0135] 또한, 본 발명의 일 형태에 따른 반도체 장치에서는, p채널형 트랜지스터(404)의 제 2 게이트 전극의 전위를 오프 전류가 현저히 낮은 트랜지스터(402)에서 유지할 수 있으므로, 상기 제 2 게이트 전극에 전위를 상시 공급하지 않아도 상기 전위 Vct1A에 의하여 설정된 임계 값 전압을 유지할 수 있다.

- [0136] 또는, 본 발명의 일 형태에서는, p채널형 트랜지스터(405)의 임계 값 전압을 V_{thpB} , n채널형 트랜지스터(406)의 임계 값 전압을 V_{thnB} 로 하면, 전위 V_{ct1B} 를 높이고 임계 값 전압 V_{thpB} 의 절대 값을 크게 함으로써 전위 V_{inB} 가 $V_{SS} + |V_{thnB}| \leq V_{inB} \leq V_{DD} - |V_{thpB}|$ 의 범위에 들어가 있는 기간을 짧게 할 수 있다. 즉, p채널형 트랜지스터(405)와 n채널형 트랜지스터(406)가 양쪽 모두 온으로 되는 기간을 짧게 할 수 있다. 따라서, 상기 기간에 있어서 생기는 관통 전류를 저감할 수 있다.
- [0137] 또한, 본 발명의 일 형태에 따른 반도체 장치에서는 p채널형 트랜지스터(405)의 제 2 게이트 전극의 전위를 오프 전류가 현저히 낮은 트랜지스터(403)에서 유지할 수 있으므로, 상기 제 2 게이트 전극에 전위를 상시 공급하지 않아도 상기 전위 V_{ct1B} 에 의하여 설정된 임계 값 전압을 유지할 수 있다.
- [0138] 따라서, 본 발명의 일 형태에 따른 반도체 장치에서는 관통 전류를 저감시킬 수 있으므로, 소비 전력을 억제할 수 있다. 또는 본 발명의 일 형태에 따른 반도체 장치에서는 관통 전류를 저감시킬 수 있으므로, 발열을 억제할 수 있고, 반도체 장치의 신뢰성을 높일 수 있다.
- [0139] 본 실시형태는, 상기 실시형태와 조합하여 실시할 수 있다.
- [0140] (실시형태 5)
- [0141] 본 실시형태에서는, 본 발명의 반도체 장치의 일 형태에 상당하는 반도체 표시 장치의 구성의 일례에 대하여 설명한다.
- [0142] 도 14에 본 발명의 일 형태에 따른 반도체 표시 장치의 구성의 일례를 블록도로 도시한다. 도 14에 도시하는 반도체 표시 장치(600)는, 표시 소자가 각 화소에 형성된 화소부(601)와, 화소부(601)의 동작을 제어하는 주사선 구동 회로(602), 신호선 구동 회로(603) 등의 구동 회로를 갖는다.
- [0143] 구체적으로, 주사선 구동 회로(602)는, 화소부(601)가 갖는 화소를 선택한다. 신호선 구동 회로(603)는, 주사선 구동 회로(602)에 의하여 선택된 화소에 비디오 신호를 공급한다.
- [0144] 다음에, 신호선 구동 회로(603)의 더 자세한 구성의 일례를 도 15에 도시한다. 다만, 도 15에서는 4 비트의 비디오 신호에 대응한 신호선 구동 회로(603)의 구성을 도시한다. 도 15에서는 4 비트의 비디오 신호에 대응한 신호선 구동 회로(603)의 구성을 일례로서 도시하지만, 본 발명은 이 구성에 한정되지 않는다. 실시자가 설정한 비디오 신호의 비트 수에 맞추어 신호선 구동 회로를 제작할 수 있다.
- [0145] 도 15에 도시하는 신호선 구동 회로(603)는, 시프트 레지스터(610), 제 1 기억 회로(611), 제 2 기억 회로(612), 레벨 시프터(613), DAC(614), 버퍼(615)를 갖는다.
- [0146] 또한, 도 15에 도시하는 신호선 구동 회로(603)에서는, 시프트 레지스터(610)가 각 신호선에 대응하는 복수의 플립 플롭(620)을 갖는다. 각 플립 플롭은, 예를 들어 도 10a에 도시한 구성을 사용할 수 있다.
- [0147] 또한, 도 15에 도시하는 신호선 구동 회로(603)에서는, 제 1 기억 회로(611)가 4 비트의 비디오 신호에 각각 대응한 4개의 기억 소자(621)로 구성되는 기억 소자군을 복수 갖는다. 또한, 제 2 기억 회로(612)가 4 비트의 비디오 신호에 각각 대응한 4개의 기억 소자(622)로 구성되는 기억 소자군을 복수 갖는다. 제 2 기억 회로(612)로부터 출력되는 비디오 신호는, 레벨 시프터(613)에 주어진다. 레벨 시프터(613)는 4 비트의 비디오 신호에 각각 대응한 4개의 레벨 시프터(623)로 구성되는 레벨 시프터군을 복수 갖는다. DAC(614)는 4 비트의 비디오 신호에 대응한 DAC(624)를 복수 갖는다. 버퍼(615)는 복수의 버퍼(625)를 갖고, 하나의 DAC(624)에 대하여 적어도 하나의 버퍼(625)가 대응한다.
- [0148] 다음에, 도 15에 도시하는 반도체 표시 장치(600)의 동작에 대하여 설명한다. 신호선 구동 회로(603)에서는, 시프트 레지스터(610)에 클록 신호, 스타트 펄스 신호가 입력된다. 시프트 레지스터(610)는 이들 클록 신호 및 스타트 펄스 신호에 따라 펄스가 순차적으로 시프트하는 타이밍 신호를 생성하고, 타이밍 신호를 제 1 기억 회로(611)에 출력한다. 타이밍 신호의 펄스가 출현하는 순서는, 주사 방향 전환 신호에 따라 전환할 수도 있다.
- [0149] 제 1 기억 회로(611)에 타이밍 신호가 입력되면, 상기 타이밍 신호의 펄스에 따라 비디오 신호가 샘플링되어, 제 1 기억 회로(611)의 기억 소자(621)에 순차적으로 기입된다. 즉, 직렬로 신호선 구동회로(603)에 입력된 비디오 신호가 제 1 기억 회로(611)에 병렬로 기입된다. 제 1 기억 회로(611)에 기입된 비디오 신호는 유지된다.
- [0150] 또한, 비디오 신호를 제 1 기억 회로(611)가 갖는 복수의 기억 소자(621)에 순차적으로 기록하여도 좋지만, 제 1 기억 회로(611)가 갖는 복수의 기억 회로(621)를 몇 개의 그룹으로 분할하고, 상기 그룹마다 병렬로 비디오 신호를 입력하는, 소위 분할 구동을 행하여도 좋다. 또한, 이 때의 그룹의 개수를 분할수라고 부른다. 예를

들어, 4 개의 기억 소자(621)마다 그룹으로 분할한 경우, 4분할로 분할 구동하게 된다.

[0151] 제 1 기억 회로(611)에 비디오 신호가 한차례 다 기록될 때까지의 시간을 라인 기간이라고 부른다.

[0152] 하나의 라인 기간이 완료되면, 귀선(歸線) 기간에 있어서 제 2 기억 회로(612)에 입력되는 래치 신호의 펄스에 따라 제 1 기억 회로(611)에 유지되는 비디오 신호가 제 2 기억 회로(612)에 일제히 기록되어 유지된다. 비디오 신호를 제 2 기억 회로(612)로 송출하는 것을 끝낸 제 1 기억 회로(611)에서는, 다시 시프트 레지스터(610)로부터의 타이밍 신호에 따라, 다음의 비디오 신호의 기입이 순차적으로 행해진다. 이 2번째 사이클의 하나의 라인 기간 중에는, 제 2 기억 회로(612)에 기록되어 유지되는 비디오 신호가 레벨 시프터(613)에 주어진다.

[0153] 레벨 시프터(613)에 주어진 비디오 신호는, 레벨 시프터(613) 내의 복수의 각 레벨 시프터(623)에 있어서 그 전압의 진폭을 크게 한 후, DAC(614)에 송신된다. DAC(614)에서는, 복수의 각 DAC(624)에 있어서, 입력된 비디오 신호가 디지털로부터 아날로그로 변환된다. 그리고, 아날로그로 변환된 비디오 신호는, 베퍼(615)에 송신된다. DAC(614)로부터 송신된 비디오 신호는 베퍼(615)가 갖는 복수의 각 베퍼(625)로부터 신호선을 통하여 화소부(601)에 송신된다.

[0154] 주사선 구동 회로(602)에서는, 화소부(601)가 갖는 화소를 라인마다 선택한다. 신호선을 통하여 화소부(601)에 송신된 비디오 신호는, 주사선 구동 회로(602)에 있어서 선택된 라인의 화소에 입력된다.

[0155] 주사선 구동 회로와 신호선 구동 회로에는, 화소 개수의 증가에 따라, 고속 동작이 요구된다. 특히, 신호선 구동 회로는 하나의 라인 분의 주사선이 선택되는 기간 내에 상기 주사선에 접속되는 모든 화소에 비디오 신호를 입력하기 위하여, 주사선 구동 회로보다 고속으로 동작할 필요가 있다. 본 발명의 일 형태에 따른 반도체 장치에서는 관통 전류를 저감시킬 수 있으므로 신호선 구동 회로(603)와 같이, 구동 주파수가 높은 회로를 사용하여도 관통 전류에 기인하는 발열을 억제할 수 있고, 반도체 장치의 신뢰성을 높일 수 있다.

[0156] 또한, 신호선 구동 회로에 한정되지 않고, 클록 생성 회로, 승압 회로, 기억 회로에 사용되는 디코더, DRAM의 리프레쉬 회로 등의 구동 주파수가 높은 회로를 사용한 반도체 장치에 본 발명을 적용시킴으로써, 관통 전류에 기인하는 발열을 효율 좋게 억제할 수 있다.

[0157] 본 실시형태는, 상기 실시형태와 조합하여 실시할 수 있다.

[0158] (실시형태 6)

[0159] 본 실시형태에서는, 실리콘을 사용한 트랜지스터와 산화물 반도체를 사용한 트랜지스터를 갖는, 본 발명의 일 형태에 따른 반도체 장치의 제작 방법에 대하여 설명한다.

[0160] 또한, 로직부를 구성하는 트랜지스터는 게르마늄, 실리콘, 실리콘 게르마늄이나 단결정 탄화 실리콘 등을 사용한, 일반적인 CMOS 프로세스를 사용하여 형성할 수 있다. 예를 들어, 실리콘을 사용한 트랜지스터는 실리콘 웨이퍼, SOI법에 의하여 제작된 실리콘 박막, 기상 성장법에 의하여 제작된 실리콘 박막 등을 사용하여 형성할 수 있다.

[0161] 또한, 본 실시형태에서는 도 2a에 도시한 논리 회로를 예로 들어 산화물 반도체를 사용한 트랜지스터의 제작 방법에 대하여 설명하지만, 다른 회로 구성을 갖는 논리 회로도 본 실시형태에 있어서 나타내는 제작 방법을 참조로 하여 제작할 수 있다.

[0162] 우선, 도 11a에 도시하는 바와 같이, 기판(700)의 절연 표면 위에 게이트 전극(701)을 형성한다. 게이트 전극(701)은 나중에 형성되는 p채널형 트랜지스터(705)의 제 2 게이트 전극으로서 기능한다.

[0163] 기판(700)으로서 사용할 수 있는 기판에 큰 제한은 없지만, 적어도 후의 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 것이 필요하다. 예를 들어, 기판(700)에는, 퓨전법(fusion method)이나 플로트법(float method)으로 제작되는 유리 기판, 석영 기판, 세라믹 기판 등을 사용할 수 있다. 유리 기판으로서는, 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730°C 이상인 것을 사용하면 좋다. 또한, 스테인리스 기판을 포함하는 금속 기판 또는 실리콘 기판의 표면에 절연막을 형성한 것을 사용하여도 좋다. 플라스틱 등 가요성을 갖는 합성 수지로 이루어진 기판은 일반적으로 상기 기판과 비교하여 내열 온도가 낮은 경향이 있지만, 제작 공정에 있어서의 처리 온도에 견딜 수 있다면 사용될 수 있다.

[0164] 게이트 전극(701)에는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등의 금속 재료, 이들 금속 재료를 주성분으로 하는 합금 재료를 사용한 도전막, 또는 이들 금속의 질화물을 단층으로 사용하거나, 또는 적층으로 사용할 수 있다. 또한, 후의 공정에 있어서 행해지는 가열 처리에 견딜 수 있으면, 상기 금속 재료로서

알루미늄, 구리를 사용할 수도 있다. 알루미늄 또는 구리는, 내열성이나 부식성의 문제를 회피하기 위하여 고용접 금속 재료와 조합하여 사용하면 좋다. 고용접 금속 재료로서는, 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 네오디뮴, 스칸듐 등을 사용할 수 있다.

[0165] 예를 들어, 2층의 적층 구조를 갖는 게이트 전극(701)으로서 알루미늄막 위에 몰리브덴막이 적층된 2층의 적층 구조, 구리막 위에 몰리브덴막이 적층된 2층의 적층 구조, 구리막 위에 질화 티타늄막 또는 질화 탄탈막이 적층된 2층의 적층 구조, 또는 질화 티타늄막과 몰리브덴막이 적층된 2층의 적층 구조로 하는 것이 바람직하다. 3층의 적층 구조를 갖는 게이트 전극(701)으로서는, 알루미늄막, 알루미늄과 실리콘의 합금막, 알루미늄과 티타늄의 합금막, 또는 알루미늄과 네오디뮴의 합금막을 중간층으로 하여 텉스텐막, 질화 텉스텐막, 질화 티타늄막, 또는 티타늄막을 상하층으로서 적층한 구조로 하는 것이 바람직하다.

[0166] 또한, 게이트 전극(701)에 산화 인듐, 산화 인듐 산화 주석 합금, 산화 인듐 산화 아연 합금, 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄, 또는 산화 아연 갈륨 등의 투광성을 갖는 산화물 도전막을 사용할 수도 있다.

[0167] 게이트 전극(701)의 막 두께는, 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm로 한다. 본 실시형태에서는, 텉스텐 타깃을 사용한 스퍼터링법으로 150nm의 게이트 전극용의 도전막을 형성한 후, 상기 도전막을 에칭에 의하여 원하는 형상으로 가공(페터닝)함으로써 게이트 전극(701)을 형성한다. 또한, 형성된 게이트 전극의 단부가 테이퍼 형상이면, 위에 적층되는 게이트 절연막의 퍼복성이 향상되기 때문에 바람직하다. 또한, 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면, 포토마스크를 사용하지 않기 때문에, 제작 비용을 저감할 수 있다.

[0168] 다음에, 도 11b에 도시하는 바와 같이, 게이트 전극(701)을 덮도록 절연막(702)을 형성한다. 본 실시형태에서는, 절연막(702)은 2개의 절연막을 적층함으로써 형성된다. 먼저 형성하는 절연막에는 산질화 실리콘막을 사용하여 10nm 내지 50nm의 두께로 형성한다. 다음에, 형성되는 절연막에는 산화 실리콘막 또는 산질화 실리콘막을 사용하여 0.5 μ m 내지 1 μ m의 두께로 형성한다. 또한, 절연막(702)은 이 구성에 한정되지 않고, 단층의 절연막으로 형성되어도 좋고, 3층 이상의 절연막으로 형성되어도 좋다. 또한, 재료도 이것에 한정되지 않는다.

[0169] 절연막(702)의 표면은, 먼저 형성한 게이트 전극(701)에 기인하는 요철을 갖는 경우가 있다. 이 경우, 요철을 평탄화하는 공정을 마련하는 것이 바람직하다. 본 실시형태에서는 CMP를 사용하여 평탄화를 행한다. 절연막(702)에 대한 CMP의 연마제(슬러리(slurry))에는 예를 들어 염화 실리콘 가스를 열 분해하여 얻어지는 품드 실리카(fumed silica) 입자를 KOH 침가 수용액으로 분산한 것을 사용하면 좋다. 본 실시형태에서는 도 11c에 도시하는 바와 같이, CMP에 의하여 게이트 전극(701)이 노출할 정도로 절연막(702)을 얇게 하고 표면을 평탄화한다.

[0170] 다음에, 도 11d에 도시하는 바와 같이, 게이트 전극(701) 및 표면이 깎인 절연막(702)을 덮도록 절연막(703)을 형성한다. 절연막(703)은, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 질화산화 알루미늄막, 산화 하프늄막 또는 산화 탄탈막을 단층으로 형성하거나, 또는 적층으로 형성할 수 있다.

[0171] 또한, 본 명세서에 있어서, 산화질화물이란, 그 조성으로서, 질소보다도 산소의 함유량이 더 많은 물질이고, 또한, 질화산화물이란, 그 조성으로서, 산소보다도 질소의 함유량이 더 많은 물질을 가리킨다.

[0172] 또한, 본 실시형태에서는, 게이트 전극(701)을 노출시킬 정도로 절연막(702)을 얇게 하지만, 본 발명의 일 형태는 이 구성에 한정되지 않는다. 게이트 전극(701)과 겹치는 부분에 있어서 절연막(702)의 막 두께를 어느 정도 확보하여도 좋다. 다만, 이 경우, 반드시 절연막(703)을 형성하지 않아도 좋다.

[0173] 다음에, 도 11e에 도시하는 바와 같이, 공지의 CMOS의 제작 방법으로 사용하여 n채널형 트랜지스터(704), p채널형 트랜지스터(705)를 형성한다. 본 실시형태에서는, 단결정의 반도체 기판으로부터 분리된 단결정 반도체막을 사용하여 n채널형 트랜지스터(704), p채널형 트랜지스터(705)를 형성하는 경우를 예로 든다.

[0174] 구체적인 단결정 반도체막의 제작 방법의 일례에 대하여 간단하게 설명한다. 우선, 단결정의 반도체 기판에 전계에 의하여 가속된 이온으로 이루어지는 이온빔을 주입하여 반도체 기판 표면으로부터 일정한 깊이 영역에, 결정 구조가 흐트러져 국소적으로 취약화된 취화층을 형성한다. 취화층이 형성되는 영역의 깊이는, 이온빔의 가속 에너지와 이온빔의 입사각에 의하여 조절할 수 있다. 그리고, 반도체 기판과 기판(700)을, 사이에 게이트 전극(701), 절연막(702), 절연막(703)이 끼워지도록 접합한다. 접합은, 반도체 기판과 기판(700)을 중첩시

킨 후, 반도체 기판과 기판(700)의 일부에 $1N/cm^2$ 이상 $500N/cm^2$ 이하, 바람직하게는, $11N/cm^2$ 이상 $20N/cm^2$ 이하 정도의 압력을 가한다. 압력을 가하면, 그 부분으로부터 반도체 기판과 절연막(703)이 접합을 시작하고, 최종적으로는 밀착한 면 전체가 접합된다. 다음에, 가열 처리를 행함으로써, 취화층에 존재하는 미소 보이드끼리가 결합하여, 미소 보이드의 체적이 증대된다. 결과적으로, 취화층에 있어서 반도체 기판의 일부인 단결정 반도체막이 반도체 기판으로부터 분리된다. 상기 가열 처리의 온도는, 기판(700)의 변형점을 넘지 않는 온도로 한다. 그리고, 상기 단결정 반도체막을 에칭 등에 의하여 원하는 형상으로 가공함으로써 섬 형상의 반도체막(706), 섬 형상의 반도체막(707)을 형성할 수 있다.

[0175] n채널형 트랜지스터(704)는 절연막(703) 위의 섬 형상의 반도체막(706)을 사용하여 형성되고, p채널형 트랜지스터(705)는 절연막(703) 위의 섬 형상의 반도체막(707)을 사용하여 형성된다. 또한, n채널형 트랜지스터(704)는 게이트 전극(709)을 갖고, p채널형 트랜지스터(705)는 게이트 전극(710)을 갖는다. 또한, n채널형 트랜지스터(704)는 섬 형상의 반도체막(706)과 게이트 전극(709) 사이에 절연막(708)을 갖는다. p채널형 트랜지스터(705)는 섬 형상의 반도체막(707)과 게이트 전극(710) 사이에 절연막(708)을 갖는다.

[0176] 또한, 본 실시형태에서는 단결정의 반도체막을 사용하여 n채널형 트랜지스터(704)와 p채널형 트랜지스터(705)를 형성하는 예에 대하여 설명하지만, 본 발명은 이 구성에 한정되지 않는다. 예를 들어, 절연막(703) 위에 기상성장법을 사용하여 형성된 다결정, 미결정의 반도체막을 사용하여도 좋고, 상기 반도체막을 공지의 기술에 의하여 결정화하여 형성하여도 좋다. 공지의 결정화 방법으로서는, 레이저 광을 사용한 레이저 결정화법, 촉매 원소를 사용하는 결정화법이 있다. 또는, 촉매 원소를 사용하는 결정화법과 레이저 결정화법을 조합하여 사용할 수도 있다. 또한, 석영과 같은 내열성이 우수한 기판을 사용하는 경우, 전열 노(爐)를 사용한 열 결정화 방법, 적외광을 사용한 램프 어닐링 결정화법, 촉매 원소를 사용하는 결정화법, 950°C 정도의 고온 어닐링법 중 어느 하나의 결정화법, 또는 어느 것을 복수 조합한 결정화법을 사용하여도 좋다.

[0177] 또한, 도 11e에서는, 게이트 전극(709) 및 게이트 전극(710)이 되는 도전막을 형성하기 전에 절연막(703)과 절연막(708)에 게이트 전극(701)에 도달하는 콘택트 홀을 형성한다. 그리고, 콘택트 홀을 덮도록 절연막(708) 위에 도전막을 형성한 후, 상기 도전막을 에칭 등에 의하여 원하는 형상으로 가공함으로써, 게이트 전극(709) 및 게이트 전극(710)과 함께 게이트 전극(701)에 접속된 배선(711)을 형성한다.

[0178] 다음에, 도 12a에 도시하는 바와 같이, n채널형 트랜지스터(704), p채널형 트랜지스터(705), 배선(711)을 덮도록 절연막(712)을 형성한다. 또한, 본 실시형태에서는, 단층의 절연막(712)을 사용하는 경우를 예시하지만, 상기 절연막(712)은 단층일 필요는 없고, 2층 이상의 절연막을 적층시켜 절연막(712)으로서 사용하여도 좋다.

[0179] 절연막(712)은 후의 제작 공정에 있어서의 가열 처리의 온도에 견딜 수 있는 재료를 사용한다. 구체적으로, 절연막(712)으로서, 산화 실리콘, 질화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 질화 알루미늄, 산화 알루미늄 등을 사용하는 것이 바람직하다.

[0180] 절연막(712)은, 그 표면을 CMP법 등에 의하여 평탄화시켜도 좋다.

[0181] 다음에, 도 12a에 도시하는 바와 같이, 절연막(712) 위에 게이트 전극(713)을 형성한다.

[0182] 게이트 전극(713)에는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등의 금속 재료, 이들 금속 재료를 주성분으로 하는 합금 재료를 사용한 도전막, 또는 이들 금속의 질화물을 단층으로 사용하거나, 또는 적층으로 사용할 수 있다. 또한, 후의 공정에 있어서 행해지는 가열 처리에 견딜 수 있으면, 상기 금속 재료로서 알루미늄, 구리를 사용할 수도 있다. 알루미늄 또는 구리는, 내열성이거나 부식성의 문제를 회피하기 위하여 고용접 금속 재료와 조합하여 사용하면 좋다. 고용접 금속 재료로서는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등을 사용할 수 있다.

[0183] 예를 들어, 2층의 적층 구조를 갖는 게이트 전극(713)으로서 알루미늄막 위에 몰리브덴막이 적층된 2층의 적층 구조, 구리막 위에 몰리브덴막이 적층된 2층의 적층 구조, 구리막 위에 질화 티타늄막 또는 질화 탄탈막이 적층된 2층의 적층 구조, 또는 질화 티타늄막과 몰리브덴막이 적층된 2층의 적층 구조로 하는 것이 바람직하다. 3층의 적층 구조를 갖는 게이트 전극(713)으로서는, 알루미늄막, 알루미늄과 실리콘의 합금막, 알루미늄과 티타늄의 합금막, 또는 알루미늄과 네오디뮴의 합금막을 중간층으로 하여 텅스텐막, 질화 텅스텐막, 질화 티타늄막, 또는 티타늄을 상하층으로서 적층한 구조로 하는 것이 바람직하다.

[0184] 또한, 게이트 전극(713)에 산화 인듐, 산화 인듐 산화 주석 합금, 산화 인듐 산화 아연 합금, 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄, 또는 산화 아연 갈륨 등의 투광성을 갖는 산화물 도전막을 사용할 수도

있다.

[0185] 게이트 전극(713)의 막 두께는 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm로 한다. 본 실시형태에서는, 텅스텐 타깃을 사용한 스퍼터링법으로 150nm의 게이트 전극용의 도전막을 형성한 후, 상기 도전막을 에칭에 의하여 원하는 형상으로 가공(페터닝)함으로써 게이트 전극(713)을 형성한다. 또한, 형성된 게이트 전극층의 단부가 테이퍼 형상이면, 위에 적층되는 게이트 절연막의 피복성이 향상되기 때문에 바람직하다. 또한, 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면, 포토마스크를 사용하지 않기 때문에, 제작 비용을 저감할 수 있다.

[0186] 다음에, 게이트 전극(713) 위에 게이트 절연막(714)을 형성한다. 절연막(714)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 질화산화 알루미늄막, 산화 하프늄막 또는 산화 탄탈막을 단층으로 형성하거나, 또는 적층으로 형성할 수 있다. 게이트 절연막(714)은, 수분, 수소, 산소 등의 불순물을 극력 포함하지 않는 것이 바람직하다. 스퍼터링법에 의하여 산화 실리콘막을 형성하는 경우에는 타깃으로서 실리콘 타깃 또는 석영 타깃을 사용하고 스퍼터링 가스로서 산소, 또는 산소 및 아르곤의 혼합 가스를 사용한다.

[0187] 불순물을 제거함으로써, i형화 또는 실질적으로 i형화된 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위, 계면 전하에 대하여 극히 민감하기 때문에, 고순도화된 산화물 반도체와 절연막(714)과의 계면은 중요하다. 그래서, 고순도화된 산화물 반도체에 접하는 게이트 절연층(GI)은 고품질화가 요구된다.

[0188] 예를 들어, μ 파(2.45GHz)를 사용한 고밀도 플라즈마 CVD는 치밀하고 절연 내압이 높은 고품질의 절연막을 형성할 수 있어 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연막이 밀접함으로써, 계면 준위를 저감하여 계면 특성을 양호하게 할 수 있기 때문이다.

[0189] 물론, 게이트 절연막으로서 양질의 절연막을 형성할 수 있는 것이면, 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용할 수 있다. 또한, 성막 후의 열 처리에 의하여 게이트 절연막의 막질이나, 산화물 반도체와의 계면 특성이 개질되는 절연막이라도 좋다. 어쨌든, 게이트 절연막으로서의 막질이 양호한 것은 물론이고, 게이트 절연막과 산화물 반도체와의 계면 준위 밀도를 저감하고, 양호한 계면을 형성할 수 있는 것이면 좋다.

[0190] 배리어성이 높은 재료를 사용한 절연막과, 질소의 함유 비율이 낮은 산화 실리콘막, 산화질화 실리콘막 등의 절연막을 적층시킨 구조를 갖는 게이트 절연막(714)을 형성하여도 좋다. 이 경우, 산화 실리콘막, 산화질화 실리콘막 등의 절연막은 배리어성이 높은 절연막과 산화물 반도체막 사이에 형성한다. 배리어성이 높은 절연막으로서 예를 들어, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 또는 질화산화 알루미늄막 등을 들 수 있다. 배리어성이 높은 절연막을 사용함으로써, 수분, 또는 수소 등의 분위기 중의 불순물, 또는 기관 내에 포함되는 알칼리 금속, 중금속 등의 불순물이 산화물 반도체막 내, 게이트 절연막(714) 내, 또는 산화물 반도체막과 다른 절연막의 계면과 그 근방에 침입하는 것을 방지할 수 있다. 또한, 산화물 반도체막에 접하도록 질소의 함유 비율이 낮은 산화 실리콘막, 산화질화 실리콘막 등의 절연막을 형성함으로써, 배리어성이 높은 절연막이 직접 산화물 반도체막에 접하는 것을 방지할 수 있다.

[0191] 예를 들어, 제 1 게이트 절연막으로서 스퍼터링법에 의하여 막 두께 50nm 이상 200nm 이하의 질화 실리콘막 ($\text{SiN}_y(y>0)$)을 형성하고, 제 1 게이트 절연막 위에 제 2 게이트 절연막으로서 막 두께 5nm 이상 300nm 이하의 산화 실리콘막($\text{SiO}_x(x>0)$)을 적층하여 막 두께 100nm의 게이트 절연막(714)으로 하여도 좋다. 게이트 절연막(714)의 막 두께는 트랜지스터에 요구되는 특성에 따라, 적절히 설정하면 좋고, 350nm 내지 400nm 정도라도 좋다.

[0192] 본 실시형태에서는, 스퍼터링법으로 형성된 막 두께 50nm의 질화 실리콘막 위에, 스퍼터링법으로 형성된 막 두께 100nm의 산화 실리콘막을 적층시킨 구조를 갖는 게이트 절연막(714)을 형성한다.

[0193] 또한, 게이트 절연막은 후에 형성되는 산화물 반도체와 접한다. 산화물 반도체는, 수소가 함유되면 특성에 악영향을 미치기 때문에, 게이트 절연막은 수소, 수산기 및 수분이 포함되지 않는 것이 바람직하다. 게이트 절연막(714)에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해서는, 성막의 전(前) 처리로서 스퍼터링 장치의 예비 가열실에서 게이트 전극(713)이 형성된 기관(700)을 예비 가열하고, 기관(700)에 흡착된 수분 또는 수소 등의 불순물을 탈리시켜 배기하는 것이 바람직하다. 또한, 예비 가열의 온도로서는, 100°C 이상 400°C 이하, 바람직하게는 150°C 이상 300°C 이하이다. 또한, 예비 가열실에 설치하는 배기 수단은, 크라이오 펌프(cryo pump)가 바람직하다. 또한, 이 예비 가열의 처리는 생략할 수도 있다.

- [0194] 다음에, 게이트 절연막(714) 위에 막 두께 2nm 이상 200nm 이하, 바람직하게는 3nm 이상 50nm 이하, 더 바람직하게는 3nm 이상 20nm 이하의 산화물 반도체막을 형성한다. 산화물 반도체막은, 산화물 반도체를 타깃으로서 사용하여 스퍼터링법에 의하여 형성한다. 또한, 산화물 반도체막은 희 가스(예를 들어, 아르곤) 분위기하, 산소 분위기하, 또는 희 가스(예를 들어, 아르곤) 및 산소 분위기하에 있어서 스퍼터링법에 의하여 형성할 수 있다.
- [0195] 또한, 산화물 반도체막을 스퍼터링법에 의하여 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하여, 게이트 절연막(714)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역 스퍼터링이란, 타깃 측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측에 RF 전원을 사용하여 전압을 인가함으로써 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용하여도 좋다. 또는, 아르곤 분위기에 산소, 또는 아산화질소 등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에 염소 또는 4불화 탄소 등을 첨가한 분위기에서 행하여도 좋다.
- [0196] 산화물 반도체막에는 상술한 바와 같이, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 사용할 수 있다.
- [0197] 본 실시형태에서는, In(인듐), Ga(갈륨), 및 Zn(아연)을 포함하는 타깃을 사용한 스퍼터링법에 의하여 얻어지는 막 두께 30nm의 In-Ga-Zn-O계 산화물 반도체의 박막을 산화물 반도체로서 사용한다. 상기 타깃으로서 예를 들어, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [mol수 비율]의 조성 비율을 갖는 타깃을 사용한다. 또한, $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol 수 비율]의 조성 비율을 갖는 타깃, 또는 $In_2O_3:Ga_2O_3:ZnO=1:1:4$ [mol수 비율]의 조성 비율을 갖는 타깃을 사용할 수 있다. 또한, SiO_2 를 2wt% 이상 10wt% 이하 포함하는 타깃을 사용하여 성막을 행하여도 좋다. 또한, In, Ga, 및 Zn을 포함하는 타깃을 포함하는 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9%이다. 충전율이 높은 타깃을 사용함으로써, 성막한 산화물 반도체막은 치밀한 막이 된다.
- [0198] 또한, 산화물 반도체로서 In-Zn-O계의 재료를 사용하는 경우, 사용하는 타깃의 조성 비율은 원자수 비율로 $In:Zn=50:1$ 내지 1:2(mol수 비율로 환산하면 $In_2O_3:ZnO=25:1$ 내지 1:4), 바람직하게는 $In:Zn=20:1$ 내지 1:1(mol 수 비율로 환산하면 $In_2O_3:ZnO=10:1$ 내지 2:1), 더 바람직하게는, $In:Zn= 1.5:1$ 내지 15:1(mol수 비율로 환산하면 $In_2O_3:ZnO=3:4$ 내지 15:2)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용되는 타깃은 원자수 비율이 $In:Zn:O=X:Y:Z$ 일 때, $Z>1.5X+Y$ 로 한다. Zn의 비율을 상기 범위에 들어가게 함으로써, 이동도의 향상을 실현할 수 있다.
- [0199] 본 실시형태에서는, 감압 상태로 유지된 처리실 내에 기판을 유지하고, 처리실 내의 잔류 수분을 제거하면서, 수소 및 수분이 제거된 스퍼터링 가스를 도입하고 상기 타깃을 사용하여 기판(700) 위에 산화물 반도체막을 형성한다. 형성할 때, 기판 온도를 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하로 하여도 좋다. 기판을 가열하면서 형성함으로써, 형성된 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션(sublimation) 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서는, 터보 펌프에 콜드 트랩(cold trap)을 설치한 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 성막실은, 예를 들어, 수소 원자나 물(H_2O) 등의 수소 원자를 포함하는 화합물(보다 바람직하게는, 탄소 원자를 포함하는 화합물도) 등이 배기되므로, 상기 성막실에서 형성한 산화물 반도체 막에 포함되는 불순물의 농도를 저감할 수 있다.
- [0200] 성막 조건의 일례로서는, 기판과 타깃 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기하의 조건이 적용된다. 또한, 펄스 직류(DC) 전원을 사용하면, 성막시에 발생하는 먼지를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다.
- [0201] 또한, 산화물 반도체막에 수소, 수산기, 및 수분이 가능한 한 포함되지 않도록 하기 위하여, 막 형성의 전 처리로서 스퍼터링 장치의 예비 가열실에서 게이트 전극막(714)까지 형성된 기판(700)을 예비 가열하고, 기판(700)에 흡착한 수소, 수분 등의 불순물을 탈리시켜 배기하는 것이 바람직하다. 또한, 예비 가열의 온도로서는, 100

℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 또한, 예비 가열실에 설치하는 배기 수단은, 크라이오 펌프가 바람직하다. 또한, 이 예비 가열의 처리는 생략할 수도 있다. 또한, 이 예비 가열은 나중에 행해지는 절연막(723)을 형성하기 전에 전극(716) 내지 전극(722)까지 형성한 기판(700)에도 마찬가지로 행하여도 좋다.

[0202] 다음에, 도 12b에 도시하는 바와 같이, 산화물 반도체막을 에칭 등에 의하여, 원하는 형상으로 가공(패터닝)하고, 게이트 전극층(714) 위의 게이트 전극(713)과 겹치는 위치에 섬 형상의 산화물 반도체막(715)을 형성한다.

[0203] 섬 형상의 산화물 반도체막(715)을 형성하기 위한 레지스트 마스크를 잉크젯법에 의하여 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제작 비용을 저감할 수 있다.

[0204] 또한, 섬 형상의 산화물 반도체막(715)을 형성하기 위한 에칭은, 드라이 에칭이라도 좋고, 웨트 에칭이라도 좋고, 양쪽 모두를 사용하여도 좋다. 드라이 에칭에 사용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl₂), 삼염화 봉소(BCl₃), 사염화 실리콘(SiCl₄), 사염화 탄소(CCl₄) 등)가 바람직하다. 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 사불화 탄소(CF₄), 육불화 유황(SF₆), 삼불화 질소(NF₃), 트리플루오로메탄(CHF₃) 등), 브롬화 수소(HBr), 산소(O₂), 이들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희 가스를 첨가한 가스, 등을 사용할 수 있다.

[0205] 드라이 에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)을 적절하게 조절한다.

[0206] 웨트 에칭에 사용되는 에칭액으로서, ITO-07N(KANTO CHEMICAL CO., INC 제조)을 사용하여도 좋다. 또한, 웨트 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의하여 제거된다. 그 제거된 재료를 포함하는 에칭액의 폐액을 정제하고, 포함되는 재료를 재이용하여도 좋다. 상기 에칭 후의 폐액으로부터 산화물 반도체막에 포함되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 유효 활용하여 저비용화를 도모할 수 있다.

[0207] 또한, 다음의 공정의 도전막을 형성하기 전에 역 스퍼터링을 행하여 섬 형상의 산화물 반도체막(715) 및 게이트 절연막(714)의 표면에 부착되어 있는 레지스트 잔사 등을 제거하는 것이 바람직하다.

[0208] 또한, 스퍼터링 등으로 형성된 산화물 반도체막 중에는, 불순물로서의 수분 또는 수소가 다량 포함되는 경우가 있다. 수분 또는 수소는, 도너 준위를 형성하기 쉬우므로, 산화물 반도체에서는 불순물이다. 그래서, 본 발명의 일 형태에서는, 산화물 반도체막 중의 수분 또는 수소 등의 불순물을 저감하기 위하여, 산화물 반도체막(715)에 대하여 질소, 산소, 초전조 공기, 또는 희 가스(아르곤, 헬륨 등)의 분위기 하에 있어서 산화물 반도체막(715)에 가열 처리를 행한다. 상기 가스는, 물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 것이 바람직하다.

[0209] 산화물 반도체막(715)에 가열 처리를 행함으로써, 산화물 반도체막(715) 중의 수분 또는 수소를 탈리시킬 수 있다. 구체적으로는 300℃ 이상 700℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하로 가열 처리를 행하면 좋다. 예를 들어, 500℃, 3분간 이상 6분간 이하 정도로 행하면 좋다. 가열 처리에 RTA법을 사용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있으므로, 유리 기판의 변형점을 넘는 온도로도 처리를 행할 수 있다.

[0210] 본 실시형태에서는, 가열 처리 장치 중의 하나인 전기로(電氣爐)를 사용한다.

[0211] 또한, 가열 처리 장치는, 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열 전도 또는 열 복사에 의하여 피처리물을 가열하는 장치를 구비하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의하여, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 기체에는, 아르곤 등의 희 가스, 또는 질소와 같은, 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체가 사용된다.

[0212] 또한, 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스에, 수분 또는 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

- [0213] 이상의 공정에 의하여, 산화물 반도체막(715) 중의 수소의 농도를 저감하여 고순도화할 수 있다. 이에 따라, 산화물 반도체막의 안정화를 도모할 수 있다. 또한, 유리 전이 온도 이하의 가열 처리에서, 수소에 기인하는 캐리어 밀도가 적고, 밴드 갭이 넓은 산화물 반도체막을 형성할 수 있다. 따라서, 대면적 기판을 사용하여 트랜지스터를 제작할 수 있고, 양산성을 높일 수 있다. 또한, 상기 수소 농도가 저감되어 고순도화된 산화물 반도체막을 사용함으로써, 내압성이 높고 온-오프 비율이 높은 트랜지스터를 제작할 수 있다.
- [0214] 또한, 산화물 반도체막을 가열하는 경우, 산화물 반도체막의 재료나 가열 조건에 따라 다르지만, 그 표면에 판(板) 형상 결정이 형성되는 경우가 있다. 판 형상 결정은, 산화물 반도체막 표면에 대하여 대략 수직으로 c축 배향한 단결정체인 것이 바람직하다. 또한, 단결정체가 아니어도, 각 결정이 산화물 반도체막 표면에 대하여 대략 수직으로 c축 배향한 다결정체인 것이 바람직하다. 그리고, 상기 다결정체는, c축 배향하는 것뿐만 아니라 각 결정의 ab면이 일치하거나, a축 또는 b축이 일치하는 것이 바람직하다. 또한, 산화물 반도체막의 하지 표면에 요철이 있는 경우, 판 형상 결정은 다결정체가 된다. 따라서, 하지 표면은 가능한 한 평탄한 것이 바람직하다.
- [0215] 다음에, 절연막(708), 절연막(712), 게이트 절연막(714)을 부분적으로 에칭함으로써, n채널형 트랜지스터(704)가 갖는 섬 형상의 반도체막(706)과, p채널형 트랜지스터(705)가 갖는 섬 형상의 반도체막(707)과, n채널형 트랜지스터(704)가 갖는 게이트 전극(709)과, p채널형 트랜지스터(705)가 갖는 게이트 전극(710)과, 배선(711)에 도달하는 콘택트 홀을 형성한다.
- [0216] 그리고, 산화물 반도체막(715)을 덮도록 스퍼터링법이나 진공 증착법으로 도전막을 형성한 후, 에칭 등에 의하여 상기 도전막을 패터닝함으로써 도 12c에 도시하는 바와 같이, 소스 전극, 드레인 전극, 또는 배선으로서 기능하는 전극(716) 내지 전극(722)을 형성한다.
- [0217] 또한, 전극(716) 및 전극(718)은 섬 형상의 반도체막(706)에 접한다. 전극(717)은 게이트 전극(709)에 접한다. 전극(718) 및 전극(720)은 섬 형상의 반도체막(707)에 접한다. 전극(719)은 게이트 전극(710)에 접한다. 전극(721)은 배선(711) 및 산화물 반도체막(715)에 접한다. 전극(722)은 산화물 반도체막(715)에 접한다.
- [0218] 또한, 본 실시형태에서는, 전극(721)과 게이트 전극(701)을 배선(711)을 통하여 접속시키는 경우를 예시하지만, 본 발명의 일 형태에서는 전극(721)과 게이트 전극(701)은 직접 접속되어도 좋다. 다만, 이 경우, 전극(721)과 게이트 전극(701)을 연결하는 콘택트 홀의 형성과, 다른 콘택트 홀의 형성은 상이한 공정으로 행하는 것이 바람직하다. 상기 구성에 의하여 섬 형상의 반도체막(707) 및 섬 형상의 반도체막(706)에 도달하는 콘택트 홀을 형성할 때 섬 형상의 반도체막(707) 및 섬 형상의 반도체막(706)이 에칭되는 것을 방지할 수 있다.
- [0219] 전극(716) 내지 전극(722)이 되는 도전막의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, Al, Cu 등의 금속막의 아래 쪽 또는 위 쪽에 Cr, Ta, Ti, Mo, W 등의 고용접 금속막을 적층시킨 구조으로 하여도 좋다. 또한, Si, Ti, Ta, W, Mo, Cr, Nd, Sc, Y 등 Al막에 힐록이나 위스커가 발생되는 것을 방지하는 원소가 첨가되어 있는 Al 재료를 사용함으로써, 내열성을 향상시킬 수 있게 된다.
- [0220] 또한, 도전막은 단층 구조라도 좋고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, Ti막과, 그 Ti막 위에 중첩하여 알루미늄막을 적층하고, 또한 그 위에 Ti막을 형성하는 3층 구조 등을 들 수 있다.
- [0221] 또한, 전극(716) 내지 전극(722)이 되는 도전막으로서는, 도전성의 금속 산화물로 형성하여도 좋다. 도전성의 금속 산화물로서는, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 산화 주석 합금($In_2O_3-SnO_2$; ITO라고 약기함), 산화 인듐 산화 아연 합금(In_2O_3-ZnO) 또는 상기 금속 산화물 재료에 실리콘 또는 산화 실리콘을 포함시킨 것을 사용할 수 있다.
- [0222] 도전막 형성 후에 가열 처리를 행하는 경우에는, 이 가열 처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다.
- [0223] 또한, 도전막을 에칭할 때, 산화물 반도체막(715)이 가능한 한 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다. 에칭 조건에 따라서는, 섬 형상의 산화물 반도체막(715)이 노출된 부분이 일부 에칭됨으로써 홈부(오목부)가 형성될 수도 있다.
- [0224] 본 실시형태에서는, 도전막으로서 티타늄막을 사용한다. 그래서, 암모니아와 과산화 수소수를 포함하는 용액

(암모니아 과수)을 사용하여 선택적으로 도전막을 웨트 에칭할 수 있지만, 산화물 반도체막(715)도 일부 에칭된다. 구체적으로는, 31wt%의 과산화 수소수와 28wt%의 암모니아수와 물을 체적 비율 5:2:2로 혼합한 암모니아 과수를 사용한다. 또는 염소(Cl_2), 삼염화 봉소(BCl_3) 등을 포함하는 가스를 사용하여 도전막을 드라이 에칭하여도 좋다.

[0225] 또한, 포토리소그래피 공정에서 사용하는 포토 마스크 수 및 공정 수를 삭감하기 위하여 투과한 광에 다단계의 강도를 갖게 하는 다계조 마스크로 형성된 레지스트 마스크를 사용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 사용하여 형성한 레지스트 마스크는 복수의 막 두께를 갖는 형상이 되고, 에칭을 행함으로써 형상을 더 변형시킬 수 있으므로, 상이한 패턴으로 가공하는 복수의 에칭 공정에 사용할 수 있다. 따라서, 1장의 다단계 마스크에 의하여 적어도 2종류 이상의 상이한 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크 수를 삭감할 수 있고, 대응하는 포토리소그래피 공정도 삭감할 수 있으므로 공정의 간략화가 가능해진다.

[0226] 다음에, N_2O , N_2 또는 Ar 등의 가스를 사용한 플라즈마 처리를 행한다. 이 플라즈마 처리에 의하여 노출되는 산화물 반도체막 표면에 부착된 흡착수 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 사용하여 플라즈마 처리를 행하여도 좋다.

[0227] 또한, 플라즈마 처리를 행한 후, 도 12d에 도시하는 바와 같이, 전극(716) 내지 전극(722)과, 산화물 반도체막(715)을 덮도록 절연막(723)을 형성한다. 절연막(723)은 수분이나 수소, 산소 등의 불순물을 극력 포함하지 않는 것이 바람직하고, 단층의 절연막이라도 좋고, 적층된 복수의 절연막으로 구성되어도 좋다. 절연막(723)에 수소가 포함되면, 그 수소가 산화물 반도체막에 침입, 또는 수소가 산화물 반도체막 중의 산소의 추출하고, 산화물 반도체막의 백 채널부가 저저항화(n 형화)되어 버리고, 기생 채널이 형성될 우려가 있다. 따라서, 절연막(723)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법에 수소를 사용하지 않는 것이 중요하다. 상기 절연막(723)에는, 배리어성이 높은 재료를 사용하는 것이 바람직하다. 예를 들어, 배리어성이 높은 절연막으로서 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 또는 질화산화 알루미늄막 등을 사용할 수 있다. 복수의 적층된 절연막을 사용하는 경우, 질소의 함유 비율이 낮은 산화 실리콘막, 산화질화 실리콘막 등의 절연막을 상기 배리어성이 높은 절연막보다 산화물 반도체막(715)에 가까운 측에 형성한다. 또한, 질소의 함유 비율이 낮은 절연막을 사이에 끼워 전극(716) 내지 전극(722) 및 산화물 반도체막(715)과 겹치도록 배리어성이 높은 절연막을 형성한다. 배리어성이 높은 절연막을 사용함으로써, 산화물 반도체막(715) 내, 게이트 절연막(714) 내, 또는 산화물 반도체막(715)과 다른 절연막의 계면 및 그 근방에 수분 또는 수소 등의 불순물이 혼입되는 것을 방지할 수 있다. 또한, 산화물 반도체막(715)에 접하도록 질소의 비율이 낮은 산화 실리콘막, 산화질화 실리콘막 등의 절연막을 형성함으로써, 배리어성이 높은 재료를 사용한 절연막이 직접 산화물 반도체막(715)에 접하는 것을 방지할 수 있다.

[0228] 본 실시형태에서는, 스퍼터링법으로 형성된 막 두께 200nm의 산화 실리콘막 위에 스퍼터링법으로 형성된 막 두께 100nm의 질화 실리콘막을 적층시킨 구조를 갖는 절연막(723)을 형성한다. 막 형성시의 기관 온도는, 실온 이상 300°C 이하로 하면 좋고, 본 실시형태에서는 100°C로 한다.

[0229] 또한, 절연막(723)을 형성한 후에, 가열 처리를 행하여도 좋다. 가열 처리는, 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기), 또는 희 가스(아르곤, 헬륨 등)의 분위기 하에 있어서 바람직하게는 200°C 이상 400°C 이하, 예를 들어 250°C 이상 350°C 이하로 행한다. 본 실시형태에서는 예를 들어, 질소 분위기 하에서 250°C, 1시간의 가열 처리를 행한다. 또는 전극(716) 내지 전극(722)을 형성하기 전에 산화물 반도체막에 대하여 행한 앞의 가열 처리와 마찬가지로 고온, 단시간의 RTA 처리를 행하여도 좋다. 산화물 반도체막에 대하여 행한 앞의 가열 처리에 의하여 산화물 반도체막(715)에 산소 결손이 발생하였다고 하더라도, 전극(721)과 전극(722) 사이에 형성된 산화물 반도체막(715)의 노출 영역에 접하여 산소를 포함하는 절연막(723)이 형성된 후에 가열 처리가 실시됨으로써, 산화물 반도체막(715)에 산소가 공여된다. 그래서, 산화물 반도체막(715)의 절연막(723)과 접하는 영역에 산소가 공여됨으로써, 도너가 되는 산소 결손을 저감하고, 화학 양론적 조성 비율을 만족시킬 수 있다. 결과적으로 산화물 반도체막(715)을 i형화 또는 실질적으로 i형화시킬 수 있고, 트랜지스터의 전기 특성의 향상 및 전기 특성의 편차를 경감시킬 수 있다. 이 가열 처리를 행하는 타이밍은, 절연막(723)을 형성한 후라면 특별히 한정되지 않고, 다른 공정, 예를 들어 수지막을 형성할 때의 가열 처리나 투명 도전막을 저저항화시키기 위한 가열 처리와 겹함으로써 공정 수가 증가되지 않고 산화물 반도체막(715)을 i형화 또는 실질적으로 i형화시킬 수 있다.

[0230] 절연막(723) 위에 도전막을 형성한 후, 상기 도전막을 패터닝함으로써, 산화물 반도체막(715)과 겹치는 위치에

백 게이트 전극을 형성하여도 좋다. 백 게이트 전극을 형성하는 경우, 백 게이트 전극을 덮도록 절연막을 형성한다. 백 게이트 전극은 게이트 전극(713), 또는 전극(716) 내지 전극(722)과 같은 재료, 구조를 사용하여 형성할 수 있다.

[0231] 백 게이트 전극의 막 두께는, 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm로 한다. 예를 들어, 티타늄막, 알루미늄막, 티타늄막이 적층된 구조를 갖는 도전막을 형성한 후, 포토리소그래피법 등에 의하여 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하고, 상기 도전막을 원하는 형상으로 가공(페터닝)하는 것으로 백 게이트 전극을 형성하면 좋다.

[0232] 이상의 공정에 의하여 트랜지스터(724)가 형성된다.

[0233] 트랜지스터(724)는 게이트 전극(713)과, 게이트 전극(713) 위의 게이트 절연막(714)과, 게이트 절연막(714) 위에 있어서 게이트 전극(713)과 겹치는 산화물 반도체막(715)과, 산화물 반도체막(715) 위에 형성된 한 쌍의 전극(721) 및 전극(722)을 갖는다. 또한, 트랜지스터(724)는 산화물 반도체막(715) 위에 형성된 절연막(723)을 그 구성 요소에 포함하여도 좋다. 도 12d에 도시하는 트랜지스터(724)는 전극(721)과 전극(722) 사이에 있어서 산화물 반도체막(715)의 일부가 에칭된 채널 에치 구조이다.

[0234] 또한, 트랜지스터(724)는 싱글 게이트 구조의 트랜지스터를 사용하여 설명하였지만, 필요에 따라, 전기적으로 접속된 복수의 게이트 전극(713)을 가짐으로써 채널 형성 영역을 복수 갖는, 멀티 게이트 구조의 트랜지스터도 형성할 수 있다.

[0235] 본 실시형태는, 상기 실시형태와 조합하여 실시할 수 있다.

[0236] (실시형태 7)

[0237] 본 실시형태에서는, 실시형태 6과 상이한 구조를 갖는, 산화물 반도체막을 사용한 트랜지스터에 대하여 설명한다.

[0238] 도 13a에 도시하는 논리 회로는, 실시형태 6과 마찬가지로 n채널형 트랜지스터(704)와 p채널형 트랜지스터(705)를 갖는다. 그리고, 도 13a에서는, n채널형 트랜지스터(704)와 p채널형 트랜지스터(705) 위에 산화물 반도체막을 사용한 채널 보호 구조의 보텀 게이트형 트랜지스터(724)가 형성된다.

[0239] 트랜지스터(724)는 절연막(712) 위에 형성된 게이트 전극(730)과, 게이트 전극(730) 위의 게이트 절연막(731)과, 게이트 절연막(731) 위에 있어서 게이트 전극(730)과 겹치는 섬 형상의 산화물 반도체막(732)과, 게이트 전극(730)과 겹치는 위치에 있어서 산화물 반도체막(732) 위에 형성된 채널 보호막(733)과, 산화물 반도체막(732) 위에 형성된 전극(734) 및 전극(735)을 갖는다. 또한, 트랜지스터(724)는 산화물 반도체막(732) 위에 형성된 절연막(736)을 그 구성 요소에 포함하여도 좋다.

[0240] 채널 보호막(733)을 형성함으로써 산화물 반도체막(732)의 채널 형성 영역이 되는 부분에 대한, 후의 공정에 있어서의 에칭시의 플라즈마나 에칭제로 인한 막 감소 등의 대미지를 방지할 수 있다. 따라서, 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0241] 채널 보호막(733)에는, 산소를 포함하는 무기 재료(산화 실리콘, 질화산화 실리콘, 산화 알루미늄, 또는 산화질화 알루미늄 등)를 사용할 수 있다. 채널 보호막(733)은, 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법이나 스퍼터링법을 사용하여 형성할 수 있다. 채널 보호막(733)은 성막 후에 에칭에 의하여 형상을 가공한다. 여기서는, 스퍼터링법에 의하여 산화 실리콘막을 형성하고, 포토리소그래피에 의한 마스크를 사용하여 에칭 가공함으로써 채널 보호막(733)을 형성한다.

[0242] 산소를 포함하는 무기 재료를 채널 보호막(733)에 사용함으로써 수분 또는 수소를 저감시키기 위한 가열 처리에 의하여 산화물 반도체막(732) 중에 산소 결손이 발생되어 있더라도 산화물 반도체막(732)의 적어도 채널 보호막(733)과 접하는 영역에 산소를 공급함으로써 도너가 되는 산소 결손을 저감하여 화학 양론적 조성 비율을 만족시키는 구조으로 할 수 있다. 따라서, 채널 형성 영역을 i형화 또는 실질적으로 i형화시킬 수 있고, 산소 결손에 의한 트랜지스터의 전기 특성의 편차를 경감시켜 전기 특성의 향상을 실현할 수 있다.

[0243] 또한, 트랜지스터(724)는 절연막(736) 위에 백 게이트 전극을 더 가져도 좋다. 백 게이트 전극은 산화물 반도체막(732)의 채널 형성 영역과 겹치도록 형성한다. 백 게이트 전극은 전기적으로 절연된 플로팅(Floating) 상태라도 좋고, 전위가 인가되는 상태라도 좋다. 후자의 경우, 백 게이트 전극에는 게이트 전극(730)과 같은 레벨의 전위가 인가되어도 좋고, 그라운드 등의 고정 전위가 인가되어도 좋다. 백 게이트 전극에 인가되는 전위

의 레벨을 제어함으로써 트랜지스터(724)의 임계 값 전압을 제어할 수 있다.

[0244] 도 13b에 도시하는 논리 회로는, 실시형태 6과 마찬가지로 결정성 실리콘을 사용한 n채널형 트랜지스터(704)와 p채널형 트랜지스터(705)를 갖는다. 그리고, 도 13b에서는, n채널형 트랜지스터(704)와 p채널형 트랜지스터(705) 위에 산화물 반도체막을 사용한 보텀 콘택트형 트랜지스터(724)가 형성된다.

[0245] 트랜지스터(724)는, 절연막(712) 위에 형성된 게이트 전극(741)과, 게이트 전극(741) 위의 게이트 절연막(742)과, 게이트 절연막(742) 위의 전극(743), 전극(744)과, 게이트 절연막(742)을 사이에 끼워 게이트 전극(741)과 겹치는 산화물 반도체막(745)을 갖는다. 또한, 트랜지스터(724)는 산화물 반도체막(745) 위에 형성된 절연막(746)을 그 구성 요소에 포함하여도 좋다.

[0246] 또한, 트랜지스터(724)는 절연막(746) 위에 백 게이트 전극을 더 가져도 좋다. 백 게이트 전극은 산화물 반도체막(745)의 채널 형성 영역과 겹치도록 형성한다. 백 게이트 전극은 전기적으로 절연된 플로팅 상태라도 좋고, 전위가 인가되는 상태라도 좋다. 후자의 경우에는, 백 게이트 전극에는 게이트 전극(741)과 같은 레벨의 전위가 인가되어도 좋고, 그라운드 등의 고정 전위가 인가되어도 좋다. 백 게이트 전극에 인가되는 전위의 레벨을 제어함으로써 트랜지스터(724)의 임계 값 전압을 제어할 수 있다.

[0247] 도 13c에 도시하는 논리 회로는, 실시형태 6과 마찬가지로 결정성 실리콘을 사용한 n채널형 트랜지스터(704)와 p채널형 트랜지스터(705)를 갖는다. 그리고, 도 13c에서는, n채널형 트랜지스터(704)와 p채널형 트랜지스터(705) 위에 산화물 반도체막을 사용한 톱 게이트형 트랜지스터(724)가 형성된다.

[0248] 트랜지스터(724)는, 절연막(712) 위에 형성된 전극(751), 전극(752)과, 전극(751), 전극(752) 위에 형성된 산화물 반도체막(753)과, 산화물 반도체막(753) 위의 게이트 절연막(754)과, 게이트 절연막(754) 위에 있어서 산화물 반도체막(753)과 겹치는 게이트 전극(755)을 갖는다. 또한, 트랜지스터(724)는 게이트 전극(755) 위에 형성된 절연막을 그 구성 요소에 포함하여도 좋다.

[0249] 본 실시형태는, 상기 실시형태와 조합하여 실시할 수 있다.

[0250] (실시형태 8)

[0251] 본 발명의 일 형태에 따른 반도체 장치에서는, 논리 회로가 갖는 도직부를, 벌크형(bulk)의 단결정 반도체 기판을 사용하여 제작된 트랜지스터로 구성하여도 좋다.

[0252] 도 17에 벌크형의 단결정 반도체 기판을 사용하여 형성된 트랜지스터 위에 산화물 반도체를 사용한 트랜지스터가 형성된 논리 회로의 단면도를 일례로서 도시한다.

[0253] 도 17에 도시하는 논리 회로는, 반도체 기판(800)에 형성된 n채널형 트랜지스터(801) 및 p채널형 트랜지스터(802)와, n채널형 트랜지스터(801) 및 p채널형 트랜지스터(802)를 덮는 절연막(803) 및 절연막(804) 위에 형성된 트랜지스터(805)를 갖는다.

[0254] 트랜지스터(805)는, 그 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터이고, 도 17에서는 실시형태 6에서 나타낸 구조를 갖는 경우를 예시하지만, 실시형태 7에 나타낸 구성을 가져도 좋다.

[0255] 반도체 기판(800)은, 예를 들어 n형 또는 p형의 도전형을 갖는 단결정 실리콘 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, 사파이어 기판, ZnSe 기판 등) 등을 사용할 수 있다. 도 17에서는, p형의 도전성을 갖는 단결정 실리콘 기판을 사용한 경우를 예시한다.

[0256] 또한, n채널형 트랜지스터(801) 및 p채널형 트랜지스터(802)는 소자 분리용 절연막(806)에 의하여 전기적으로 분리되어 있다. 소자 분리용 절연막(806)의 형성에는, 선택 산화법(LOCOS(Local Oxidation of Silicon)법) 또는 트렌치 분리법 등을 사용할 수 있다.

[0257] 반도체 기판(800)에 있어서, n채널형 트랜지스터(801)가 형성되는 영역에는, p형의 도전형을 부여하는 봉소(B), 알루미늄(Al), 갈륨(Ga) 등의 불순물 원소를 선택적으로 도입함으로써, p웰(807)이라고 불리는 영역이 형성된다. 또한, 반도체 기판(800)에 있어서 p채널형 트랜지스터(802)가 형성되는 영역에는 n형의 도전형을 부여하는 인(P)이나 비소(As) 등의 불순물 원소를 선택적으로 도입함으로써, n웰(808)이라고 불리는 영역이 형성된다.

[0258] 그리고, n채널형 트랜지스터(801)는 p웰(807)에 선택적으로 형성된 소스 영역 또는 드레인 영역으로서 기능하는 n형의 불순물 영역(809), n형의 불순물 영역(810)과, p웰(807)을 덮는 게이트 절연막(811)과, 게이트 절연막

(811)을 사이에 끼워 p웰(807)과 겹치는 게이트 전극(812)을 갖는다.

[0259] 또한, p채널형 트랜지스터(802)는 n웰(808)에 선택적으로 형성된 소스 영역 또는 드레인 영역으로서 기능하는 p형의 불순물 영역(813), p형의 불순물 영역(814)과, n웰(808)을 덮는 게이트 절연막(811)과 게이트 절연막(811)을 사이에 끼워 n웰(808)과 겹치는 게이트 전극(815)을 갖는다.

[0260] 그리고, n웰(808)에는 n형의 불순물 영역(816)이 형성된다.

[0261] n채널형 트랜지스터(801)과 p채널형 트랜지스터(802)는 절연막(803)으로 덮여 있다. 그리고, 절연막(803) 위에는, 소스 전극 또는 드레인 전극으로서 기능하는 전극(820) 내지 전극(823)이 형성된다. 전극(820)은, 절연막(803)에 형성된 콘택트 홀을 통하여 n형의 불순물 영역(809)에 접속된다. 전극(821)은 절연막(803)에 형성된 콘택트 홀을 통하여 n형의 불순물 영역(810) 및 p형의 불순물 영역(813)에 접속된다. 전극(822)은 절연막(803)에 형성된 콘택트 홀을 통하여 p형의 불순물 영역(814)에 접속된다. 전극(823)은 절연막(803)에 형성된 콘택트 홀을 통하여 n형의 불순물 영역(816)에 접속된다.

[0262] 또한, 도 17에서는 전극(820) 내지 전극(823)을 덮도록 절연막(803) 위에 절연막(804)이 형성되어 있다.

[0263] 트랜지스터(805)는, 절연막(804) 위에 게이트 전극(830)과 게이트 전극(830) 위의 절연막(831)과, 절연막(831)을 사이에 협지하고, 게이트 전극(830)과 겹치는 활성층으로서 기능하는 산화물 반도체막(832)과 산화물 반도체막(832)에 접하는 전극(833) 및 전극(834)을 갖는다. 산화물 반도체막(832), 전극(833) 및 전극(834) 위에는 절연막(835)이 형성되고, 트랜지스터(805)는 절연막(835)을 구성 요소에 포함하여도 좋다.

[0264] 그리고, 전극(823)은 절연막(804)에 형성된 콘택트 홀을 통하여 전극(833)에 접속된다.

[0265] 도 17에 도시하는 논리 회로에서는, p채널형 트랜지스터(802)가 형성되는 n웰(808)의 전위, 즉 기판 전위를 n형의 불순물 영역(816)에 주는 전위에 의하여 제어할 수 있다. 그리고, n형의 불순물 영역(816)에 주어진 전위는 트랜지스터(805)에 의하여 유지할 수 있다.

[0266] 본 실시형태는, 상기 실시형태와 조합하여 실시할 수 있다.

[0267] (실시예 1)

[0268] 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 신뢰성이 높은 전자 기기, 소비 전력이 낮은 전자 기기를 제공할 수 있다. 특히, 전력의 공급을 상시 받기 어려운 휴대용의 전자 기기의 경우, 본 발명의 일 형태에 따른 소비 전력이 낮은 반도체 장치를 그 구성 요소에 추가함으로써 연속 사용 시간이 길어지는 장점을 얻을 수 있다.

[0269] 본 발명의 일 형태에 따른 반도체 장치는, 표시 장치, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 외, 본 발명의 일 형태에 따른 표시 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 콤포넌트 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들의 전자 기기의 구체적인 예를 도 16a 내지 도 16e에 도시한다.

[0270] 도 16a는 전자 서적이며, 케이스(7001), 표시부(7002) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 전자 서적의 구동을 제어하기 위한 접적 회로에 사용할 수 있다. 전자 서적의 구동을 제어하기 위한 접적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 신뢰성이 높은 전자 서적, 소비 전력이 낮은 전자 서적을 제공할 수 있다. 또한, 가요성을 갖는 기판을 사용함으로써, 반도체 장치에 가요성을 갖게 할 수 있으므로, 플렉시블하고 또 가벼워 사용성이 좋은 전자 서적을 제공할 수 있다.

[0271] 도 16b는 표시 장치이며, 케이스(7011), 표시부(7012), 지지대(7013) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 표시 장치의 구동을 제어하기 위한 접적 회로에 사용할 수 있다. 표시 장치의 구동을 제어하기 위한 접적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 신뢰성이 높은 표시 장치, 소비 전력이 낮은 표시 장치를 제공할 수 있다. 또한, 표시 장치에는 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시 장치가 포함된다.

[0272] 도 16c는 표시 장치이며, 케이스(7021), 표시부(7022) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 표시 장치의 구동을 제어하기 위한 접적 회로에 사용할 수 있다. 표시 장치의 구동을 제어하기 위한 접적 회로

에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 신뢰성이 높은 표시 장치, 소비 전력이 낮은 표시 장치를 제공할 수 있다. 또한, 가요성을 갖는 기판을 사용함으로써, 반도체 장치에 가요성을 갖게 할 수 있으므로, 플렉시블하고 또 가벼워 사용성이 좋은 표시 장치를 제공할 수 있다. 따라서, 도 16c에 도시하는 바와 같이, 피튜 등에 고정시켜 표시 장치를 사용할 수 있고, 표시 장치의 응용 폭이 각별히 넓어진다.

[0273] 도 16d는 휴대형 게임기이며, 케이스(7031), 케이스(7032), 표시부(7033), 표시부(7034), 마이크로폰(7035), 스피커(7036), 조작 키(7037), 스타일러스(7038) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는, 휴대형 게임기의 구동을 제어하기 위한 집적 회로에 사용할 수 있다. 휴대형 게임기의 구동을 제어하기 위한 집적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 신뢰성이 높은 휴대형 게임기, 소비 전력이 낮은 휴대형 게임기를 제공할 수 있다. 또한, 도 16d에 도시한 휴대형 게임기는, 2개의 표시부(7033)와 표시부(7034)를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는 이것에 한정되지 않는다.

[0274] 도 16e는 휴대 전화이며, 케이스(7041), 표시부(7042), 음성 입력부(7043), 음성 출력부(7044), 조작 키(7045), 수광부(7046) 등을 갖는다. 수광부(7046)에 있어서 수신한 광을 전기 신호로 변환함으로써, 외부의 화상을 취득할 수 있다. 본 발명의 일 형태에 따른 반도체 장치는, 휴대 전화의 구동을 제어하기 위한 집적 회로에 사용할 수 있다. 휴대 전화의 구동을 제어하기 위한 집적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 신뢰성이 높은 휴대 전화, 소비 전력이 낮은 휴대 전화를 제공할 수 있다.

[0275] 도 16f는 휴대 정보 단말이며, 케이스(7051), 표시부(7052), 조작 키(7053) 등을 갖는다. 도 16f에 도시하는 휴대 정보 단말은 모뎀이 케이스(7051)에 내장되어 있어도 좋다. 본 발명의 일 형태에 따른 반도체 장치는, 휴대 정보 단말의 구동을 제어하기 위한 집적 회로에 사용할 수 있다. 휴대 정보 단말의 구동을 제어하기 위한 집적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 신뢰성이 높은 휴대 정보 단말, 소비 전력이 낮은 휴대 정보 단말을 제공할 수 있다.

[0276] 본 실시예는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.

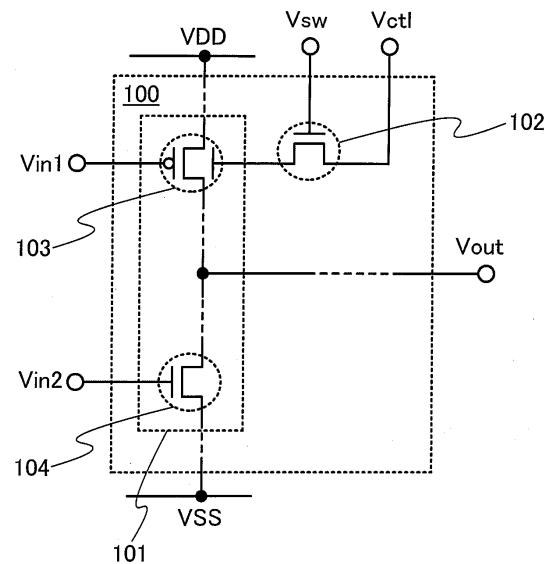
부호의 설명

100: 논리 회로	101: 로직부
102: 트랜지스터	103: p채널형 트랜지스터
104: n채널형 트랜지스터	110: 기판
111: 제 2 게이트 전극	112: 절연막
113: 반도체막	114: 소스 전극
115: 드레인 전극	116: 절연막
117: 제 1 게이트 전극	118: 절연막
120: 반도체막	121: 소스 전극
122: 드레인 전극	123: 게이트 전극
130: 게이트 전극	131: 절연막
132: 산화물 반도체막	133: 소스 전극
134: 드레인 전극	135: 절연막
136: 배선	

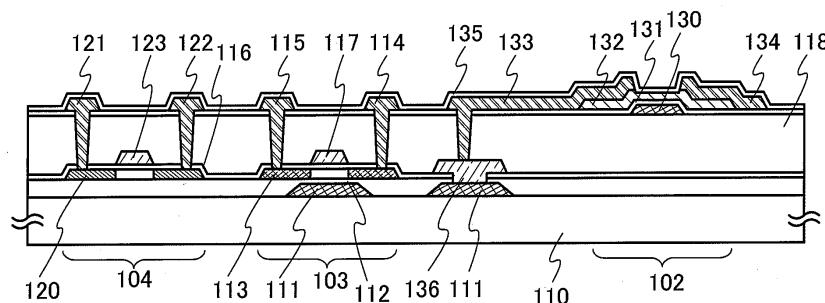
도면

도면1

(a)

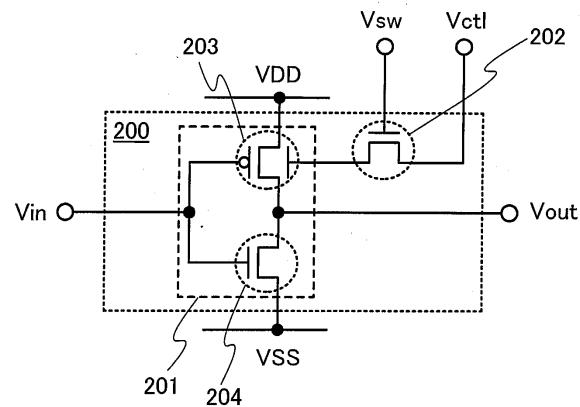


(b)

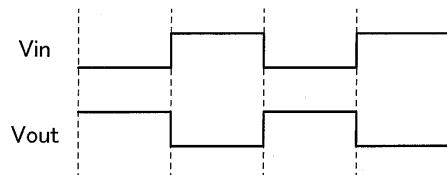


도면2

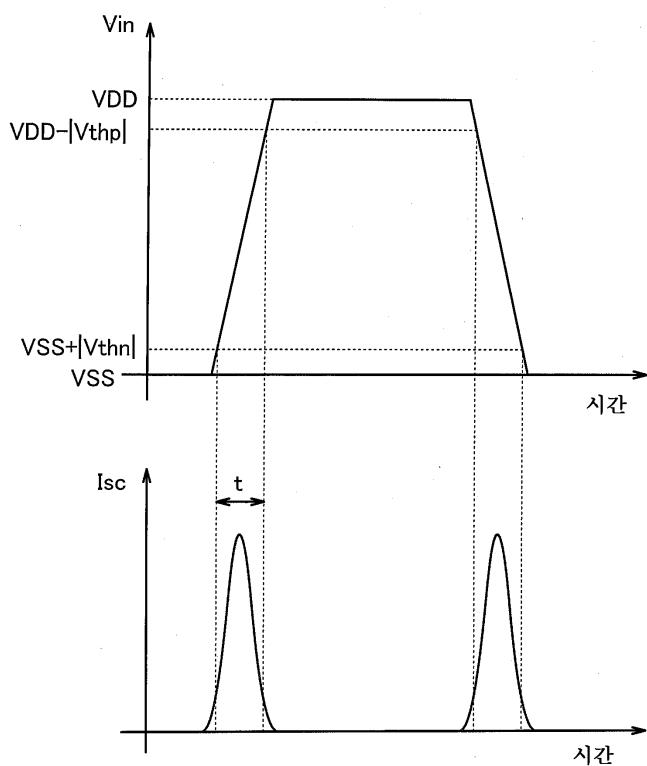
(a)



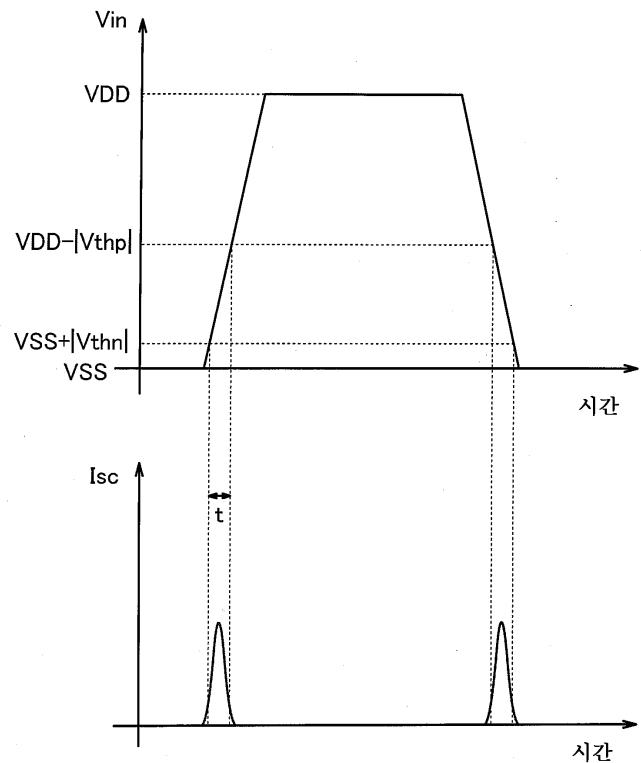
(b)



도면3

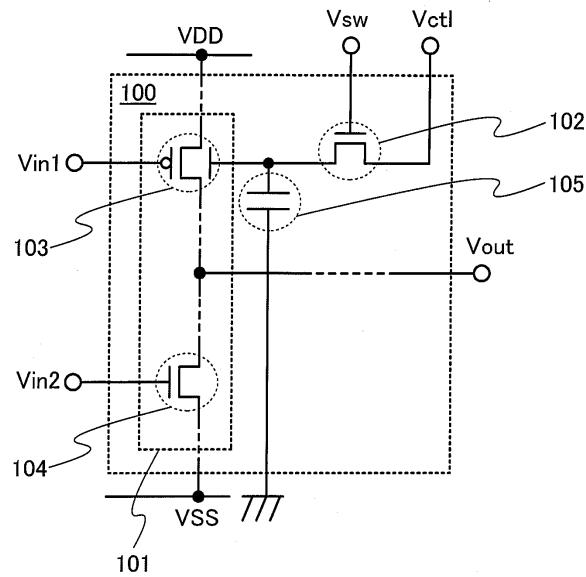


도면4

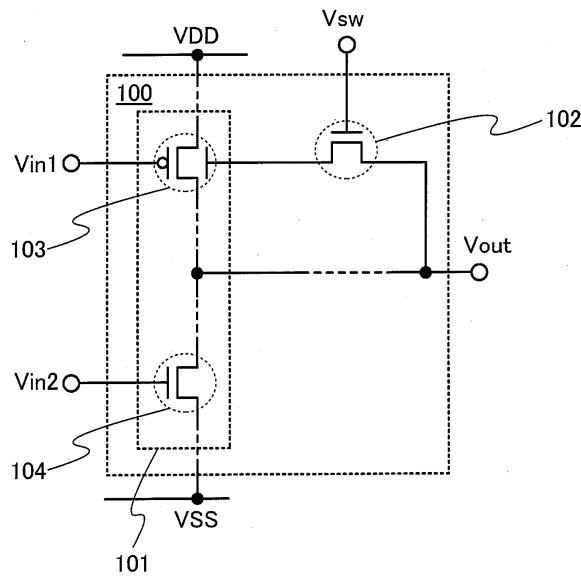


도면5

(a)

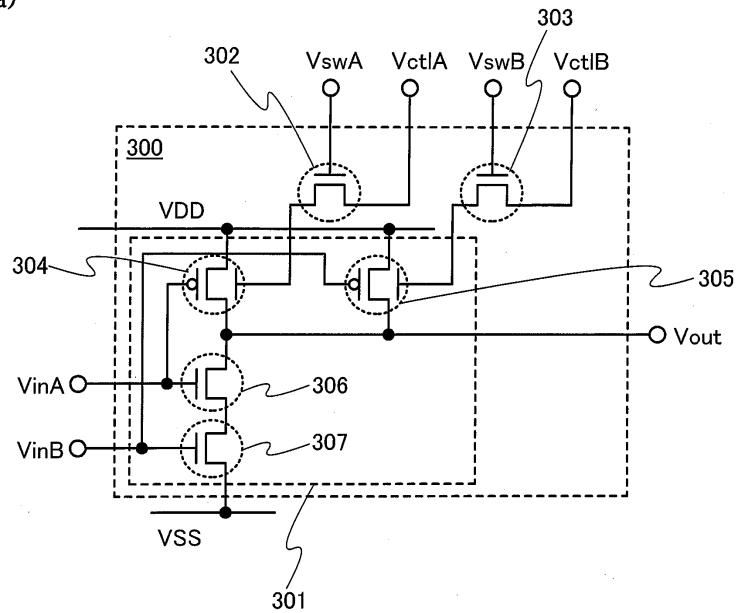


(b)

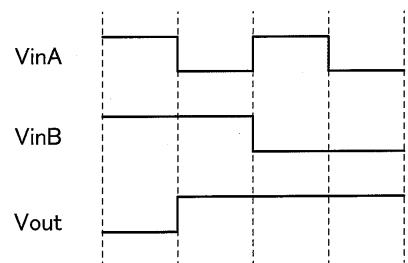


도면6

(a)

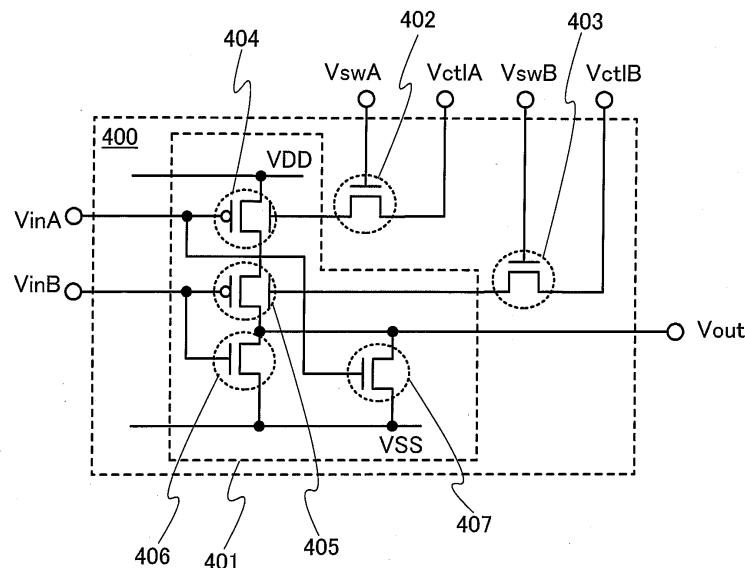


(b)

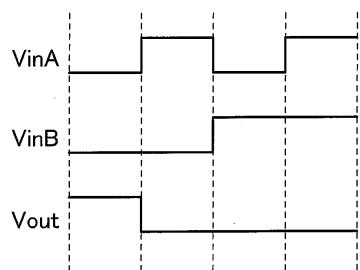


도면7

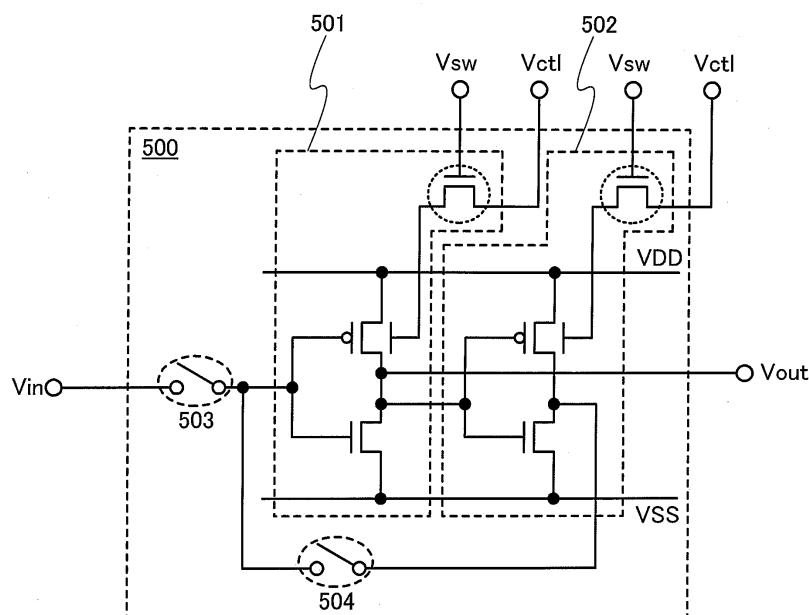
(a)



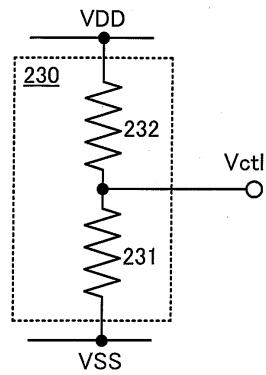
(b)



도면8

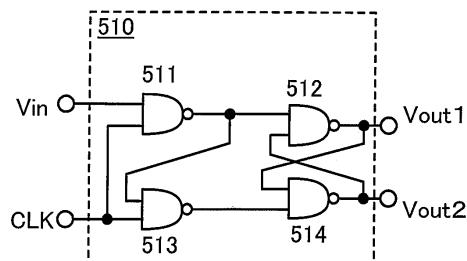


도면9

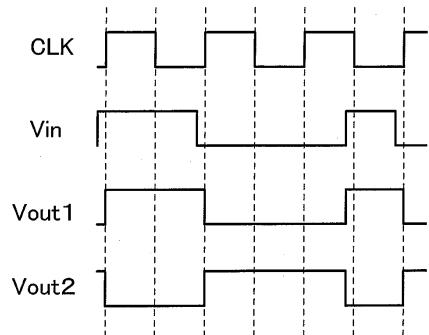


도면10

(a)

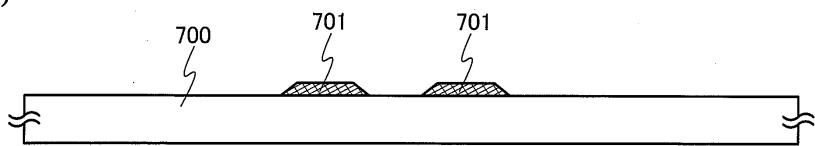


(b)

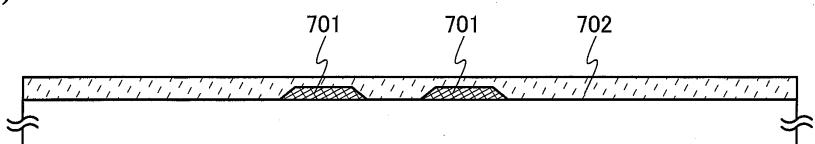


도면11

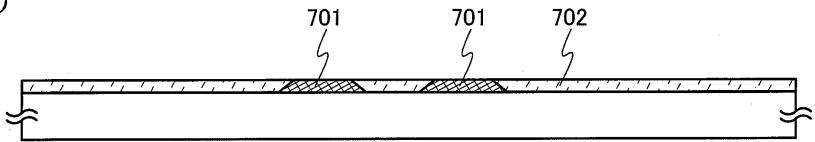
(a)



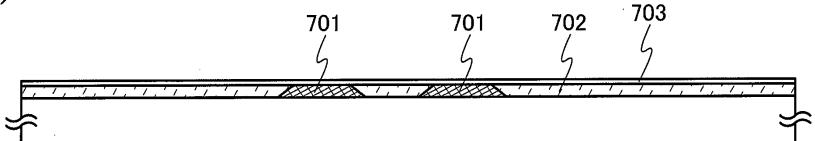
(b)



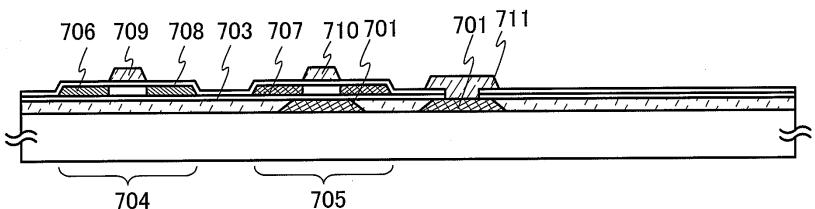
(c)



(d)

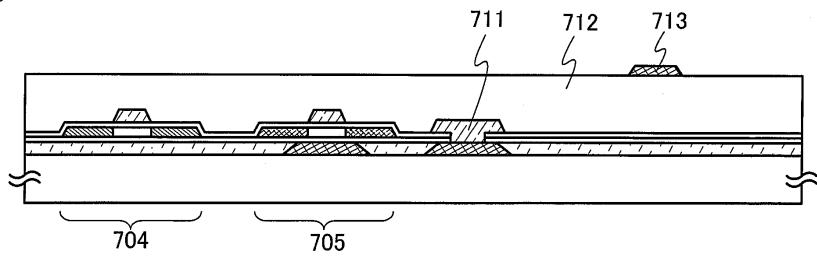


(e)

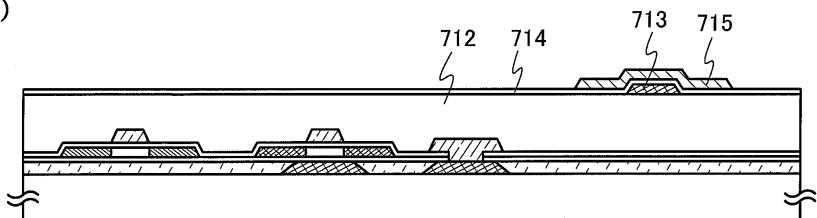


도면12

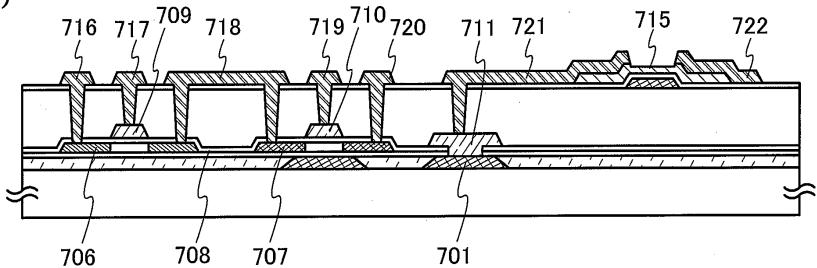
(a)



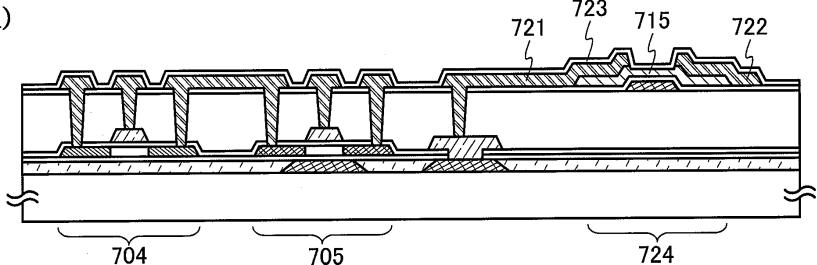
(b)



(c)

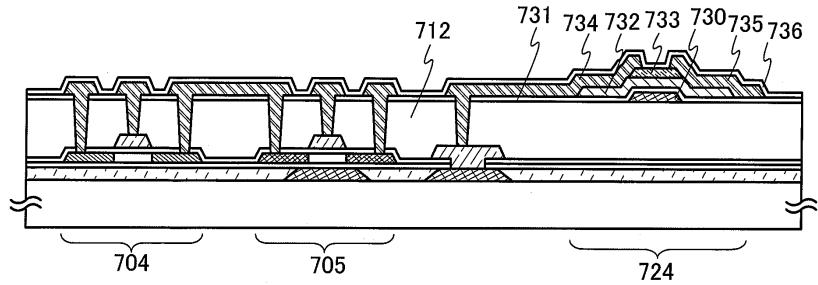


(d)

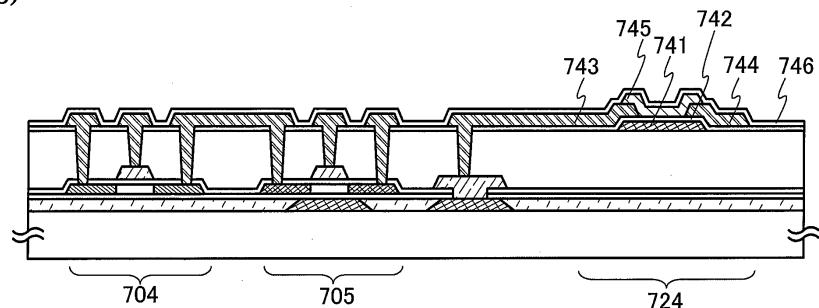


도면13

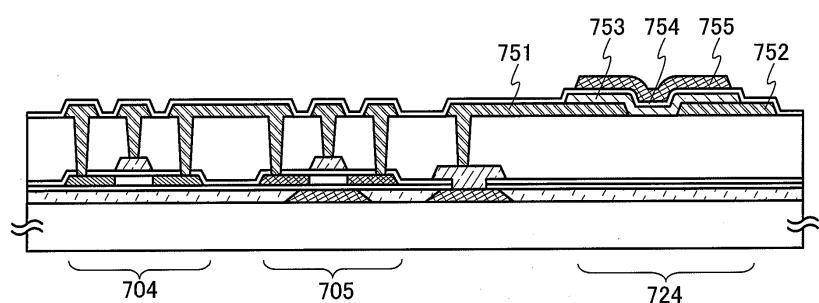
(a)



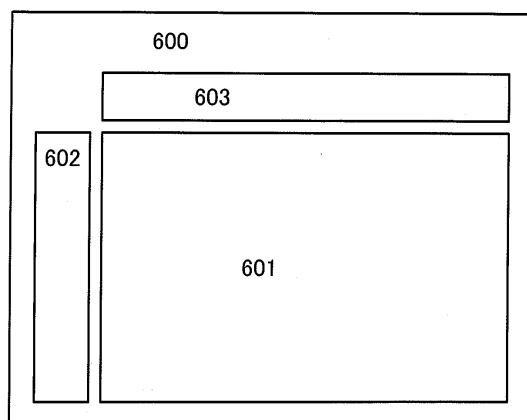
(b)



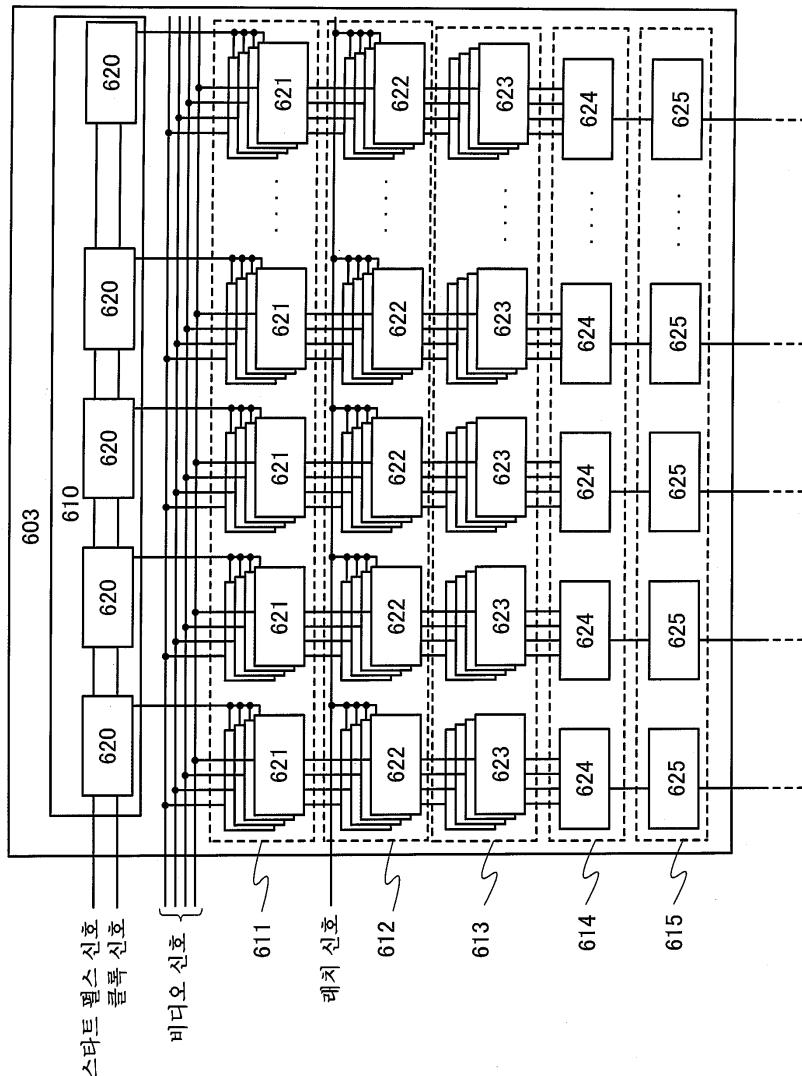
(c)



도면14

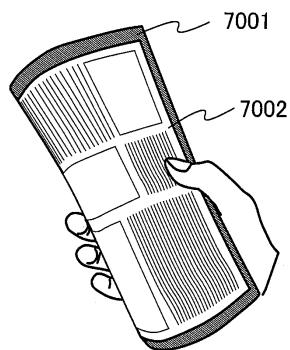


도면15

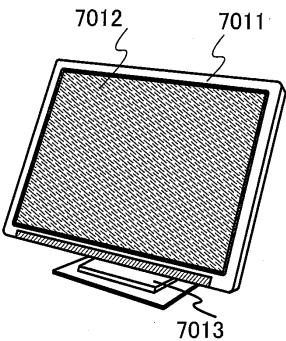


도면16

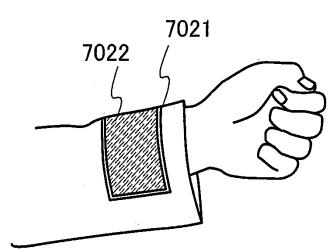
(a)



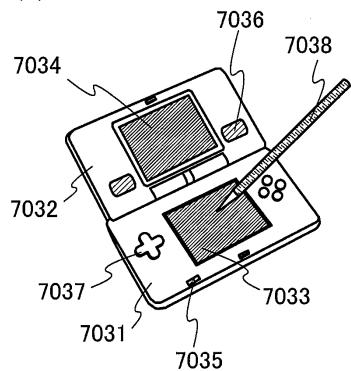
(b)



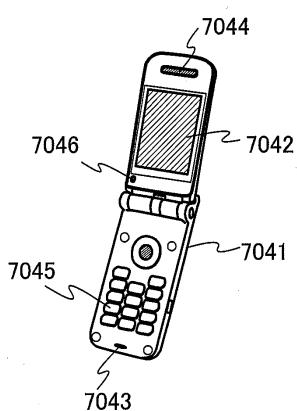
(c)



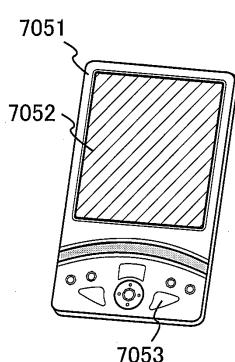
(d)



(e)



(f)



도면17

