



[12] 发明专利申请公布说明书

[21] 申请号 200510101003.5

[43] 公开日 2007 年 5 月 16 日

[11] 公开号 CN 1963777A

[22] 申请日 2005.11.8

[21] 申请号 200510101003.5

[71] 申请人 佛山市顺德区顺达电脑厂有限公司

地址 528308 广东省佛山市顺德区伦教街道
顺达路一号

[72] 发明人 李 杰

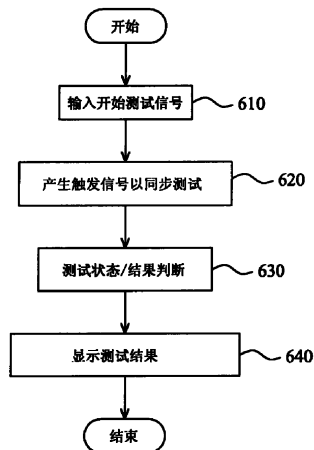
权利要求书 2 页 说明书 7 页 附图 6 页

[54] 发明名称

电脑主板的测试装置和方法

[57] 摘要

本发明揭示了一种电脑主板的测试装置和方法，用于对采用 FC - LGA 封装的 CPU 的电脑主板，测试 CPU 与主板上的北桥芯片之间的电路连接，该测试装置包括一显示单元；一电阻，其一端与基准电位连接，另一端为测试点；一可编程逻辑电路，连接于上述测试点和上述显示单元之间，上述可编程逻辑电路为一 PLD 芯片，对上述可编程逻辑电路编程控制其通过检测上述测试点的电位变化来一一测试上述触点跟上述北桥芯片之间是否为有效的电路连接。本发明的测试装置和测试方法，填补了对采用 FC - LGA 封装的 CPU 与北桥芯片之间没有有效的测试装置和测试方法的空白，具有较佳的使用前景。



1. 一种电脑主板的测试装置，用于对采用 FC-LGA 封装的 CPU 的电脑主板，测试 CPU 与主板上的北桥芯片之间的电路连接，上述 CPU 通过具有矩阵触点的 CPU 底座连接于上述主板，其特征在于，该测试装置包括：

一显示单元；

一电阻，其一端与基准电位连接，另一端为测试点；

一可编程逻辑电路，连接于上述测试点和上述显示单元之间，其包括：

一全复位信号，其产生一个有效电位使上述可编程逻辑电路复位；

一手动控制信号，用户根据测试需要使其产生一个有效电位即开始测试；

一当前测试脚位运算器，代表上述触点的脚为数据输入上述当前测试脚位运算器，触发信号输出端输出一个触发信号；

一测试状态控制器，分别与上述手动控制信号以及上述全复位信号连接，并根据上述当前测试脚位运算器产生的触发信号，利用一测试状态/结果判断机制来进行测试；

一测试脚位计数器，分别与上述全复位信号以及上述当前测试脚位运算器的触发信号输出端连接，根据上述触发信号来统计已测试脚，并产生一测试结束信号；

一显示控制单元，分别与上述当前测试脚位运算器、上述当前测试脚位运算器、上述测试脚位计数器连接；

一显示控制器，产生并输出一第一、第二扫描信号传输至上述显示控制单元。

2. 如权利要求 1 所述的电脑主板的测试装置，其特征在于，上述电阻的阻值等于上述触点的对地电阻值。

3. 如权利要求 1 所述的电脑主板的测试装置，其特征在于，上述可编程逻辑电路为一可采用 FPGA 现场编程的 PLD 芯片。

4. 如权利要求 1 所述的电脑主板的测试装置，其特征在于，上述可编程逻辑电路还具有一时钟单元，其可为一晶振体，为上述可编程逻辑电路提供时钟信号。

5. 如权利要求 1 所述的电脑主板的测试装置，其特征在于，上述可编程逻辑电路还具有一时钟分频器，将上述时钟单元的时钟信号分频后为上述测试脚位计数器以及上述显示控制单元提供同步时钟信号。

6. 一种电脑主板的测试方法，其特征在于，该方法包括以下步骤：

首先，输入一开始测试信号：使上述测试装置的上述测试点对应于上述触点接触设置后，并使上述手动控制信号产生一有效电位，上述测试装置即开始对上述触点进行测试；

其次，产生触发信号以同步测试：上述当前测试脚位运算器的触发信号输出端输出一个触发信号，并将该触发信号传至上述测试状态控制器以及上述测试脚位计数器，上述测试脚位计数器用于对已经测试的脚位计数统计，以及通过上述测试状态控制器的控制，以便使上述显示控制单元能同步显示被测试脚位的测试结果；

再次，测试状态/结果判断；

最后，显示测试结果：上述当前测试脚位运算器通过内部运算，将当前的测试脚位数据输出到上述显示控制单元；同时，上述测试状态控制器将当前测试脚位的测试结果传至上述显示控制单元，将当前测试脚位数据以及测试结果同步显示于上述显示单元之上。

7. 如权利要求 6 其中 1 项所述的电脑主板的测试方法，其特征在于，上述测试状态控制器所利用的测试状态/结果判断机制如下：上述测试装置包括四种状态：空闲状态、正常测试状态、错误报告状态以及测试结束状态，上述测试状态控制器根据上述全复位信号、上述手动控制信号以及上述触发信号和上述测试结束信号来控制使上述测试装置处于上述四种工作状态的其中一种。

8. 如权利要求 7 所述的电脑主板的测试方法，其特征在于，使上述全复位信号产生一个有效电位并传输至上述测试状态控制器，上述测试装置处于空闲状态。

9. 如权利要求 8 所述的电脑主板的测试方法，其特征在于，使上述手动控制信号产生一个有效电位并传输至上述测试状态控制器，上述测试装置处于正常测试状态。

10. 如权利要求 9 所述的电脑主板的测试方法，其特征在于，所有待测试的脚位全部检测完毕后，也即通过上述测试脚位计数器对已测试脚位数目的统计后判断全部检测完毕，上述测试脚位计数器将输出一个有效的测试结束信号传输至上述测试状态控制器，上述测试状态控制器将根据上述测试结束信号控制上述测试装置处于测试结束状态。

11. 如权利要求 9 所述的电脑主板的测试方法，其特征在于，测试到某一测试点为不正确电位，此时上述触发信号产生的有效触发信号传输至上述测试状态控制器，上述测试状态控制器将控制上述测试装置中止目前的正常测试状态而转入到错误报告状态。

12. 如权利要求 11 所述的电脑主板的测试方法，其特征在于，使上述全复位信号产生一个有效电位并传输至上述测试状态控制器后，上述测试状态控制器将控制上述测试装置进入上述空闲状态；使上述手动控制信号产生一个有效电位并传输至上述测试状态控制器，上述测试状态控制器将控制上述测试装置重新进入上述正常测试状态。

电脑主板的测试装置和方法

技术领域

本发明涉及一种电脑主板的测试装置和方法，尤其是涉及一种对电脑主板上采用 FC-LGA 封装的 CPU 与北桥芯片之间电路连接的测试装置以及测试方法。

背景技术

随着科技的发展，芯片的封装技术也得到了快速的发展，比如现在所广泛使用的 CPU (Center Processing Unit, 中央处理器) 为采用 FC-LGA (Flip-Chip Land Grid Array, 反转接点栅格数组) 封装，故 CPU 摆脱了传统针孔式与 CPU 底座连接的方式，直接采用贴片的方式即可通过 CPU 底座连接到电脑的主板上。

如图 1 所示，为采用 FC-LGA 封装的 CPU 与电脑主板连接的示意图。电脑主板 100 上包括一北桥芯片 130，该北桥芯片 130 通过电子线路与采用矩阵触点 112 的 CPU 底座 110 连接，而 CPU120 而采用贴片的方式贴附于上述 CPU 底座 110，通过 CPU 底座 110 的触点 112 与北桥芯片 130 以及其它电子元件进行相互通信。但是，如果 CPU 底座 110 上的矩阵状触点 112 有形变、弯曲，甚至该 CPU 底座 110 与上述主板 100 上的电子线路焊接不良，以及 CPU 底座 110 与北桥芯片 130 之间的电子线路产生短路、开路时，导致 CPU120 与北桥芯片 130 之间不能有效的通信，使电脑系统无法激活。

然而，当 CPU120 贴置于 CPU 底座 110 上以后，因为 CPU120 为 FC-LGA 封装，而北桥芯片 130 采用 BGA (Ball Grid Array, 球栅数组)，两者之间通过设置于电路板中的电子线路连接，故不能连接任何测试探头，因此，无法通过测试工具对 CPU120 与 CPU 底座 110 之间可能出现的连接故障进行测试，也无法通过测试工具对 CPU120 与北桥芯片 130 之间是否为有效的电路连接做测试。故有必要开发设计一种测试装置以及测试方法，对电脑的主板上的 CPU120 与北桥芯片 130 之间是否为有效的电路连接做测试。

发明内容

为解决上述问题，本发明揭示了一种对电脑主板上采用 FC-LGA 封装的 CPU 与北桥芯片之间电路连接的测试装置以及测试方法。

为解决上述问题，本发明所揭示的电脑主板的测试装置和方法，采用如下技术方案来实现：本发明的电脑主板的测试装置，用于对采用 FC-LGA 封装的 CPU 的电脑主板，测试 CPU 与主板上的北桥芯片之间的电路连接，上述 CPU 通过具有矩阵触点的 CPU 底座连接于上述主板，其特征在于，该测试装置包括：一显

示单元；一电阻，其一端与基准电位连接，另一端为测试点；一可编程逻辑电路，连接于上述测试点和上述显示单元之间，其包括：一全复位信号，其产生一个有效电位使上述可编程逻辑电路复位；一手动控制信号，用户根据测试需要使其产生一个有效电位即开始测试；一当前测试脚位运算器，代表上述触点的脚为数据输入上述当前测试脚位运算器，触发信号输出端输出一个触发信号；一测试状态控制器，分别与上述手动控制信号以及上述全复位信号连接，并根据上述当前测试脚位运算器产生的触发信号，利用一测试状态/结果判断机制来进行测试；一测试脚位计数器，分别与上述全复位信号以及上述当前测试脚位运算器的触发信号输出端连接，根据上述触发信号来统计已测试脚，并产生一测试结束信号；一显示控制单元，分别与上述当前测试脚位运算器、上述当前测试脚位运算器、上述测试脚位计数器连接；一显示控制器，产生并输出一第一、第二扫描信号传输至上述显示控制单元。

本发明的电脑主板的测试方法包括以下步骤：首先，输入一开始测试信号：使上述测试装置的上述测试点对应于上述触点接触设置后，并使上述手动控制信号产生一有效电位，上述测试装置即开始对上述触点进行测试；其次，产生触发信号以同步测试：上述当前测试脚位运算器的触发信号输出端输出一个触发信号，并将该触发信号传至上述测试状态控制器以及上述测试脚位计数器，上述测试脚位计数器用于对已经测试的脚位计数统计，以及通过上述测试状态控制器的控制，以便使上述显示控制单元能同步显示被测试脚位的测试结果；再次，测试状态/结果判断；最后，显示测试结果：上述当前测试脚位运算器通过内部运算，将当前的测试脚位数据输出到上述显示控制单元；同时，上述测试状态控制器将当前测试脚位的测试结果传至上述显示控制单元，将当前测试脚位数据以及测试结果同步显示于上述显示单元之上。

较佳的，上述电阻的阻值等于上述触点的对地电阻值；上述可编程逻辑电路为一可采用 FPGA 现场编程的 PLD 芯片。

较佳的，上述测试状态控制器所利用的测试状态/结果判断机制如下：上述测试装置包括四种状态：空闲状态、正常测试状态、错误报告状态以及测试结束状态，上述测试状态控制器根据上述全复位信号、上述手动控制信号以及上述触发信号和上述测试结束信号来控制使上述测试装置处于上述四种工作状态的其中一种；使上述全复位信号产生一个有效电位并传输至上述测试状态控制器，上述测试装置处于空闲状态；使上述手动控制信号产生一个有效电位并传输至上述测试状态控制器，上述测试装置处于正常测试状态；所有待测试的脚位全部检测完毕后，也即通过上述测试脚位计数器对已测试脚位数量的统计后判断全部检测完毕，上述测试脚位计数器将输出一个有效的测试结束信号传输至上述测试状态控制器，上述测试状态控制器将根据上述测试结束信号控制上述测试装置处于测试结束状态；测试到某一测试点为不正确电位，此时上述触

发信号产生的有效触发信号传输至上述测试状态控制器，上述测试状态控制器将控制上述测试装置中止目前的正常测试状态而转入到错误报告状态；使上述全复位信号产生一个有效电位并传输至上述测试状态控制器后，上述测试状态控制器将控制上述测试装置进入上述空闲状态；使上述手动控制信号产生一个有效电位并传输至上述测试状态控制器，上述测试状态控制器将控制上述测试装置重新进入上述正常测试状态。

与现有技术相比，本发明的测试装置和测试方法，填补了对采用 FC-LGA 封装的 CPU 的电脑主板上，对 CPU 与北桥芯片之间没有有效的测试装置和测试方法的空白，本发明具有较佳的使用前景。

附图说明

图 1 为现有采用 FC-LGA 封装的 CPU 与电脑主板连接的示意图。

图 2 为本发明的测试装置与电脑主板配合使用的状态示意图。

图 3 为本发明的电脑主板的测试装置的等效电路示意图。

图 4 为本发明的电脑主板的测试装置的可编程逻辑电路的内部方块示意图。

图 5 为本发明所示测试方法的流程示意图。

图 6 为本发明所示测试方法的测试状态/结果判断的原理示意图。

具体实施方式

如图 2 所示，为本发明的测试装置与电脑主板配合使用的状态示意图。并结合图 1，本发明的测试装置用于测试采用 FC-LGA 封装的 CPU 的主板结构的测试。本发明的测试装置 300 包括一基板 150，其一侧设置有与上述 CPU 底座 110 上的矩阵状的上述触点 112 对应的测试点 310，另一侧设置有一可编程逻辑电路 200，以及与其连接设置的为一显示单元 340。当将上述测试装置 300 置于上述 CPU 底座 110 上时，上述测试点 310 与上述触点 112 分别对应相接触；并且，上述显示单元 340 为 LED 显示器。将本发明的测试装置电性连接于图 1 所示的 CPU 底座 110 的呈矩阵排列的触点 112 之上，即可测试上述 CPU 底座 110 的上述触点 112 是否与上述 CPU120 具有有效的连接，以及上述 CPU120 与上述北桥芯片 130 是否为有效的电路连接，并将测试结果显示在上述显示单元 340 之上。

同时，见图 3 所示，为本发明的电脑主板的测试装置的等效电路示意图。本发明的测试装置 300 的电路部分，包括一可编程逻辑电路 200，以及一电阻 320，以及一测试点 310。其中，上述测试点 310 与上述 CPU 底座 110 的其中一个触点 112 电性接触连接；上述电阻 320 即为上述触点 112 的对地的等效电阻 400；上述电阻 320 的一末端即为测试点 310，而对应末端与一基准电位 330 连接；上述可编程逻辑电路 200 电性连接上述测试点 310，其为一 PLD 芯片 (Programming Logic Digital, 可编程逻辑单位)，可通过对上述测试点 310

的电位信号进行采样、控制、运算以及根据运算结果输出等功能。

在上述 CPU 底座 110 中, 所具有的触点 112 所传输的信号, 按照信号的功能划分, 大致包括控制信号、数据信号、地址信号、接地信号以及电源信号。而通过本发明的测试装置 300 进行测试的触点 112 为控制信号触点和数据信号触点以及地址信号触点。同时, 根据上述 CPU 底座 110 中所包括的控制信号和数据信号以及地址信号的触点 112 的个数, 来设置对应个数的测试点 310, 每一个测试点 310 均串接一个与此测试点 310 对应连接设置的触点 112 对地的等效电阻 400 阻值相等的电阻 320 后, 与基准电位 330 连接; 每一个测试点 310 均电性连接上述可编程逻辑电路 200。

由于将上述电阻 320 设置为与触点 310 对应连接设置的触点 112 对地的等效电阻 400 的阻值相等, 故上述测试点 310 的电位即为上述电阻 320 串连上述等效电阻 400 后, 上述等效电阻 400 上的分压值。上述可编程逻辑电路 200 通过检测上述测试点 310 的电位(分压值)来判断所测试电路是否为有效的电路连接。比如, 将基准电位 330 设置为 5V, 那么, 如果某一触点 112 与上述北桥芯片 130 之间为有效的通路, 那么此时上述测试点 310 处的电位大致为 2.5V; 如果此时上述测试点 310 处的电位远远偏离正确的电位, 则表明此触点 112 与上述北桥芯片 130 之间的线路出现短路、开路甚至是上述触点 112 弯曲、折断等问题。

同时, 如图 3 所示, 为本发明的测试装置 300 的可编程逻辑电路 200 的内部电路方块示意图。

上述可编程逻辑电路 200 为一 PLD 芯片, 其内部可按照逻辑功能划为: 显示控制器 210、时钟分频器 220、当前测试脚位运算器 230、测试状态控制器 240、测试脚位计数器 250 以及显示控制单元 260。其中, 可采用 FPGA (Field Programmable Gate Array, 现场可编程门) 对上述可编程逻辑电路 200 进行编程来控制其内部各部分结构的运作。

由于上述 CPU 底座 110 的触点 112 呈矩阵分布, 对应的本发明的测试装置 300 的测试点 310 也呈矩阵分布, 故定义一个数组 $tp[1, 2 \cdots n]$, 以表示每一个测试点 310 的位置, 其中, n 代表矩阵中需要测试的触点 112 的最大数目。上述可编程逻辑电路 200 通过一地址信号 500 与上述每一个测试点 310 连接, 以便于对每个触点 112 的测试做识别和统计等后续工作。

另外, 上述可编程逻辑电路 200 还具有一全复位信号 510, 可通过编程设置其为低电位或高电位为有效电位, 当该全复位信号 510 为有效电位时, 上述可编程逻辑电路 200 复位。

上述可编程逻辑电路 200 还具有一手动控制信号 520, 可通过编程设置其为低电位或高电位为有效电位, 当用户通过上述手动控制信号 520 输入一个有效的电位后, 本发明的测试装置 300 开始测试。

另外，上述可编程逻辑电路 200 还具有—时钟单元 530，其可为—晶振体 (Crystal)，为上述可编程逻辑电路 200 提供时钟信号。

本发明所揭示的测试方法如下：

首先，输入—开始测试信号 (步骤 610)。此步骤可通过用户将该测试装置 300 设置于电脑主板 100 的上述 CPU 底座 110 上，且使上述测试装置 300 的上述测试点 310 对应于上述触点 112 接触设置后，再通过使上述手动控制信号 520 产生—有效电位来实现，当上述手动控制信号 520 产生—有效电位后，上述测试装置 300 即开始对上述触点 112 进行—测试。

其次，产生触发信号以同步测试 (步骤 620)。通过上述步骤 610 开始测试，即上述地址信号 500 从地址数组为 $tp[1, 0 \cdots 0]$ 开始测试，也就是从编号为 1 的上述触点 112 (或上述测试点 310) 开始测试；另外，在开始对一个上述触点 112 进行测试时，上述当前测试脚位运算器 230 的触发信号输出端输出一个触发信号 231，并将该触发信号传至上述测试状态控制器 240 以及上述测试脚位计数器 250，上述测试脚位计数器 250 用于对已经测试的上述触点 112 计数统计，以及通过上述测试状态控制器 240 的控制，以便使上述显示控制单元 260 能同步显示被测试脚位的测试结果 (后续步骤 640)，并开始对编号为 2 的上述触点 112 触电开始测试。

再次，测试状态/结果判断 (步骤 630)。详细描述见下面对图 6 的详细描述。

最后，显示测试结果 (步骤 640)。当上述测试装置 300 对其中某—脚位 (触点 112) 开始测试时，上述当前测试脚位运算器 230 通过内部运算，将当前的测试脚位 (也就是代表被测试的上述触点 112 的地址数组为 $tp[1, 0 \cdots 0]$) 输出到上述显示控制单元 260；同时，上述测试状态控制器 240 将当前测试脚位的测试结果传至上述显示控制单元 260；上述当前测试脚位运算器 230 的触发信号输出端输出一个触发信号 231 (步骤 620)，上述触发信号 231 也将传输至上述显示控制单元 260，用于控制上述显示控制单元 260 将当前测试脚位数据以及测试结果同步显示于上述显示单元 340 之上。

由于在测试过程中，通过上述测试状态控制器 240 的控制使上述测试装置 300 处于四种状态中的其中一种：S0-空闲状态；S1-正常测试状态；S2-错误报告状态；S3-测试结束状态。上述测试状态控制器 240 根据上述全复位信号 510 (rst)、上述手动控制信号 520 (ctrl) 以及上述触发信号 231 (en) 和测试结束信号 251 (cntend) 而控制使本发明的测试装置 300 处于上述四种工作状态的其中一种，具体的工作原理见图 6 所示：

当用户使全复位信号 510 (rst) 产生—有效电位后，该有效的全复位信号 510 (rst) 输入至上述测试状态控制器 240，通过上述测试状态控制器 240 控制，使本发明的上述测试装置 300 处于空闲状态，也即是等待测试状态 S0。

在上述测试装置 300 处于空闲状态 S0 后，当用户通过设置使上述手动控制

信号 520(ctrl)产生一个有效电位并传输至上述测试状态控制器 240, 通过上述测试状态控制器 240 控制, 使本发明的上述测试装置 300 处于正常测试状态 S1, 也即上述测试装置 300 按照图 5 所示的测试流程进行测试。

当上述测试装置 300 处于正常测试状态 S1 后, 如果在测试过程中发现错误, 也即是测试到某一测试点 310 为不正确电位, 此时上述触发信号 231(en)产生的有效触发信号 (Error) 传输至上述测试状态控制器 240, 上述测试状态控制器 240 将控制上述测试装置 300 中止目前的正常测试状态 S1 而转入到错误报告状态 S2。

在上述错误报告状态 S2 下, 当用户使上述全复位信号 510 (rst) 产生一个有效电位并传输至上述测试状态控制器 240 后, 上述测试状态控制器 240 将控制上述测试装置 300 进入上述空闲状态 S0; 当用户通过设置使上述手动控制信号 520(ctrl)产生一个有效电位并传输至上述测试状态控制器 240, 上述测试状态控制器 240 将控制上述测试装置 300 重新进入上述正常测试状态 S1, 也为从转入上述错误报告状态 S2 时中止测试的下一个脚位 (检测到错误信息的触点 112 的下一个待检测触点 112) 继续开始测试。

在上述基础上, 当所有待测试的脚位 (触点 112) 全部检测完毕后, 也即通过上述测试脚位计数器 250 对已测试脚位数量的统计后判断全部检测完毕。此时, 上述测试脚位计数器 250 将输出一个有效的测试结束信号 251 (cntend) 传输至上述测试状态控制器 240, 上述测试状态控制器 240 将根据上述测试结束信号 251 (cntend) 控制上述测试装置 300 处于测试结束状态 S3; 上述测试结束信号 251 (cntend) 传输至上述当前测试脚位运算器 230 的产生上述触发信号 231(en) 的输出端, 使上述触发信号 231(en) 变为无效电位, 也即停止上述当前测试脚位运算器 230 对其他元部件产生同步工作信号; 上述测试结束信号 251 (cntend) 传输至上述显示控制单元 260, 使上述显示控制单元 260 根据编程设定, 显示类似于 "PASS" 等字样。

当上述测试装置 300 处于上述测试结束状态 S3 后, 仅当使上述全复位信号 510 (rst) 产生一个有效电位并传输至上述测试状态控制器 240 后, 上述测试状态控制器 240 将控制上述测试装置 300 进入上述空闲状态 S0。

其中, 上述错误报告状态 S2 也即为利用上述触发信号 231(en) 产生的有效触发信号 (Error), 同时传输至上述显示控制单元 260, 使上述显示控制单元 260 与当前测试脚位产生同步显示; 同时, 将当前测试到错误的测试脚位数据以及产生错误的测试结果, 分别通过上述当前测试脚位运算器 230 和测试状态控制器 240 而传输至上述显示控制单元 260 得以同步显示 (步骤 640)。

另外, 上述时钟分频器 220 将上述时钟单元 530 的时钟信号分频后, 为上述测试脚位计数器 250 以及上述显示控制单元 260 提供同步时钟信号。

上述显示控制器 210 接受上述时钟单元 530 的一个同步时钟信号以后, 产

生并输出一第一、第二扫描信号 212 和 214, 分别用于对图 2 所示中的上述显示单元 340 的 LED 显示器的十位和个位的字符显示。

上述显示控制单元 260 为一采用业界传统利用 LED 显示器显示数据的译码、显示技术, 再此不再详述。上述显示控制单元 260 将译码后的数据以及控制显示信号传输至与之连接的上述显示单元 340, 使测试脚位数据以及测试结果同步显示于上述显示单元 340 之上。

综上所述, 本发明所揭示的对采用 FC-LGA 封装的 CPU 的电脑主板的测试装置和方法, 由于充分利用采用 FC-LGA 封装的 CPU 需用利用一对应于 CPU 的连接触点而呈矩阵状排列的 CPU 底座的触点, 本发明的测试装置在于开发一种新的电路, 其具有对应于上述 CPU 底座的触点的矩阵状测试点, 并在测试点串接一基准电位以及等效于该 CPU 底座的触点对地电阻阻值的电阻后, 通过测试点检测电位来判断; 同时, 本发明的测试装置还充分利用一可编程 PLD 芯片的可编程逻辑电路, 连接于上述测试点, 可通过检测该测试点的电位, 并利用同步时钟信号对当前测试脚位(触点)、测试状态进行控制, 使本发明的测试装置能依次测试所有待测试脚位(触点), 并同步显示当前测试脚位与测试结果信息; 同时, 本发明引入了测试状态判断和转换机制, 可有效的测试所有待测试脚位; 与现有技术相比, 本发明的测试装置和测试方法, 填补了对采用 FC-LGA 封装的 CPU 的电脑主板上, 对 CPU 与北桥芯片之间没有有效的测试装置和测试方法的空白, 本发明具有较佳的使用前景。

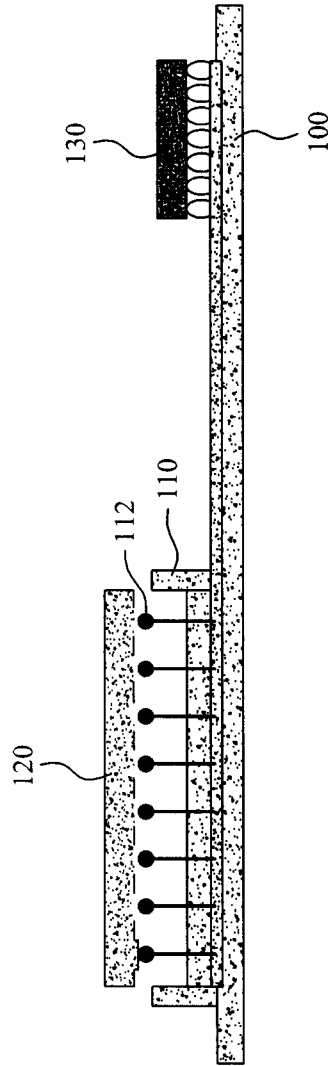


图 1

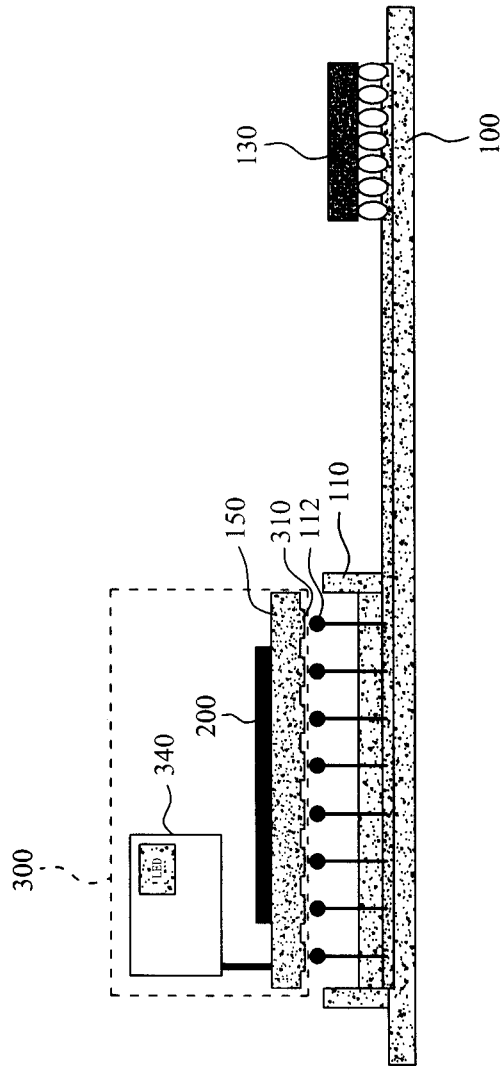


图 2

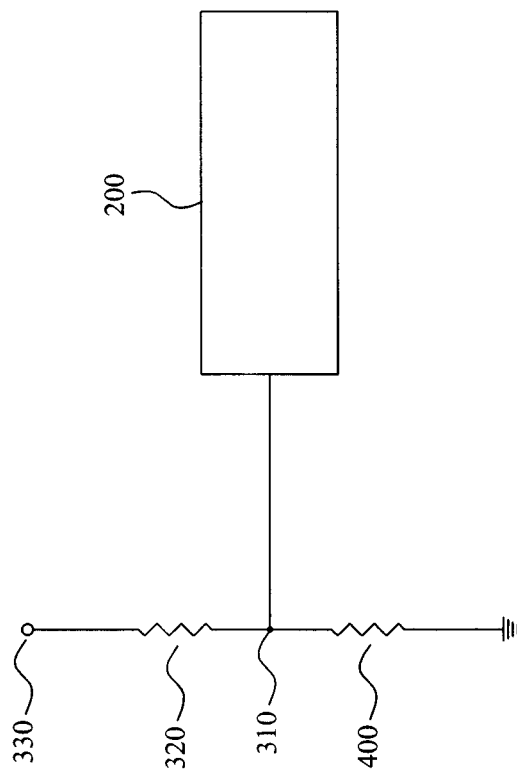


图 3

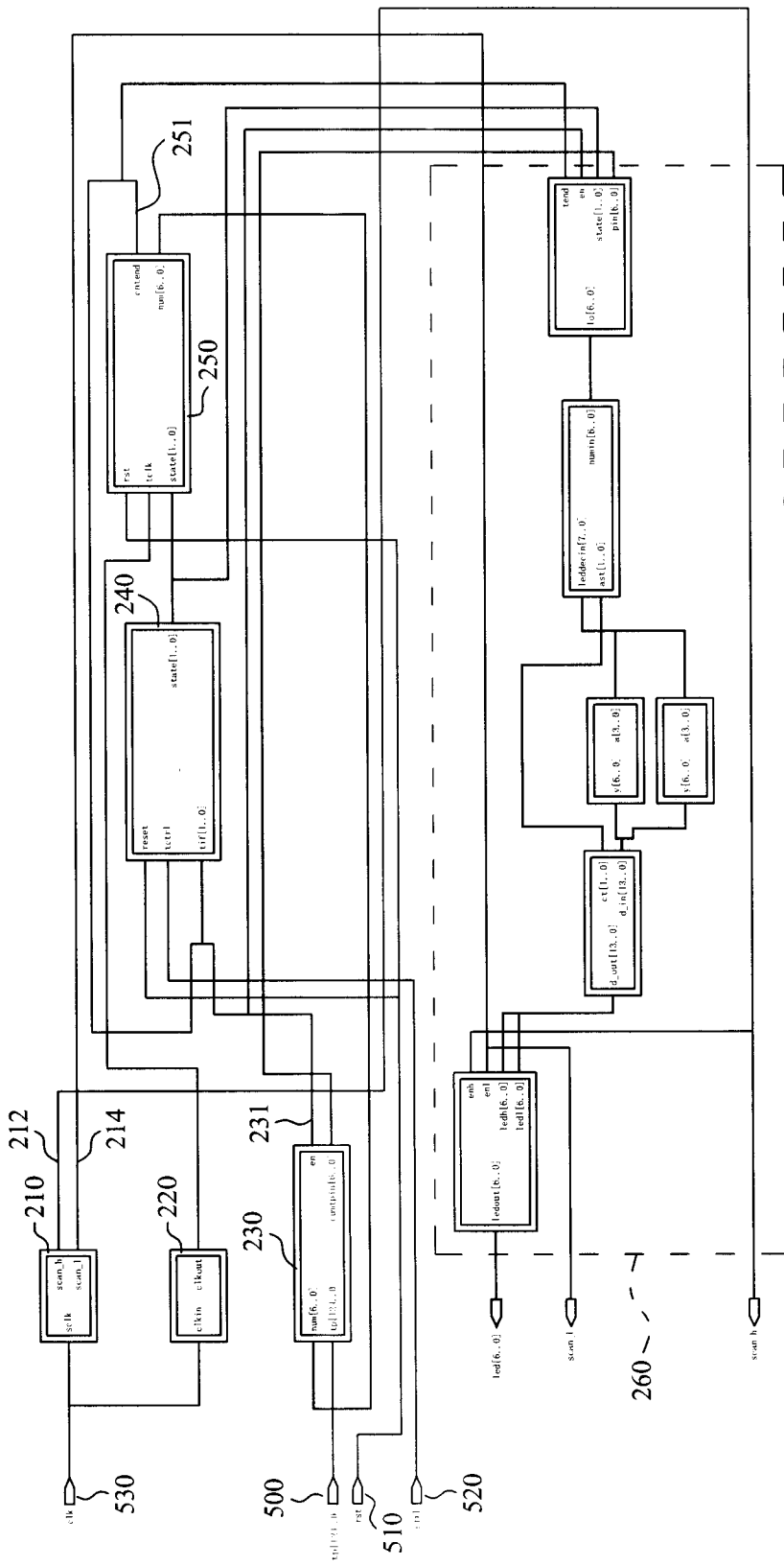


图 4

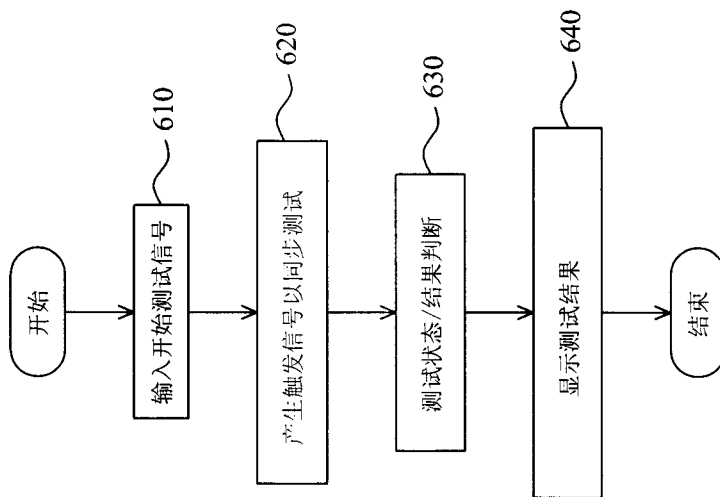


图 5

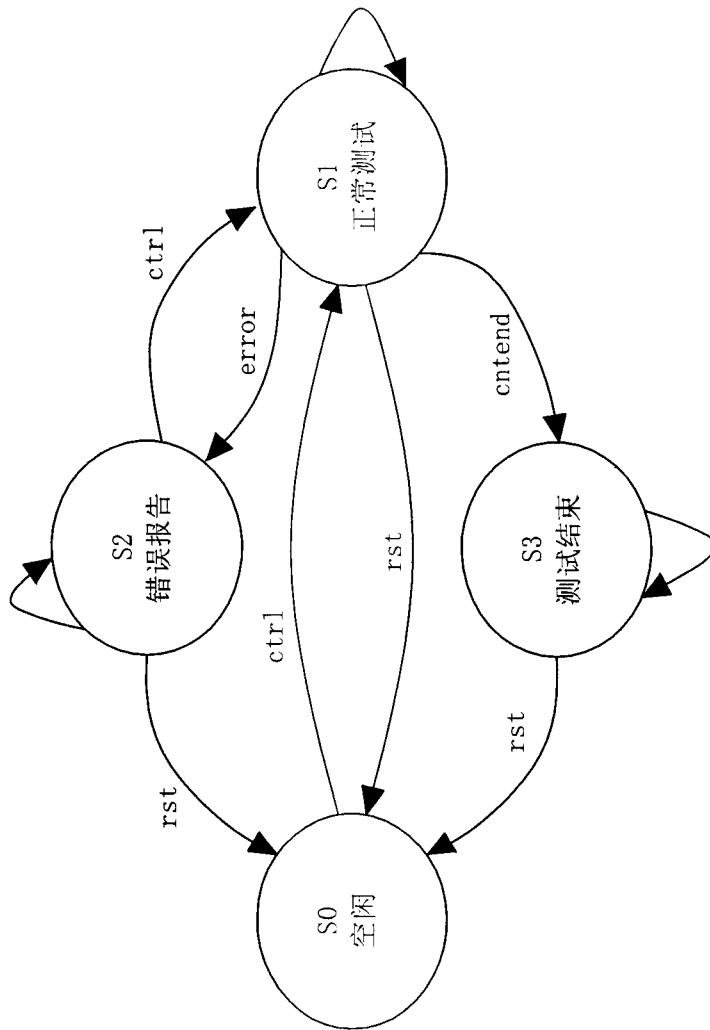


图 6