



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

257597

(11) (B1)

(51) Int. Cl.⁴

G 06 F 9/00

(22) Přihlášeno 20 05 86

(21) PV 3644-86.J

(40) Zveřejněno 15 10 87

(45) Vydáno 15 03 89

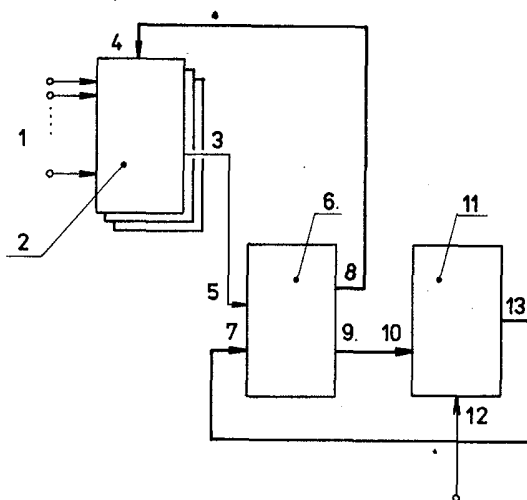
(75)

Autor vynálezu

KOKES JOSEF ing. CSc., PRAHA

(54) Programovatelný řadič o konečném počtu stavů

Zapojení programovatelného řadiče o konečném počtu stavů spočívá v tom, že alespoň jeden multiplexer, opatřený datovými a výběrovými vstupy, je připojen k jedné části adresových vstupů pevné paměti, jejíž výběrové výstupy jsou spojeny s výběrovými vstupy multiplexeru. Stavové výstupy pevné paměti jsou připojeny na vstupy registru stavu, jehož výstupy jsou spojeny s druhou částí adresových vstupů pevné paměti. Jednoduchým zakódováním obsahu pevné paměti lze měnit počet stavů, které programovatelný řadič může zaujmout. Od jednotlivých stavů řadiče lze jednoduše odvozovat řídicí signály.



OBR. 1

Vynález řeší zapojení jednoduchého programovatelného řadiče o konečném počtu stavů.

K řízení jednoduchých zařízení, automatů nebo přístrojů, se používá sekvenčních obvodů, to znamená řadičů. Řadiče se nejčastěji realizují jako jednocelové zapojení z pevně propojených logických integrovaných obvodů, méně často pak pomocí mikroprocesorů, přednostně jednoduších. Společnou nevýhodou obou výše uvedených řešení je jejich vysoká cena. U pevně zapojených jednocelových zařízení navíc nelze snadno modifikovat jejich funkci. Mikroprocesorové obvody pak jsou pro řadu aplikací příliš pomalé.

Uvedené nedostatky řeší zapojení programovatelného řadiče o konečném počtu stavů podle vynálezu. Podstatou vynálezu je, že alespoň jeden multiplexer opatřený datovými a výběrovými vstupy, je svými výstupy připojen k jedné části adresových vstupů pevné paměti, jejíž výběrové výstupy jsou spojeny s výběrovými vstupy multiplexeru a jejíž stavové výstupy jsou spojeny se vstupy registru stavu, jehož výstupy jsou připojeny ke druhé části adresových vstupů pevné paměti, přičemž registr stavu je dále opatřen také hodinovým vstupem. Výstupy multiplexeru mohou být spojeny rovněž s odpovídajícím počtem vstupů registru stavu.

Zařízením podle vynálezu lze dosáhnout toho, že jednoduchým zakódováním obsahu pevné paměti lze měnit jak počet stavů, které programovatelný řadič podle vynálezu může postupně zaujmout, tak i počet, druh a charakter podmínek, kterými lze přechody mezi jednotlivými stavy podmínit. K výhodám zařízení podle vynálezu patří dále také to, že od jednotlivých stavů řadiče lze jednoduše odvozovat řídicí signály a jeho obvodová realizace je jednoduchá a levná.

Na obr. 1 je uvedeno principiální zapojení podle vynálezu, na obr. 2 jeho varianta podle bodu 2 předmětu vynálezu.

Zapojení na obr. 1 se skládá z alespoň jednoho multiplexeru 2, který je opatřen datovými vstupy 1 a výběrovými vstupy 4. Výstup 3 multiplexeru 2 je připojen k jednomu adresovému vstupu 5 pevné paměti 6. Ostatní adresové vstupy 7 pevné paměti 6 jsou spojeny s výstupy 13 registru stavu 11. Výstupy pevné paměti 6 jsou uspořádány do dvou skupin.

První skupinu tvoří výběrové výstupy 8, které jsou spojeny s výběrovými vstupy 4 multiplexeru 2, druhou skupinu tvoří stavové výstupy 9, které jsou připojeny ke vstupům 10 registru stavu 11. Registr stavu 11 je mimoto opatřen ještě hodinovým vstupem 12.

Datových vstupů 1 je obvykle osm až šestnáct, avšak lze použít i jiný počet. Multiplexer 2 má tu vlastnost, že vybírá a na svůj výstup 3 připojuje signál odvozený od právě jednoho z datových vstupů 1. Který z datových vstupů 1 je v daném okamžiku vybrán, určují výběrové vstupy 4 multiplexeru 2. Trvalá paměť 6 může být trvalá ROM, přednostně se však používá semi-permanentní EPROM, EAROM a podobně. Hodinový vstup 12 registru stavu 11 reaguje na hranu signálu.

Zapojení na obr. 2 je tvořeno multiplexerem 2, který je opatřen datovými vstupy 1 a výběrovými vstupy 4 a výstupy 3 multiplexeru 2 jsou spojeny s odpovídajícím počtem vstupů 10 registru stavu 11. Ostatní zapojení je shodné jako na obr. 1.

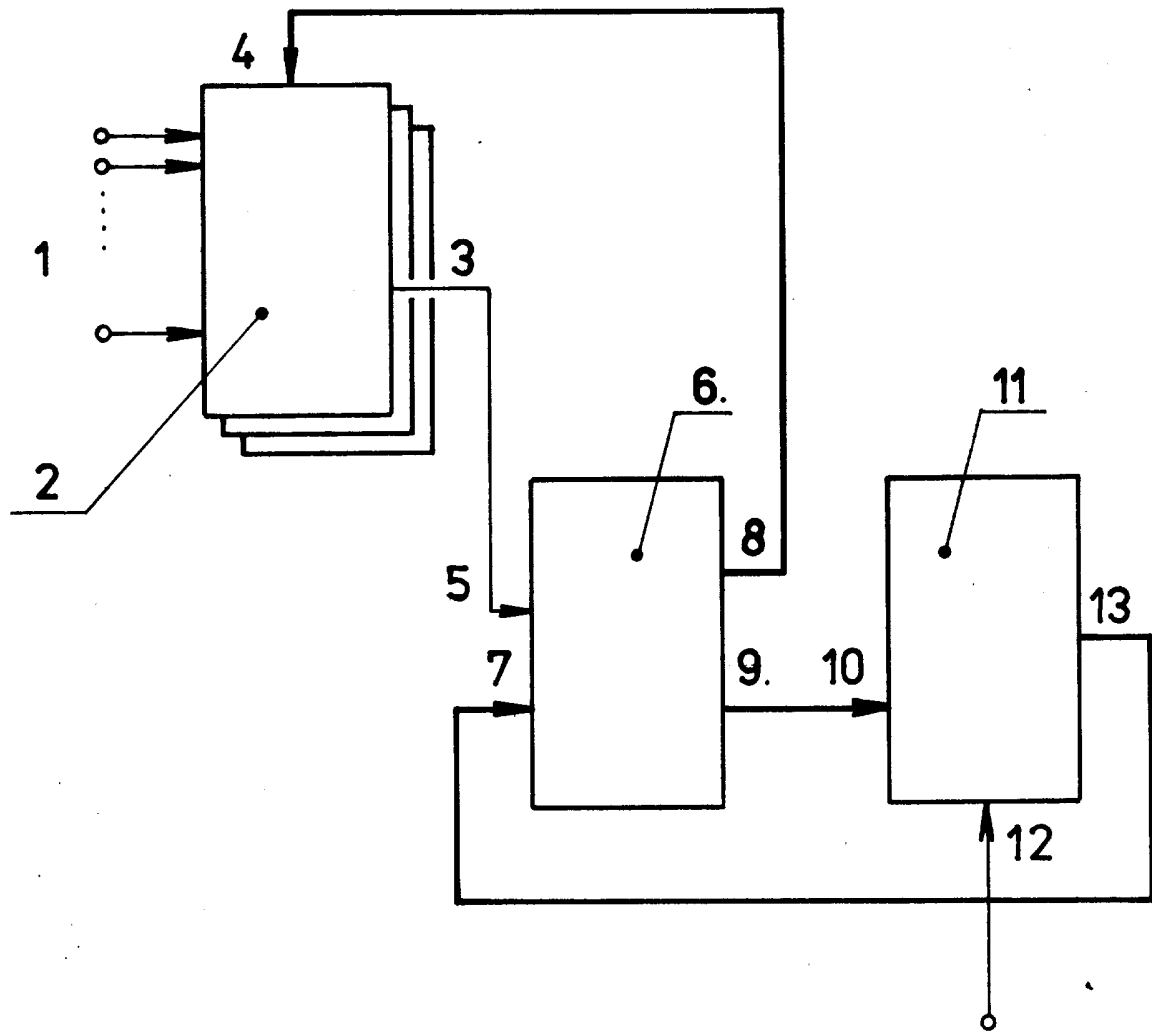
Zapojení podle vynálezu je vhodné pro realizaci jednoduchých a levných řadičů s větším počtem stavů. Jeho funkci lze modifikovat obsahem pevné paměti, aniž by bylo nutné zasahovat do plošného spoje.

P R E D M Ě T V Y N Á L E Z U

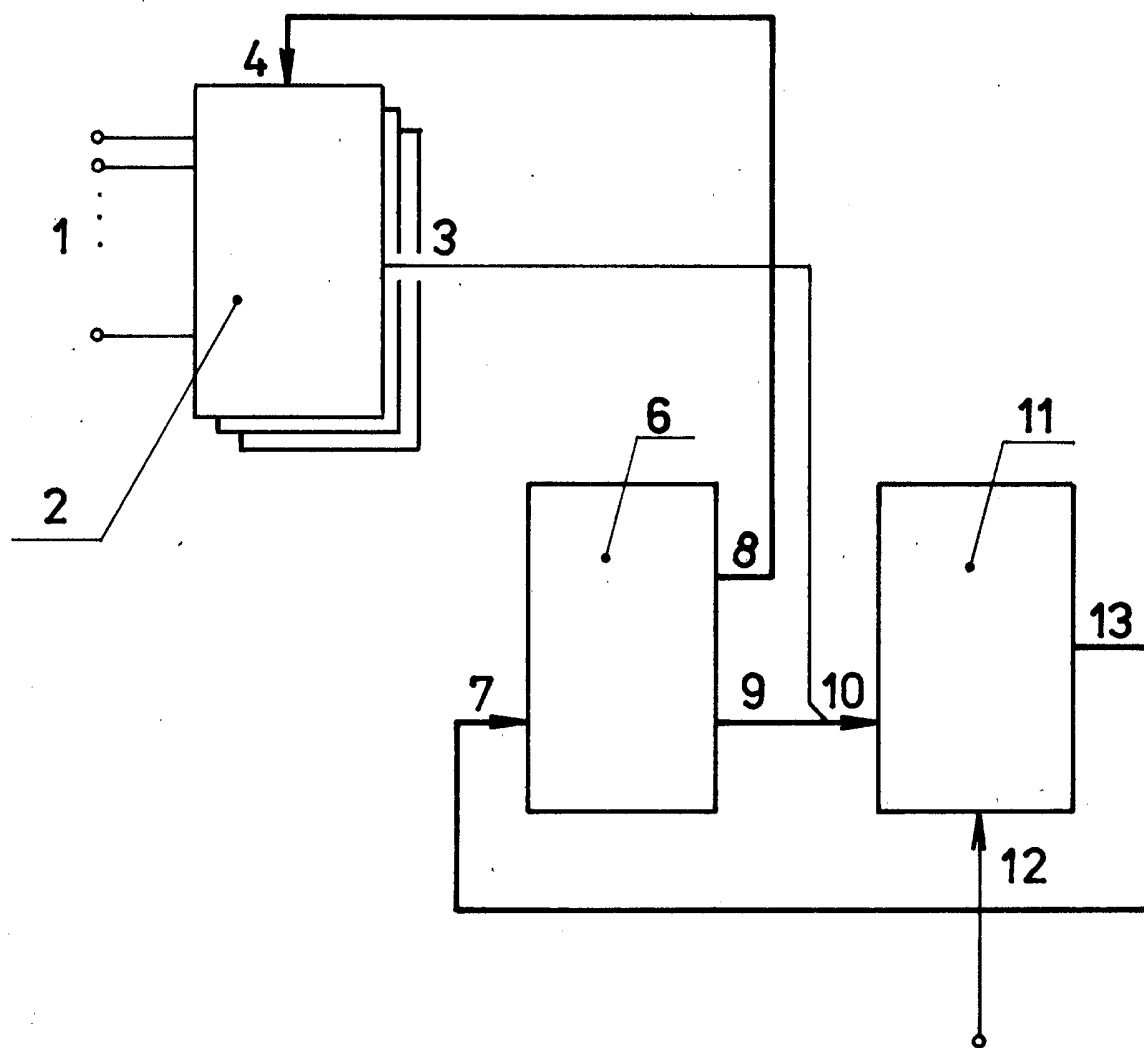
Programovatelný řadič o konečném počtu stavů, vyznačující se tím, že alespoň jeden multiplexer (2) opatřený datovými vstupy (1) a výběrovými vstupy (4) je svým výstupem (3) připojen buď k jedné části adresových vstupů (5) pevné paměti (6), jejíž výběrové výstupy (8) jsou

spojeny s výběrovými vstupy (4) multiplexeru (2) a jejíž stavové výstupy (9) jsou spojeny se vstupy (10) registru stavu (11), jehož výstupy (13) jsou připojeny ke druhé části adresových vstupů (7) pevné paměti (6), přičemž registr stavu (11) je dále opatřen hodinovým vstupem (12), nebo je výstup (3) multiplexeru (2) spojen s odpovídajícím počtem vstupů (10) registru stavu (11).

2 výkresy



OBR. 1



OBR. 2