

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月2日(02.07.2020)



(10) 国際公開番号

WO 2020/137198 A1

(51) 国際特許分類:
H03M 1/12 (2006.01) *H04N 5/3745* (2011.01)
H03M 1/56 (2006.01) *H04N 5/378* (2011.01)
H04N 5/347 (2011.01)

(21) 国際出願番号: PCT/JP2019/044087

(22) 国際出願日: 2019年11月11日(11.11.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-242059 2018年12月26日(26.12.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

(72) 発明者: 井上 晃汰(Inoue, Kota); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソ

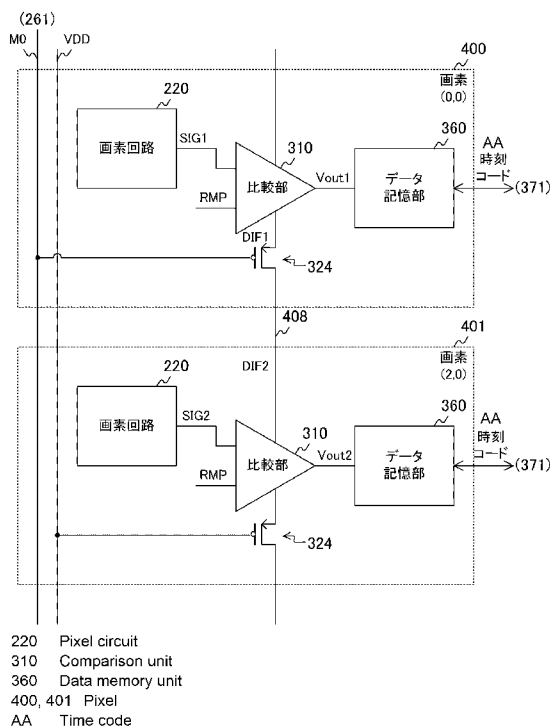
ニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一(MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SOLID-STATE IMAGE CAPTURING ELEMENT AND IMAGE CAPTURING DEVICE

(54) 発明の名称: 固体撮像素子および撮像装置



(57) Abstract: The purpose of the present invention is to suppress a decrease in image quality when resolution is decreased without consuming electrical power wastefully in a solid-state image capturing element in which AD conversion is performed on a pixel-by-pixel basis. A solid-state image capturing element according to the present invention is provided with a plurality of pixels. Each of the plurality of pixels is provided with a comparison unit, an addition circuit, and a data memory unit. The comparison unit generates a difference signal, which is an amplified difference between an analog pixel signal that is assigned prescribed coordinates and a prescribed reference signal. The addition circuit generates a summation signal by analog-adding the difference signal and a difference signal relating to other coordinates neighboring said prescribed coordinates. The data memory unit holds a digital signal according to the summation signal, said digital signal indicating the time at which an output signal of the comparison unit is inverted.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 画素毎にA/D変換を行う固体撮像素子において、電力を無駄に消費すること無く、解像度を低下させる際の画質低下を抑制する。固体撮像素子は、複数の画素を具備する。複数の画素のそれぞれには、比較部と、加算回路と、データ記憶部とが設けられる。比較部は、所定座標が割り当てられたアナログの画素信号と所定の参照信号との差分を増幅した差分信号を生成する。加算回路は、差分信号と、その所定座標に隣接する他の座標に係る差分信号とをアナログ加算して加算信号を生成する。データ記憶部は、加算信号に応じた比較部の出力信号が反転したときの時刻を示すデジタル信号を保持する。

明 細 書

発明の名称： 固体撮像素子および撮像装置

技術分野

[0001] 本技術は、固体撮像素子および撮像装置に関する。詳しくは、アナログ信号をデジタル信号に変換する固体撮像素子および撮像装置に関する。

背景技術

[0002] 従来より、撮像装置などにおいては、A D (Analog to Digital) 変換の速度を速くする目的で、画素毎にアナログ信号をデジタル信号に変換する固体撮像素子が用いられている。例えば、アナログの画素信号を生成する画素回路と、画素信号と参照信号とを比較する比較部と、差動入力回路が反転したときのデジタルの時刻コードを保持するデータ記憶部とを画素毎に配置した固体撮像素子が提案されている（例えば、特許文献1 参照。）。これらの比較部およびデータ記憶部により、画素毎にアナログの画素信号がデジタルの時刻コードに変換される。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2016／136448号

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、画素毎にA D変換を行うため、カラムごとにA D変換を行う場合と比較してA D変換の速度が向上する。しかしながら、上述の固体撮像素子では、出力先の装置により要求された出力形式に合わせるなどの目的で、画素信号を間引くことにより解像度を低下させると、間引く画素数が多いほど、画像の画質が低下してしまう。これに対し、画素信号を間引かずに、デジタル信号同士の加算により解像度を低下させる方法を用いれば、画質の低下を抑制することができるが、間引く場合と比較して消費電力が増大し、消費電力を十分に抑制することができなくなるため好ましくない。

このように、上述の固体撮像素子では、解像度を低下させる際の画像の画質低下と消費電力とを同時に抑制することが困難であるという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、画素毎にAD変換を行う固体撮像素子において、電力を無駄に消費すること無く、解像度を低下させる際の画質低下を抑制することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、所定座標が割り当てられたアナログの画素信号と所定の参照信号との差分を増幅した差分信号を生成する比較部と、上記差分信号と上記所定座標に隣接する他の座標に係る差分信号とをアナログ加算して加算信号を生成する加算回路と、上記加算信号に応じた信号が反転したときの時刻を示すデジタル信号を保持するデータ記憶部とを各々に設けた複数の画素を具備する固体撮像素子である。これにより、画素信号および参照信号の差分を増幅した差分信号がアナログ加算されるという作用をもたらす。

[0007] また、この第1の側面において、上記比較部は、上記差分信号を生成して所定の内部ノードに出力し、上記加算回路は、上記複数の画素のうち加算対象の画素のそれぞれの上記内部ノードの接続により上記差分信号をアナログ加算してもよい。これにより、内部ノードの接続により差分信号がアナログ加算されるという作用をもたらす。

[0008] また、この第1の側面において、上記加算対象の画素は、一対の画素であり、上記加算回路は、上記一対の画素の一方の上記内部ノードと他方の上記内部ノードとの間の経路を開閉する接続トランジスタを備えてもよい。これにより、一対の画素の差分信号がアナログ加算されるという作用をもたらす。

[0009] また、この第1の側面において、上記加算対象の画素は、第1画素、第2画素および第3画素であり、上記第2画素の上記加算回路は、上記第1画素と上記第2画素の上記内部ノードとの間の経路を開閉する第1画素側接続トランジスタと、上記第2画素の上記内部ノードと上記第3画素との間の経路

を開閉する第3画素側接続トランジスタとを備えてもよい。これにより、3画素の差分信号がアナログ加算されるという作用をもたらす。

[0010] また、この第1の側面において、2画素を加算する2画素加算モードが設定された場合には上記第1画素側接続トランジスタおよび上記第3画素側接続トランジスタの一方が開状態に移行するとともに他方が閉状態に移行し、3画素を加算する3画素加算モードが設定された場合には上記第1画素側接続トランジスタおよび上記第3画素側接続トランジスタの両方が上記閉状態に移行してもよい。これにより、2画素の加算と、3画素の加算とのいずれかに切り替えられるという作用をもたらす。

[0011] また、この第1の側面において、上記第1画素および上記第2画素のそれぞれの上記加算回路は、上記第1画素の上記内部ノードと上記第2画素との間の経路を開閉する第2画素側接続トランジスタを備え、上記2画素加算モードが設定された場合には上記第1画素および上記第2画素の一方の上記第2画素側接続トランジスタが上記開状態に移行するとともに他方の上記第2画素側接続トランジスタが上記閉状態に移行し、上記3画素加算モードが設定された場合には上記第1画素および上記第2画素の両方の上記第2画素側接続トランジスタが上記閉状態に移行してもよい。これにより、2画素の加算と、3画素の加算とのいずれかに切り替えられるという作用をもたらす。

[0012] また、この第1の側面において、上記複数の画素は、二次元格子状に配列され、上記加算回路は、上記複数の画素のうち所定方向に配列された所定数の画素のそれぞれの上記差分信号をアナログ加算してもよい。これにより、所定方向に配列された所定数の画素がアナログ加算されるという作用をもたらす。

[0013] また、この第1の側面において、上記複数の画素のそれぞれには、上記デジタル信号を転送するリピータが設けられ、上記リピータは、所定の水平方向に垂直な垂直方向に配列され、上記加算回路は、上記垂直方向に配列された上記所定数の画素のそれぞれの上記差分信号をアナログ加算してもよい。これにより、水平方向に配列された所定数の画素がアナログ加算されるとい

う作用をもたらす。

[0014] また、この第1の側面において、上記複数の画素のそれぞれには、上記デジタル信号を転送するリピータが設けられ、上記リピータは、所定の水平方向に垂直な垂直方向に配列され、上記加算回路は、上記複数の画素のうち上記水平方向に配列された上記所定数の画素のそれぞれの上記差分信号をアナログ加算してもよい。これにより、垂直方向に配列された所定数の画素がアナログ加算されるという作用をもたらす。

[0015] また、この第1の側面において、上記比較部の一部は、所定の受光チップに配置され、上記比較部の残りと上記加算回路および上記データ記憶部とは、所定の回路チップに配置されてもよい。これにより、積層構造の固体撮像素子において画素加算が行われるという作用をもたらす。

[0016] また、本技術の第2の側面は、所定座標が割り当てられたアナログの画素信号と所定の参照信号との差分を増幅した差分信号を生成する比較部と、上記差分信号と上記所定座標に隣接する他の座標に係る差分信号とをアナログ加算して加算信号を生成する加算回路と、上記加算信号に応じた信号が反転したときの時刻を示すデジタル信号を保持するデータ記憶部とを各々に設けた複数の画素と、上記デジタル信号を処理するロジック回路とを具備する撮像装置である。これにより、アナログ加算された差分信号に応じたアナログ信号がデジタル信号に変換されるという作用をもたらす。

図面の簡単な説明

[0017] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の積層構造の一例を示す図である。

[図3]本技術の第1の実施の形態における受光チップの一構成例を示すブロック図である。

[図4]本技術の第1の実施の形態における回路チップの一構成例を示すブロック図である。

[図5]本技術の第1の実施の形態におけるクラスタの一構成例を示すブロック図である。

[図6]本技術の第1の実施の形態における画素回路とクラスタ内の回路との接続関係の一例を示す斜視図である。

[図7]本技術の第1の実施の形態における画素同士の接続関係の一例を示す図である。

[図8]本技術の第1の実施の形態におけるクラスタ内の回路の接続関係の一例を示す図である。

[図9]本技術の第1の実施の形態における画素の一構成例を示すブロック図である。

[図10]本技術の第1の実施の形態における画素の一構成例を示す回路図である。

[図11]本技術の第1の実施の形態における比較部の接続関係の一例を示す図である。

[図12]本技術の第1の実施の形態における画素信号、参照信号および出力信号の変動の一例を示すグラフである。

[図13]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図14]本技術の第1の実施の形態の変形例における画素同士の接続関係の一例を示す図である。

[図15]本技術の第2の実施の形態における画素同士の接続関係の一例を示す図である。

[図16]本技術の第2の実施の形態におけるクラスタ内の回路の接続関係の一例を示す図である。

[図17]本技術の第2の実施の形態における比較部の接続関係の一例を示す図である。

[図18]本技術の第2の実施の形態における画素内の素子のレイアウトの一例を示す図である。

[図19]本技術の第2の実施の形態における画素内の制御線の配線の一例を示す図である。

[図20]本技術の第3の実施の形態における比較部の接続関係の一例を示す図である。

[図21]本技術の第3の実施の形態におけるモードごとの制御の一例を示す図である。

[図22]本技術の第3の実施の形態における画素内の制御線の配線の一例を示す図である。

[図23]本技術の第4の実施の形態に係る撮像装置の構成の一例を示すブロック図である。

[図24]車両制御システムの概略的な構成例を示すブロック図である。

[図25]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0018] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（差分信号をアナログ加算する例）
2. 第2の実施の形態（3画素の差分信号をアナログ加算する例）
3. 第3の実施の形態（加算する画素数を切り替えて差分信号をアナログ加算する例）
4. 第4の実施の形態（スキャン方式）
5. 移動体への応用例

[0019] <1. 第1の実施の形態>

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像データを撮像するための装置であり、光学部110、固体撮像素子200およびDSP（Digital Signal Processing）回路120を備える。さらに撮像装置100は、表示部130、操作部140、バス150、フレームメモリ160、記憶部170

および電源部 180 を備える。撮像装置 100 としては、例えば、デジタルスチルカメラなどのデジタルカメラの他、撮像機能を持つスマートフォンやパーソナルコンピュータ、車載カメラ等が想定される。

[0020] 光学部 110 は、被写体からの光を集光して固体撮像素子 200 に導くものである。固体撮像素子 200 は、垂直同期信号 VSYNC に同期して、光電変換により画像データを生成するものである。ここで、垂直同期信号 VSYNC は、撮像のタイミングを示す所定周波数の周期信号である。固体撮像素子 200 は、生成した画像データを DSP 回路 120 に信号線 209 を介して供給する。

[0021] DSP 回路 120 は、固体撮像素子 200 からの画像データに対して所定の信号処理を実行するものである。この DSP 回路 120 は、処理後の画像データをバス 150 を介してフレームメモリ 160 などに出力する。

[0022] 表示部 130 は、画像データを表示するものである。表示部 130 としては、例えば、液晶パネルや有機 EL (Electro Luminescence) パネルが想定される。操作部 140 は、ユーザの操作に従って操作信号を生成するものである。

[0023] バス 150 は、光学部 110、固体撮像素子 200、DSP 回路 120、表示部 130、操作部 140、フレームメモリ 160、記憶部 170 および電源部 180 が互いにデータをやりとりするための共通の経路である。

[0024] フレームメモリ 160 は、画像データを保持するものである。記憶部 170 は、画像データなどの様々なデータを記憶するものである。電源部 180 は、固体撮像素子 200、DSP 回路 120 や表示部 130 などに電源を供給するものである。

[0025] [固体撮像素子の構成例]

図 2 は、本技術の第 1 の実施の形態における固体撮像素子 200 の積層構造の一例を示す図である。この固体撮像素子 200 は、回路チップ 202 と、その回路チップ 202 に積層された受光チップ 201 とを備える。これらの基板は、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他

、Cu-Cu接合やバンプ、TCI (ThruChip Interface) などの誘導結合通信技術により接続することもできる。

[0026] [受光チップの構成例]

図3は、本技術の第1の実施の形態における受光チップ201の一構成例を示す平面図である。この受光チップ201には、画素領域210と、Vドライバ231および232と、Hドライバ233と、DAC (Digital to Analog Converter) 234とが配置される。また、画素領域210には、複数の画素ブロック211が二次元格子状に配列される。それぞれの画素ブロック211には、複数の画素回路220が配列される。例えば、画素ブロック211には、1行×6列の6個の画素回路220が配列される。また、画素ブロック211には、画素回路220ごとに、後述する比較部の一部が配置される。なお、画素ブロック211内の画素回路220の個数は6個に限定されない。

[0027] 画素回路220は、光電変換によりアナログの画素信号を生成するものである。

[0028] Vドライバ231および232は、読み出す対象の行の画素回路220を駆動し、画素信号を出力させるものである。例えば、Vドライバ231は、奇数行を駆動し、Vドライバ232は、偶数行を駆動する。また、Hドライバ233は、列単位で画素回路220を駆動する。なお、Vドライバ231および232のそれぞれが駆動する行を必ずしも偶数行、奇数行などに分ける必要は無い。例えば、セトリングを速くする目的で、Vドライバ231および232が同じ行を駆動することもできる。

[0029] DAC 234は、DA (Digital to Analog) 変換により、スロープ状に変化するアナログのランプ信号を参照信号として生成するものである。このDAC 234は、生成した参照信号を画素領域210に供給する。

[0030] [回路チップの構成例]

図4は、本技術の第1の実施の形態における回路チップ202の一構成例を示すブロック図である。この回路チップ202には、AD変換回路領域2

50と、Vドライバ261および262と、Hドライバ263と、ロジック回路264とが配置される。AD変換回路領域250には、複数のクラスタ300が二次元格子状に配列される。クラスタ300は、画素ブロック211ごとに設けられ、画素ブロック211の個数をN（Nは、整数）個とすると、クラスタ300もN個設けられる。画素ブロック211とクラスタ300とは、1対1で接続される。

[0031] クラスタ300は、対応する画素ブロック211からのアナログ信号を画素毎にデジタル信号に変換し、ロジック回路264に画素データとして供給するものである。

[0032] Vドライバ261および262は、クラスタ300内の回路を駆動してデジタル信号を生成させるものである。例えば、Vドライバ261は、奇数行に対応する回路を駆動し、Vドライバ262は、偶数行に対応する回路を駆動する。あるいは、Vドライバ261および262は、同じ行の回路を駆動する。また、Hドライバ263は、生成されたデジタル信号をクラスタ300からロジック回路264へ画素データとして転送させるものである。

[0033] ロジック回路264は、転送された画素データに対して画素毎にCDS（Correlated Double Sampling）処理などの各種の信号処理を行うものである。このロジック回路264は、処理後の画素データからなる画像データをDSP回路120に供給する。

[0034] [クラスタの構成例]

図5は、本技術の第1の実施の形態におけるクラスタ300の一構成例を示すブロック図である。クラスタ300には、画素ブロック211内の画素回路220毎に、比較部310およびデータ記憶部360が配置される。画素ブロック211内の画素回路220が6個である場合には、比較部310およびデータ記憶部360は、それぞれ6個ずつ配置される。なお、同図において、図9で後述する接続トランジスタは省略されている。また、比較部310内の差動入力回路の一部は、後述する図10に例示するように受光チップ201に配置されている。

- [0035] また、AD変換回路領域250において、クラスタ300の列ごとに、時刻コード転送部370が配置される。クラスタ300の列数がM（Mは、整数）である場合、時刻コード転送部370もM個配置される。
- [0036] また、6個の比較部310のそれぞれは、クラスタ300に対応する画素ブロック211内の6個の画素回路220と1対1で接続される。
- [0037] 時刻コード転送部370は、時刻コードを生成するカウンタ（不図示）からクラスタ300へ時刻コードを転送し、クラスタ300からロジック回路264に時刻コードを転送するものである。この時刻コードは、参照信号がスロープ状に変化する期間内の時刻を示すデジタル信号である。
- [0038] 比較部310は、対応する画素回路220からの画素信号と参照信号とを比較するものである。この比較部310は、比較結果をデータ記憶部360に出力する。
- [0039] データ記憶部360は、比較結果が反転したときに時刻コード（すなわち、デジタル信号）を画素データとして保持するものである。そして、データ記憶部360は、保持した画素データを時刻コード転送部370を介してロジック回路264に出力する。これにより、アナログの画素信号は、デジタルの画素データに変換される。
- [0040] 図6は、本技術の第1の実施の形態における画素回路220とクラスタ300内の回路との接続関係の一例を示す斜視図である。
- [0041] 画素ブロック211内の m （ m は、整数）行、 n （ n は、整数）列の画素回路220の座標を（ m 、 n ）とする。左側の座標（0、0）、（0、1）および（0、2）の画素回路220は、クラスタ300内の左側の3個の比較部310に接続される。また、右側の座標（0、3）、（0、4）および（0、5）の画素回路220は、クラスタ300内の右側の3個の比較部310に接続される。なお、同図において、「CM」は、比較部310を示し、「MEM」は、データ記憶部360を示す。
- [0042] 1つの画素回路220と、その回路に接続された比較部310およびデータ記憶部360とを含む回路は、固体撮像素子200内の1つの画素を構成

する。画素ブロック 2 1 1 内には、6 個の画素回路 2 2 0 が配列されるため、画素ブロック 2 1 1 ごとの画素数は、6 画素である。

[0043] 図 7 は、本技術の第 1 の実施の形態における画素同士の接続関係の一例を示す図である。固体撮像素子 2 0 0 内には、R (Red)画素、G (Green)画素および B (Blue)画素などの複数の画素 4 0 0 がベイヤー配列などにより二次元格子状に配列される。G 画素は、水平方向において R 画素に隣接する G_r 画素と、B 画素に隣接する G_b 画素とを含む。なお、画素 4 0 0 の配列方法は、ベイヤー配列に限定されない。

[0044] 垂直方向において隣接する同色の一对の画素（画素 4 0 0 および 4 0 1 など）が互いに接続される。同図において画素間の実線は、画素同士を接続する配線を示す。例えば、座標（0，0）の R の画素 4 0 0 と、座標（2，0）の R の画素 4 0 1 とが接続され、座標（0，2）の R 画素と、座標（2，2）の R 画素とが接続される。また、座標（0，4）の R 画素と、座標（2，4）の R 画素とが接続される。3 行以降においても同様に、2 画素単位で R 画素が接続される。G 画素および B 画素についても同様に、垂直方向において隣接する 2 画素が接続される。なお、G 画素および B 画素の接続関係は、同図において省略されている。

[0045] 接続された 2 画素は、画素加算モードにおいてアナログの画素加算を行い、非加算モードにおいて、画素加算せずに個々に画素データを生成する。ここで、画素加算モードは、画素加算を行って画像データを生成するモードであり、非加算モードは、画素加算せずに画像データを生成するモードである。

[0046] 図 8 は、本技術の第 1 の実施の形態におけるクラスタ 3 0 0 内の回路の接続関係の一例を示す図である。垂直方向において配列されたクラスタ 3 0 0、3 0 1 および 3 0 2 に着目する。クラスタ 3 0 0 には、比較部 3 1 0 およびデータ記憶部 3 6 0 が画素毎に設けられ、さらにリピータ 3 7 1 が配置される。クラスタ 3 0 1 および 3 0 2 についても同様である。垂直方向に配列されたリピータ 3 7 1 の集合は、図 5 の時刻コード転送部 3 7 0 に該当する。

。

[0047] クラスタ300には、座標(0, 0)、(0, 1)、(0, 2)、(0, 3)、(0, 4)および(0, 5)の6画素に対応する回路が配置される。クラスタ301には、座標(1, 0)、(1, 1)、(1, 2)、(1, 3)、(1, 4)および(1, 5)の6画素に対応する回路が配置される。クラスタ302には、座標(2, 0)、(2, 1)、(2, 2)、(2, 3)、(2, 4)および(2, 5)の6画素に対応する回路が配置される。

[0048] 座標(0, 0)に対応する比較部310と、座標(2, 0)に対応する比較部310とは、ベイヤー配列において隣接するR画素の回路である。このため、これらの比較部310が接続される。同図において、一对の比較部310の間の実線は、それらの回路同士を接続する配線を示す。同様に、座標(0, 2)に対応する比較部310と、座標(2, 2)に対応する比較部310とが接続される。また、座標(0, 4)に対応する比較部310と、座標(2, 4)に対応する比較部310とが接続される。なお、同図において、G画素に対応する回路と、B画素に対応する回路との接続関係は、省略されている。

[0049] [画素の構成例]

図9は、本技術の第1の実施の形態における画素400の一構成例を示す回路図である。この画素400は、画素回路220、比較部310、接続トランジスタ324およびデータ記憶部360を備える。比較部310は、差動入力回路320、電圧変換回路330および正帰還回路340を備える。

[0050] 画素回路220は、前述したように、光電変換によりアナログの画素信号SIGを生成する。差動入力回路320は、画素回路220からの画素信号SIGと、DAC234からの参照信号RMPとの差分を増幅するものである。電圧変換回路330は、差動入力回路320からの信号の電圧を変換するものである。正帰還回路340は、出力の一部を入力に加算するものである。データ記憶部360は、前述したように、比較部310の比較結果を示す出力信号Voutが反転したときに時刻コードを画素データとして保持す

る。

[0051] 接続トランジスタ 324 は、制御信号に従って、画素 400 内の内部ノードと、その画素 400 に隣接する画素 401 内の内部ノードとを接続するものである。内部ノードの位置の詳細については図 10 で後述する。

[0052] 図 10 は、本技術の第 1 の実施の形態における画素 400 の一構成例を示す回路図である。この画素 400 は、画素回路 220、差動入力回路 320、接続トランジスタ 324、電圧変換回路 330、正帰還回路 340 およびデータ記憶部 360 を備える。なお、データ記憶部 360 は、同図において省略されている。

[0053] 画素回路 220 は、例えば、リセットトランジスタ 221、浮遊拡散層 222、転送トランジスタ 223、フォトダイオード 224 および排出トランジスタ 225 を備える。リセットトランジスタ 221、転送トランジスタ 223、フォトダイオード 224 および排出トランジスタ 225 として、例えば、N 型の MOS (Metal-Oxide-Semiconductor) トランジスタが用いられる。

[0054] フォトダイオード 224 は、光電変換により電荷を生成するものである。排出トランジスタ 225 は、ドライバ (V ドライバ 231 など) からの駆動信号 OFG により排出が指示されるとフォトダイオード 224 から電荷を排出するものである。

[0055] 転送トランジスタ 223 は、ドライバからの転送信号 TX により転送が指示されると、露光終了時にフォトダイオード 224 から浮遊拡散層 222 へ電荷を転送するものである。

[0056] 浮遊拡散層 222 は、転送された電荷を蓄積し、電荷量に応じたレベルのアナログの画素信号 SIG を生成するものである。

[0057] リセットトランジスタ 221 は、ドライバからのリセット信号 AZ により初期化が指示されると、浮遊拡散層 222 を初期化するものである。

[0058] 差動入力回路 320 は、P 型トランジスタ 321、322 および 323 と、差動トランジスタ 226 および 227 と、電流源トランジスタ 228 とを

備える。P型トランジスタ321、322および323として、例えば、MOSトランジスタが用いられる。差動トランジスタ226、差動トランジスタ227および電流源トランジスタ228として、例えば、N型のMOSトランジスタが用いられる。

[0059] また、差動トランジスタ226および227と、電流源トランジスタ228と、画素回路220とは、受光チップ201に配置される。P型トランジスタ321、322および323と、その後段の回路（電圧変換回路330等）とは、回路チップ202に配置される。なお、受光チップ201および回路チップ202のそれぞれに配置する回路や素子は、同図に例示したものに限定されない。

[0060] 差動トランジスタ226および227のそれぞれのソースは、電流源トランジスタ228に共通に接続される。また、差動トランジスタ227のゲートは、浮遊拡散層222に接続され、差動トランジスタ226のゲートは、DAC234に接続される。

[0061] 電流源トランジスタ228のゲートには、所定のバイアス電圧V_bが印加され、ソースは接地される。

[0062] P型トランジスタ321、322および323は、電源電圧V_{DDH}の端子に並列に接続される。また、P型トランジスタ321のゲートは、自身のドレインとP型トランジスタ322のゲートとに接続される。また、P型トランジスタ321のドレインは、差動トランジスタ226のドレインに接続され、P型トランジスタ322のドレインは、差動トランジスタ227のドレインに接続される。また、P型トランジスタ323のゲートは、P型トランジスタ322のドレインに接続され、P型トランジスタ323のドレインは電圧変換回路330に接続される。P型トランジスタ323のゲートと、P型トランジスタ322のドレインとの接続ノードを以下、「内部ノードCN」と称する。

[0063] 内部ノードCNには、画素回路220からの画素信号SIGと、DAC234からの参照信号RMPとの差分を増幅した差分信号DIF1が入力され

る。

- [0064] 接続トランジスタ324は、制御線M0からの制御信号に従って、画素400内の内部ノードCNと、その画素400に隣接する画素401内の内部ノードCNとを接続する。Vドライバ261等のドライバは、制御線M0を介して制御信号を供給する。接続トランジスタ324としてP型トランジスタを用いる場合、画素加算モードにおいてドライバは、ローレベルの制御信号を供給し、非加算モードにおいてハイレベルの制御信号を供給する。
- [0065] これにより、画素加算モードにおいて、接続トランジスタ324は閉状態に移行し、非加算モードにおいて開状態に移行する。接続トランジスタ324が閉状態に移行すると、画素400および画素401のそれぞれの内部ノードCNが接続される。この結果、画素400内の差分信号DIF1と、画素401内の差分信号DIF2とがアナログ加算され、その加算信号に応じた信号が差分信号DIF_{out}として出力される。なお、接続トランジスタ324は、特許請求の範囲に記載の加算回路の一例である。
- [0066] 電圧変換回路330は、N型トランジスタ331を備える。N型トランジスタ331として、例えば、MOSトランジスタが用いられる。このN型トランジスタ331は、差動入力回路320と正帰還回路340との間に挿入され、そのゲートには、電源電圧VDDHより低い電源電圧VDDLが印加される。
- [0067] 正帰還回路340は、P型トランジスタ341、342、344および345と、N型トランジスタ343、346および347とを備える。これらのトランジスタとして、例えば、MOSトランジスタが用いられる。
- [0068] P型トランジスタ341、P型トランジスタ342およびN型トランジスタ343は、電源電圧VDDLの端子と接地端子との間において直列に接続される。P型トランジスタ341のゲートには、Vドライバ261などのドライバからの駆動信号IN12が入力され、N型トランジスタ343には、Vドライバ261などのドライバからの駆動信号IN1が入力される。P型トランジスタ342およびN型トランジスタ343の接続点には、電圧変

換回路 330 からの信号が入力される。

[0069] P 型トランジスタ 344 および 345 は、電源電圧 V_{DDL} の端子に直列に接続される。また、N 型トランジスタ 346 および 347 は、P 型トランジスタ 345 と接地端子との間において並列に接続される。

[0070] P 型トランジスタ 344 および N 型トランジスタ 346 のゲートは、P 型トランジスタ 342 および N 型トランジスタ 343 の接続点に接続される。P 型トランジスタ 345 および N 型トランジスタ 346 の接続点からは、出力信号 V_{out} がデータ記憶部 360 へ出力され、正帰還信号 PFB が P 型トランジスタ 342 のゲートに出力される。また、P 型トランジスタ 345 および N 型トランジスタ 347 のゲートには、ドライバからの駆動信号 $TRSTVCO$ が入力される。

[0071] 上述の構成により、比較部 310 は、画素信号 SIG と、参照信号 RMP との差分を増幅した差分信号 $DIF1$ を生成して内部ノード CN に出力する。そして、比較部 310 は、その内部ノード CN の信号に応じた出力信号 V_{out} をデータ記憶部 360 に出力する。

[0072] 図 11 は、本技術の第 1 の実施の形態における比較部 310 の接続関係の一例を示す図である。垂直方向において隣接する同色（R など）の画素 400 および 401 に着目する。画素 400 および 401 のそれぞれには、画素回路 220、比較部 310、接続トランジスタ 324 およびデータ記憶部 360 が配置される。

[0073] 画素 400 内の接続トランジスタ 324 のゲートは制御線 $M0$ に接続される。一方、画素 401 内の接続トランジスタ 324 のゲートは、電源線 VDD に接続される。これにより、画素 400 内の接続トランジスタ 324 は、制御信号に従ってオンオフする一方で、画素 401 内の接続トランジスタ 324 は、常にオフ状態である。

[0074] 画素 400 内の比較部 310 は、アナログの画素信号 $SIG1$ と参照信号 RMP との差分を増幅した差分信号 $DIF1$ を内部生成する。一方、画素 401 内の比較部 310 は、画素信号 $SIG2$ と参照信号 RMP との差分を増

幅した差分信号DIF2を内部生成する。

[0075] 画素加算モードにおいて画素400内の接続トランジスタ324は、制御信号に従ってオンし、閉状態に移行する。これにより、所定座標が割り当てられた画素400内の画素信号と参照信号との差分を増幅した差分信号DIF1と、その座標に隣接する他の座標に係る差分信号DIF2とがアナログ加算される。そして、画素400および401の一方のデータ記憶部360は、加算信号に応じた出力信号Voutが反転したときの時刻コードを画素データとして保持し、他方のデータ記憶部360は、動作を停止する。この結果、垂直方向において画素データ数が半分となる。

[0076] また、非加算モードにおいて画素400内の接続トランジスタ324は、制御信号に従ってオフする。これにより、画素400内のデータ記憶部360は、差分信号DIF1に応じた出力信号Vout1が反転したときの時刻コードを画素データとして保持する。また、画素401のデータ記憶部360は、差分信号DIF2に応じた出力信号Vout2が反転したときの時刻コードを画素データとして保持する。

[0077] なお、画素401内の接続トランジスタ324を常にオフ状態にしているが、この構成に限定されない。画素401内の接続トランジスタ324のゲートを制御線M0と別の制御線に接続することもできる。この場合には、画素加算モードにおいて画素400内の接続トランジスタ324と、画素401内の接続トランジスタ324との一方がオン状態に、他方がオフ状態に制御される。

[0078] 画素加算により、画素信号を間引く場合と比較して、画質の低下を抑制することができる。また、差分信号同士をアナログ加算することにより、デジタル加算する場合と比較して、AD変換の回数が低下するため、消費電力を削減することができる。また、画素毎にAD変換する固体撮像素子200において画素加算することにより、垂直方向および水平方向に配列された複数の画素を加算対象とすることができる。これに対して、カラムごとにAD変換する固体撮像素子において画素加算する場合には、水平方向に配列された

複数の画素を加算対象とすることができるが、垂直方向に配列された複数の画素を加算対象とすることができない。

[0079] 図12は、本技術の第1の実施の形態における画素信号、参照信号および出力信号の変動の一例を示すグラフである。同図におけるaは、非加算モードにおける画素信号および参照信号の変動の一例を示すグラフである。同図におけるaの横軸は時間を示し、縦軸は、画素信号および参照信号の電圧を示す。また、実線は、参照信号RMPの変動を示し、一点鎖線は、画素400の画素信号SIG1の変動を示す。太い点線は、画素401の画素信号SIG2の変動を示す。同図におけるbは、非加算モードにおける比較部310の出力信号の変動の一例を示し、同図におけるcは、画素加算モードにおける出力信号の変動の一例を示す。同図におけるbおよびcの横軸は時間を示し、縦軸は、比較部310の出力信号Voutの電圧を示す。また、一点鎖線は、画素400の出力信号Vout1の変動を示す。太い点線は、画素401の出力信号Vout2の変動を示す。実線は、加算モードの出力信号Voutの変動を示す。

[0080] 同図におけるaに例示するように参照信号RMPは、スロープ状に変動する。一方、画素400および401が初期化されると、画素400の画素回路220は、リセットレベルの画素信号SIG1rを出力し、画素401の画素回路220は、リセットレベルの画素信号SIG2rを出力する。そして、タイミングT0において、画素信号SIG1rおよびSIG2rが参照信号RMPより高くなり、画素400および401の比較部310は、比較結果を示す出力信号Voutを反転させる。

[0081] そして、非加算モードにおいて画素400の画素回路220は、露光終了時に信号レベルの画素信号SIG1sを出力し、画素401の画素回路220は、信号レベルの画素信号SIG2sを出力する。これらの信号レベルは互いに異なるものとする。このため、例えば、タイミングT1において、画素信号SIG1sが参照信号RMPより高くなり、その後のタイミングT3において画素信号SIG2sが参照信号RMPより高くなる。これにより、

同図におけるbに例示するように画素400の比較部310は、タイミングT1において出力信号Vout1を反転させ、画素401の比較部310は、タイミングT3において出力信号Vout2を反転させる。この結果、画素毎に画素データが生成される。

[0082] 一方、同図におけるcに例示するように画素加算モードにおいて画素400または画素401の比較部310は、加算信号に応じた出力信号Voutを出力する。この出力信号Voutは、画素400および401のそれぞれの信号をアナログ加算したものであるため、タイミングT1とT3との間のタイミングT2で反転する。この結果、垂直方向において解像度が低下する。

[0083] [固体撮像素子の動作例]

図13は、本技術の第1の実施の形態における固体撮像素子200の動作の一例を示すフローチャートである。この動作は、例えば、画像を撮像するための所定のアプリケーションが実行されたときに開始される。固体撮像素子200は、現在のモードが画素加算モードであるか否かを判断する（ステップS901）。

[0084] 画素加算モードである場合に（ステップS901：Yes）、固体撮像素子200内の接続トランジスタ324はオン状態に移行し、隣接する2画素のそれぞれの内部ノードCNを接続する（ステップS902）。これにより、それらの画素の差分信号がアナログ加算される。

[0085] 一方、非加算モードである場合に（ステップS901：No）、固体撮像素子200内の接続トランジスタ324はオフ状態に移行し、隣接する2画素のそれぞれの内部ノードCNを切り離す（ステップS903）。そして、ステップS902またはS903の後に固体撮像素子200内の画素のそれぞれは、AD変換を行う（ステップS904）。ステップS904の後に固体撮像素子200は、撮像のための動作を終了する。

[0086] なお、複数の画像データを連続して撮像する場合には、垂直同期信号に同期してステップS901乃至S904が繰り返し実行される。

[0087] このように、本技術の第1の実施の形態によれば、接続トランジスタ324が、隣接する2画素のそれぞれの差分信号をアナログ加算するため、画素信号を間引く場合と比較して画像データの画質を向上させることができる。また、デジタル加算する場合と比較してAD変換の回数が少ないため、消費電力を削減することができる。

[0088] [変形例]

上述の第1の実施の形態では、固体撮像素子200は、垂直方向において隣接する同色の2画素を画素加算して垂直方向における解像度を低下させていたが、この構成では、水平方向において解像度を低下させることができない。この第1の実施の形態の変形例の固体撮像素子200は、水平方向において隣接する同色の2画素を画素加算する点において第1の実施の形態と異なる。

[0089] 図14は、本技術の第1の実施の形態の変形例における画素同士の接続関係の一例を示す図である。この第1の実施の形態の変形例における固体撮像素子200は、水平方向において隣接する同色の一对の画素（例えば、画素400および401）が接続される点において第1の実施の形態と異なる。同図において画素間の実線は、画素同士を接続する配線を示す。

[0090] 例えば、座標（0，0）のRの画素400と、座標（0，2）のRの画素401とが接続され、座標（2，0）のR画素と、座標（2，2）のR画素とが接続される。G画素およびB画素についても同様に、水平方向において隣接する2画素が接続される。接続トランジスタ324は、接続された2画素のそれぞれの差分信号をアナログ加算する。なお、G画素およびB画素の接続関係は、同図において省略されている。

[0091] このように、本技術の第1の実施の形態の変形例によれば、接続トランジスタ324が、水平方向において隣接する2画素のそれぞれの差分信号をアナログ加算するため、水平方向において画素データ数を削減することができる。

[0092] <2. 第2の実施の形態>

上述の第1の実施の形態では、垂直方向において隣接する2画素を加算して垂直方向において画素データ数を削減していたが、2画素を加算する場合、画素データの半分を削減することしかできない。この第2の実施の形態の固体撮像素子200は、垂直方向において隣接する3画素を加算する点において第1の実施の形態と異なる。

[0093] 図15は、本技術の第2の実施の形態における画素同士の接続関係の一例を示す図である。垂直方向において隣接する同色の3画素（画素400、401および402など）が互いに接続される。同図において画素間の実線は、画素同士を接続する配線を示す。例えば、座標（0，0）のRの画素400と、座標（2，0）のRの画素401と、座標（4，0）のRの画素402とが接続される。また、座標（0，2）のR画素と、座標（2，2）のR画素と、座標（4，2）のR画素とが接続され、座標（0，4）のR画素と、座標（2，4）のR画素と、座標（4，4）のR画素とが接続される。5行目以降においても同様に3画素単位でR画素が接続される。G画素およびB画素についても同様に、垂直方向において隣接する3画素が接続される。なお、G画素およびB画素の接続関係は、同図において省略されている。

[0094] 図16は、本技術の第2の実施の形態におけるクラスタ内の回路の接続関係の一例を示す図である。垂直方向において配列されたクラスタ300、301、302、303および304に着目する。

[0095] クラスタ300、301および302に、配置される回路は、第1の実施の形態と同様である。クラスタ303には、座標（3，0）、（3，1）、（3，2）、（3，3）、（3，4）および（3，5）の6画素に対応する回路が配置される。クラスタ304には、座標（4，0）、（4，1）、（4，2）、（4，3）、（4，4）および（4，5）の6画素に対応する回路が配置される。

[0096] 座標（0，0）に対応する比較部310と、座標（2，0）に対応する比較部310と、座標（4，0）に対応する比較部310とは、ペイヤー配列において隣接するR画素の回路である。このため、これらの比較部310が

接続される。同図において、3つの比較部310の間の実線は、それらの回路同士を接続する配線を示す。同様に、座標(0, 2)に対応する比較部310と、座標(2, 2)に対応する比較部310と、座標(4, 2)に対応する比較部310とが接続される。また、座標(0, 4)に対応する比較部310と、座標(2, 4)に対応する比較部310と、座標(4, 4)に対応する比較部310とが接続される。なお、同図において、G画素に対応する回路と、B画素に対応する回路との接続関係は、省略されている。

[0097] 図17は、本技術の第2の実施の形態における比較部310の接続関係の一例を示す図である。垂直方向において隣接する同色(Rなど)の画素400、401および402に着目する。画素400、401および402のそれぞれには接続トランジスタ325がさらに配置される。接続トランジスタ325として、例えば、P型のMOSトランジスタが用いられる。これらの接続トランジスタ325は、レイアウトに対称性を持たせる観点から、追加されている。

[0098] 画素400内の接続トランジスタ324のゲートは電源線VDDに接続され、接続トランジスタ325のゲートは、制御線M0に接続される。また、画素401内の接続トランジスタ324および325の両方のゲートは、制御線M0に接続される。画素402内の接続トランジスタ324のゲートは制御線M0に接続され、接続トランジスタ325のゲートは、電源線VDDに接続される。これにより、画素400内の接続トランジスタ325と、画素401内の接続トランジスタ324および325と、画素402内の接続トランジスタ324とは、制御信号に従ってオンオフする。一方、画素400内の接続トランジスタ324と、画素402内の接続トランジスタ325とは、常にオフ状態である。

[0099] 画素400内の比較部310は、差分信号DIF1を内部生成する。画素401内の比較部310は、差分信号DIF2を内部生成し、画素402内の比較部310は、差分信号DIF3を内部生成する。

[0100] 画素加算モードにおいて画素400内の接続トランジスタ325と、画素

４０１内の接続トランジスタ３２４および３２５と、画素４０２内の接続トランジスタ３２４とは、制御信号に従ってオンする。これにより、所定座標の画素４００の差分信号ＤＩＦ１と、その座標に隣接する座標の画素４００および４０１の差分信号ＤＩＦ２およびＤＩＦ３とが加算される。そして、画素４００、４０１および４０２のいずれかのデータ記憶部３６０は、加算信号に応じた出力信号Ｖｏｕｔが反転したときの時刻コードを保持し、残りの画素内のデータ記憶部３６０は、動作を停止する。

[0101] また、非加算モードにおいて画素４００内の接続トランジスタ３２５と、画素４０１内の接続トランジスタ３２４および３２５と、画素４０２内の接続トランジスタ３２４とは制御信号に従ってオフする。これにより、画素４００内のデータ記憶部３６０は、差分信号ＤＩＦ１に応じた出力信号Ｖｏｕｔ１が反転したときの時刻コードを保持する。また、画素４０１内のデータ記憶部３６０は、差分信号ＤＩＦ２に応じた出力信号Ｖｏｕｔ２が反転したときの時刻コードを保持し、画素４０２内のデータ記憶部３６０は、差分信号ＤＩＦ３に応じた出力信号Ｖｏｕｔ３が反転したときの時刻コードを保持する。

[0102] なお、画素４００内の接続トランジスタ３２４と、画素４０２内の接続トランジスタ３２５とを常にオフ状態にしているが、この構成に限定されない。これらの接続トランジスタのゲートを制御線Ｍ０と別の制御線に接続してオンオフすることもできる。

[0103] 図１８は、本技術の第２の実施の形態における画素４０１内の素子のレイアウトの一例を示す図である。垂直方向において隣接する同色の画素４００、４０１および４０２に着目する。

[0104] 画素４００内には、Ｐ型トランジスタ３２１および３２２と、接続トランジスタ３２４および３２５と、Ｐ型トランジスタ３２３と、Ｎ型トランジスタ３３１とを含む各種の素子が配置される。同図において、これら以外の素子（Ｎ型トランジスタ３３１など）は省略されている。画素４０１および４０２についても同様である。

- [0105] 接続トランジスタ324および325は、例えば、P型トランジスタ322とP型トランジスタ323との間に配置される。
- [0106] 画素400において、接続トランジスタ324のドレインは、P型トランジスタ322のドレインとP型トランジスタ323のゲートとに接続される。また、接続トランジスタ325のソースは、P型トランジスタ322のドレインとP型トランジスタ323のゲートとに接続される。画素400内の接続トランジスタ325のドレインは、画素401内の接続トランジスタ324のソースに接続される。同図において、接続トランジスタ324および325のソースおよびドレインに接続される信号線以外の配線は省略されている。
- [0107] 画素401において、接続トランジスタ324のドレインは、P型トランジスタ322のドレインとP型トランジスタ323のゲートとに接続される。また、接続トランジスタ325のソースは、P型トランジスタ322のドレインとP型トランジスタ323のゲートとに接続される。画素401内の接続トランジスタ325のドレインは、画素402内の接続トランジスタ324のソースに接続される。画素402以降についても同様である。
- [0108] 図19は、本技術の第2の実施の形態における画素内の制御線M0の配線の一例を示す図である。同図に例示するように制御線M0は、垂直方向に配線される。画素400内の接続トランジスタ325と、画素401内の接続トランジスタ324および325と、画素402内の接続トランジスタ324とのそれぞれのゲートが制御線M0に接続される。
- [0109] なお、固体撮像素子200は、3画素を加算しているが、加算する画素数は3画素に限定されず、4画素以上を加算することもできる。また、固体撮像素子200は、垂直方向において隣接する同色の複数の画素を加算しているが、水平方向において隣接する同色の複数の画素を加算することもできる。
- [0110] このように、本技術の第2の実施の形態によれば、接続トランジスタ324および325が、垂直方向において隣接する3画素のそれぞれの差分信号

をアナログ加算するため、2画素を加算する場合よりも多くの画素データを削減することができる。

[0111] <3. 第3の実施の形態>

上述の第2の実施の形態では、垂直方向において隣接する3画素を加算していたが、加算する画素数を切り替えることができない。この第3の実施の形態の固体撮像素子200は、加算する画素数を切り替える点において第2の実施の形態と異なる。

[0112] 図20は、本技術の第3の実施の形態における比較部310の接続関係の一例を示す図である。垂直方向において隣接する同色（Rなど）の画素400、401、402、403、404および405に着目する。第3の実施の形態の画素400乃至405のそれぞれには第2の実施の形態と同様に接続トランジスタ324および325が配置される。なお、同図において、画素回路220およびデータ記憶部360は省略されている。

[0113] 画素400内の接続トランジスタ324のゲートは電源線VDDに接続され、接続トランジスタ325のゲートは、制御線M3に接続される。また、画素401内の接続トランジスタ324のゲートは、制御線M3に接続され、接続トランジスタ325のゲートは制御線M2に接続される。画素402内の接続トランジスタ324のゲートは制御線M2に接続され、接続トランジスタ325のゲートは、制御線M1に接続される。

[0114] 画素403内の接続トランジスタ324のゲートは制御線M1に接続され、接続トランジスタ325のゲートは、制御線M2に接続される。また、画素404内の接続トランジスタ324のゲートは、制御線M2に接続され、接続トランジスタ325のゲートは制御線M3に接続される。画素405内の接続トランジスタ324のゲートは制御線M3に接続され、接続トランジスタ325のゲートは、電源線VDDに接続される。

[0115] 上述した接続構成により、画素400内の接続トランジスタ325と、画素401乃至403内の接続トランジスタ324および325と、画素405内の接続トランジスタ324とは、制御信号に従ってオンオフする。一方

、画素４００内の接続トランジスタ３２４と、画素４０５内の接続トランジスタ３２５とは、常にオフ状態である。

[0116] また、第３の実施の形態において、画素加算モードは、２画素加算モードと３画素加算モードとを含む。２画素加算モードにおいて、画素４００内の接続トランジスタ３２５と、画素４０１内の接続トランジスタ３２４と、画素４０２内の接続トランジスタ３２５と、画素４０３内の接続トランジスタ３２４とがオンする。また、画素４０４内の接続トランジスタ３２５と、画素４０５内の接続トランジスタ３２４も制御信号に従ってオンする。他の接続トランジスタは、オフ状態に制御される。これにより、画素４００および４０１とが画素加算される。また、画素４０２および４０３が画素加算され、画素４０４および４０５が画素加算される。

[0117] 一方、３画素加算モードにおいて、画素４００内の接続トランジスタ３２５と、画素４０１内の接続トランジスタ３２４および３２５と、画素４０２内の接続トランジスタ３２４とがオンする。また、画素４０３内の接続トランジスタ３２５と、画素４０４内の接続トランジスタ３２４および３２５と、画素４０５内の接続トランジスタ３２４とがオンする。これにより、画素４００、４０１および４０２が画素加算される。また、画素４０３、４０４および４０５が画素加算される。

[0118] また、非加算モードにおいて全ての接続トランジスタ３２４および３２５はオフ状態に制御される。

[0119] なお、画素４００および４０３は、特許請求の範囲に記載の第１画素の一例であり、画素４０１および４０４は、特許請求の範囲に記載の第２画素の一例である。画素４０２および４０５は、特許請求の範囲に記載の第３画素の一例である。また、画素４００の接続トランジスタ３２５は、特許請求の範囲に記載の第２画素側接続トランジスタの一例である。画素４０１の接続トランジスタ３２４は、特許請求の範囲に記載の第１画素側接続トランジスタの一例であり、画素４０１の接続トランジスタ３２５は、特許請求の範囲に記載の第３画素側接続トランジスタの一例である。画素４０２の接続トランジスタ

ンジスタ 324 は、特許請求の範囲に記載の第 2 画素側接続トランジスタの一例である。

[0120] なお、画素 400 内の接続トランジスタ 324 と、画素 405 内の接続トランジスタ 325 とを常にオフ状態にしているが、この構成に限定されない。これらの接続トランジスタのゲートを制御線に接続することもできる。

[0121] 図 21 は、本技術の第 3 の実施の形態におけるモードごとの制御の一例を示す図である。2 画素加算モードにおいて、V ドライバ 261 等のドライバは、制御線 M1 および M3 を介してローレベルの制御信号を供給し、制御線 M2 を介してハイレベルの制御信号を供給する。接続トランジスタ 324 および 325 として P 型の MOS トランジスタを用いる場合、この制御により、制御線 M1 および M3 に接続されたトランジスタがオンし、制御線 M2 に接続されたトランジスタがオフする。この結果、画素 400 および 401 などの隣接する 2 画素が加算される。

[0122] また、3 画素加算モードにおいて、ドライバは、制御線 M1 を介してハイレベルの制御信号を供給し、制御線 M2 および M3 を介してローレベルの制御信号を供給する。この制御により、制御線 M1 に接続されたトランジスタがオフし、制御線 M2 および M3 に接続されたトランジスタがオンする。この結果、画素 400、401 および 403 などの隣接する 3 画素が加算される。

[0123] 図 22 は、本技術の第 3 の実施の形態における画素内の制御線 M1、M2 および M3 の配線の一例を示す図である。同図に例示するように制御線 M1、M2 および M3 は、垂直方向に配線される。画素 400 内の接続トランジスタ 325 と、画素 401 内の接続トランジスタ 324 とのそれぞれのゲートが制御線 M3 に接続される。画素 401 内の接続トランジスタ 324 と、画素 402 内の接続トランジスタ 324 とのそれぞれのゲートが制御線 M2 に接続される。画素 402 内の接続トランジスタ 325 のゲートが制御線 M1 に接続される。同図において画素 403 乃至 405 のレイアウトは、省略されている。また、第 3 の実施の形態における接続トランジスタ 324 およ

び325のソースおよびドレインの接続構成は、図18に例示した第2の実施の形態と同様である。

[0124] なお、固体撮像素子200は、2画素加算モードと3画素加算モードとを切り替えているが、この構成に限定されない。制御内容の変更により、3画素加算モードと4画素加算モードとを切り替えるなど、切り替える加算モードの組合せを変えることもできる。また、固体撮像素子200は、垂直方向において隣接する同色の複数の画素を加算しているが、水平方向において隣接する同色の複数の画素を加算することもできる。

[0125] このように、本技術の第3の実施の形態によれば、接続トランジスタ324および325は、隣接する2画素の加算と、隣接する3画素の加算とのいずれかを行うため、画素加算後の画素データ数を加算前の $1/2$ と $1/3$ とのいずれかに制御することができる。

[0126] [第4の実施の形態に係る撮像装置（スキャン方式）]

上述した第1の実施の形態に係る撮像装置20は、非同期型の読出し方式にてイベントを読み出す非同期型の撮像装置である。但し、イベントの読出し方式としては、非同期型の読出し方式に限られるものではなく、同期型の読出し方式であってもよい。同期型の読出し方式が適用される撮像装置は、所定のフレームレートで撮像を行う通常の撮像装置と同じ、スキャン方式の撮像装置である。

[0127] 図23は、本開示に係る技術が適用される撮像システム10における撮像装置20として用いられる、第4の実施の形態に係る撮像装置、即ち、スキャン方式の撮像装置の構成の一例を示すブロック図である。

[0128] 図28に示すように、本開示の撮像装置としての第4の実施の形態に係る撮像装置20は、画素アレイ部21、駆動部22、信号処理部25、読出し領域選択部27、及び、信号生成部28を備える構成となっている。

[0129] 画素アレイ部21は、複数の画素30を含む。複数の画素30は、読出し領域選択部27の選択信号に応答して出力信号を出力する。複数の画素30のそれぞれの構成は、図7に記載の画素400と同様である。複数の画素3

0は、光の強度の変化量に対応する出力信号を出力する。複数の画素30は、図23に示すように、行列状に2次元配置されていてもよい。

[0130] 駆動部22は、複数の画素30のそれぞれを駆動して、各画素30で生成された画素信号を信号処理部25に出力させる。尚、駆動部22及び信号処理部25については、階調情報を取得するための回路部である。従って、イベント情報のみを取得する場合は、駆動部22及び信号処理部25は無くてもよい。

[0131] 読出し領域選択部27は、画素アレイ部21に含まれる複数の画素30のうちの一部を選択する。具体的には、読出し領域選択部27は、画素アレイ部21の各画素30からのリクエストに応じて選択領域を決定する。例えば、読出し領域選択部27は、画素アレイ部21に対応する2次元行列の構造に含まれる行のうちのいずれか1つもしくは複数の行を選択する。読出し領域選択部27は、予め設定された周期に応じて1つもしくは複数の行を順次選択する。また、読出し領域選択部27は、画素アレイ部21の各画素30からのリクエストに応じて選択領域を決定してもよい。

[0132] 信号生成部28は、読出し領域選択部27によって選択された画素の出力信号に基づいて、選択された画素のうちのイベントを検出した活性画素に対応するイベント信号を生成する。イベントは、光の強度が変化するイベントである。活性画素は、出力信号に対応する光の強度の変化量が予め設定された閾値を超える、又は、下回る画素である。例えば、信号生成部28は、画素の出力信号を基準信号と比較し、基準信号よりも大きい又は小さい場合に出力信号を出力する活性画素を検出し、当該活性画素に対応するイベント信号を生成する。

[0133] 信号生成部28については、例えば、信号生成部28に入ってくる信号を調停するような列選択回路を含む構成とすることができる。また、信号生成部28については、イベントを検出した活性画素の情報の出力のみならず、イベントを検出しない非活性画素の情報もを出力する構成とすることができる。

[0134] 信号生成部 28 からは、出力線 15 を通して、イベントを検出した活性画素のアドレス情報及びタイムスタンプ情報（例えば、（X，Y，T））が出力される。但し、信号生成部 28 から出力されるデータについては、アドレス情報及びタイムスタンプ情報だけでなく、フレーム形式の情報（例えば、（0，0，1，0，・・・））であってもよい。

[0135] <5. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0136] 図 24 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0137] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 24 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0138] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0139] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に

装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0140] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0141] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0142] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0143] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又

は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0144] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0145] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0146] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２４の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0147] 図２５は、撮像部１２０３１の設置位置の例を示す図である。

[0148] 図２５では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0149] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0150] なお、図25には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0151] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0152] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例え

ば、0 km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0153] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0154] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部

12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0155] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、例えば、図1の撮像装置100は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、画素加算時に、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0156] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0157] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD (Compact Disc)、MD (MiniDisc)、DVD (Digital Versatile Disc)、メモ리카ード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0158] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0159] なお、本技術は以下のような構成もとることができる。

(1) 所定座標が割り当てられたアナログの画素信号と所定の参照信号との差分を増幅した差分信号を生成する比較部と、

前記差分信号と前記所定座標に隣接する他の座標に係る差分信号とをアナログ加算して加算信号を生成する加算回路と、

前記加算信号に応じた信号が反転したときの時刻を示すデジタル信号を保持するデータ記憶部と

を各々に設けた複数の画素を具備する固体撮像素子。

(2) 前記比較部は、前記差分信号を生成して所定の内部ノードに出力し、

前記加算回路は、前記複数の画素のうち加算対象の画素のそれぞれの前記内部ノードの接続により前記差分信号をアナログ加算する

前記(1)記載の固体撮像素子。

(3) 前記加算対象の画素は、一对の画素であり、

前記加算回路は、前記一对の画素の一方の前記内部ノードと他方の前記内部ノードとの間の経路を開閉する接続トランジスタを備える

前記(2)記載の固体撮像素子。

(4) 前記加算対象の画素は、第1画素、第2画素および第3画素であり、

前記第2画素の前記加算回路は、

前記第1画素と前記第2画素の前記内部ノードとの間の経路を開閉する第1画素側接続トランジスタと、

前記第2画素の前記内部ノードと前記第3画素との間の経路を開閉する第3画素側接続トランジスタと

を備える前記(2)記載の固体撮像素子。

(5) 2画素を加算する2画素加算モードが設定された場合には前記第1画素側接続トランジスタおよび前記第3画素側接続トランジスタの一方が開状態に移行するとともに他方が閉状態に移行し、3画素を加算する3画素加算モードが設定された場合には前記第1画素側接続トランジスタおよび前記第3画素側接続トランジスタの両方が前記閉状態に移行する

前記(4)記載の固体撮像素子。

(6) 前記第1画素および前記第2画素のそれぞれの前記加算回路は、前記第1画素の前記内部ノードと前記第2画素との間の経路を開閉する第2画素側接続トランジスタを備え、

前記2画素加算モードが設定された場合には前記第1画素および前記第2

画素の一方の前記第 2 画素側接続トランジスタが前記開状態に移行するとともに他方の前記第 2 画素側接続トランジスタが前記閉状態に移行し、前記 3 画素加算モードが設定された場合には前記第 1 画素および前記第 2 画素の両方の前記第 2 画素側接続トランジスタが前記閉状態に移行する
前記（５）記載の固体撮像素子。

（７）前記複数の画素は、二次元格子状に配列され、

前記加算回路は、前記複数の画素のうち所定方向に配列された所定数の画素のそれぞれの前記差分信号をアナログ加算する

前記（１）から（６）のいずれかに記載の固体撮像素子。

（８）前記複数の画素のそれぞれには、前記デジタル信号を転送するリピータが設けられ、

前記リピータは、所定の水平方向に垂直な垂直方向に配列され、

前記加算回路は、前記垂直方向に配列された前記所定数の画素のそれぞれの前記差分信号をアナログ加算する

前記（７）記載の固体撮像素子。

（９）前記複数の画素のそれぞれには、前記デジタル信号を転送するリピータが設けられ、

前記リピータは、所定の水平方向に垂直な垂直方向に配列され、

前記加算回路は、前記複数の画素のうち前記水平方向に配列された前記所定数の画素のそれぞれの前記差分信号をアナログ加算する

前記（７）記載の固体撮像素子。

（１０）前記比較部の一部は、所定の受光チップに配置され、

前記比較部の残りとは前記加算回路および前記データ記憶部とは、所定の回路チップに配置される

前記（１）から（９）のいずれかに記載の固体撮像素子。

（１１）所定座標が割り当てられたアナログの画素信号と所定の参照信号との差分を増幅した差分信号を生成する比較部と、前記差分信号と前記所定座標に隣接する他の座標に係る差分信号とをアナログ加算して加算信号を生成

する加算回路と、前記加算信号に応じた信号が反転したときの時刻を示すデジタル信号を保持するデータ記憶部とを各々に設けた複数の画素と、
前記デジタル信号を処理するロジック回路と
を具備する撮像装置。

符号の説明

[0160]	1 0 0	撮像装置
	1 1 0	光学部
	1 2 0	D S P 回路
	1 3 0	表示部
	1 4 0	操作部
	1 5 0	バス
	1 6 0	フレームメモリ
	1 7 0	記憶部
	1 8 0	電源部
	2 0 0	固体撮像素子
	2 0 1	受光チップ
	2 0 2	回路チップ
	2 1 0	画素領域
	2 1 1	画素ブロック
	2 2 0	画素回路
	2 2 1	リセットトランジスタ
	2 2 2	浮遊拡散層
	2 2 3	転送トランジスタ
	2 2 4	フォトダイオード
	2 2 5	排出トランジスタ
	2 2 6、2 2 7	差動トランジスタ
	2 2 8	電流源トランジスタ
	2 3 1、2 3 2、2 6 1、2 6 2	V ドライバ

2 3 3、2 6 3 Hドライバ

2 3 4 D A C

2 5 0 A D変換回路領域

2 6 4 ロジック回路

3 0 0～3 0 4 クラスタ

3 1 0 比較部

3 2 0 差動入力回路

3 2 1、3 2 2、3 2 3、3 4 1、3 4 2、3 4 4、3 4 5 P型トラン
ジスタ

3 2 4、3 2 5 接続トランジスタ

3 3 0 電圧変換回路

3 3 1、3 4 3、3 4 6、3 4 7 N型トランジスタ

3 4 0 正帰還回路

3 6 0 データ記憶部

3 7 0 時刻コード転送部

3 7 1 リピータ

4 0 0～4 0 5 画素

1 2 0 3 1 撮像部

請求の範囲

- [請求項1] 所定座標が割り当てられたアナログの画素信号と所定の参照信号との差分を増幅した差分信号を生成する比較部と、
- 前記差分信号と前記所定座標に隣接する他の座標に係る差分信号とをアナログ加算して加算信号を生成する加算回路と、
- 前記加算信号に応じた信号が反転したときの時刻を示すデジタル信号を保持するデータ記憶部と
- を各々に設けた複数の画素を具備する固体撮像素子。
- [請求項2] 前記比較部は、前記差分信号を生成して所定の内部ノードに出力し、
- 前記加算回路は、前記複数の画素のうち加算対象の画素のそれぞれの前記内部ノードの接続により前記差分信号をアナログ加算する請求項1記載の固体撮像素子。
- [請求項3] 前記加算対象の画素は、一対の画素であり、
- 前記加算回路は、前記一対の画素の一方の前記内部ノードと他方の前記内部ノードとの間の経路を開閉する接続トランジスタを備える請求項2記載の固体撮像素子。
- [請求項4] 前記加算対象の画素は、第1画素、第2画素および第3画素であり、
- 前記第2画素の前記加算回路は、
- 前記第1画素と前記第2画素の前記内部ノードとの間の経路を開閉する第1画素側接続トランジスタと、
- 前記第2画素の前記内部ノードと前記第3画素との間の経路を開閉する第3画素側接続トランジスタと
- を備える請求項2記載の固体撮像素子。
- [請求項5] 2画素を加算する2画素加算モードが設定された場合には前記第1画素側接続トランジスタおよび前記第3画素側接続トランジスタの一方が開状態に移行するとともに他方が閉状態に移行し、3画素を加算

する 3 画素加算モードが設定された場合には前記第 1 画素側接続トランジスタおよび前記第 3 画素側接続トランジスタの両方が前記閉状態に移行する

請求項 4 記載の固体撮像素子。

[請求項 6] 前記第 1 画素および前記第 2 画素のそれぞれの前記加算回路は、前記第 1 画素の前記内部ノードと前記第 2 画素との間の経路を開閉する第 2 画素側接続トランジスタを備え、

前記 2 画素加算モードが設定された場合には前記第 1 画素および前記第 2 画素の一方の前記第 2 画素側接続トランジスタが前記開状態に移行するとともに他方の前記第 2 画素側接続トランジスタが前記閉状態に移行し、前記 3 画素加算モードが設定された場合には前記第 1 画素および前記第 2 画素の両方の前記第 2 画素側接続トランジスタが前記閉状態に移行する

請求項 5 記載の固体撮像素子。

[請求項 7] 前記複数の画素は、二次元格子状に配列され、

前記加算回路は、前記複数の画素のうち所定方向に配列された所定数の画素のそれぞれの前記差分信号をアナログ加算する

請求項 1 記載の固体撮像素子。

[請求項 8] 前記複数の画素のそれぞれには、前記デジタル信号を転送するリピータが設けられ、

前記リピータは、所定の水平方向に垂直な垂直方向に配列され、

前記加算回路は、前記垂直方向に配列された前記所定数の画素のそれぞれの前記差分信号をアナログ加算する

請求項 7 記載の固体撮像素子。

[請求項 9] 前記複数の画素のそれぞれには、前記デジタル信号を転送するリピータが設けられ、

前記リピータは、所定の水平方向に垂直な垂直方向に配列され、

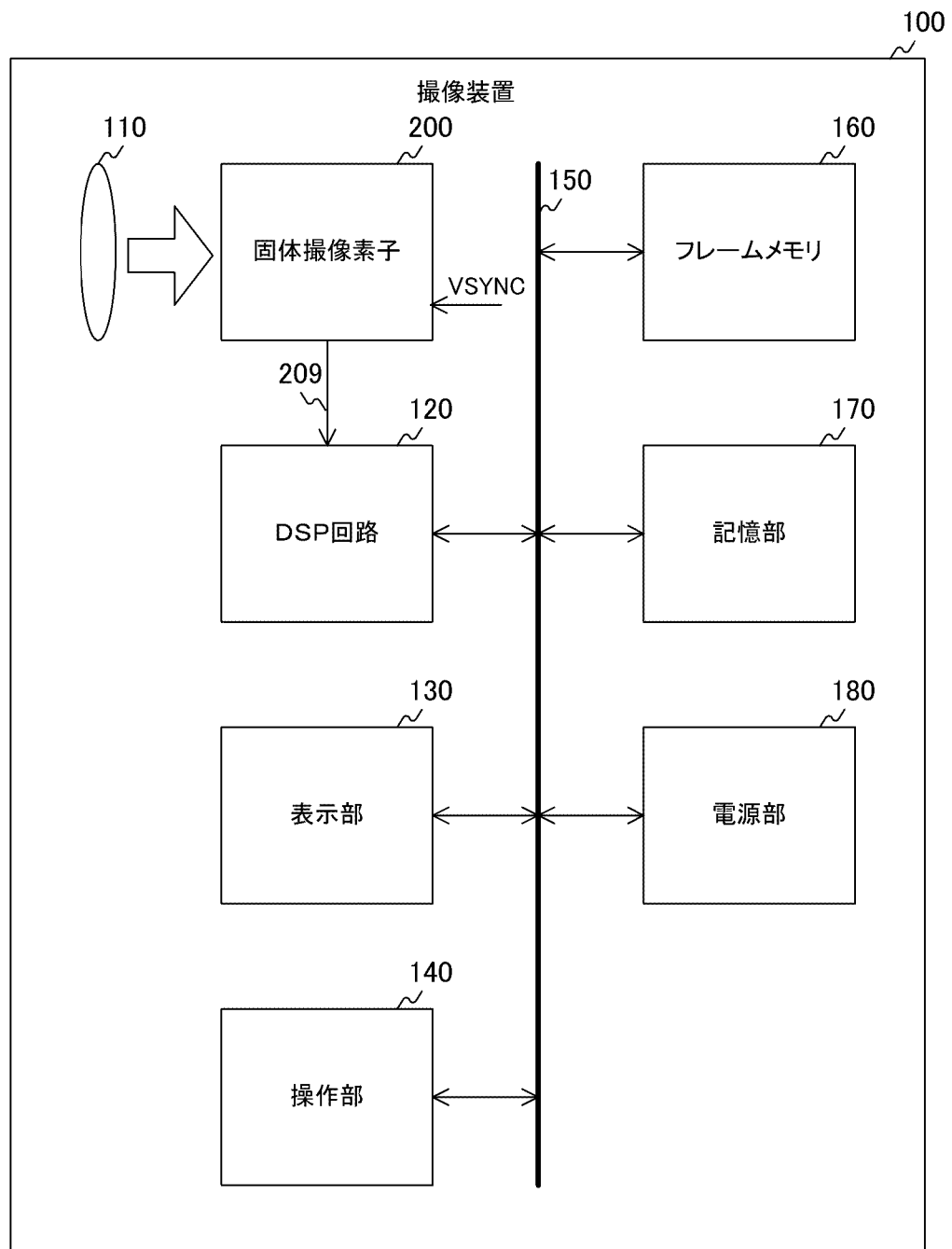
前記加算回路は、前記複数の画素のうち前記水平方向に配列された

前記所定数の画素のそれぞれの前記差分信号をアナログ加算する
請求項 7 記載の固体撮像素子。

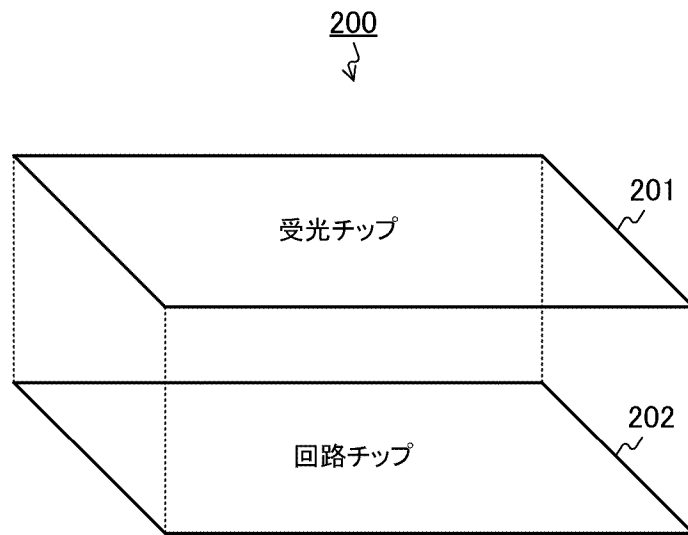
[請求項10] 前記比較部の一部は、所定の受光チップに配置され、
前記比較部の残りとは、前記加算回路および前記データ記憶部とは、所定の回路チップに配置される
請求項 1 記載の固体撮像素子。

[請求項11] 所定座標が割り当てられたアナログの画素信号と所定の参照信号との差分を増幅した差分信号を生成する比較部と、前記差分信号と前記所定座標に隣接する他の座標に係る差分信号とをアナログ加算して加算信号を生成する加算回路と、前記加算信号に応じた信号が反転したときの時刻を示すデジタル信号を保持するデータ記憶部とを各々に設けた複数の画素と、
前記デジタル信号を処理するロジック回路と
を具備する撮像装置。

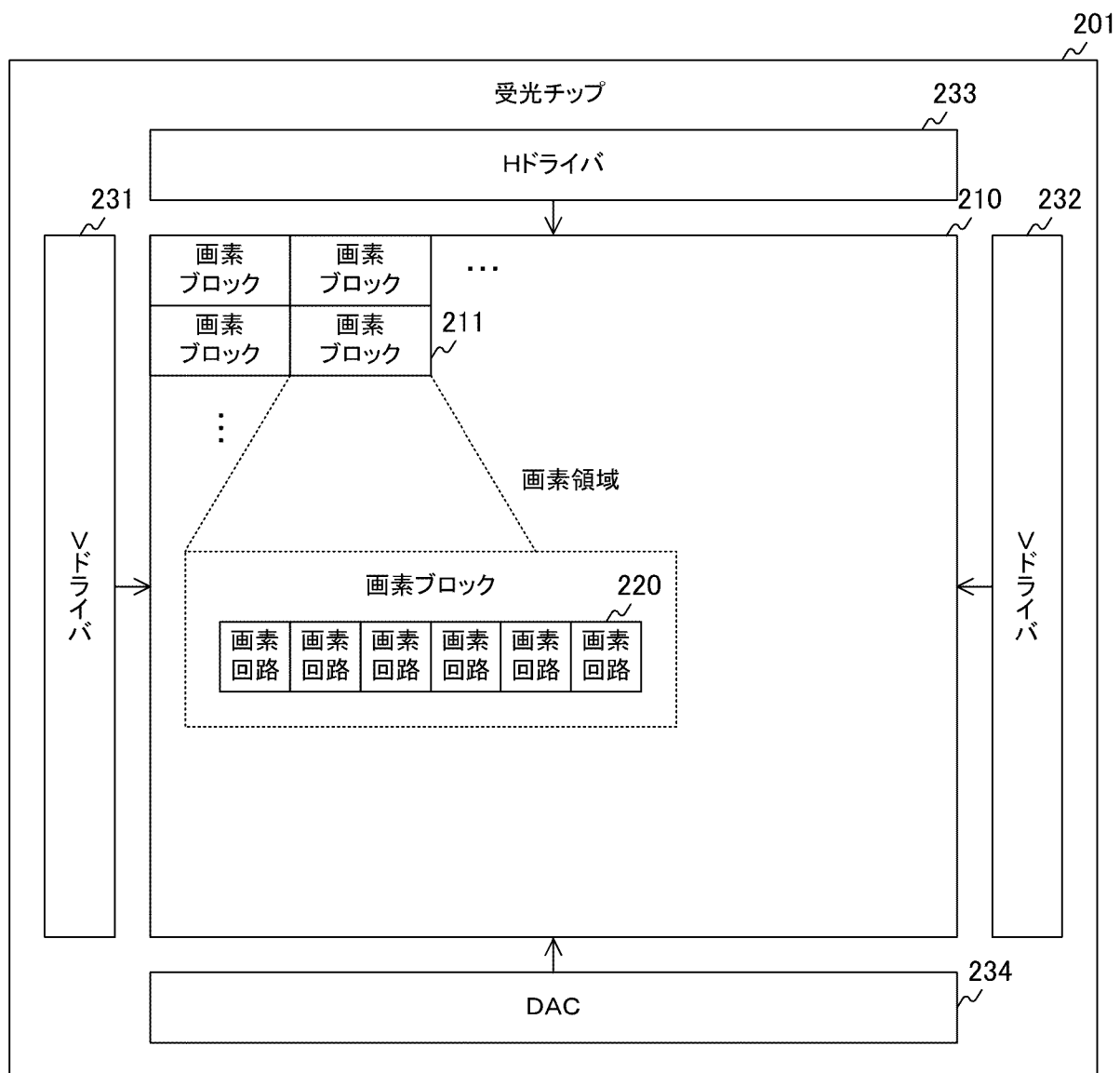
[図1]



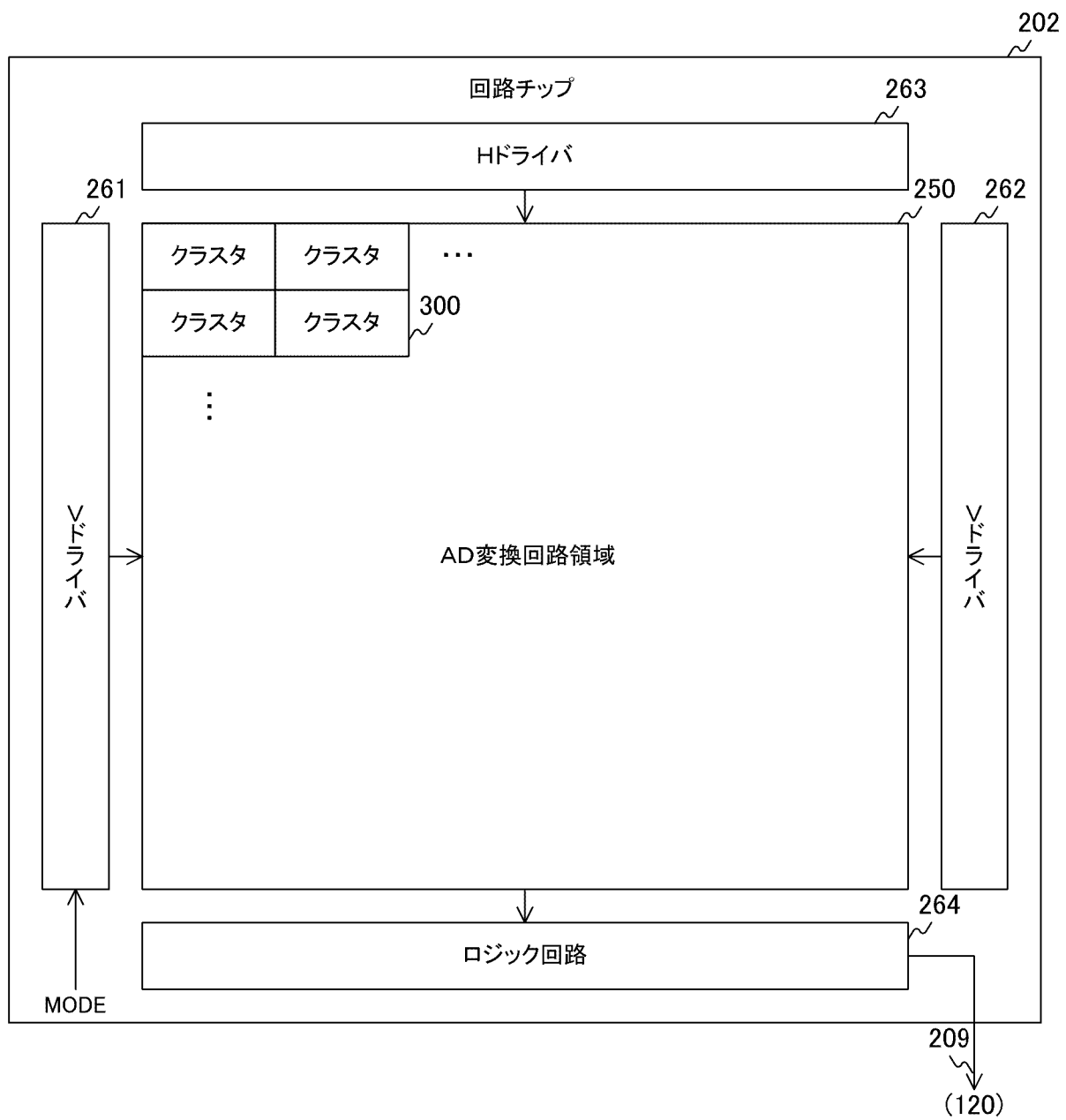
[図2]



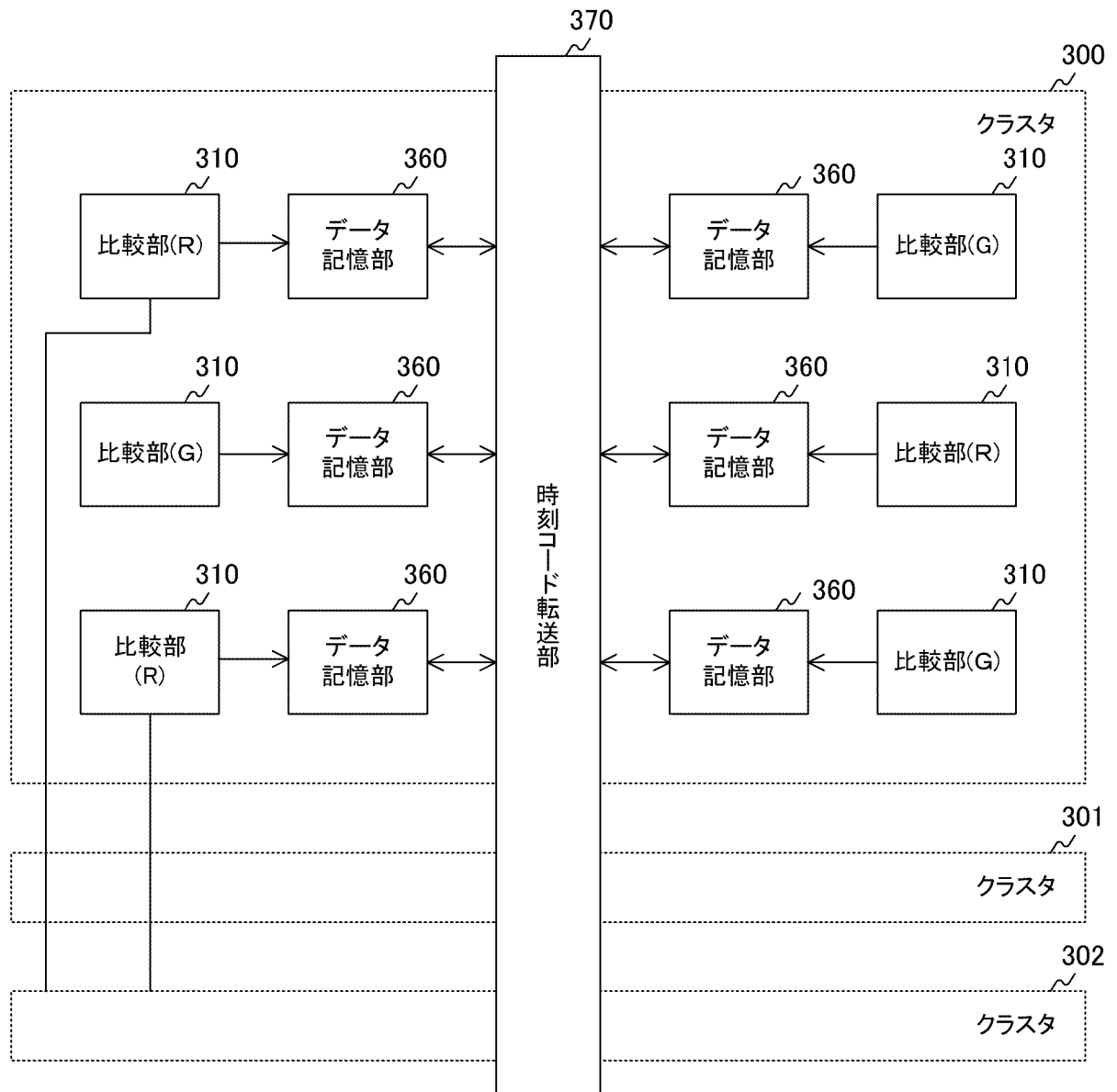
[図3]



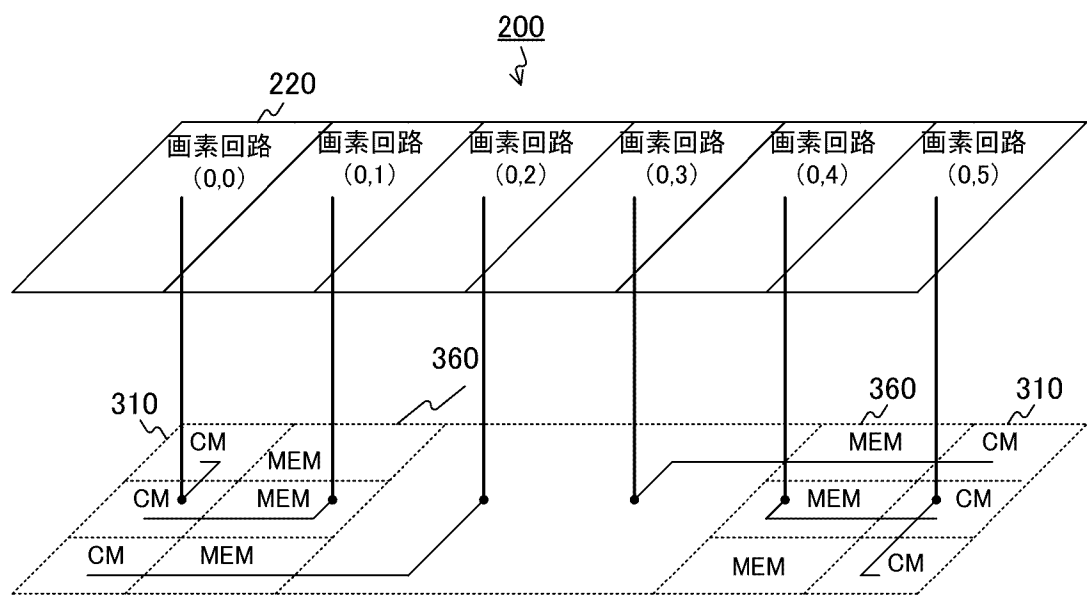
[図4]



[図5]



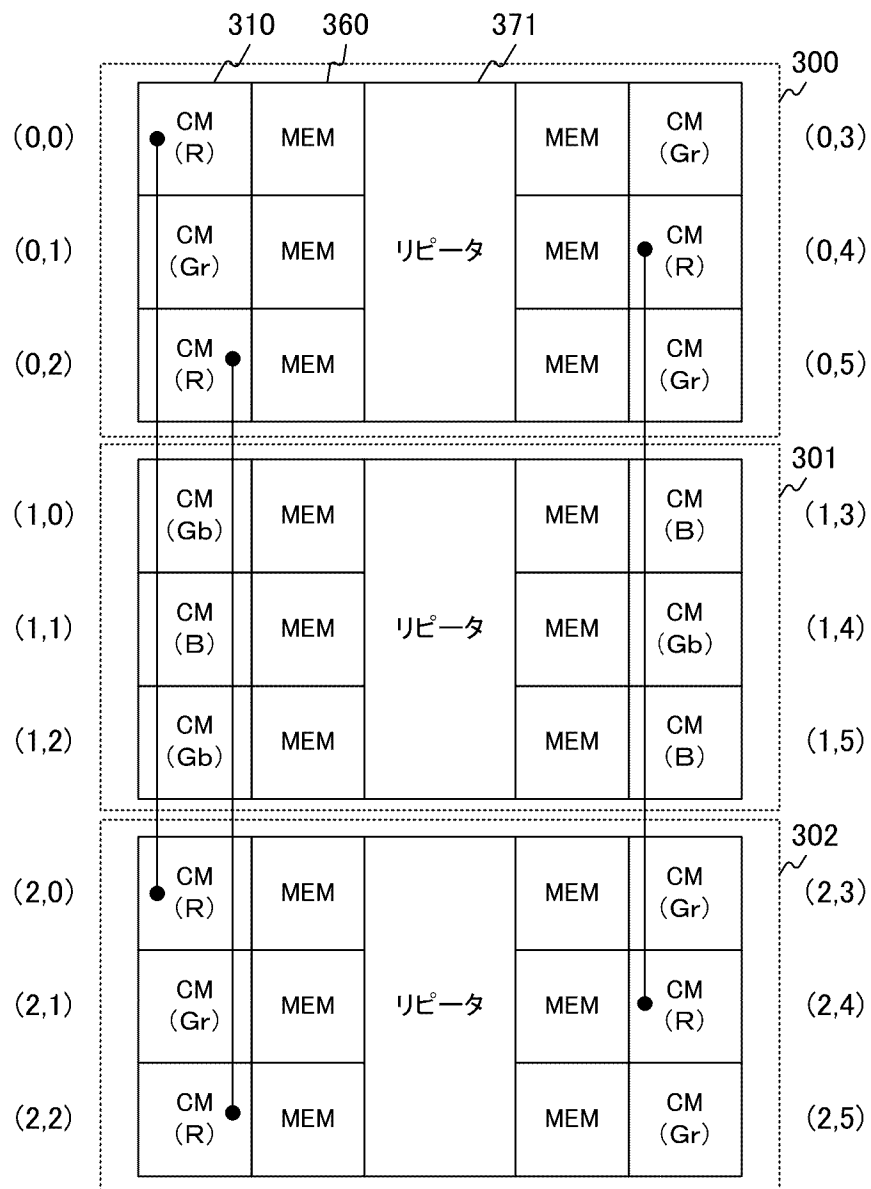
[図6]



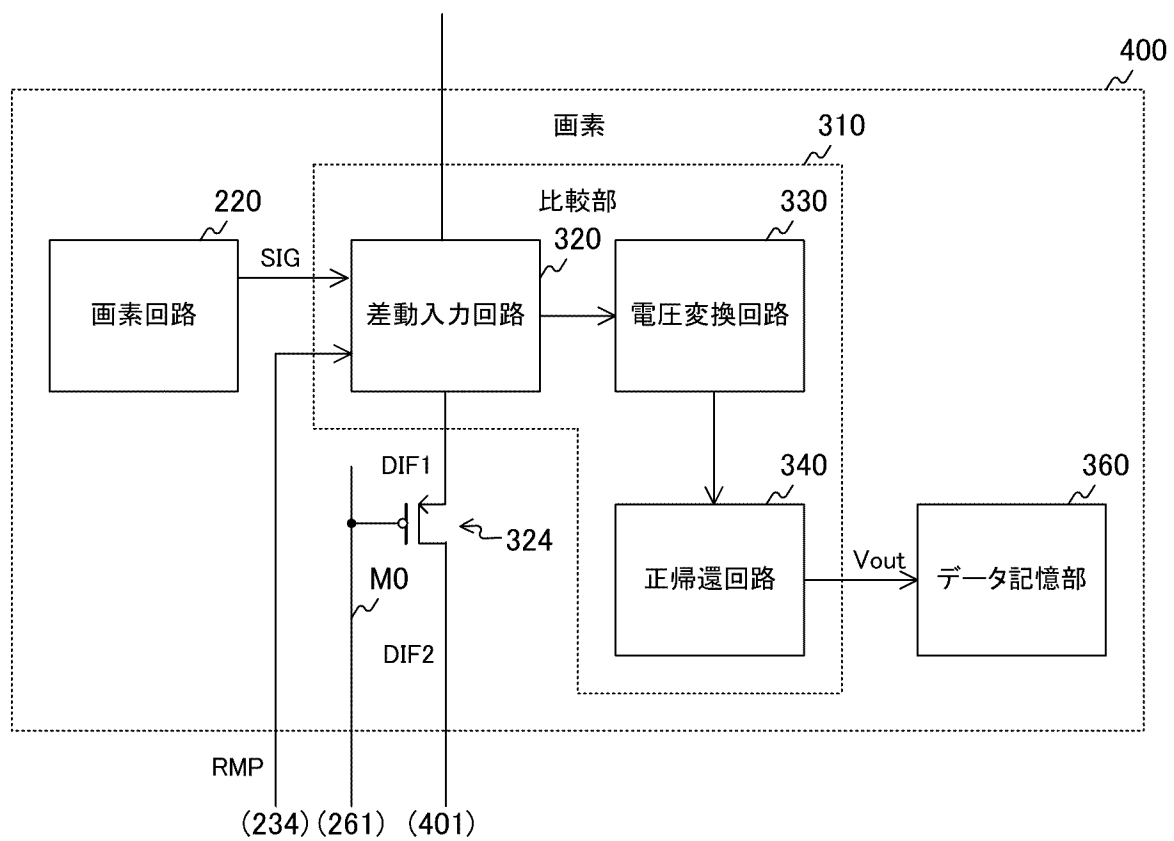
[図7]

	0列	1列	2列	3列	4列	5列	
400	画素 (R)	画素 (Gr)	画素 (R)	画素 (Gr)	画素 (R)	画素 (Gr)	...
1行	画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)	
401	画素 (R)	画素 (Gr)	画素 (R)	画素 (Gr)	画素 (R)	画素 (Gr)	
2行	画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)	
3行	画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)	
	⋮						

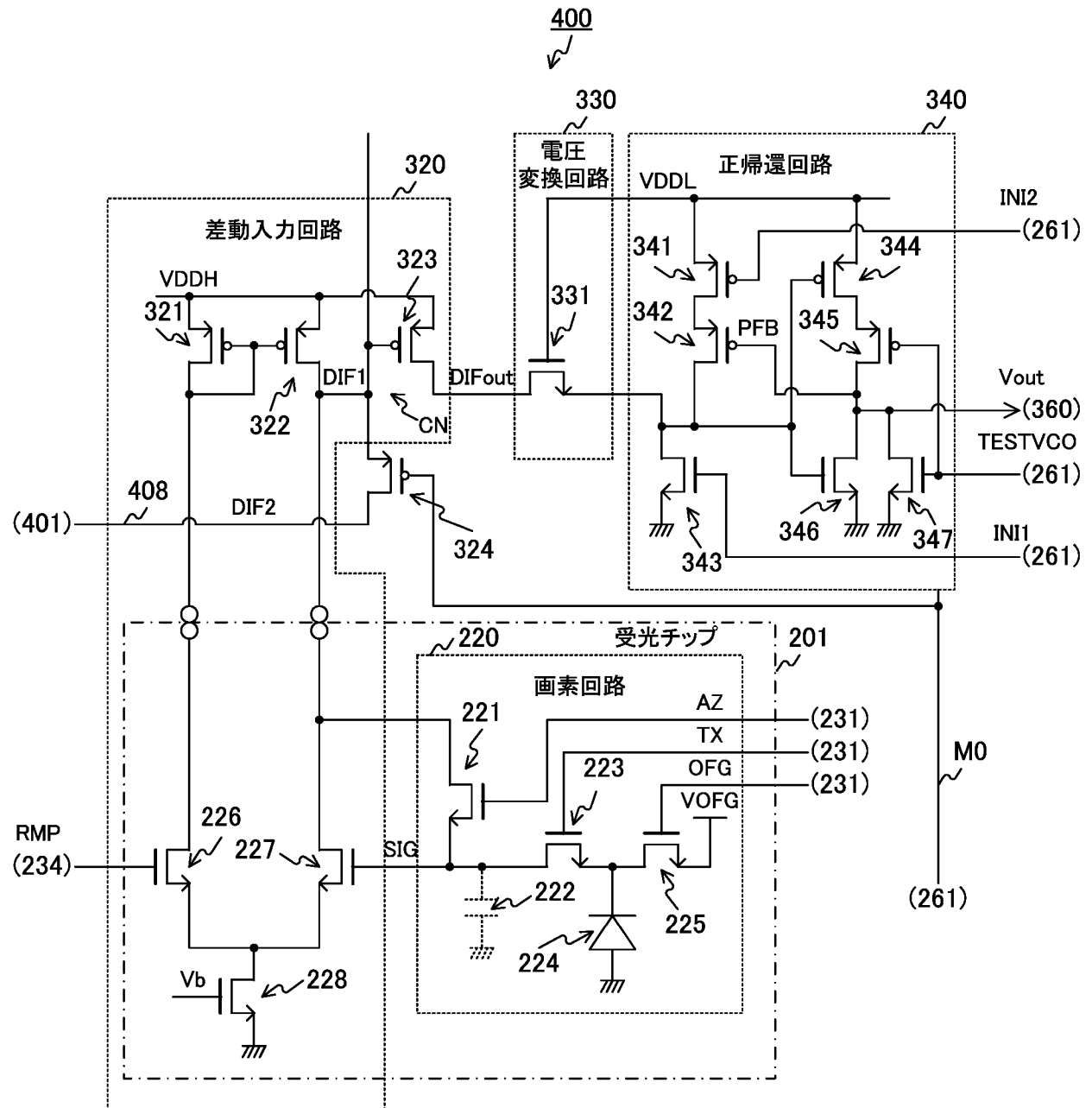
[図8]



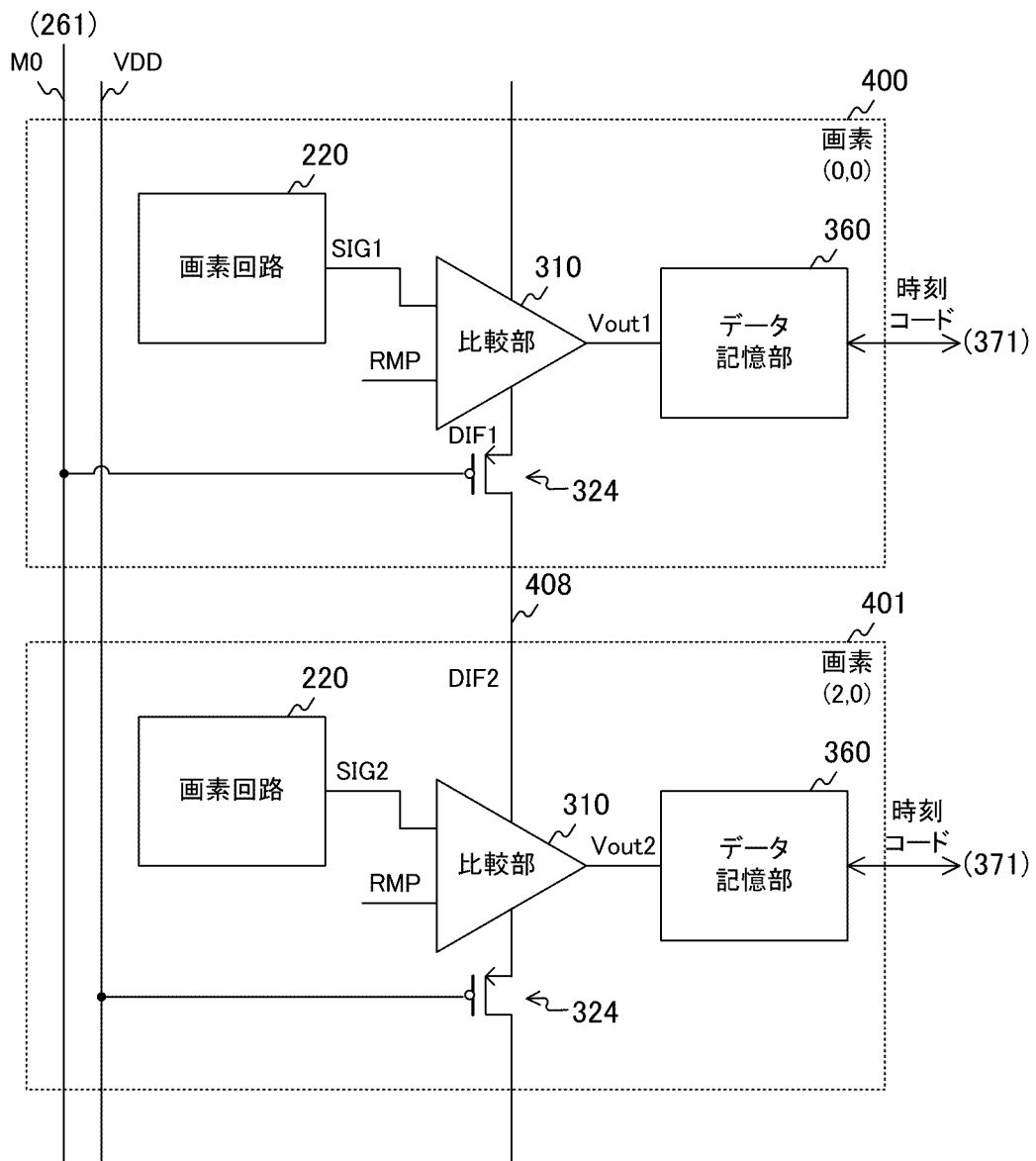
[図9]



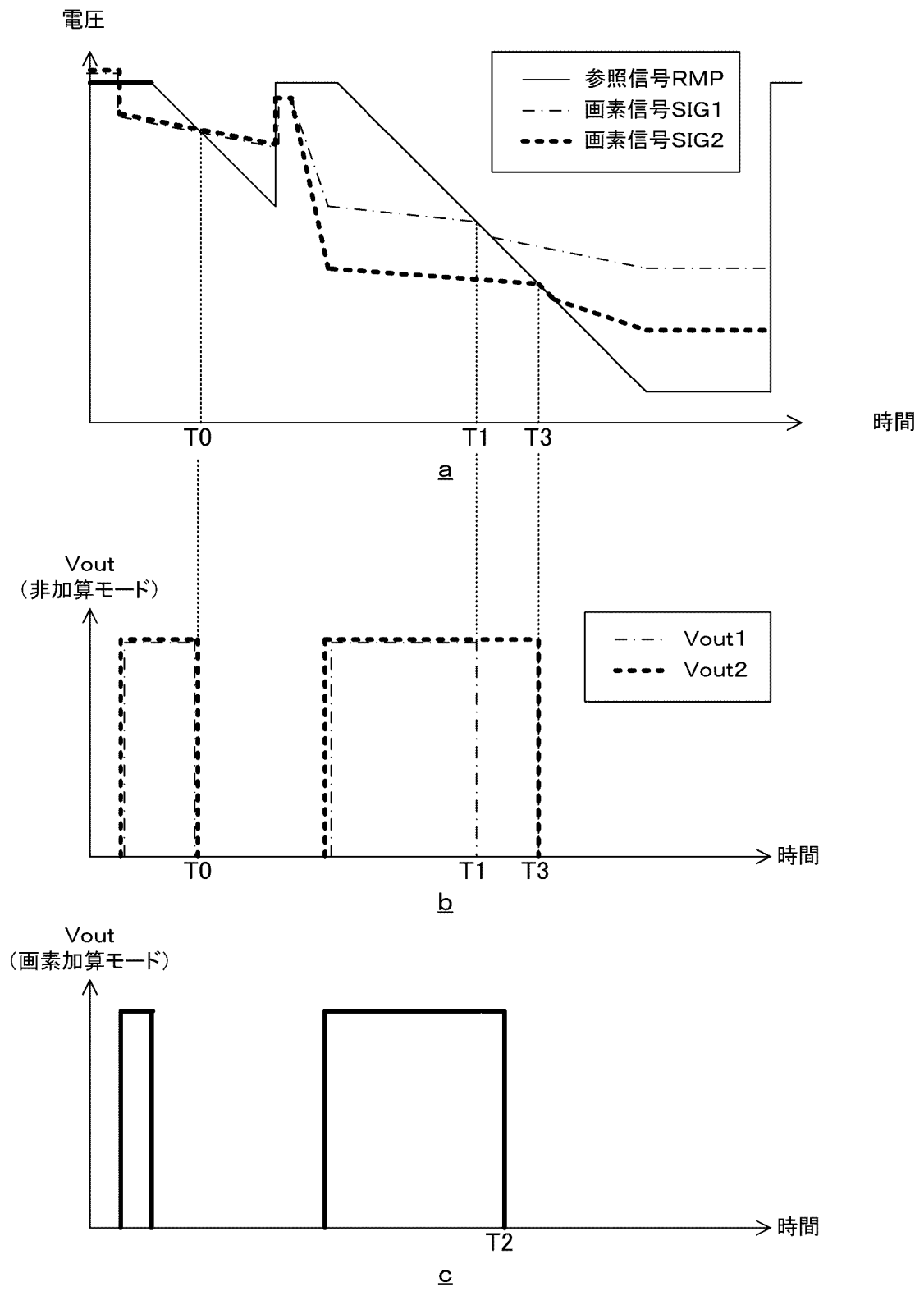
[図10]



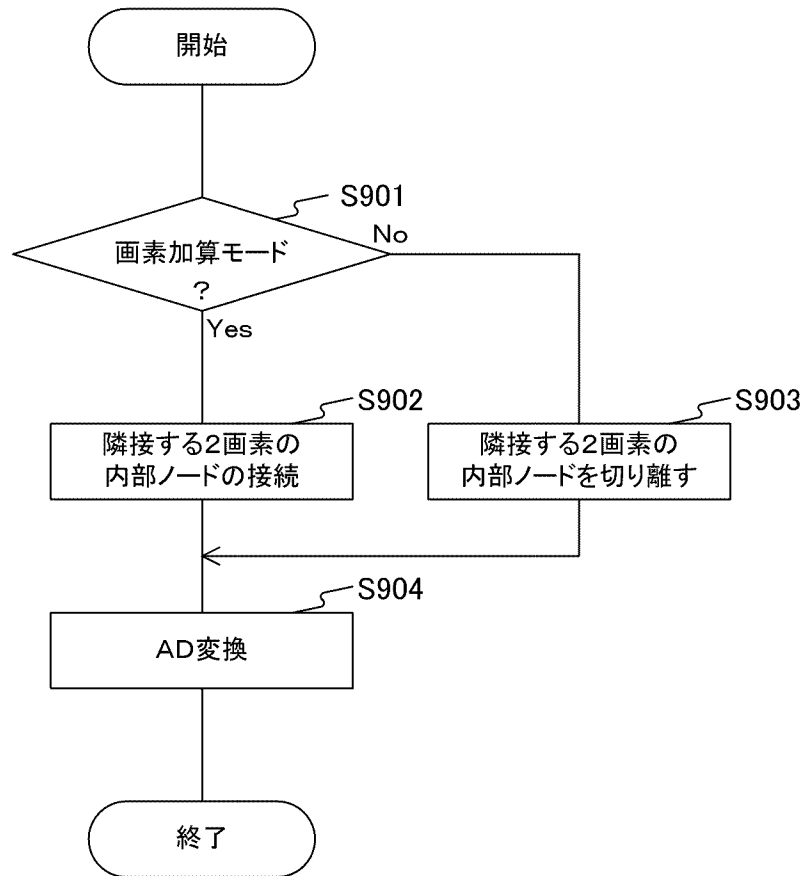
[図11]



[図12]



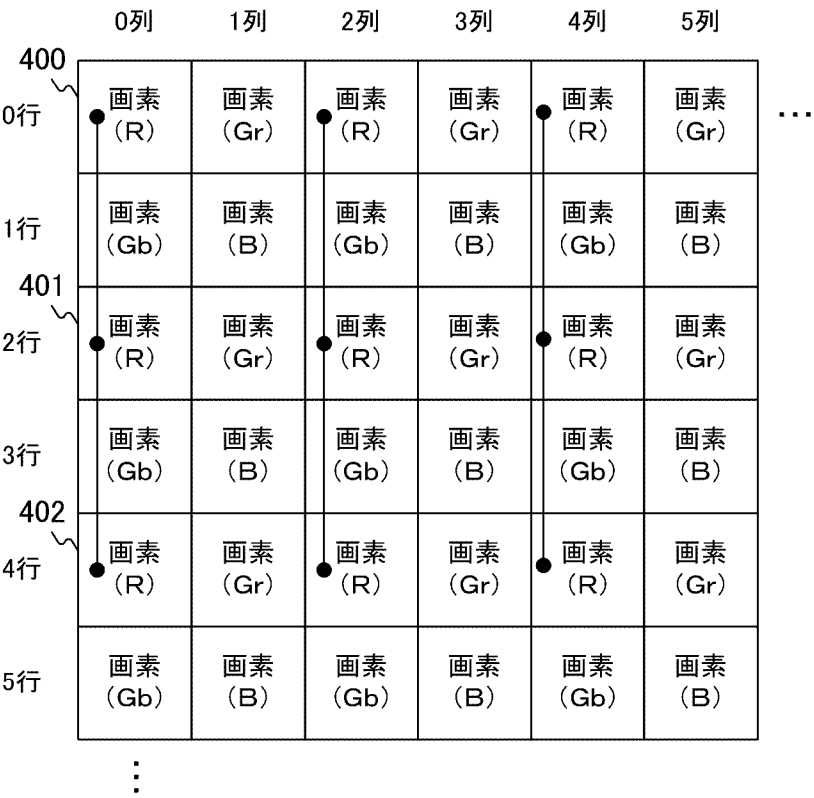
[図13]



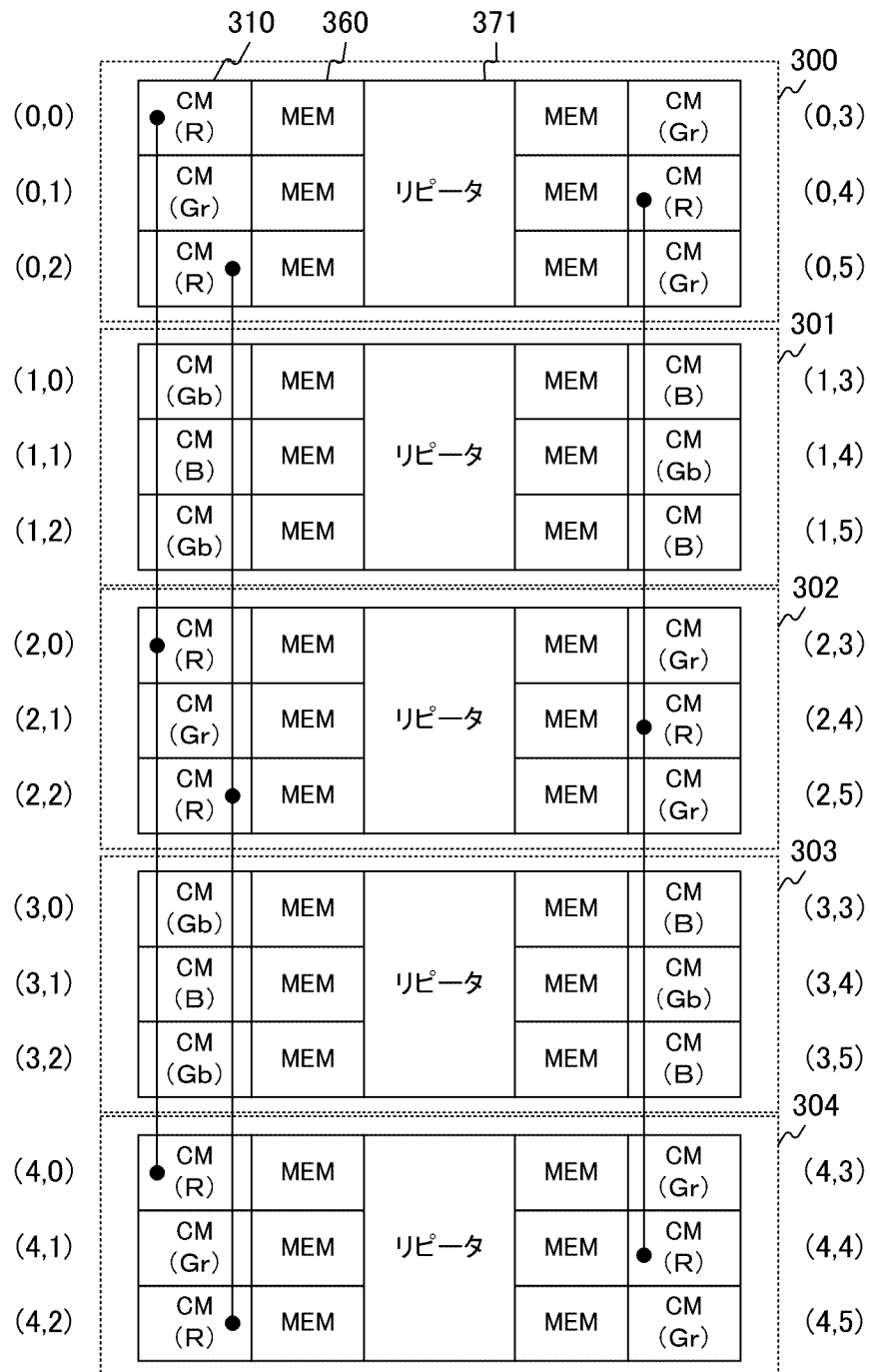
[図14]

	400	0列	1列	2列	401	3列	4列	5列	
0行		画素 (R)	画素 (Gr)	画素 (R)	画素 (Gr)	画素 (R)	画素 (Gr)	...	
1行		画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)		
2行		画素 (R)	画素 (Gr)	画素 (R)	画素 (Gr)	画素 (R)	画素 (Gr)		
3行		画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)	画素 (Gb)	画素 (B)		
		⋮							

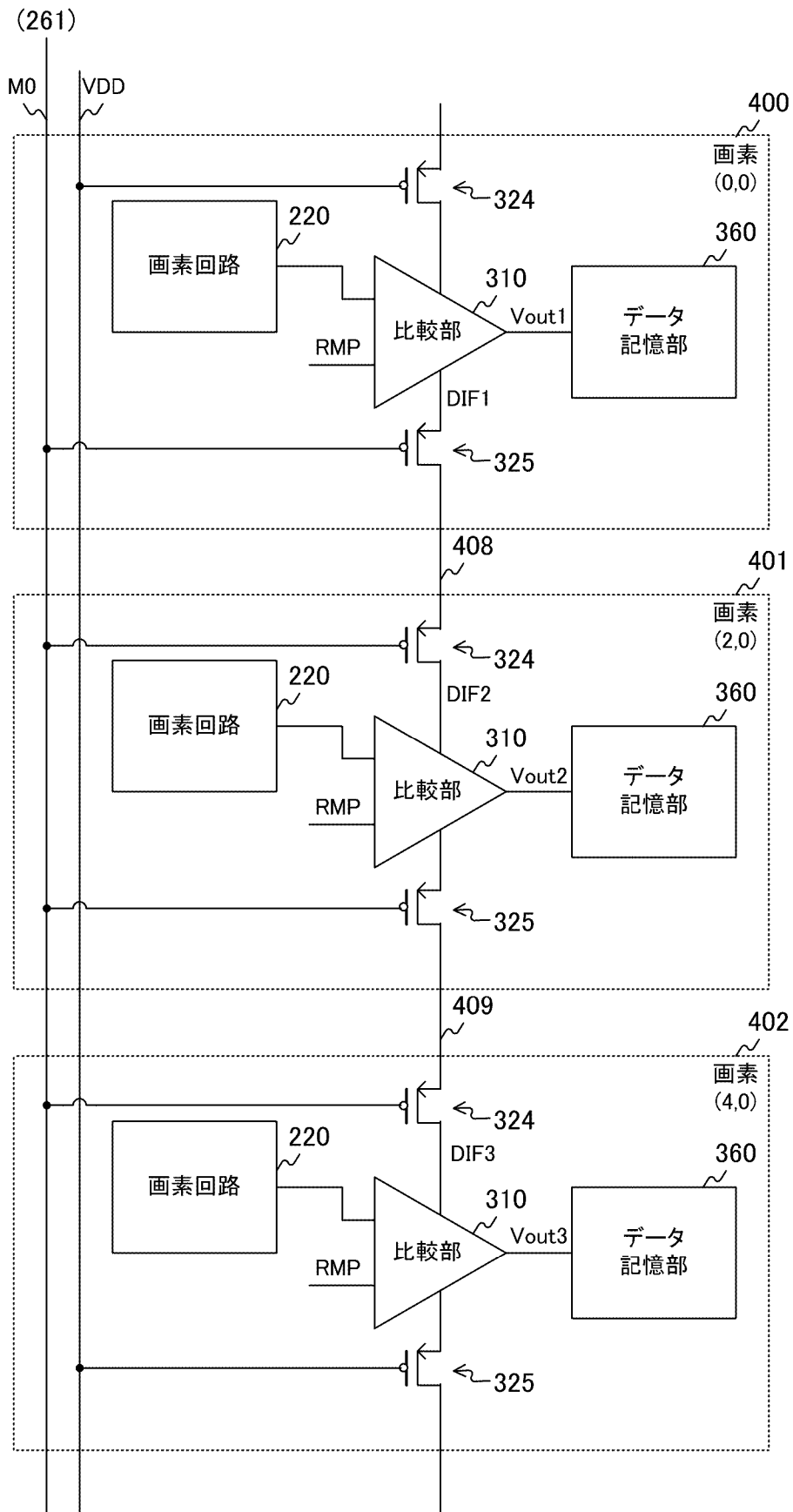
[図15]



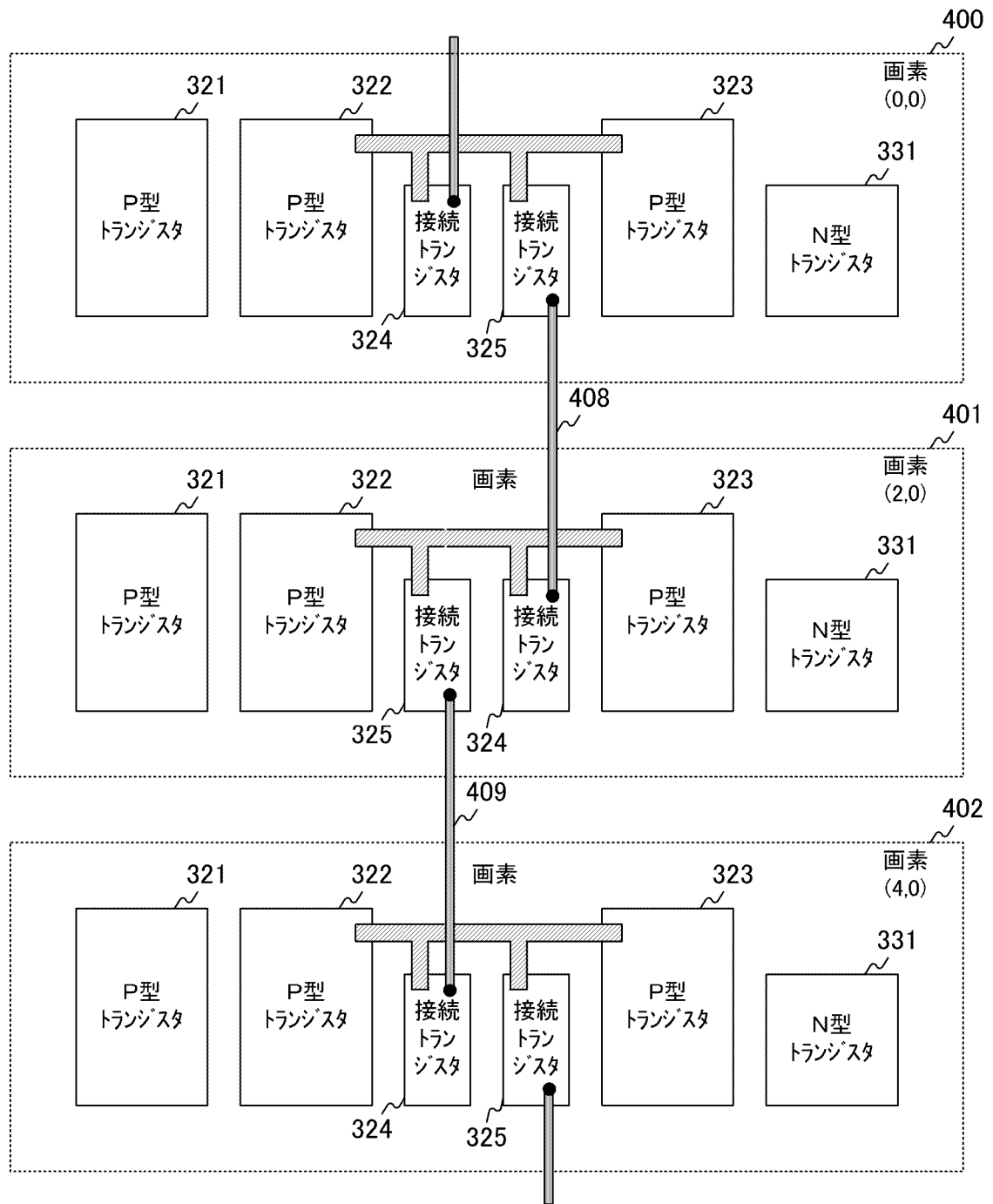
[図16]

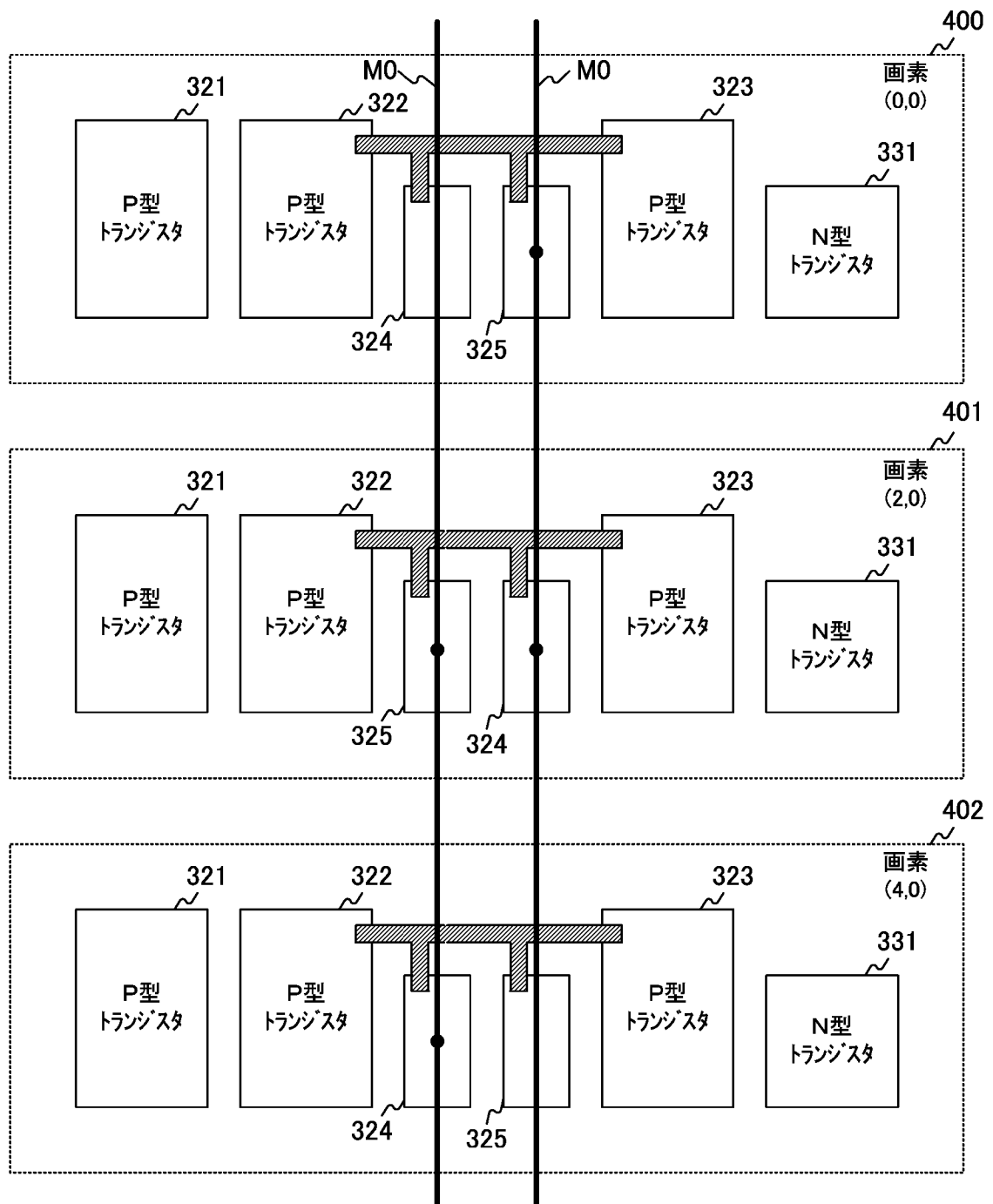


[図17]

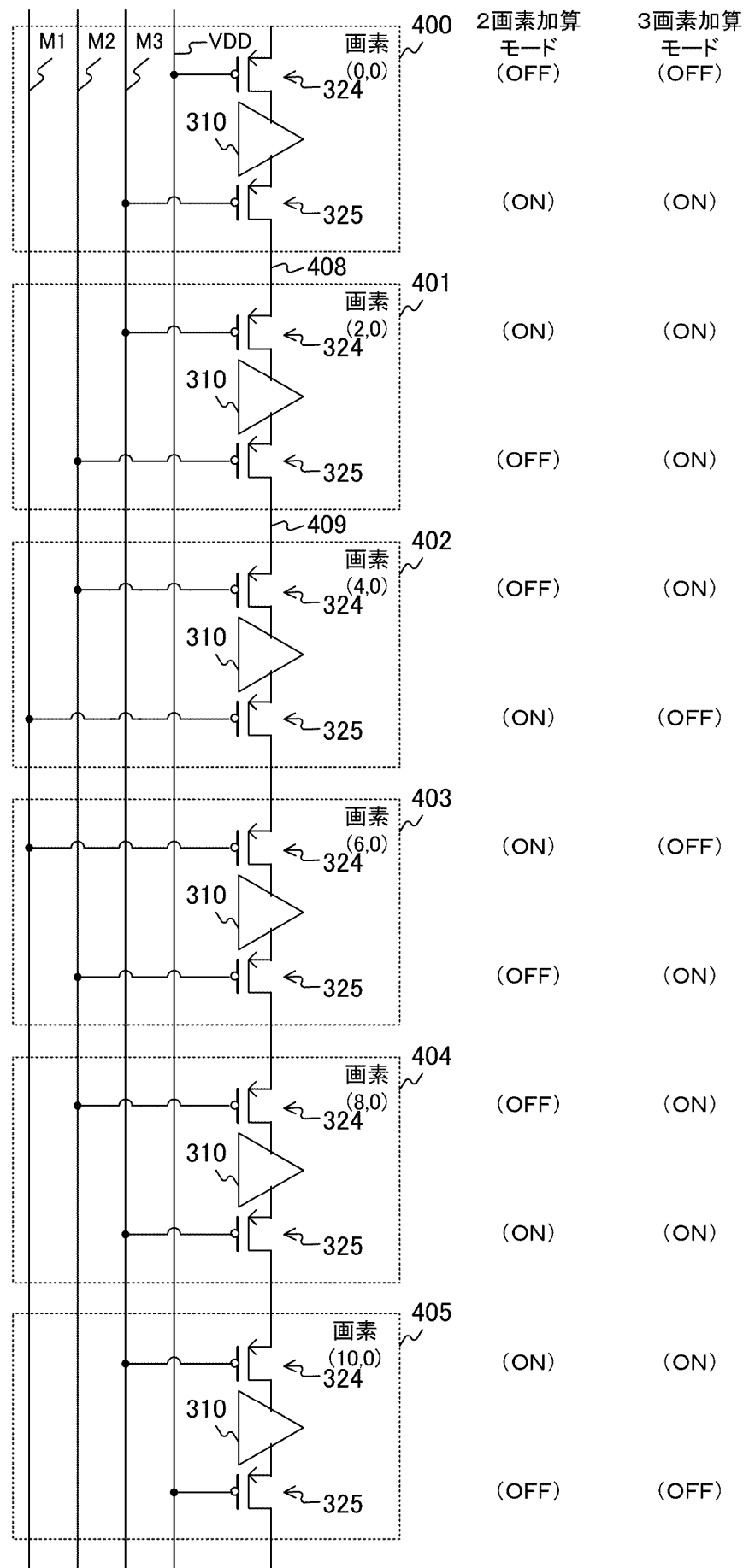


[図18]



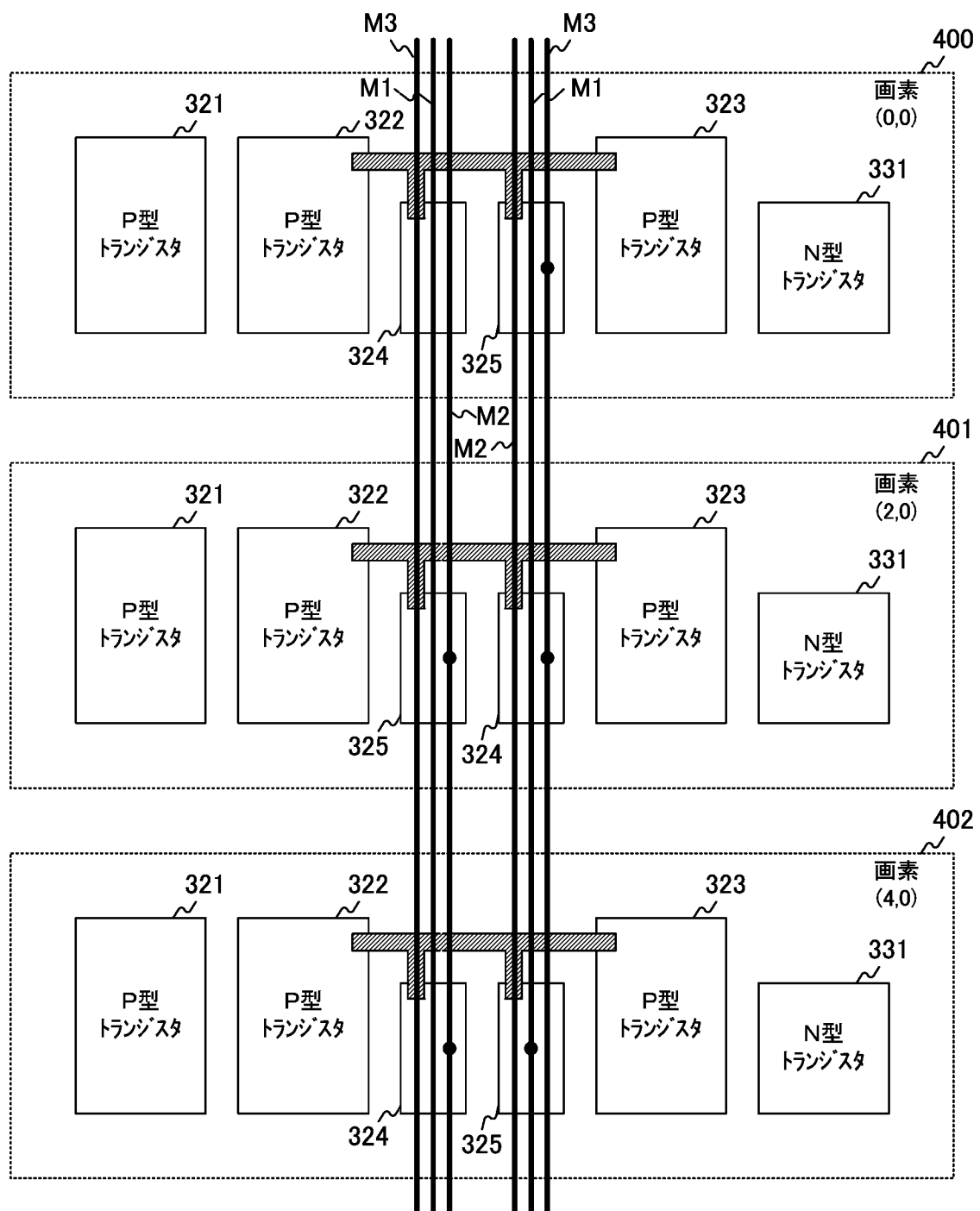


[図20]

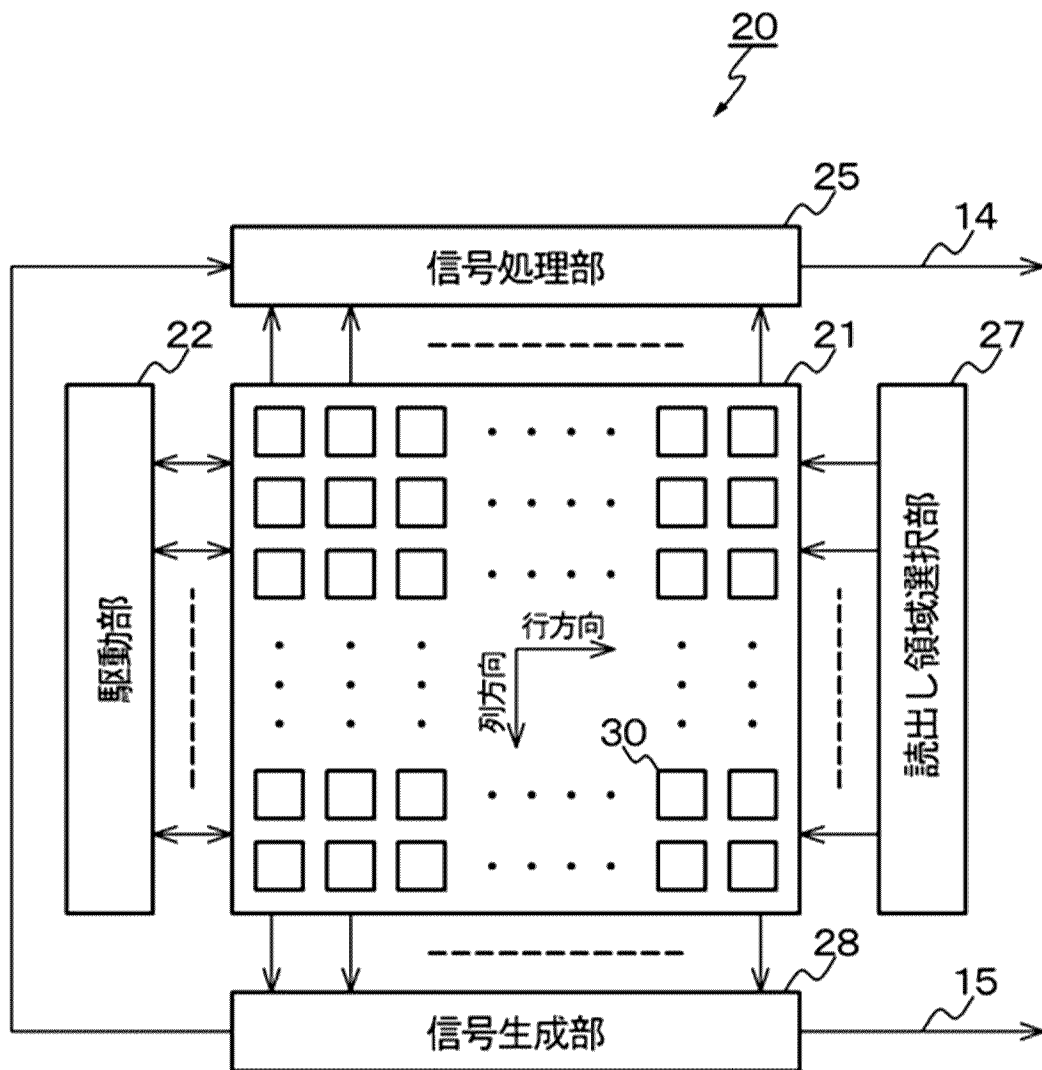


[図21]

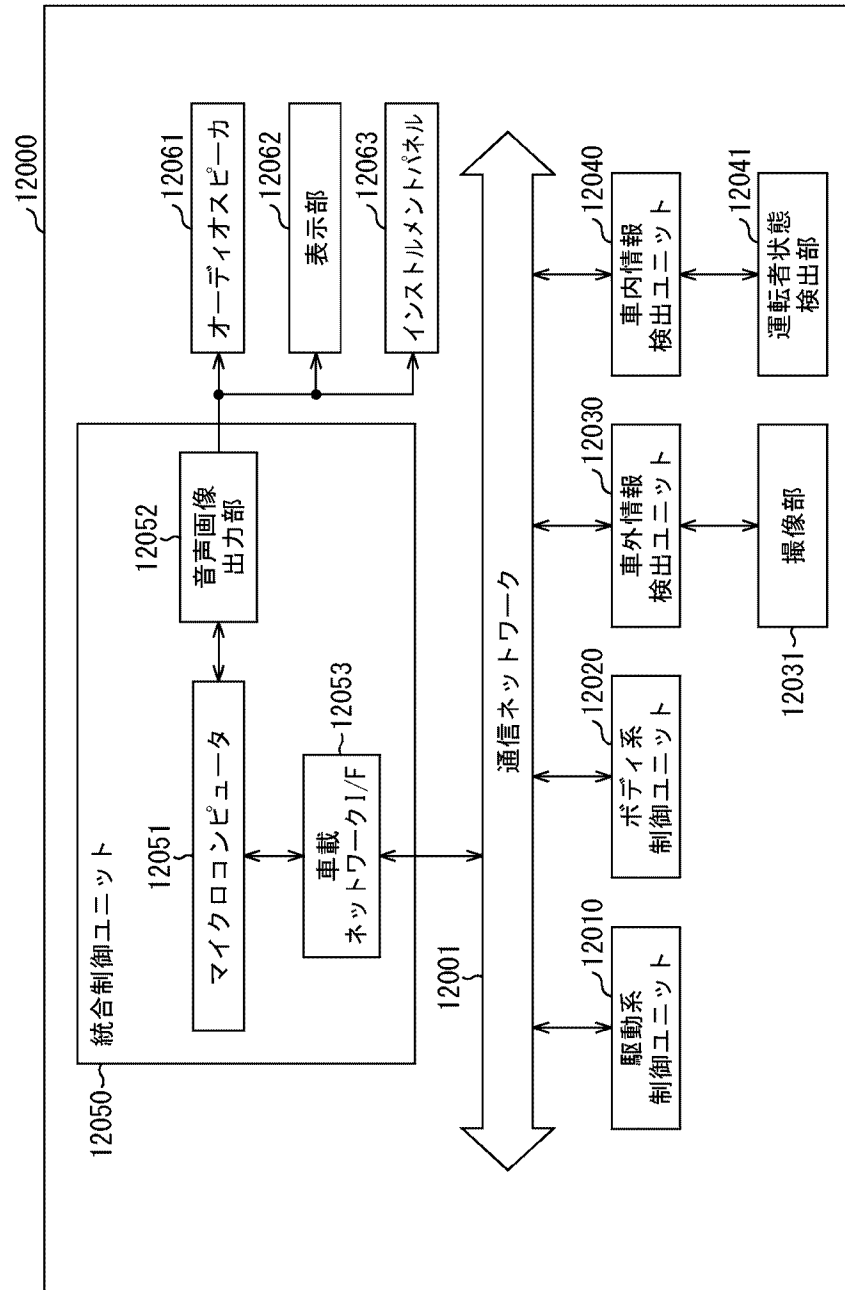
制御線	モード		
	2画素加算モード	3画素加算モード	非加算モード
M1	ローレベル (ON)	ハイレベル (OFF)	ハイレベル (OFF)
M2	ハイレベル (OFF)	ローレベル (ON)	ハイレベル (OFF)
M3	ローレベル (ON)	ローレベル (ON)	ハイレベル (OFF)



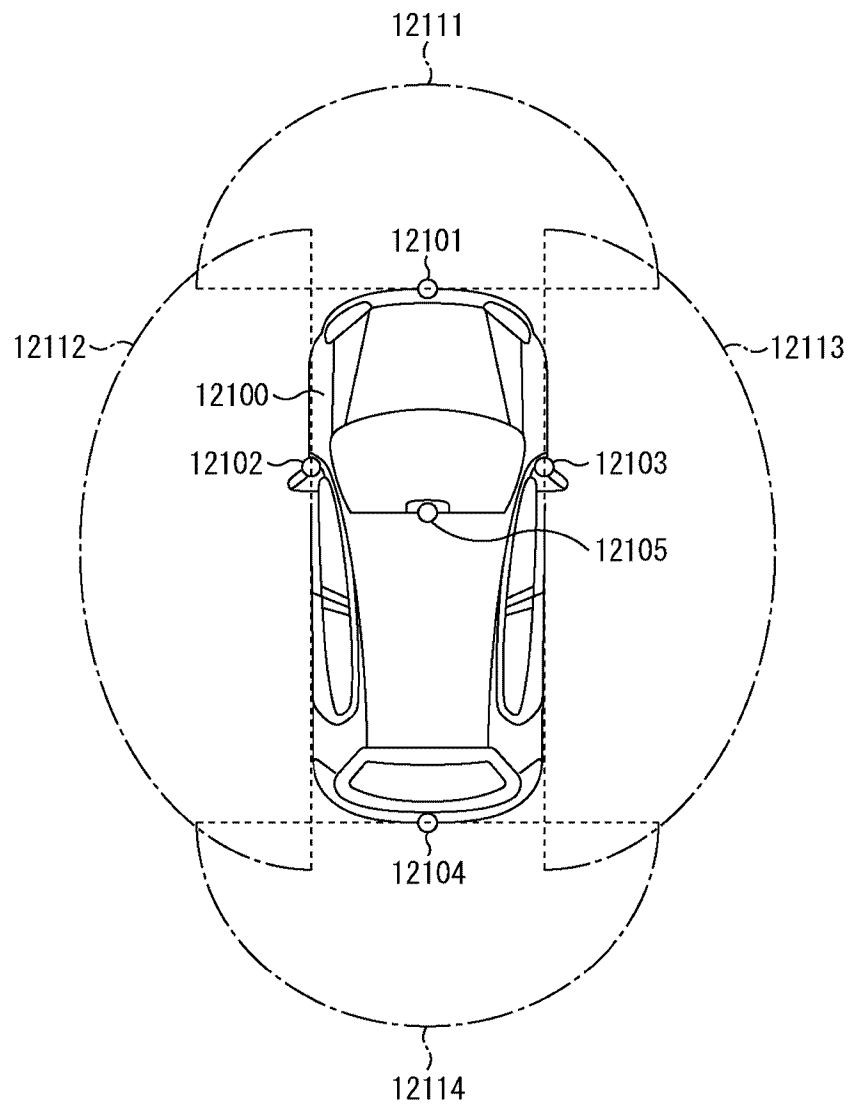
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/044087

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H03M1/12 (2006.01) i, H03M1/56 (2006.01) i, H04N5/347 (2011.01) i, H04N5/3745 (2011.01) i, H04N5/378 (2011.01) i

FI: H04N5/3745 500, H04N5/347, H04N5/378, H03M1/56, H03M1/12 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03M1/12, H03M1/56, H04N5/347, H04N5/3745, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-140109 A (SONY CORP.) 04 August 2016, paragraphs [0001], [0002]	1-11
A	JP 2012-227695 A (SONY CORP.) 15 November 2012, paragraphs [0001], [0006]-[0008], [0022]-[0028], fig. 1	1-11
A	JP 2014-187423 A (CANON INC.) 02 October 2014, paragraphs [0001]-[0003]	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
31.01.2020

Date of mailing of the international search report
10.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/044087

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2016-140109 A	04.08.2016	(Family: none)	
JP 2012-227695 A	15.11.2012	US 2012/0268630 A1 paragraphs [0001], [0005]-[0007], [0036]-[0042], fig. 1 CN 102752558 A	
JP 2014-187423 A	02.10.2014	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 1/12(2006.01)i; H03M 1/56(2006.01)i; H04N 5/347(2011.01)i; H04N 5/3745(2011.01)i; H04N 5/378(2011.01)i FI: H04N5/3745 500; H04N5/347; H04N5/378; H03M1/56; H03M1/12 C		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03M1/12; H03M1/56; H04N5/347; H04N5/3745; H04N5/378		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-140109 A（ソニー株式会社）04.08.2016（2016 - 08 - 04） 段落 [0001] - [0002]	1-11
A	JP 2012-227695 A（ソニー株式会社）15.11.2012（2012 - 11 - 15） 段落 [0001] , [0006] - [0008] , [0022] - [0028] , 図1	1-11
A	JP 2014-187423 A（キヤノン株式会社）02.10.2014（2014 - 10 - 02） 段落 [0001] - [0003]	1-11
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 31.01.2020		国際調査報告の発送日 10.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 大室 秀明 5V 3992 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/044087

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-140109	A	04.08.2016	(ファミリーなし)	
JP	2012-227695	A	15.11.2012	US 2012/0268630 A1 段落 [0001] , [0005] － [0007] , [0036] － [0042] , 図1 CN 102752558 A	
JP	2014-187423	A	02.10.2014	(ファミリーなし)	