[19]中华人民共和国国家知识产权局

[51]Int.Cl[6]
G06F 7/52

[12]发明专利申请公开说明书

[21]申请号 98103377.6

[43]公开日 1999年5月5日

[11]公开号 CN 1215862A

[22]申请日 98.7.9 [21]申请号 98103377.6
[30]优先权
[32]97.7.9 [33]JP [31]183880/97
[71]申请人 松下电器产业株式会社
地址 日本大阪府
[72]发明人 田上一文 芜尾英之
山中隆太朗

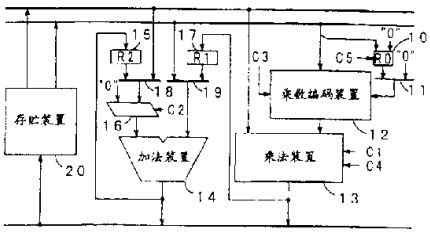
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 陈景峻 傅 康

权利要求书4页 说明书18页 附图页数10页

[54]发明名称 计算方法和计算装置

[57]摘要

在一二进制定点数系统中,其中,最高有效位是符号位,十进制小数点位于最 高有效位和比最高有效位低一位的位之间,用于数位位置对准装置的电路规模 被减小,并以非常高的效率实现一双精度乘法。通过应用一单精度乘法设备, 获得一双精度被乘数的高位字/低位字与一双精度乘数的高位字/低位字的乘 积。在获得的乘积上执行一数位位置对准加法操作,以获得一双精度乘法数据 。在这种情况下,在十进制小数点之前设置至少两位数位,从而允许以比双精 度的位宽度大至少一位的位宽度获得双精度被乘数的高位字/低位字与双精度乘数的高位字/低位字的每一乘积。



ISSN1008-4274

98.07.24

权 利 要 求 书

1、一种在二进制定点数系统中的计算方法，在该二进制定点数系统中，最高有效位是符号位，十进制小数点位于最高有效位和比最高有效位低一位的位之间，在该计算方法中，通过应用一单精度乘法设备，获得一双精度被乘数的高位字/低位字与一双精度乘数的高位字/低位字的乘积，在获得的乘积上执行一数位位置对准加法操作，以获得一双精度乘法数据，其特征在于:

在十进制小数点之前设置至少两位数位，从而允许以比双精度的位宽度大至少一位的位宽度获得双精度被乘数的高位字/低位字与双精度乘数的高位字/低位字的每一乘积。

2、根据权利要求 1 的计算方法，其特征在于：当要获得双精度被乘数的低位字与双精度乘数的低位字的乘积时，所述单精度乘法装置执行

在比双精度被乘数的低位字的最高有效位高一位的数位上具有一正数的符号位指示、并且具有比单精度的位宽度大一位的位宽度的一数据与

具有单精度的位宽度、并且在其中双精度乘数的低位字的最高有效位是符号位的一数据的乘法，

将值为“0”的数据加到比具有双精度的位宽度的乘法结果的最低有效位低一位的数位上，并输出具有比双精度的位宽度大一位的位宽度的数据，作为双精度被乘数的低位字与双精度乘数的低位字的乘积。

3、根据权利要求 1 的计算方法，其特征在于：当要获得双精度被乘数的高位字与双精度乘数的低位字的乘积时，所述单精度乘法装置执行

在其中双精度被乘数的高位字的最高有效位的符号位经过一位符号扩展、并且具有比单精度的位宽度大一位的位宽度的一数据与

具有单精度的位宽度、并且在其中双精度乘数的低位字的最高有效位是符号位的一数据的乘法，

将值为“0”的数据加到比具有双精度的位宽度的乘法结果的最低有效位低一位的数位上，并输出具有比双精度的位宽度大一位的位宽度的数据，作为双精度被乘数的高位字与双精度乘数的低位字的乘积。

4、根据权利要求 1 的计算方法，其特征在于：当要获得双精度被乘数的低位字与双精度乘数的高位字的乘积时，所述单精度乘法装置执行

在比双精度被乘数的低位字的最高有效位高一位的数位上具有一正数的符号位指示、并且具有比单精度的位宽度大一位的位宽度的一数据与

具有单精度的位宽度、并且在其中将具有与双精度被乘数的低位字的最高有效位具有相同值的数据加到双精度乘数的高位字的最低有效位的数位上的一数据的乘法，

将值为“0”的数据加到比具有双精度的位宽度的乘法结果的最低有效位低一位的数位上，并输出具有比双精度的位宽度大一位的位宽度的数据，作为双精度被乘数的低位字与双精度乘数的高位字的乘积。

5、根据权利要求1的计算方法，其特征在于：当要获得双精度被乘数的高位字与双精度乘数的高位字的乘积时，所述单精度乘法装置执行

在其中双精度被乘数的高位字的最高有效位的符号位经过一位符号扩展、并且具有比单精度的位宽度大一位的位宽度的一数据与

具有单精度的位宽度、并且在其中将具有与双精度被乘数的低位字的最高有效位具有相同值的数据加到双精度乘数的高位字的最低有效位的数位上的一数据的乘法，

将值为“0”的数据加到比具有双精度的位宽度的乘法结果的最低有效位低一位的数位上，并输出具有比双精度的位宽度大一位的位宽度的数据，作为双精度被乘数的高位字与双精度乘数的高位字的乘积。

6、一种计算装置，通过应用一执行两个带符号二进制定点数数据的单精度乘法设备，执行一双精度乘法，其特征在于：所述装置包括

MSB保存装置，用于保存一乘数的最高有效位；

数据选择装置，用于选择性地输出所述MSB保存装置的保存数据和值“0”中的一个；

乘数编码装置，用于通过应用乘数和所述数据选择装置的输出数据对乘数进行编码，以及用于输出编码乘数；

乘法装置，用于接收一被乘数、所述乘数编码装置的输出数据和一被乘数判断信号，当被乘数判断信号无效时，用于获得被乘数与所述乘数编码装置的输出数据的乘法结果，同时在一个为被乘数的最高有效位的符号位上执行一位符号扩展，以及，当被乘数判断信号有效时，用于获得被乘数和所述乘数编码装置的输出数据的乘法结果，同时将一正数的符号位指示加到比被乘数的最高

有效位高一位的数位上，并且用于输出该乘法结果，在该结果中在十进制小数点之前至少存在两位数位，并且该结果因此具有比双精度的位宽度至少大一位的位宽度;

加法装置，用于执行为乘法装置的输出数据的加数与具有比双精度的位宽度至少大一位的位宽度的被加数的相加，并且用于输出一加法结果，在该加法结果中，在十进制小数点之前至少存在两位数位，因此该结果具有比双精度的位宽度至少大一位的位宽度;

加法结果保存装置，用于保存所述加法装置输出的加法结果；以及

数位位置对准装置，用于选择所述加法结果保存装置的保存数据和值“0”中的一个，用于执行一数位位置对准操作，并且用于输出操作结果，作为所述加法装置的被加数。

7、根据权利要求6的计算装置，其特征在于：在执行一双精度乘法期间，当要获得双精度乘数的低位字与双精度被乘数的高位字/低位字的乘积时，所述MSB保存装置保存双精度乘数的低位字的最高有效位。

8、根据权利要求6的计算装置，其特征在于：在执行一双精度乘法期间，当要获得双精度乘数的低位字与双精度被乘数的高位字/低位字的乘积时，所述数据选择装置选择性地输出值“0”，以及，当要获得双精度乘数的高位字与双精度被乘数的高位字/低位字的乘积时，所述数据选择装置选择性地输出由所述MSB保存装置保存的双精度乘数的低位字的最高有效位。

9、根据权利要求6的计算装置，其特征在于：在执行一双精度乘法期间，当要获得双精度乘数的低位字和双精度被乘数的高位字/低位字的乘积时，所述乘数编码装置根据布斯算法对由所述数据选择装置选择的输入的双精度乘数的低位字和值为“0”的输出数据编码，然后输出被编码的字和数据，以及，当要获得双精度乘数的高位字和双精度被乘数的高位字/低位字的乘积时，所述乘数编码装置根据布斯算法对由所述MSB保存装置保存并由所述数据选择装置选择的双精度乘数的低位字的最高有效位的输出数据编码，然后输出被编码的数据。

10、根据权利要求6的计算装置，其特征在于：所述乘法装置包括部分乘积产生装置，当在执行双精度乘法期间被乘数判断信号有效时，用于判断输入的被乘数是双精度被乘数的低位字，并获得被乘数与所述乘数编码装置的输

出数据的部分乘积，同时将一个正数的符号位指示加到比被乘数的最高有效位高一位的数位上，以及，当被乘数判断信号无效时，用于判断输入的被乘数是双精度被乘数的高位字，并获得被乘数和所述乘数编码装置的输出数据的部分乘积，同时在为被乘数的最高有效位的符号位上执行一位符号扩展。

11 、根据权利要求 6 的计算装置，其特征在于：所述乘法装置包括至少两组部分乘积产生装置，计算作为所述多个部分乘积产生装置的输出数据的部分乘积的总和，在对准数位位置的同时，将一值为“ 0 ”的数据加到比部分乘积总和的结果的最低有效位低一位的数位上，并输出相加结果，作为所要求的乘积。

12 、根据权利要求 6 的计算装置，其特征在于：所述装置还包括乘法结果保存装置，用于临时保存所述乘法装置的输出数据，并输出保存数据作为所述加法装置的加数，并且所述乘法装置和所述加法装置可以并行操作。

13 、根据权利要求 6 的计算装置，其特征在于：所述乘数编码装置具有将作为一个输入数据的乘数的最低有效位强制设置为值“ 0 ”的功能。

14 、根据权利要求 6 的计算装置，其特征在于：所述乘法装置具有将作为一个输入数据的被乘数的最低有效位强制设置为值“ 0 ”的功能。

15 、根据权利要求 6 的计算装置，其特征在于：所述 MSB 保存装置通过由用于选择性地保存乘数的最高有效位和值“ 0 ”中的一个的装置替代用于保存乘数的最高有效位的装置来实现。

说　明　书

计算方法和计算装置

本发明涉及一种通过应用一个单精度乘法设备执行双精度乘法的计算方法和计算装置。

常规上，已知一种双精度乘法系统，在该系统中，双精度被乘数的高位字/低位字和双精度乘数的高位字/低位字的乘积通过应用一个单精度乘法设备来获得，并且在每一乘积上执行一个数位位置对准相加操作，从而获得双精度乘法结果。例如，该系统已在日本专利公开文本（Kokai）No.HEI8-30439中公开。在日本专利公开文本（Kokai）No.HEI8-30439公开的现有技术例子中，安排了用于保存一个双精度乘数的低位字的最高有效位的装置，并且该双精度乘数的低位字的最高有效位被用在该双精度乘数的高位字的编码中，这样双精度乘数的低位字被看作一个带符号二进制。为了执行双精度被乘数的低位字的乘法，该系统带有乘法装置，该乘法装置具有即使当被乘数是无符号二进制时允许一乘法运算的功能。因此，现有技术可以实现双精度乘法，而不会降低精度。

然而，在日本专利公开文本（Kokai）No.HEI8-30439公开的现有技术例子中，当乘法装置将被乘数看作为一个无符号二进制时，假定正数的符号指示位于比被乘数的最高有效位高一位的位上。因此，乘法结果的符号的数位位置与被乘数是一个带符号二进制的乘法结果的符号的数位位置不同。因而，在双精度被乘数的高位字/低位字与双精度乘数的高位字/低位字的乘积的相加中数位位置对准的移位数是不同的，从而现有技术例子存在一个问题，就是用于数位位置对准装置的电路规模将变大。

本发明的一个目的是提供一种能够解决上述问题的计算方法和计算装置，在其中，用于数位位置对准装置的电路规模可以减小，并且可以以非常高的效率实现双精度乘法。

本发明的计算方法的特征在于，在一个二进制定点数系统中，最高有效位是符号位，十进制小数点在最高有效位和一位低位之间，当一个双精度被乘数的高位字/低位字和一个双精度乘数的高位字/低位字的乘积通过应用一个单

精度乘法设备来获得，并且在获得的乘积上执行数位位置对准相加操作以获得双精度乘法结果时，在十进制小数点前设置至少两位数位，从而允许以一个比双精度的位宽度至少大一位的位宽度获得双精度被乘数的高位字/低位字和双精度乘数的高位字/低位字的每一乘积。

如上所述，当在十进制小数点前设置至少两位数位时，用于以一个比双精度的位宽度至少大一位的位宽度获得的每一乘积的数位位置对准的移位数被相对地限定到相同的位宽度。因此，用于数位位置对准装置的电路规模将减小，并且可以高效地实现双精度乘法。

通过在十进制小数点前设置至少三位数位，可以以一个比双精度的位宽度大两位、三位或更多位的位宽度获得一个双精度被乘数的高位字/低位字和一个双精度乘数的高位字/低位字的每一乘积。这仅仅是以位宽度大一位获得的乘积的符号扩展，因而其结果只是电路规模的增大。因此，为了以一个比双精度的位宽度大一位的位宽度获得乘积，在十进制小数点前设置两位数位通常是足够的。在下文中，对本发明的计算方法的描述将在以一个比双精度的位宽度大一位的位宽度来获得一个双精度被乘数的高位字/低位字和一个双精度乘数的高位字/低位字的乘积这个假定下进行。

在该计算方法中，当例如要获得双精度被乘数的低位字和双精度乘数的低位字的乘积时，一个其中的正数的符号位指示被加到比双精度被乘数的低位字的最高有效位高一位的数位上的数据与一个其中的双精度乘数的低位字的最高有效位是符号位的数据相乘，将值“0”加到比该乘法结果的最低有效位低一位的数位上，并且将相加的结果作为一个所要求的乘积输出。

当例如要获得双精度被乘数的高位字和双精度乘数的低位字的乘积时，一个其中的双精度被乘数的高位字的最高有效位的符号位受一位符号扩展支配的数据与一个其中的双精度乘数的低位字的最高有效位是符号位的数据相乘，将值“0”加到比该乘法结果的最低有效位低一位的数位上，并且将相加的结果作为一个所要求的乘积输出。

当例如要获得双精度被乘数的低位字和双精度乘数的高位字的乘积时，一个其中的正数的符号位指示被加到比双精度被乘数的低位字的最高有效位高一位的数位上的数据与一个其中的与双精度被乘数的低位字的最高有效位具有相同值的数据被加到双精度乘数的高位字的最低有效位的数位上的数据相

乘，将值“0”加到比该乘法结果的最低有效位低一位的数位上，并且将相加的结果作为一个所要求的乘积输出。

当例如要获得双精度被乘数的高位字和双精度乘数的高位字的乘积时，一个其中的双精度被乘数的高位字的最高有效位的符号位受一位符号扩展支配的数据与一个其中的与双精度被乘数的低位字的最高有效位具有相同值的数据被加到双精度乘数的高位字的最低有效位的数位上的数据相乘，将值“0”加到比该乘法结果的最低有效位低一位的数位上，并且将相加的结果作为一个所要求的乘积输出。

通常使用的单精度乘法设备执行两个单精度数的相乘，获得的相乘结果是位宽度比双精度的位宽度小一位的数据。由于十进制小数点的对准和以双精度的位宽度输出的结果，值“0”被加到比乘法结果的最低有效位低一位的数位上，并且双精度的数据作为乘积被输出。

用于获得一个双精度被乘数的高位字/低位字和一个双精度乘数的高位字/低位字的乘积的单精度乘法设备在一个比被乘数的最高有效位高一位的数位上执行符号扩展，或者增加一个正数的符号位指示。因此，乘法结果的位宽度与双精度的位宽度相同。然而，即使在执行了符号扩展或增加了一个正数的符号位指示时，被乘数的十进制小数点的位置不变。因此，由上面提到的单精度乘法设备获得的乘法结果在十进制小数点之前具有至少两位数位，这样则该结果带有比由常规的单精度乘法设备获得的乘法结果多一位的数据。在上面提到的单精度乘数中，考虑到数位位置之间的关系，值“0”被如上所述地加到比乘法结果的最低有效位低一位的数位上，这样则该结果在十进制小数点之前有两位数位，从而以比双精度的位宽度大一位的位宽度获得一乘积。

本发明的计算装置通过应用一个执行两个带符号二进制定点数数据的乘法的单精度乘法设备来执行双精度乘法，其特征在于，该装置包括：MSB保存装置，用于保存一乘数的最高有效位；数据选择装置，用于选择性地输出MSB保存装置的保存数据和值“0”中的一个；乘数编码装置，用于通过应用乘数和数据选择装置的输出数据对乘数进行编码，以及用于输出编码乘数；乘法装置，当被乘数判断信号无效时，用于获得一被乘数和乘数编码装置的输出数据的乘法结果，同时在一个为被乘数的最高有效位的符号位上执行一位符号扩展，以及，当被乘数判断信号有效时，用于获得一被乘数和乘数编码装置的输

出数据的乘法结果，同时将一正数的符号位指示加到比被乘数的最高有效位高一位的数位上，并且用于输出该乘法结果，在该结果中在十进制小数点之前至少存在两位数位，并且该结果因此具有比双精度的位宽度至少大一位的位宽度；加法装置，用于执行为乘法装置的输出数据的加数与具有比双精度的位宽度至少大一位的位宽度的被加数的相加，并且用于输出具有比双精度的位宽度至少大一位的位宽度的加法结果；加法结果保存装置，用于保存加法装置输出的加法结果；以及数位位置对准装置，用于选择加法结果保存装置的保存数据和值“0”中的一个，并且用于执行数位位置对准操作，还用于输出作为加法装置的被加数的运算结果。

依据这个结构，乘法装置输出在十进制小数点之前具有至少两位数位的乘法结果，并因而具有比双精度的位宽度至少大一位的位宽度。因此，用于每一乘法乘积的数位位置对准的移位数被相对地限定到相同的位宽度。因此，用于数位位置对准装置的电路规模可以被减小，并且可以高效地实现双精度乘法。

在该计算装置中，在执行双精度乘法期间，例如， MSB 保存装置运行使得，当要获得双精度乘数的低位字和双精度被乘数的高位字/低位字的乘积时，保存双精度乘数的低位字的最高有效位。

在该计算装置中，在执行双精度乘法期间，例如，数据选择装置运行，其结果是，当要获得双精度乘数的低位字和双精度被乘数的高位字/低位字的乘积时，值“0”被有选择地输出，以及，当要获得双精度乘数的高位字和双精度被乘数的高位字/低位字的乘积时，由 MSB 保存装置保存的双精度乘数的低位字的最高有效位被有选择地输出。

在该计算装置中，在执行双精度乘法期间，例如，乘数编码装置运行，其结果是，当要获得双精度乘数的低位字和双精度被乘数的高位字/低位字的乘积时，由数据选择装置选择的输入的双精度乘数的低位字和值为“0”的输出数据被根据布斯（Booth）算法编码，然后输出，以及，当要获得双精度乘数的高位字和双精度被乘数的高位字/低位字的乘积时，由 MSB 保存装置保存并由数据选择装置选择的双精度乘数的低位字的最高有效位的输出数据被根据布斯算法编码，然后输出。

在该计算装置中，例如，乘法装置包括部分乘积产生装置，当被乘数判断信号有效时，用于判断输入的被乘数是双精度被乘数的低位字，并获得被乘数

和乘数编码装置的输出数据的部分乘积，同时将一个正数的符号位指示加到比被乘数的最高有效位高一位的数位上，以及，当被乘数判断信号无效时，用于判断输入的被乘数是双精度被乘数的高位字，并获得被乘数和乘数编码装置的输出数据的部分乘积，同时在为被乘数的最高有效位的符号位上执行一位符号扩展。乘法装置可以包括至少两组部分乘积产生装置，计算作为多个部分乘积产生装置的输出数据的部分乘积的总和，在对准数位位置的同时，将一值为“0”数据加到比部分乘积总和的结果的最低有效位低一位的数位上，并输出相加结果，作为所要求的乘积。

在该计算装置中，配置了用于临时保存乘法装置的输出数据、并输出保存数据作为加法装置的加数的乘法结果保存装置，并且乘法装置和加法装置可以并行运行。依据这种结构，可以缩短运行时间。

在该计算装置中，乘数编码装置可以具有将作为一个输入数据的乘数的最低有效位强制设置为值“0”的功能，乘法装置可以具有将作为一个输入数据的被乘数的最低有效位强制设置为值“0”的功能。

本发明的目的是高效地执行高精度的双精度乘法。在一些当前正在实际使用的应用中，定义了标准，以便使用低精度的双精度乘法。例如，这种应用包括用在数字便携电话中的声音编码处理。

由于如上所述提供了分别将乘数和被乘数的最低有效位强制设置为值“0”的功能，可以得到与使用低精度的双精度乘法的应用的兼容性。

在该说明书中，低精度的双精度乘法指的是一种双精度乘法，当在执行双精度乘法期间要运行采用例如双精度乘数的低位字和双精度被乘数的低位字的数据的乘法时，预先生成在其中双精度乘数的低位字或双精度被乘数的低位字被右移一位、并且一正数的符号位指示被加到最高有效位的数位上的数据，并且当用这些数据代替双精度乘数的低位字和双精度被乘数的低位字的数据时，执行该乘法。双精度乘数和双精度被乘数的符号位分别相应于双精度乘数的高位字和双精度被乘数的高位字的最高有效位。双精度乘数的低位字和双精度被乘数的低位字是没有符号位、只包含数据位的数据。

一个通常的处理带符号二进制定点数的单精度乘法设备被构造为不能处理只包含数据位的数据。为了遵循这一点，因为双精度乘数的低位字与双精度被乘数的低位字被看作是正数，所以将一正数的符号位指示加到这些数据上。

当没有采用进一步的对策时，位宽度比单精度的位宽度大一位。因此，通过执行一位右移操作，舍弃最低有效位的数据，从而将位宽度压缩到单精度的位宽度。换句话说，双精度乘数的低位字和双精度被乘数的低位字的最低有效位的数据被舍弃了，因此精度被相应于这种舍弃的程度所损害。由一位右移操作引起的数位位置的移动被并入双精度乘数的高位字/低位字与双精度被乘数的高位字/低位字的乘积的加法中的数位位置对准操作中。

在该计算装置中， MSB 保存装置可以由用于选择性地保存乘数的最高有效位和值“0”中的一个的装置代替用于保存为一带符号二进制的乘数的最高有效位的装置来实现。根据这种结构，在双精度数据与双精度数据的乘法和双精度数据与单精度数据的乘法中，命令可以共用，从而减少了命令的数目。

图 1 是显示本发明的第一实施例的计算装置的结构的方框图;

图 2 是显示一双精度乘数的数据划分的示意图;

图 3 是显示一被乘数的高位字和一乘数的高位字/低位字的乘积的数据输出格式的示意图;

图 4 是显示一被乘数的低位字和一乘数的高位字/低位字的乘积的数据输出格式的示意图;

图 5 是显示在现有技术中的数位对准位移位的示意图;

图 6 是显示本发明的第一实施例中的数位对准位移位的示意图;

图 7 是显示乘数编码装置的电路结构的电路图;

图 8 是显示乘法装置的结构的方框图;

图 9 是显示乘法装置的被乘数扩展装置和部分乘积产生装置的电路结构的电路图;

图 10 是显示一乘法操作的示意图;

图 11 是显示在本发明的第二实施例中的乘数编码装置的电路结构的电路图; 以及

图 12 是显示在本发明的第二实施例中的乘法装置的结构的方框图。

[第一实施例]

在下文将参考附图说明本发明的第一实施例。图 1 是显示本发明的一个实

施例的计算装置的结构的示意图。

参看图 1， MSB 保存装置 10 保存一个带符号二进制定点数的乘数的最高有效位。数据选择装置 11 选择性地输出 MSB 保存装置 11 的输出和值“ 0 ”中的一个。乘数编码装置 12 根据二阶布斯算法对乘数和数据选择装置 11 的输出进行编码。

乘法装置 13 接收一个带符号二进制定点数的被乘数，乘数编码装置 12 的输出，以及一个被乘数判断信号 C1 。当被乘数判断信号 C1 具有值“ 0 ”或为无效时，乘法装置判断被乘数是一双精度被乘数的高位字，并获得被乘数和乘数编码装置 12 的输出数据的相乘结果，同时在作为被乘数的最高有效位的符号位上执行一位符号扩展。与之相反，当被乘数判断信号 C1 具有值“ 1 ”或为有效时，乘法装置判断被乘数是一双精度被乘数的低位字，并获得被乘数和乘数编码装置 12 的输出数据的相乘结果，同时将一个作为一正数的符号指示的具有值“ 0 ”的符号位加到比被乘数的最高有效位的符号位高一位的数位上。一个在其中具有值“ 0 ”的数据被加到比获得的乘法结果的最低有效位低一位的数位上的数据，作为一个在十进制小数点之前具有至少两位数位并因此具有比双精度的位宽度至少大一位的位宽度的乘积被输出。

在本发明中，假定一单精度数据和一双精度数据由二进制定点数系统来表示，在该系统中，最高有效位是符号位，并且十进制小数点在最高有效位和比最高有效位低一位的位之间。通常，在十进制小数点之前只有一个作为符号位的位。换句话说，表述“在十进制小数点之前具有至少两位数位”和“具有比双精度的位宽度至少大一位的位宽度”是同一意思。

加法装置 14 执行一个作为乘法装置 13 的输出的加数和一个在十进制小数点之前具有至少两位数位、并因此具有比双精度的位宽度大至少一位的位宽度的被加数的相加，并输出一个在十进制小数点之前具有至少两位数位、并因此具有比双精度的位宽度大至少一位的位宽度的加法结果。加法结果保存装置 15 保存加法装置 14 的输出。当数位位置对准信号 C2 是（ C2-1， C2-0)=（ 0， 1 ）时，数位位置对准装置 16 不执行移位操作，输出加法结果保存装置 15 的输出。当数位位置对准信号 C2 是（ C2-1， C2-0 ）=（ 1， 0 ）时，数位位置对准装置将加法结果保存装置 15 的输出右移 16 位后输出。当数位位置对准信号 C2 是（ C2-1， C2-0 ）=（ 0， 0 ）时，数位位置对准装置 16 选择值“ 0

”，并输出该值。

符号 C2-1 和 C2-0 分别表示数位位置对准信号 C2 的位元素（ bit component ）。参考数码 20 表示作为要在本发明的计算装置中执行的操作命令的源和目的的存储装置。

下面的说明是基于未采用乘法结果保存装置 17 和选择装置 18 和 19 这个假设来进行的，则乘法装置 13 的输出直接提供给加法装置 14，加法结果保存装置 15 的结果直接提供给数位位置对准装置 16 。乘法结果保存装置 17 和选择装置 18 和 19 将在后面进行说明。

在图 1 中，提供给乘数编码装置 12 的一乘数控制信号 C3 以及提供给乘法装置 13 的一被乘数控制信号 C4 在第二实施例中需要，而在第一实施例中不需要。并且，提供给 MSB 保存装置 10 的值“ 0 ”和一保存数据选择信号 C5 在第三实施例中需要，而在第一实施例中不需要。

下面描述这样构成的计算装置的运行。为了简化的缘故，假定一 16 位二进制定点数是单精度数据，一 32 位二进制定点数是双精度数据。

下面将说明双精度数据和双精度数据的乘法。一双精度被乘数包括高位字 XH 和低位字 XL，一双精度乘数包括高位字 YH 和低位字 YL 。当在双精度乘数的低位字 YL 上执行乘法时，数据选择装置 11 选择值“ 0 ”，而当在双精度乘数的高位字 YH 上执行乘法时，数据选择装置 11 选择 MSB 保存装置 10 的输出。当在双精度被乘数的低位字 XL 上执行乘法时，被乘数判断信号 C1 具有值“ 1 ”或是有效的，而而当在双精度被乘数的高位字 XH 上执行乘法时，被乘数判断信号 C1 具有值“ 0 ”或是无效的。

首先，获得双精度被乘数的低位字 XL 和双精度乘数的低位字 YL 的乘积（下文中表示为 XL × YL ）。双精度乘数的低位字 YL 提供给乘数编码装置 12，该字的最高有效位保存在 MSB 保存装置 10 中。数据选择装置 11 选择值“ 0 ”，并将选择的值输出至乘数编码装置 12 。乘数编码装置 12 根据布斯算法对双精度乘数的低位字 YL 和数据选择装置 11 的输出数据编码。数据选择装置 11 输出的值“ 0 ”被用于对双精度乘数的低位字 YL 的低两位编码。被乘数判断信号 C1 具有值“ 1 ”或是有效的。即，该信号表明输入的被乘数是双精度被乘数的低位字 XL 。响应于被乘数判断信号 C1，乘法装置 13 将一个用作一正数的符号指示的具有值“ 0 ”的符号位加到比双精度被乘数的低位字 XL 的最高

有效位高一位的数位上，获得结果数据与乘数编码装置 12 的输出的乘积。获得的乘积以 32 位宽度输出。

此时，数位位置对准信号 C2 是（ C2-1， C2-0 ）=（ 0， 0 ），数位位置对准装置 16 选择值“ 0 ”并输出该值。加法装置 14 输出乘法装置 13 输出的乘积 XL × YL 与数位位置对准装置 16 输出的值“ 0 ”的相加结果。加法结果保存装置 15 保存加法装置 14 输出的乘积 XL × YL 。

接着，获得双精度被乘数的高位字 XH 和双精度乘数的低位字 YL 的乘积（下文中表示为 XH × YL ）。双精度乘数的低位字 YL 提供给乘数编码装置 12 ，该字的最高有效位保存在 MSB 保存装置 10 中。数据选择装置 11 选择值“ 0 ”，并将选择的值输出至乘数编码装置 12 。乘数编码装置 12 根据布斯算法对双精度乘数的低位字 YL 和数据选择装置 11 的输出数据编码。数据选择装置 11 输出的值“ 0 ”被用于对双精度乘数的低位字 YL 的低两位编码。被乘数判断信号 C1 具有值“ 0 ”或是无效的。即，该信号表明输入的被乘数是双精度被乘数的高位字 XH 。响应于被乘数判断信号 C1 ，乘法装置 13 在为双精度被乘数的高位字 XH 的最高有效位的符号位上执行一位符号扩展，获得结果数据与乘数编码装置 12 的输出的乘积。获得的乘积以 32 位宽度输出。

此时，数位位置对准信号 C2 是（ C2-1， C2-0 ）=（ 1， 0 ），数位位置对准装置 16 选择在加法结果保存装置 15 中保存的乘积 XL × YL ，并将该乘积右移 16 位以执行数位位置对准，输出该乘积。加法装置 14 输出乘法装置 13 输出的乘积 XH × YL 与数位位置对准装置 16 输出的 XL × YL 的相加结果。加法结果保存装置 15 保存加法装置 14 输出的乘积 XL × YL+ XH × YL 。

接着，获得双精度被乘数的低位字 XL 和双精度乘数的高位字 YH 的乘积（下文中表示为 XL × YH ）。双精度乘数的高位字 YH 提供给乘数编码装置 12 。数据选择装置 11 选择 MSB 保存装置 10 的输出，并将由 MSB 保存装置 10 保存的双精度乘数的低位字 YL 的最高有效位的数据输出到乘数编码装置 12 。乘数编码装置 12 根据布斯算法对双精度乘数的高位字 YH 和数据选择装置 11 的输出数据编码。双精度乘数的低位字 YL 的最高有效位的数据被用于对双精度乘数的高位字 YH 的低两位编码。被乘数判断信号 C1 具有值“ 1 ”或是有效的。即，该信号表明输入的被乘数是双精度被乘数的低位字 XL 。响应于被乘数判断信号 C1 ，乘法装置 13 将一个用作一正数的符号指示的具有值“ 0 ”的符号位加

到比双精度被乘数的低位字 XL 的最高有效位高一位的数位上，获得结果数据与乘数编码装置 12 的输出的乘积。获得的乘积以 32 位宽度输出。

此时，数位位置对准信号 C2 是（C2-1，C2-0）=（0，1），数位位置对准装置 16 选择在加法结果保存装置 15 中保存的乘积 XL × YL+ XH × YL，并输出该乘积。加法装置 14 输出乘法装置 13 输出的乘积 XL × YH 与数位位置对准装置 16 输出的 XL × YL+ XH × YL 的相加结果。加法结果保存装置 15 保存加法装置 14 输出的 XL × YL+ XH × YL+ XL × YH。

最后，获得双精度被乘数的高位字 XH 和双精度乘数的高位字 YH 的乘积（下文中表示为 XH × YH）。双精度乘数的高位字 YH 提供给乘数编码装置 12。数据选择装置 11 选择 MSB 保存装置 10 的输出，并将由 MSB 保存装置 10 保存的双精度乘数的低位字 YL 的最高有效位的数据输出到乘数编码装置 12。乘数编码装置 12 根据布斯算法对双精度乘数的高位字 YH 和数据选择装置 11 的输出数据编码。数据选择装置 1 输出的乘数的低位字 YL 的最高有效位的数据被用于对乘数的高位字 YH 的低两位编码。被乘数判断信号 C1 具有值“0”或是无效的。即，该信号表明输入的被乘数是双精度被乘数的高位字 XH。响应于被乘数判断信号 C1，乘法装置 13 在为双精度被乘数的高位字 XH 的最高有效位的符号位上执行一位符号扩展，获得结果数据与乘数编码装置 12 的输出的乘积。获得的乘积以 32 位宽度输出。

此时，数位位置对准信号 C2 是（C2-1，C2-0）=（1，0），数位位置对准装置 16 选择在加法结果保存装置 15 中保存的乘积 XL × YL+ XH × YL+ XL × YH，并将该乘积右移 16 位以执行数位位置对准，输出该乘积。加法装置 14 执行乘法装置 13 输出的乘积 XH × YH 与数位位置对准装置 16 输出的 XL × YL+ XH × YL+ XL × YH 的加法，并输出加法结果。加法装置输出的加法结果 XL × YL+ XH × YL+ XL × YH+ XH × YH 就是所要求的双精度乘法的乘积。

在该实施例中，当要获得一双精度被乘数的高位字 XH/低位字 XL 与一双精度乘数的高位字 YH/低位字 YL 的乘积，以及要执行一数位位置对准加法操作时，在获得双精度乘数的高位字 YH 的乘积之前，至少已获得一个该双精度产生的低位字 YL 的乘积，并且双精度乘数的低位字 YL 的最高有效位保存在 MSB 保存装置 10 中。在该实施例中，执行获得乘积 XH × YL 和 XL × YH 的乘法和数位位置对准加法操作的顺序可以颠倒。在一双精度数据和一单精度数据的乘

法中，单精度数据可以被看作一个没有低位字的双精度数据，则获得该双精度数据的低位字的乘积的过程可以省略。换句话说，这个乘法可以以与一双精度数据和一双精度数据的乘法相同的方式来执行。

上面的说明是基于未采用乘法结果保存装置 17 和选择装置 18 和 19 这个假设来进行的。可选择地，在乘法装置 13 和加法装置 14 之间可以设置用于保存乘法结果的乘法结果保存装置 17 ，以使得乘法操作和加法操作能并行执行。

图 1 中所示的选择装置 18 和 19 用于当乘法设备和双精度加法设备要独立地操作时从一总线提供数据，因此与本发明并不直接相关。

下面将参考图 2 至 10 进一步详细描述该实施例的组成部分的内部构造和操作。

图 2 是表示在执行一双精度乘法期间一双精度乘数的数据划分的示意图。

在图 2 中，在一位上附加的波浪标记表示该位具有一负权（ negative weight ）。在顶部显示的数据串显示一双精度乘数。标记 Y31 至 Y0 分别表示各数位的数据。最高有效位 Y31 是符号位，具有一负权。表述“具有一负权”表示当该位为“1”时其值为“-1”。中部显示的是双精度乘数基于布斯算法的修正的示意图。在一个框中的三个数据表明一个框的编码值，并且在偶数数位上具有在-2 至+2 范围内的值。因为本发明的一个目的是通过应用单精度乘法设备高效地执行高精度的双精度乘法，所以一双精度乘数不能由一次操作依据布斯算法进行编码。因此，考虑在双精度乘数的高位字和低位字的交界处的数据。可以看到，当双精度乘数的低位字的最高有效位 Y15 可以被用在双精度乘数的高位字的编码操作时，双精度乘数的编码可以符合要求地执行。底部表示在本发明中的双精度乘数的数据。首先执行获得双精度乘数的低位字的乘积的计算。在该计算过程中，双精度乘数的低位字的最高有效位 Y15 被保存。当然后要获得双精度乘数的高位字的乘积时，被保存的双精度乘数的低位字的最高有效位 Y15 用在双精度乘数的高位字的编码操作中。在图 2 中， YH 和 YL 分别表示双精度乘数的高位字和低位字。

图 3 是表示在执行双精度被乘数的高位字 XH 和双精度乘数的高位字 YH/低位字 YL 的乘法中的数据输出格式的示意图。在图 3 中，在一位上附加的波浪标记表示该位具有一负权，并且标记 S 表示一符号位。在有被遮盖的 S 时，被遮盖的标记 S 表示已经经过一位符号扩展的符号位，而在比被遮盖的标记 S

低一位的数位上的标记 S 表示该位不是符号位，而是与符号位具有相同值的数据位。标记 0 表示值“0”作为一数据被增加。在顶部显示的值 2^1， 2^0， 2^{-1}，…， 2^{-31} 表示相应数位的定标。

当执行两个单精度数据的常规乘法时，所期望的乘法结果是一个在数位 2^0 具有符号位、在数位 2^{-1} 至 2^{-30} 具有数据位的 31 位数据。因此，将值“0”加到数位 2^{-31}，结果作为一 32 位双精度数据输出。

在本发明中，被乘数的高位字 YH 已经经过一位符号扩展，并且所期望的乘法结果作为一个其在数位 2^0 上的符号位是对数位 2^1 的一位符号扩展的数据被获得。当该结果以 32 位的位宽度输出时，最好在由图 3 中的“32 位输出”表示的范围内执行该输出，以达到该输出与在上述的单精度数据的乘法的执行中的数据输出相匹配。在这种情况下，数位 2^0 用作符号位。在本发明中，通过在十进制小数点之前设置至少两位数位，输出具有比双精度的位宽度至少大一位的位宽度的数据。数据可以以 2 、 3 或更多位的位宽度输出。这只是以大一位的位宽度获得的乘积的符号扩展，并且因此仅仅导致了电路规模的增加。因此，下面的说明将基于在十进制小数点之前至少存在两位数位这个假设来进行，这样则以比双精度的位宽度大一位的 33 位的位宽度获得所期望的乘积。

当一双精度乘数的数据如图 2 所示被划分时，双精度乘数的低位字 YL 的最高有效位 Y15 可以被看作具有负权的数据。因此，当要获得双精度被乘数的高位字 XH 与双精度乘数的低位字 YL 的乘积时，可以依据布斯算法对双精度乘数的低位字 YL 编码。与之相反，当要获得双精度被乘数的高位字 XH 与双精度乘数的高位字 YH 的乘积时，双精度乘数的低位字 YL 的最高有效位 Y15 的数据被用在双精度乘数的高位字 YH 的编码操作中。由于上述原因，在图 3 中，双精度乘数的低位字 YL 以与一单精度的带符号二进制定点数相同的方式来表示。

在双精度乘数的高位字 YH 的乘法的情况下，双精度乘数的低位字 YL 的最高有效位 Y15 的数据必须在图中显示。该描述的目的是显示数据输出格式。因此，为了简化的缘故，该数据在图中未显示。

图 4 是显示在执行双精度被乘数的低位字 XL 和双精度乘数的高位字 YH/低位字 YL 的乘法中的数据输出格式的示意图。在图 4 中，在一位上附加的波浪标记表示该位具有一负权，并且标记 S 表示一符号位。标记 0 表示值“0”作为一数据被增加。在顶部显示的值 2^1， 2^0， 2^{-1}，…， 2^{-31} 表示相应数位的定

标。

在本发明中，双精度被乘数的低位字的最高有效位是数据位，因此具有值“0”的符号位作为一正数的符号指示被加到高一位的数位上。所期望的乘法结果是一个在数位 2^1 具有符号位、在数位 2^0 至 2^{-30} 具有数据位的 32 位数据。当该结果要以 32 位的位宽度输出时，必须在由图 4 中的“32 位输出”表示的范围内执行该输出。当该输出范围与图 3 中所示的“32 位输出”范围相比较时，可以看到，每一输出数位位置移位一位。换句话说，可以看到，当进行“32 位输出”时，需要用于转换输出范围的装置。另一方面，在本发明中，因为通过在十进制小数点之前至少设置两位数位，输出具有比双精度的位宽度大一位的的 33 位的位宽度的数据，所以可以以与图 3 中显示的“33 位输出”的数位位置严格相同的数位位置的关系输出数据。由于在乘法中获得的数据在数位 2^{-31} 不存在，如结合图 3 的说明所述，所以将值“0”加到数位 2^{-31}，输出该结果。

与图 3 的情况相同，双精度乘数的低位字 YL 以与一单精度的带符号二进制定点数相同的方式来表示。在双精度乘数的高位字 YH 的乘法的情况下，双精度乘数的低位字 YL 的最高有效位 Y15 的数据必须在图中显示。该描述的目的是显示数据输出格式。因此，为了简化的缘故，该数据在图中未显示。

图 5 是显示以 32 位的位宽度输出乘法结果的现有技术中的数位对准位移位的示意图。当数据如图 3 和 4 中所示以 32 位的位宽度输出时，在一双精度被乘数的高位字 XH 的乘积中的数位位置的关系从该双精度被乘数的低位字 XL 的乘积中的数位位置移位一位。因此，如图 5 所示，在要获得一双精度乘法结果的情况下，必须以不同的移位数来执行数位位置对准。

图 6 是显示以 33 位的位宽度输出乘法结果的本发明中的数位对准位移位的示意图。当数据以 33 位的位宽度输出时，在一双精度被乘数的高位字 XH 的乘积中的数位位置的关系与在该双精度被乘数的低位字 XL 的乘积中的相对相同。因此，如图 6 所示，可以看到，在要获得一双精度乘法结果的情况下，用于数位位置对准的移位数被相对地限定到单精度的位宽度。结果，数位位置对准装置 16 的电路规模可以比以 32 位的位宽度输出乘法结果的现有技术例子中的电路规模制造得更小。

图 7 是显示乘数编码装置 12 的电路结构的电路图。在图 7 中，200 代表

用于产生一个编码值的布斯编码装置。一乘数依据二阶布斯算法被编码。编码结果 BEi 具有五个值-2 、-1 、 0 、 1 和 2 中的一个。每个值由 1Ei 、 2Ei 和 SEi 三位表示。每一值的绝对值由 2Ei 和 1Ei 两位表示，该值的符号由 SEi 表示，其中当该值为负时， SEi 设置为 1 。 NSEi 是 SEi 的反信号，用于产生部分乘积。在该实施例中， i 是 0 ， 2 ， 4 ， 6 ， 8 ， 10 ， 12 或 14 ，并且数据选择装置 11 的输出是 Y-1 。

图 8 是显示乘法装置 13 的结构的方框图。在图 8 中， 300 代表被乘数扩展装置， 301 代表部分乘积产生装置， 302 代表部分乘积求和装置。当被乘数判断信号 C1 具有值 “ 0 ” 时，被乘数扩展装置 300 输出被乘数的最高有效位 X[15]，而当被乘数判断信号 C1 具有值 “ 1 ” 时输出值 “ 0 ” 。部分乘积产生装置 301 根据乘数编码装置 12 和被乘数扩展装置 300 的输出以及被乘数 X 产生部分乘积。部分乘积求和装置 302 执行由部分乘积产生装置 301 产生的部分乘积的求和，以获得一乘法结果。由于在最低有效位或位 0 的数位上没有作为乘法结果的数据，则在该位上增加值 “ 0 ” ，输出求和结果。

图 9 是显示乘法装置 13 的被乘数扩展装置 300 和部分乘积产生装置 301 的电路结构的电路图。在图 9 中， 303 代表产生所产生的部分乘积的符号位的位反转的部分乘积符号位反转产生电路， 304 代表每一位的部分乘积产生电路， 305 代表产生一校正项 PPH 的部分乘积校正项产生电路。当被乘数判断信号 C1 具有值 “ 0 ” 时，被乘数的符号位实际上被输出到比被乘数的最高有效位高一位的数位上，而当被乘数判断信号 C1 具有值 “ 1 ” 时，值 “ 0 ” 被输出到该数位上。当编码结果 BEi 为正时，实际上选择已经经过符号扩展的被乘数，而当编码结果为负时，选择位反转。当编码结果 BEi 为 1 或-1 时，一复合（ composite ）门输出相应位的选择值；而当编码结果 BEi 为 2 或-2 时，输出低一位的选择值；当编码结果 BEi 为 0 时，输出 0 。每一复合门的输出是要产生的部分乘积的位 n 的输出 PPOn 。通过对控制信号 NSEi 、 2Ei 和 1Ei 进行 NAND 运算而产生 2 的补码的校正项 PPH 。这适用于当编码结果 BEi 为-1 或-2 时的情况。校正项被输出到要产生的部分乘积的最低有效位的数位上。

图 10 是显示一乘法操作的示意图。在图 10 中，标记 D 、 E 、 F 、 G 、 H 、 I 、 J 和 K 分别表示八个产生的部分乘积，符号 Z 表示被乘数 X 和乘数 X 的乘积。在图 10 的顶部显示的值 2^{1}， 2^{0}， 2^{-1}， …， 2^{-31} 表示相应数位的定标。

在数据的标记指示上的横线表示位反转。在图 10 中显示的值“ 1 ”是要被加到符号扩展位置上的数据。

通过图 10 中显示的由横线表示的每一部分乘积的符号位的位反转和值“ 1 ”的加法，进行一个与对于数位位置对准必须执行的符号扩展相当的操作。这种方法在现有技术中经常采用，因此在本说明书中不再详细描述。如图 10 所示，在乘法装置 13 中，通过部分乘积产生装置 301 产生部分乘积，并通过部分乘积求和装置 302 对部分乘积求和。由于十进制小数点的位置，图 10 中的在附加到各个部分乘积组成部分的数码之间的关系在附加到输出数据 Z 的组成部分的数码的基础上移位一位。由于每一部分乘积在数 2^{-31} 位上没有数据，在 Z0 上总输出值“ 0 ”。

在表 1 中列出了在该实施例的计算装置中用在双精度数据与双精度数据的乘法和双精度数据与单精度数据的乘法的执行中的命令，在该实施例中，用于保存乘法结果的乘法结果保存装置 17 放置在乘法装置 13 和加法装置 14 之间。

表 1

1	双精度数据 × 双精度数据
2	命令
3	编码操作
4	乘法操作（一个周期）
5	加法操作（两个周期）
6	双精度数据 × 单精度数据

通过顺序地执行在表 1 中所示的命令 A 至 D，相继地获得四个乘积 XL × YL，XH × YL，XL × YH 和 XH × YH，这些乘积经过一数位位置对准操作，从而执行双精度数据与双精度数据的乘法。通过顺序地执行在表 1 中所示的命令 E 和 F，相继地获得两个乘积 XL × YH 和 XH × YH，这些乘积经过一数位位置对准操作，从而执行双精度数据与单精度数据的乘法。表 1 显示了由 MSB 保存装置 10 、数据选择装置 11 和乘数编码装置 12 执行的乘数编码操作、由乘法装置 13 执行的乘法操作、以及由加法装置 14 和数位位置对准装置 16 执行

的加法操作的数据流和内容。在表 1 中， R0 表示 MSB 保存装置 10， R1 表示乘法结果保存装置 17， R2 表示加法结果保存装置 15 。

在表 1 中，每个命令是一两周期命令。编码操作列显示了数据存储进 MSB 保存装置 10，以及由数据选择装置 11 选择的数据。在括号中的说明（在命令 C 和 D 中的 YL[15]）显示了在执行相应命令期间在 MSB 保存装置 10 中保存的数据。乘法操作列显示了由乘法装置 13 获得的乘法结果。加法操作列显示了由数位位置对准装置 16 选择的数据、用于数位位置对准的 16 位右移操作的存在与否、以及在加法装置 14 中获得的加法结果。

如上所述，依据第一实施例，通过在十进制小数点之前设置至少两位数位，以比双精度的位宽度至少大一位的位宽度输出乘法装置 13 的乘法结果，例如，以 33 位的位宽度输出。因此，用于数位位置对准的移位数被相对地限定到单精度的位宽度。结果，数位位置对准装置 16 的电路规模能够比现有技术例子中的电路规模制造得更小。特别地，在被乘数的低位字被用作源的乘法中需要用于以 32 位精度输出乘法结果的一位右移装置不是必须的。

当配置了乘法结果保存装置 17 、并行操作乘法装置 13 和加法装置 14 时，操作时间可以被缩短。

[第二实施例]

下面将说明本发明的第二实施例。

第二实施例的结构使得，在第一实施例中，乘数编码装置 12 具有当乘数控制信号 C3 具有值 “ 1 ” 时强制设置输入的乘数的最低有效位为值 “ 0 ” 的功能，乘法装置 13 具有当被乘数控制信号 C4 具有值 “ 1 ” 时强制设置输入的被乘数的最低有效位为值 “ 0 ” 的功能。

图 11 是显示在第二实施例中的乘数编码装置 12 的电路结构的电路图。在图 11 中， 201 代表乘数控制装置，当乘数控制信号 C3 具有值 “ 1 ” 时，用于强制设置输入的乘数的最低有效位为值 “ 0 ” 。在该乘数控制装置 201 中，当乘数控制信号 C3 具有值 “ 1 ” 时，乘数的最低有效位 Y0 通过乘数的最低有效位 Y0 与乘数控制信号 C3 的逻辑反转的 “ AND ” 操作被强制设置为值 “ 0 ” 。

图 12 是显示在第二实施例中的乘法装置 13 的结构的方框图。在图 12 中， 306 代表被乘数控制装置，当被乘数控制信号 C4 具有值 “ 1 ” 时，用于强制设置输入的被乘数的最低有效位为值 “ 0 ” 。在该被乘数控制装置 306 中，被乘

数控制信号 C4 具有值 “ 1 ” 时，被乘数的最低有效位 X0 通过被乘数的最低有效位 X0 与被乘数控制信号 C4 的逻辑反转的 “ AND ” 操作被强制设置为值 “ 0 ” 。

下面说明这样构成的计算装置的操作。

当通过采用一单精度乘法设备来执行双精度乘法时，经常采用下面的方法。为了将一乘数的低位字和一被乘数的低位字看作为单精度的带符号二进制定点数，执行一位右移操作，并且用作一正数的符号指示的具有值 “ 0 ” 的符号位被加到最高有效位，而舍弃最低有效位。因此，双精度数据与双精度数据的乘法结果具有 31-位 × 31-位精度，而双精度数据与单精度数据的乘法结果具有 31-位 × 16-位精度。

在第一实施例中，双精度数据与双精度数据的乘法可以以 32-位 × 32-位精度来执行，而双精度数据与单精度数据的乘法可以以 32-位 × 16-位精度来执行。在第二实施例中，可以通过将少量的电路增加到第一实施例的结构中，或者通过将乘数控制装置 201 增加到乘数编码装置 12 ，以及将被乘数控制装置 306 增加到乘法装置 13 ，来执行 31-位 × 31-位精度和 31-位 × 16-位精度的双精度乘法。

当采用第二实施例时，本发明的计算装置带有强制设置乘数和被乘数的最低有效位为值 “ 0 ” 的功能，借此可以达到与采用低精度的双精度乘法的应用的兼容。

[第三实施例]

下面说明本发明的第三实施例。

第三实施例的结构使得在第一实施例中的 MSB 保存装置 10 具有下述功能，当保存的数据选择信号 C5 具有值 “ 1 ” 时，选择和保存乘数的最高有效位，当保存的数据选择信号 C5 具有值 “ 0 ” 时，选择和保存值 “ 0 ” 。

在表 2 中列出了在该实施例的计算装置中用在双精度数据与双精度数据的乘法和双精度数据与单精度数据的乘法的执行中的命令，在该实施例中，用于保存乘法结果的乘法结果保存装置 17 放置在乘法装置 13 和加法装置 14 之间。

通过顺序地执行在表 2 中所示的命令 A 至 D，相继地获得四个乘积 XL × YL， XH × YL， XL × YH 和 XH × YH，这些乘积经过一数位位置对准操作，从而执行双精度数据与双精度数据的乘法。通过顺序地执行在表 2 中所示的命令 A （ E ）和 D （ F ），相继地获得两个乘积 XL × YH 和 XH × YH，这些乘积经过一数位位置对准操作，从而执行双精度数据与单精度数据的乘法。表 2 显示了由 MSB 保存装置 10 、数据选择装置 11 和乘数编码装置 12 执行的乘数编码操作、由乘法装置 13 执行的乘法操作、以及由加法装置 14 和数位位置对准装置 16 执行的加法操作的数据流和内容。在表 2 中， R0 表示 MSB 保存装置 10， R1 表示乘法结果保存装置 17， R2 表示加法结果保存装置 15 。

在表 2 中，每个命令是一两周期命令。编码操作列显示了数据存储进 MSB 保存装置 10，以及由数据选择装置 11 选择的数据。在括号中的说明（在命令 C 和 D 中的 YL[15]和在命令 D （ F ）中的 0 ）显示了在执行相应命令期间在 MSB 保存装置 10 中保存的数据。乘法操作列显示了由乘法装置 13 获得的乘法结果。加法操作列显示了由数位位置对准装置 16 选择的数据、用于数位位置对准的 16 位右移操作的存在与否、以及在加法装置 14 中获得的加法结果。

当将此表与上面的表 1 进行比较时，在表 2 中的命令 A 使得要被存储进 MSB 保存装置 10 中的数据值为“ 0 ”。根据此结构，命令 A 和 D 的结合可以实现双精度数据与单精度数据的乘法。因此，根据第三实施例，通过共用命令，可以减少在双精度数据与双精度数据的乘法和双精度数据与单精度数据的乘法中需要的命令数。

说　明　书　附　图

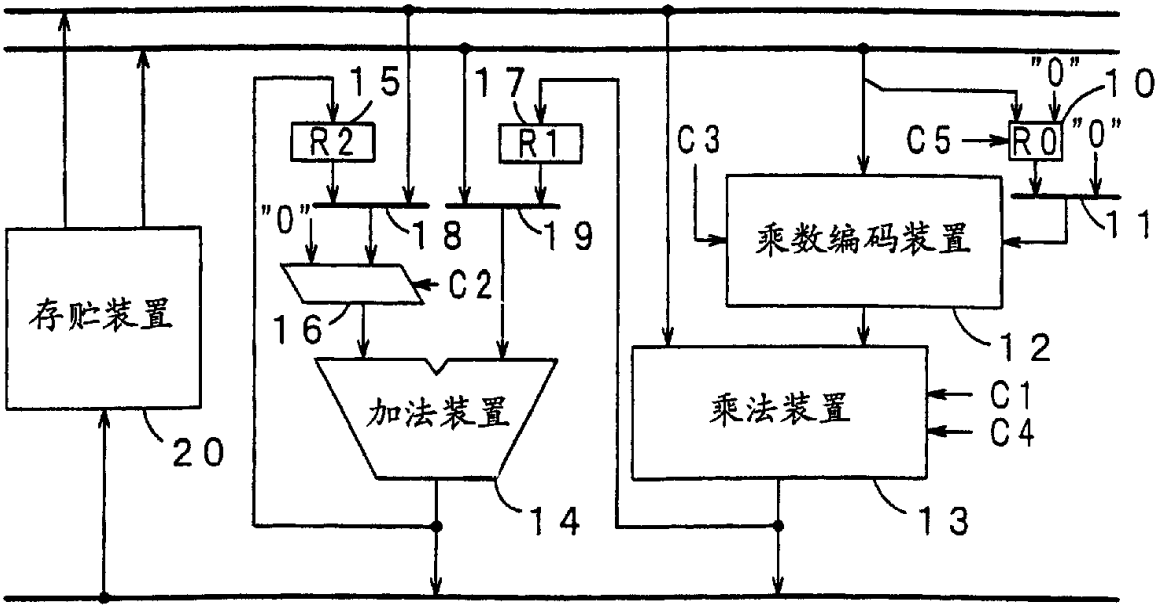

存贮装置
20
15
R2
17
R1
"0"
10
R0
"0"
11
C3
C5
18
19
"0"
C2
16
乘数编码装置
12
加法装置
14
乘法装置
C1
C4
13

图　1

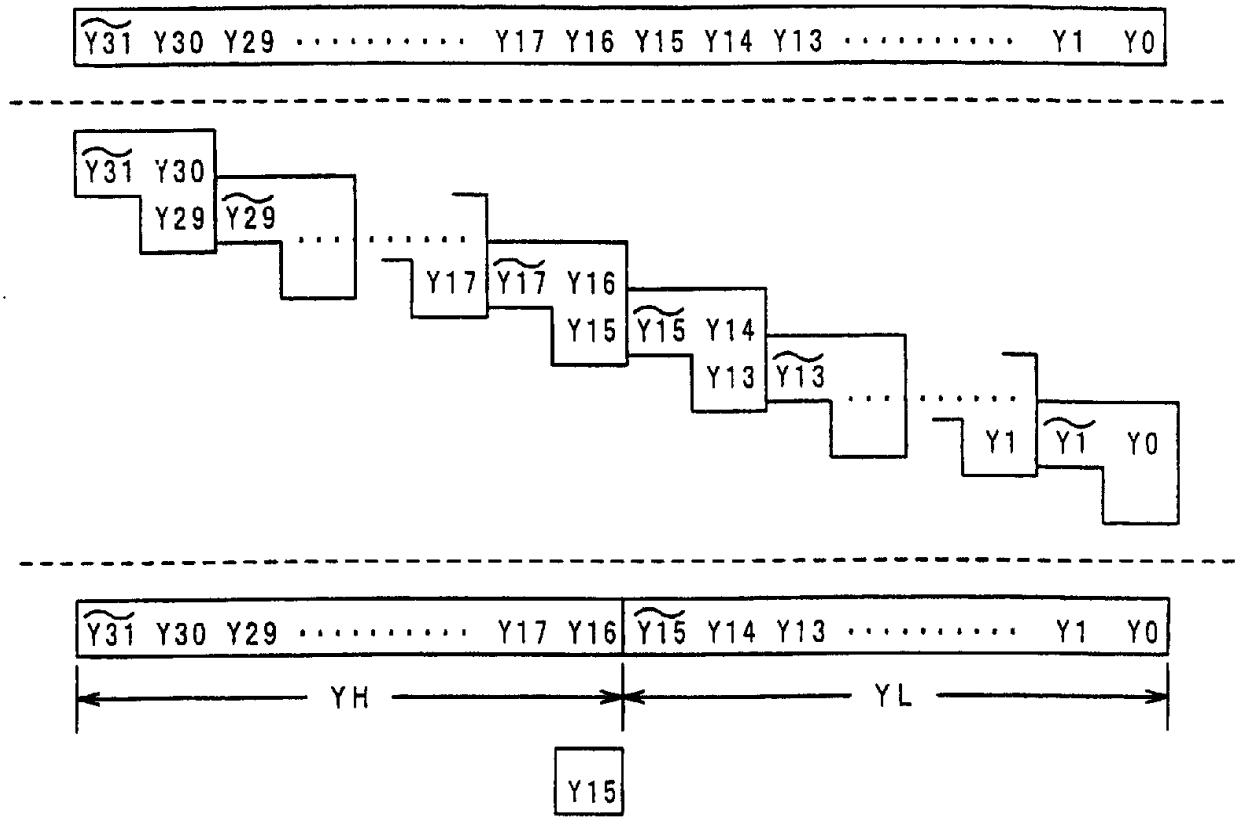

Y31 Y30 Y29 ····· Y17 Y16 Y15 Y14 Y13 ····· Y1 Y0
Y31 Y30
Y29 Y29
Y17 Y17 Y16
Y15 Y15 Y14
Y13 Y13
Y1 Y1 Y0
Y31 Y30 Y29 ····· Y17 Y16 Y15 Y14 Y13 ····· Y1 Y0
YH
YL
Y15

图 2

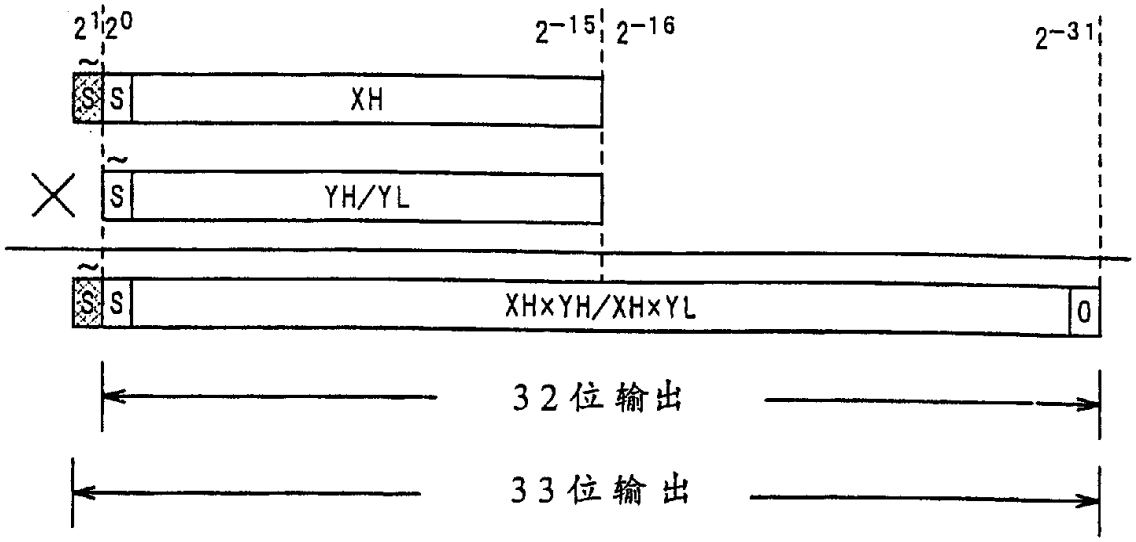

2^1 2^0
2^-15
2^-16
2^-31
S
S
XH
S
YH/YL
S
S
XH×YH/XH×YL
0
32位输出
33位输出

图 3

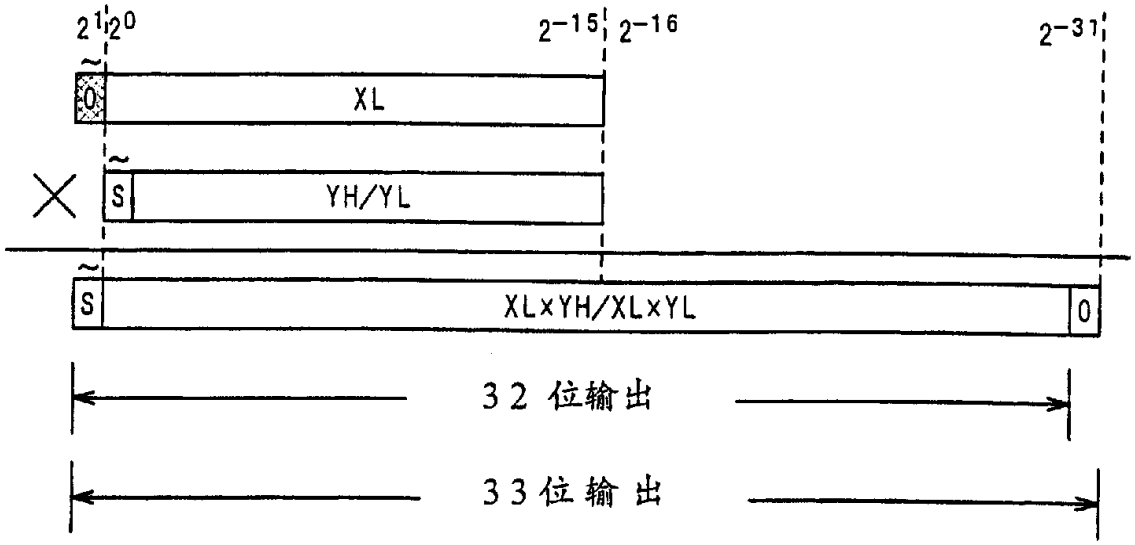

2^1 2^0
2^-15
2^-16
2^-31
0
XL
S
YH/YL
S
XL×YH/XL×YL
0
32位输出
33位输出

图 4

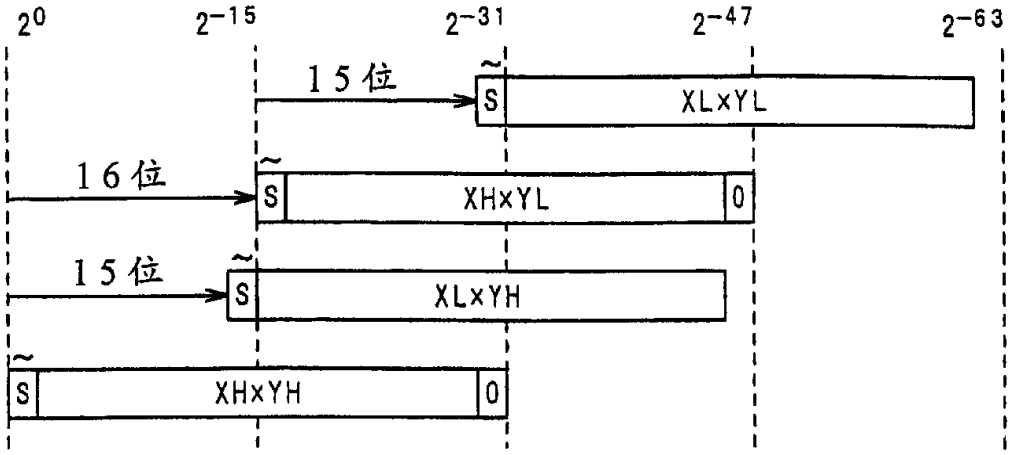

2^0
2^-15
2^-31
2^-47
2^-63
15位
S
XL×YL
16位
S
XH×YL
0
15位
S
XL×YH
S
XH×YH
0

图 5

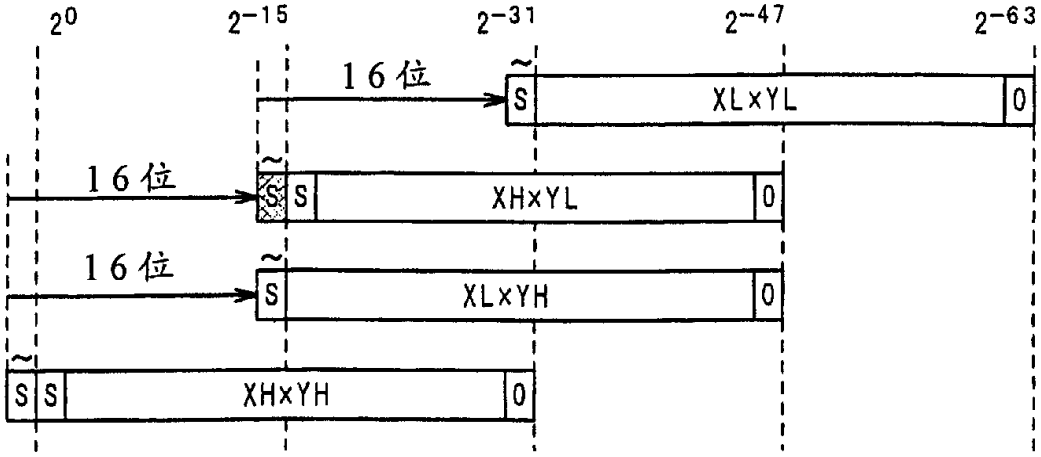

2^0
2^-15
2^-31
2^-47
2^-63
16位
S
XL×YL
0
16位
S
S
XH×YL
0
16位
S
XL×YH
0
S
S
XH×YH
0

图 6

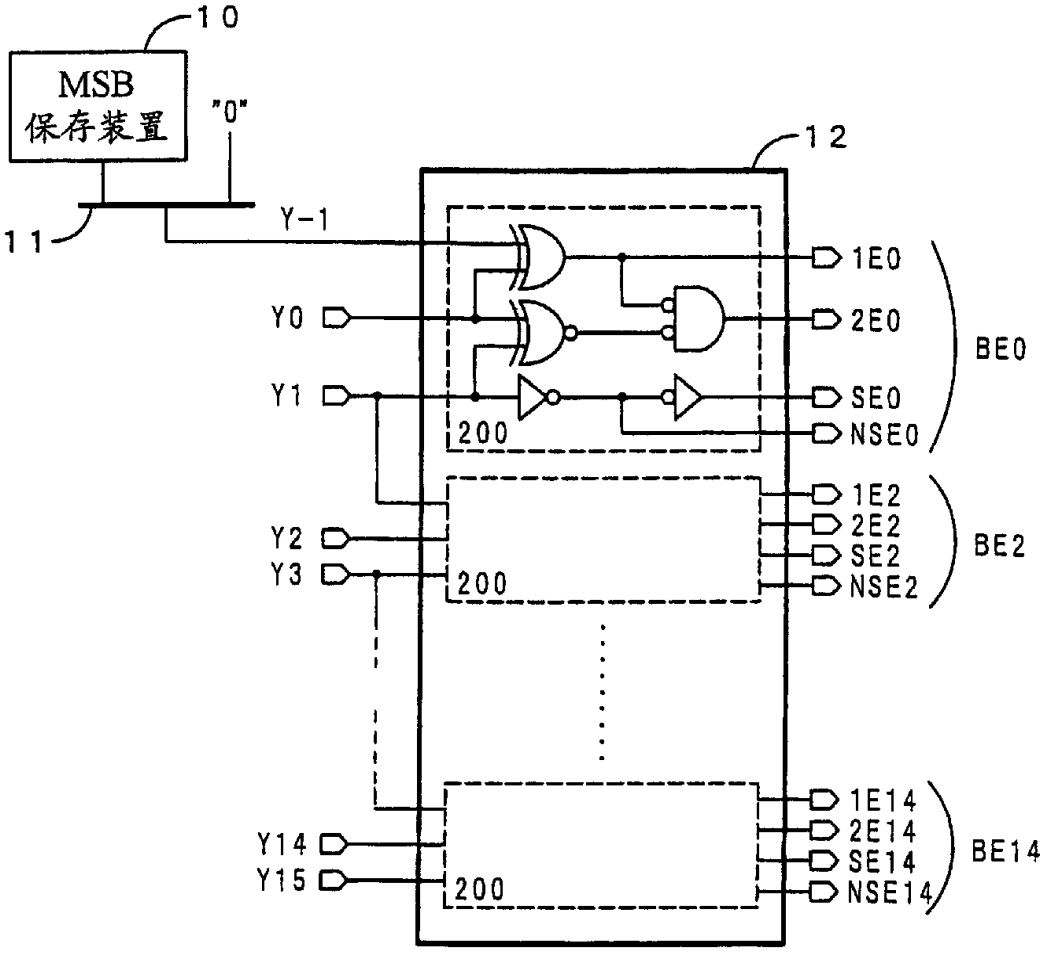

10
MSB
保存装置
"0"
11
12
Y-1
Y0
Y1
Y2
Y3
Y14
Y15
200
200
200
1E0
2E0
SE0
NSE0
BE0
1E2
2E2
SE2
NSE2
BE2
1E14
2E14
SE14
NSE14
BE14

图 7

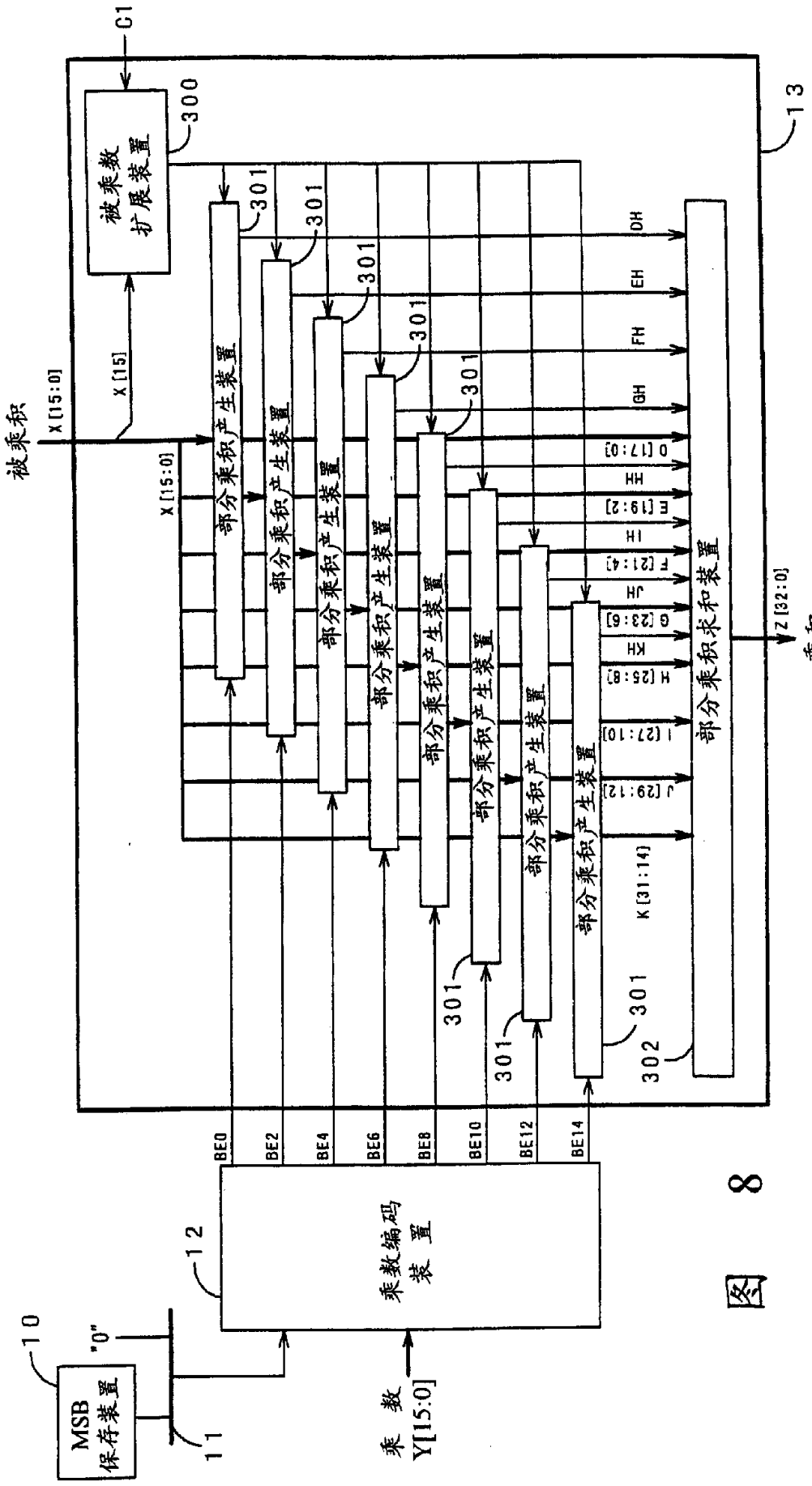

C1
被乘数
扩展装置
300
13
被乘积
X[15:0]
X[15]
X[15:0]
部分乘积产生装置
301
DH
EH
FH
GH
O[17:0]
N
M[19:2]
L
K[21:4]
J
I[23:6]
H
G[25:8]
F
E[27:10]
D[29:12]
K[31:14]
部分乘积求和装置
302
Z[32:0]
乘积
BE0
BE2
BE4
BE6
BE8
BE10
BE12
BE14
乘数编码
装置
12
10
MSB
保存装置
"0"
11
乘数
Y[15:0]

图 8

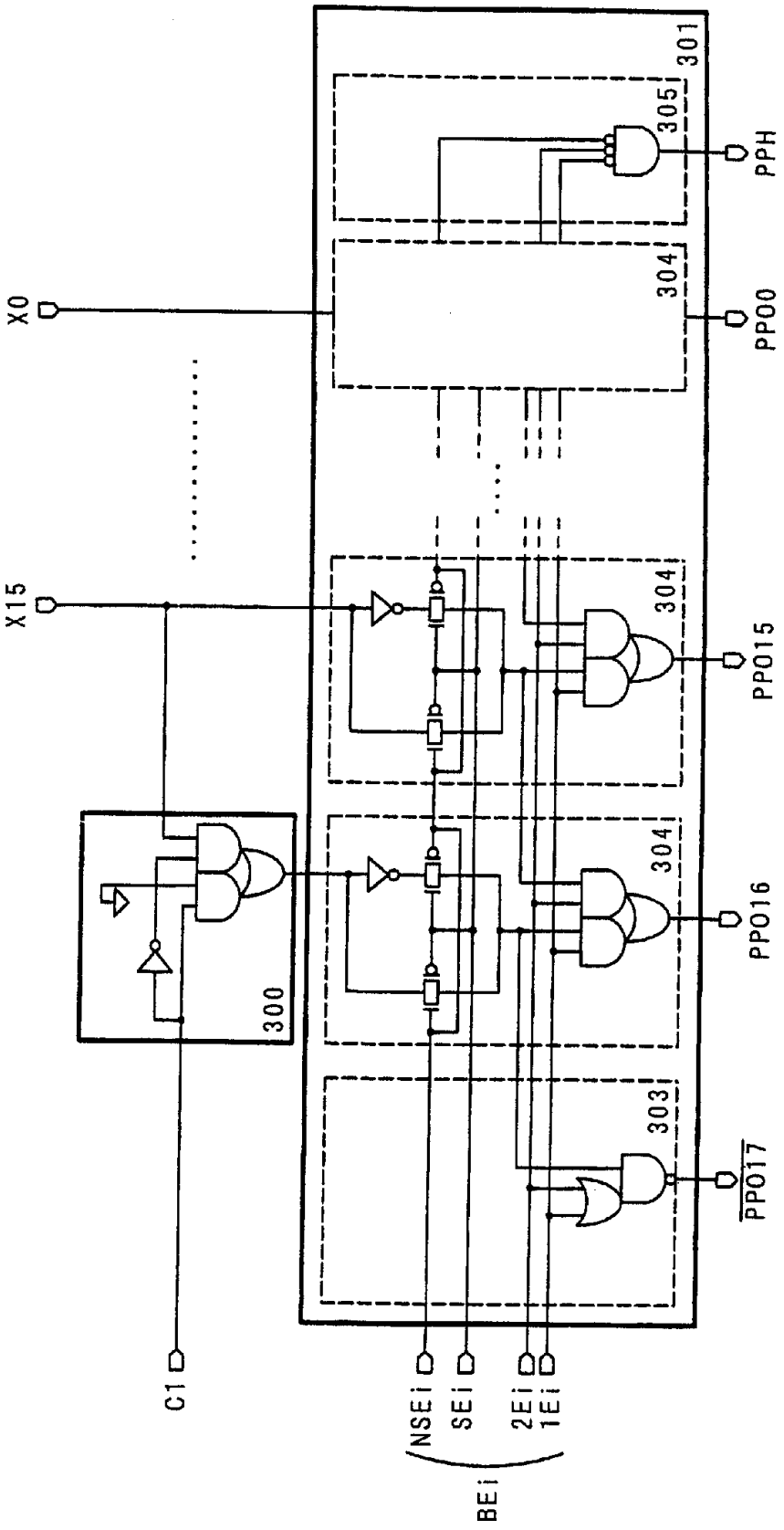

X0
X15
C1
NSEi
SEi
2Ei
1Ei
BEi
300
301
303
304
304
304
305
PPH
PP00
PP015
PP016
PP017

図 9

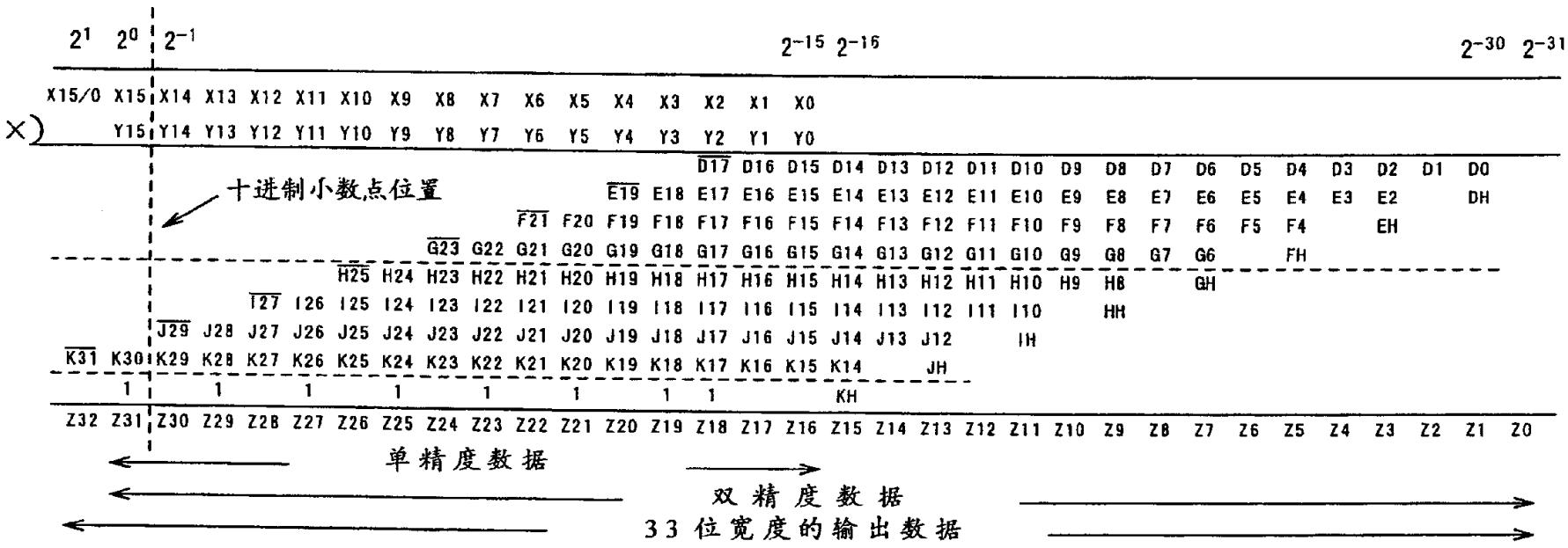

2^1 2^0 2^-1 2^-15 2^-16 2^-30 2^-31
X15/0 X15 X14 X13 X12 X11 X10 X9 X8 X7 X6 X5 X4 X3 X2 X1 X0
× Y15 Y14 Y13 Y12 Y11 Y10 Y9 Y8 Y7 Y6 Y5 Y4 Y3 Y2 Y1 Y0
D17 D16 D15 D14 D13 D12 D11 D10 D9 D8 D7 D6 D5 D4 D3 D2 D1 D0
E19 E18 E17 E16 E15 E14 E13 E12 E11 E10 E9 E8 E7 E6 E5 E4 E3 E2 DH
F21 F20 F19 F18 F17 F16 F15 F14 F13 F12 F11 F10 F9 F8 F7 F6 F5 F4 EH
G23 G22 G21 G20 G19 G18 G17 G16 G15 G14 G13 G12 G11 G10 G9 G8 G7 G6 FH
H25 H24 H23 H22 H21 H20 H19 H18 H17 H16 H15 H14 H13 H12 H11 H10 H9 H8 GH
I27 I26 I25 I24 I23 I22 I21 I20 I19 I18 I17 I16 I15 I14 I13 I12 I11 I10 HH
J29 J28 J27 J26 J25 J24 J23 J22 J21 J20 J19 J18 J17 J16 J15 J14 J13 J12 IH
K31 K30 K29 K28 K27 K26 K25 K24 K23 K22 K21 K20 K19 K18 K17 K16 K15 K14 JH
1 1 1 1 1 1 1 1 KH
Z32 Z31 Z30 Z29 Z28 Z27 Z26 Z25 Z24 Z23 Z22 Z21 Z20 Z19 Z18 Z17 Z16 Z15 Z14 Z13 Z12 Z11 Z10 Z9 Z8 Z7 Z6 Z5 Z4 Z3 Z2 Z1 Z0
十进制小数点位置
单精度数据
双精度数据
33位宽度的输出数据

图 10

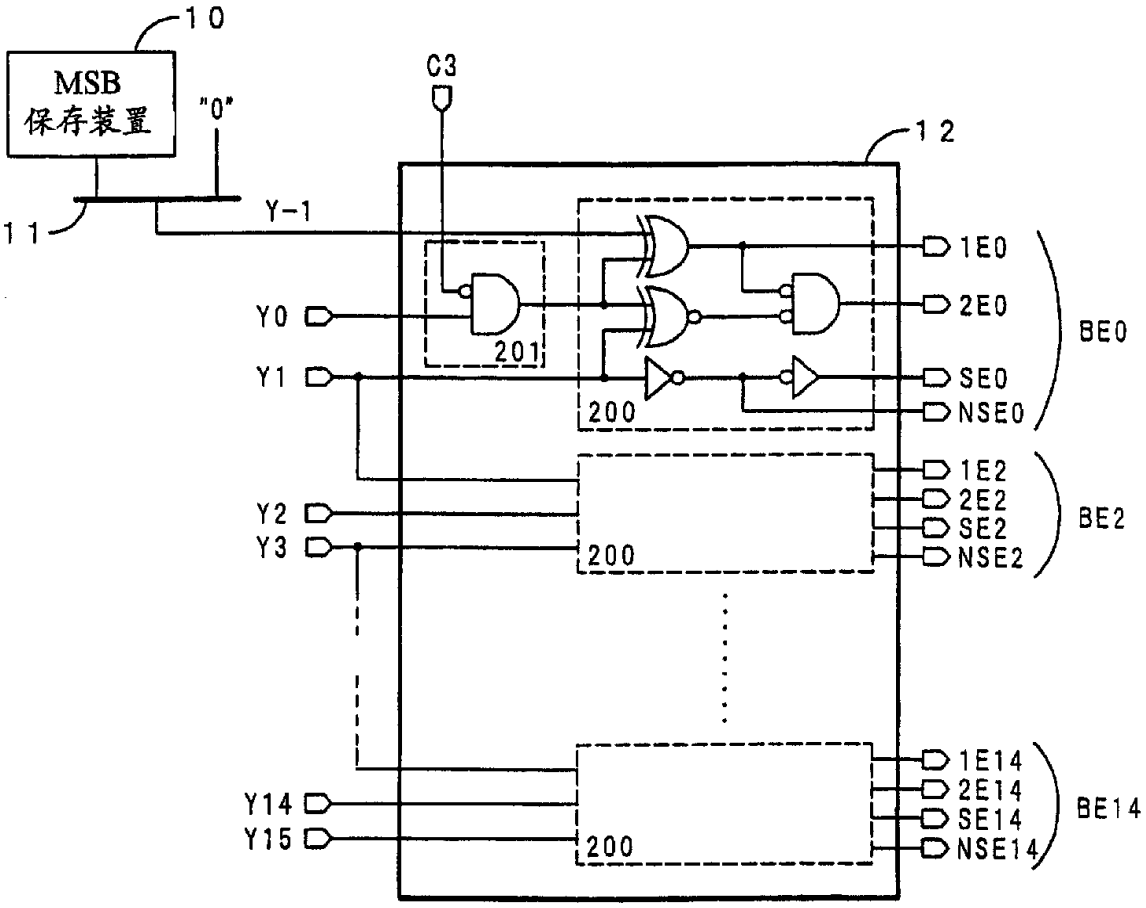

10
MSB
保存装置
"0"
11
C3
12
Y-1
Y0
Y1
Y2
Y3
Y14
Y15
201
200
200
200
1E0
2E0
SE0
NSE0
BE0
1E2
2E2
SE2
NSE2
BE2
1E14
2E14
SE14
NSE14
BE14

图 11

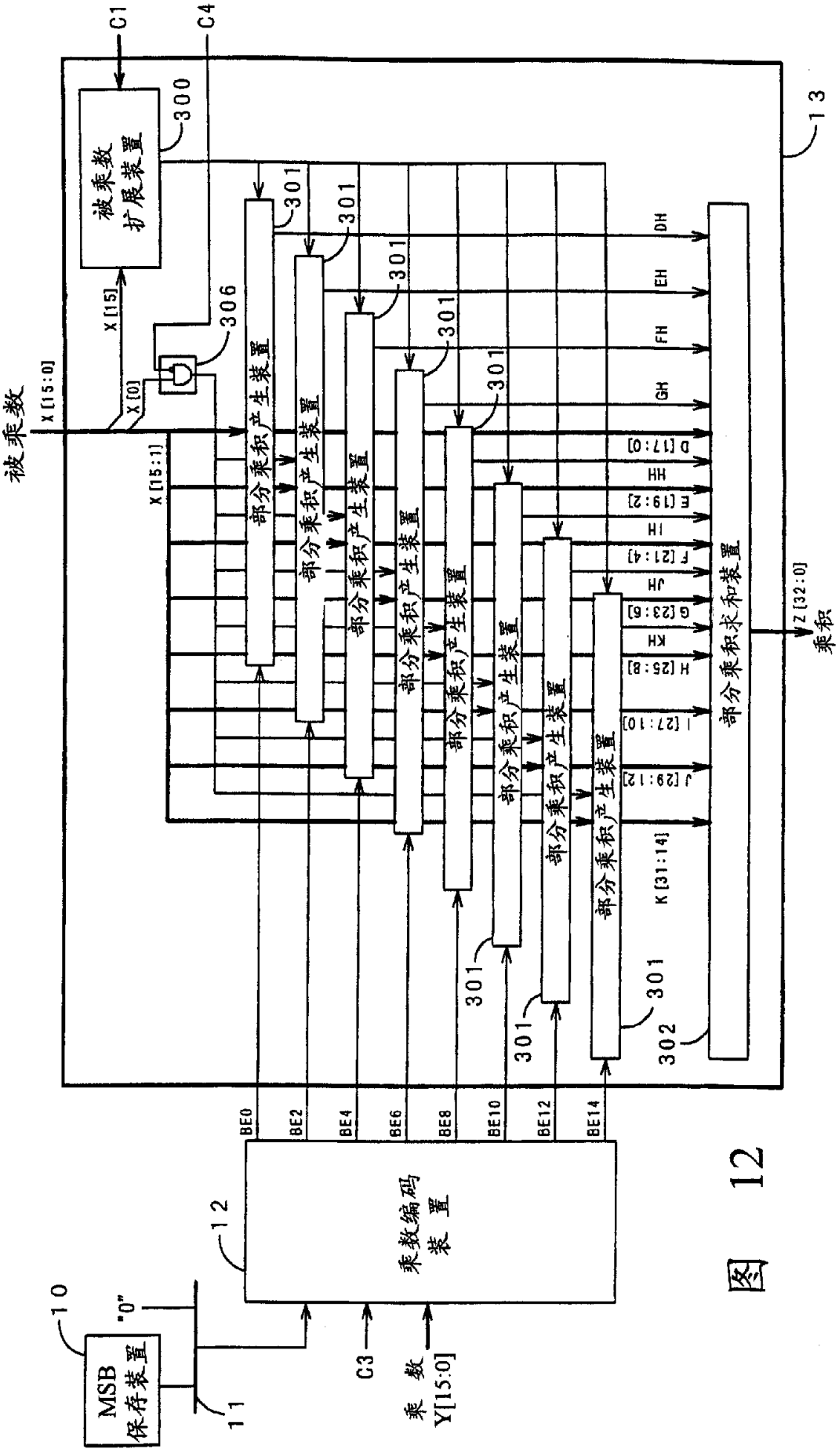

C1
C4
被乘数扩展装置
300
13
301
306
被乘数
X[15:0]
X[15]
X[0]
X[15:1]
部分乘积产生装置
DH
EH
FH
GH
D[17:0]
HH
E[19:2]
IH
F[21:4]
JH
G[23:6]
KH
H[25:8]
I[27:10]
J[29:12]
K[31:14]
部分乘积求和装置
Z[32:0]
乘积
BE0
BE2
BE4
BE6
BE8
BE10
BE12
BE14
乘数编码装置
12
10
MSB保存装置
"0"
11
C3
乘数
Y[15:0]

图 12