(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 108701683 B
(45)授权公告日 2021.08.13

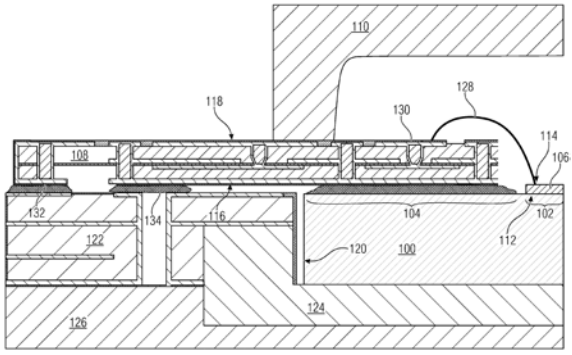
(21)申请号 201780012179.4
(22)申请日 2017.02.15
(65)同一申请的已公布的文献号
申请公布号 CN 108701683 A
(43)申请公布日 2018.10.23
(30)优先权数据
15/046923 2016.02.18 US
(85)PCT国际申请进入国家阶段日
2018.08.17
(86)PCT国际申请的申请数据
PCT/EP2017/053424 2017.02.15
(87)PCT国际申请的公布数据
WO2017/140737 EN 2017.08.24
(73)专利权人 科锐
地址 美国北卡罗来纳州
(72)发明人 A.丹尼 C.戈兹 Q.穆
(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 杨忠 谭祐祥
(51)Int.Cl.
*H01L 23/66*(2006.01)
*H01L 23/13*(2006.01)
*H01L 23/498*(2006.01)
*H05K 1/02*(2006.01)
*H05K 1/16*(2006.01)
(56)对比文件
CN 103367397 A,2013.10.23
WO 03037048 A1,2003.05.01
US 2013256858 A1,2013.10.03
US 2003063427 A1,2003.04.03
CN 103540102 A,2014.01.29
CN 104066265 A,2014.09.24
CN 102481598 A,2012.05.30
US 2002179329 A1,2002.12.05
JP H07123177 B2,1995.12.25
审查员 保欢
权利要求书3页 说明书7页 附图14页

(54)发明名称

其中集成阻抗匹配网络元件的基于PCB的半导体封装件

(57)摘要

一种半导体封装件包括具有芯片附连区域和外围区域的金属基板、具有附连到芯片附连区域的基准端子和背向基板的射频端子的晶体管芯片,以及具有附连到外围区域的第一侧面和背向基板的第二侧面的多层电路板。多层电路板包括通过复合纤维层与第一侧面和第二侧面分开的两个嵌入式导电层和设置在两个嵌入式导电层之间的嵌入式介电层。嵌入式介电层具有高于复合纤维层的介电常数。




CN 108701683 B

1.一种半导体封装件,包括:

金属基板,其具有芯片附连区域和外围区域;

晶体管芯片,其具有附连到所述芯片附连区域的基准端子和背向所述基板的射频端子;以及

多层电路板,其具有附连到所述外围区域的第一侧面和背向所述基板的第二侧面,所述多层电路板包括:

第一嵌入式导电层,其通过第一复合纤维层与所述第一侧面分开;

第二嵌入式导电层,其通过第二复合纤维层与所述第二侧面分开;以及

嵌入式介电层,其设置在所述第一嵌入式导电层和所述第二嵌入式导电层之间,

其中,所述嵌入式介电层具有高于所述第一复合纤维层和所述第二复合纤维层中的各个的介电常数。

2.根据权利要求1所述的半导体封装件,其特征在于,所述多层电路板包括:

第一导电信号层,其设置在所述第二侧面处;

第一导电接地层,其嵌入在所述多层电路板中;

第二导电信号层,其嵌入在所述多层电路板中;

第二导电接地层,其设置在所述第一侧面处;其中:

所述第一复合纤维层将所述第一导电信号层与所述第一导电接地层分开;

所述第二复合纤维层将所述第二导电信号层与所述第二导电接地层分开;

所述嵌入式介电层将所述第一导电接地层与所述第二导电信号层分开;以及

所述嵌入式介电层具有小于所述第一复合纤维层和所述第二复合纤维层中的各个的厚度。

3.根据权利要求2所述的半导体封装件,其特征在于,所述嵌入式介电层具有在4和30之间的介电常数,并且其中,所述第一复合纤维层和所述第二复合纤维层各自具有3.7或更小的介电常数。

4.根据权利要求3所述的半导体封装件,其特征在于,所述嵌入式介电层由聚合物层压材料形成,并且其中,所述第一复合纤维层和所述第二复合纤维层由FR-1、FR-2、FR-3、FR-4、FR-5、FR-6、G-10、CEM-1、CEM-2、CEM-3、CEM-4、CEM-5中的至少一个形成。

5.根据权利要求3所述的半导体封装件,其特征在于,所述嵌入式介电层具有在4 μm和50 μm之间的厚度,并且其中,所述第一复合纤维层和所述第二复合纤维层各具有至少75 μm的厚度。

6.根据权利要求2所述的半导体封装件,其特征在于,所述多层电路板包括:

第一导电通路,其延伸通过所述第一复合纤维层且连接到第一连结垫,所述第一连结垫由所述第一导电信号层的被隔离部分形成;以及

一个或多个嵌入式电抗构件,其电连接到所述第一导电通路,所述一个或多个嵌入式电抗构件中的各个包括所述第二导电信号层的被隔离区段。

7.根据权利要求6所述的半导体封装件,其特征在于,所述一个或多个嵌入式电抗构件包括第一电容器,其中,所述第一电容器的正电极由所述第二导电信号层的第一被隔离区段形成,并且其中,所述第一电容器的接地电极由所述第一导电接地层的第一被隔离区段形成。

8.根据权利要求7所述的半导体封装件，其特征在于，所述第一电容器具有至少100皮法的电容。

9.根据权利要求6所述的半导体封装件，其特征在于，所述一个或多个嵌入式电抗构件包括：

分流电感，其连接到所述第一导电通路且包括所述第二导电信号层的线性条带；以及

开路扇形线，其连接到所述分流电感且包括所述第二导电信号层的径向成形区段。

10.根据权利要求9所述的半导体封装件，其特征在于，进一步包括：

第一组连结线，其直接连接在所述射频端子和所述第一连结垫之间。

11.根据权利要求10所述的半导体封装件，其特征在于，进一步包括：

第二连结垫，其由所述第一导电信号层的被隔离部分形成；以及

第二组连结线，其直接连接在所述射频端子和所述第二连结垫之间，

其中，所述第一组连结线在所述射频端子和所述第一连结垫之间沿第一方向延伸，

其中，所述第二组连结线在所述射频端子和所述第二连结垫之间沿第二方向延伸，以及

其中，所述第二方向不平行于所述第一方向。

12.根据权利要求6所述的半导体封装件，其特征在于，进一步包括分立电容器，其形成在所述基板上或所述基板中且连接到所述一个或多个嵌入式电抗构件。

13.根据权利要求12所述的半导体封装件，其特征在于，所述多层电路板包括由所述第一导电信号层的被隔离部分形成的第三连结垫，其中，所述分立电容器为直接安装在所述第三连结垫上的表面贴装电容器，并且其中，所述第三连结垫通过延伸通过所述第一复合纤维层的第二导电通路电连接到所述一个或多个嵌入式电抗构件。

14.一种半导体组件，包括：

金属基板，其具有芯片附连区域和外围区域；

晶体管芯片，其具有附连到所述芯片附连区域的基准端子和背向所述基板的射频端子；

全局印刷电路板；以及

多层电路板，其具有附连到所述外围区域的第一侧面和背向所述基板的第二侧面，所述多层电路板包括：

第一嵌入式导电层，其通过第一复合纤维层与所述第一侧面分开；

第二嵌入式导电层，其通过第二复合纤维层与所述第二侧面分开；以及

嵌入式介电层，其设置在所述第一嵌入式导电层和所述第二嵌入式导电层之间，

射频阻抗匹配网络，其包括由所述嵌入式导电层中的至少一个形成的一个或多个电抗构件，

其中，所述嵌入式介电层具有高于所述第一复合纤维层和所述第二复合纤维层中的各个的介电常数，并且

其中，所述多层电路板将所述晶体管芯片的所述射频端子连接到所述全局印刷电路板。

15.根据权利要求14的所述半导体组件，其特征在于，所述多层电路板包括：

第一导电信号层，其设置在所述第二侧面处；

第一导电接地层,其嵌入在所述多层电路板中;

第二导电信号层,其嵌入在所述多层电路板中;

第二导电接地层,其设置在所述第一侧面处;其中:

所述第一复合纤维层将所述第一导电信号层与所述第一导电接地层分开;

所述第二复合纤维层将所述第二导电信号层与所述第二导电接地层分开;

所述嵌入式介电层将所述第一导电接地层与所述第二导电信号层分开;以及

所述嵌入式介电层具有小于所述第一复合纤维层和所述第二复合纤维层中的各个的厚度。

16.根据权利要求15所述的半导体组件,其特征在于,所述嵌入式介电层具有在4和30之间的介电常数,其中,所述第一复合纤维层和所述第二复合纤维层各自具有3.7或更小的介电常数,其中,所述嵌入式介电层具有在4 μm和50 μm之间的厚度,并且其中,所述第一复合纤维层和所述第二复合纤维层各自具有至少75 μm的厚度。

17.根据权利要求16所述的半导体组件,其特征在于,所述多层电路板包括:

第一导电通路,其延伸通过所述第一复合纤维层且连接到由所述第一导电信号层的被隔离部分形成的第一连结垫;以及

一个或多个嵌入式电抗构件,其电连接到所述第一导电通路,所述一个或多个嵌入式电抗构件中的各个包括所述第二导电信号层的被隔离区段。

18.根据权利要求17所述的半导体组件,其特征在于,所述一个或多个嵌入式电抗构件包括第一电容器,其中,所述第一电容器的正电极由所述第二导电信号层的第一被隔离区段形成,并且其中,所述第一电容器的接地电极由所述第一导电接地层的第一被隔离区段形成。

19.根据权利要求18所述的半导体组件,其特征在于,所述一个或多个嵌入式电抗构件包括:

分流电感,其连接到所述第一导电通路且包括所述第二导电信号层的线性条带;以及

开路扇形线,其连接到所述分流电感且包括所述第二导电信号层的径向成形区段。

# 其中集成阻抗匹配网络元件的基于PCB的半导体封装件

## 技术领域

[0001] 本申请涉及射频功率封装件，尤其涉及用于射频功率应用的基于PCB(印刷电路板)的封装件。

## 背景技术

[0002] 陶瓷气室和塑料气室/覆模封装件广泛用于射频/微波分立功率晶体管。两种类型的封装件提供了可靠且易于操纵的操纵机械设计。但是，由于它们的层叠和预定物理尺寸，陶瓷气室和塑料气室/覆模封装件在电学意义上难以设计。

[0003] 射频晶体管通常与输入和输出匹配网络封装在一起。这些输入和输出匹配网络典型地由分立电抗构件(即电容器和电感器)提供。例如，用于射频晶体管的输出匹配网络可由安装到封装件基底的分立电容器提供。射频晶体管通过电感连结线连接到电容器。输出匹配网络的参数可定制以使被封装装置的输出阻抗匹配到固定值(例如，50 ohm)。在陶瓷开式空腔射频封装件中，一种用于输出匹配网络的常用方法是高通拓扑，其设计以传送较高频率信号且使较低频率信号分流。

[0004] 在以上描述的常规的输入/输出匹配网络构造中的寄生电容、电感和电阻对被封装射频装置的性能和/或功率消耗产生不利影响。这些寄生效应归因于在连结线和相关联的连结垫之间的互感和电容耦合。高频效应还影响输入/输出匹配网络的行为。连结线的物理布置可改变以减轻这种现象，但仅仅获得有限的成功。

## 发明内容

[0005] 公开了一种半导体封装件。根据实施例，半导体封装件包括具有芯片附连区域和外围区域的金属基板、具有附连到芯片附连区域的基准端子和背向基板的射频端子的晶体管芯片，以及具有附连到外围区域的第一侧面和背向基板的第二侧面的多层电路板。多层电路板包括通过复合纤维层与第一侧面和第二侧面分开的两个嵌入式导电层和设置在两个嵌入式导电层之间的嵌入式介电层。嵌入式介电层具有高于复合纤维层的介电常数。

[0006] 公开了一种半导体组件。根据实施例，半导体组件包括具有芯片附连区域和外围区域的金属基板、具有附连到芯片附连区域的基准端子和背向基板的射频端子的晶体管芯片、全局印刷电路板，以及具有附连到外围区域的第一侧面和背向基板的第二侧面的多层电路板。多层电路板包括通过复合纤维层与第一侧面和第二侧面分开的两个嵌入式导电层、设置在两个嵌入式导电层之间的嵌入式介电层，以及具有在两个嵌入式导电层中的一个中形成的一个或多个电抗构件的射频阻抗匹配网络。嵌入式介电层具有高于嵌入式导电层的介电常数。多层电路板将晶体管芯片的射频端子连接到全局印刷电路板。

[0007] 本领域技术人员在阅读以下详细的描述且查看附图之后将认识到额外的特征和优点。

## 附图说明

[0008] 附图的元件相对彼此未必按比例绘制。同样的参照数字指定对应的相似零件。各种示出的实施例的特征可结合，除非它们彼此排斥。实施例描绘在附图中，并且在以下描述中详细展开。

[0009] 图1示出了根据实施例的包括多层电路板的半导体封装件的局部截面图。

[0010] 图2(其包括图2A和图2B)示出了根据实施例的多层电路板的局部横截面图。

[0011] 图3示出了根据实施例的用于带有高通输出匹配网络的半导体封装件的电路拓扑。

[0012] 图4示出了根据另一个实施例的用于带有高通输出匹配网络的半导体封装件的电路拓扑。

[0013] 图5从平面图的角度示出了根据实施例的图4的半导体封装件的物理布局，其中高通输出匹配网络集成在多层电路板中。

[0014] 图6从等距视图的角度示出了根据实施例的图4的半导体封装件的物理布局，其中高通输出匹配网络集成在多层电路板中。

[0015] 图7示出了根据另一个实施例的用于带有高通输出匹配网络的半导体封装件的电路拓扑。

[0016] 图8从平面图的角度示出了根据实施例的图7的半导体封装件的物理布局，其中高通输出匹配网络集成在多层电路板中。

[0017] 图9从等距视图的角度示出了根据实施例的图7的半导体封装件的物理布局，其中高通输出匹配网络集成在多层电路板中。

[0018] 图10示出了根据实施例的用于带有高通输出匹配网络和低频终端电容器的半导体封装件的电路拓扑。

[0019] 图11从平面图的角度示出了根据实施例的图10的半导体封装件的物理布局，其中高通输出匹配网络集成在多层电路板中且低频终端电容器安装到多层电路板的上侧面。

[0020] 图12从等距视图的角度示出了根据实施例的图10的半导体封装件的物理布局，其中高通输出匹配网络集成在多层电路板中且低频终端电容器安装到多层电路板的上侧面。

[0021] 图13示出了根据实施例的多层电路板的侧视图，其中薄表面贴装电容器嵌入在多层电路板内。

## 具体实施方式

[0022] 授予Mu的美国申请14/811325通过引用全部并入，其描述了用于诸如射频功率晶体管的封装件设计的各种实施例。为了简要总结这些实施例，将封装件设计作为系统的电气设计的一部分而不只是机械构件来对待。为此，封装件包括多层印刷电路板。多层电路板可包括至少四层，其中两层为接地层且其中两层为信号层。信号层和接地层可彼此交错以降低干扰和提高性能。各种射频构件可利用嵌入式信号层嵌入在多层电路板内。这些射频构件的示例包括集成谐波共振器、平衡功率合成器网络等。这样，需要较少的外部构件，并且提高了封装件的空间效率。

[0023] 本文描述的多层电路板的实施例包括设置在嵌入式信号层和接地层之间的嵌入式介电层。该设计允许形成带有有利电学特性的嵌入式射频构件。嵌入式介电层具有远高

于用于使各层分开和绝缘的典型的PCB材料的介电常数。例如，嵌入式介电层可由具有在4和30之间的介电常数和从2 μm到24 μm的厚度的聚合物层压材料形成。作为比较，典型的PCB介电层具有3.7的介电常数和100 μm的典型的最小厚度。因此，形成在目前公开的多层电路板中的集成射频构件的性能和/或空间利用相比于利用典型的PCB介电层形成的射频构件是有利的。根据一个实施例，具有至少100 pF(皮法)的电容值的嵌入式电容器形成在多层电路板中。利用常规已知的PCB材料(例如复合纤维)作为层间电介质同时保持典型的封装尺寸约束(例如，10 mm×7 mm)不能实现该量级的电容器。

[0024] 图1示出了根据实施例的半导体封装件的局部截面图。半导体封装件包括具有芯片附连区域102和外围区域104的金属基板100、附连到基板100的芯片附连区域102的晶体管芯片106、用于提供与晶体管芯片106的电连接的多层电路板108(例如PCB)，以及用于包封晶体管芯片106的可选的盖子110。基板100由导电且导热的材料(例如，Cu、CPC(铜、铜-钼、铜层压结构)、CuW等)制成。在一些情况下，附连到基板100的晶体管芯片106为功率晶体管芯片，例如射频放大器芯片。例如，晶体管芯片106可为LDMOS(横向扩散金属氧化物半导体)、垂直式功率MOSFET(金属氧化物半导体场效应晶体管)或GaN射频功率晶体管芯片。晶体管芯片106具有附连到芯片附连区域102的基准端子112(例如，源极端子或发射极端子)和背向基板100的射频端子114(例如，漏极端子或集电极端子)。晶体管芯片的控制(栅极)端子在图1的视野之外。不止一个晶体管芯片可附连到基板100，例如，在Doherty放大器的情况下，其中，主放大器和一个或多个峰化放大器可附连到基板100。

[0025] 多层电路板108具有附连到基板100的外围区域104的第一侧面116和背向基板100的第二侧面118。多层电路板108延伸超过基板100的外部侧壁120，以附连到另一个电路板122。

[0026] 半导体封装件连接到全局印刷电路板122。全局印刷电路板122是并入半导体封装件作为组成构件的子系统或系统的一部分。为该子系统或系统的一部分的其它半导体装置也可连接到全局印刷电路板122。该全局印刷电路板122可具有用于容纳半导体封装件的基板100的凹入区域。金属块124可设置在凹部中，用于增强在全局印刷电路板122和多层电路板108之间的热传导和电传导。全局印刷电路板122可包括包含诸如铝或铜的散热器126，其附连到半导体封装件的基板100。

[0027] 晶体管芯片106的射频端子114电连接到多层电路板108，多层电路板108又连接到全局印刷电路板122。如图1所示，导电连结线128在晶体管芯片106的射频端子114和设置在多层电路板108的第二侧面118上的第一连结垫130之间形成直接的电连接。多层电路板108进一步包括设置在116的第一侧面上的两个垫132、134。第一垫132直接面对并电连接到全局印刷电路板122的信号垫，并且由此在二者之间形成信号连接。第二垫134直接面对并电连接到全局印刷电路板122(以及基板100)的接地垫，并且由此在二者之间形成接地连接。多层电路板108包含导电信号层和连接第一连结垫130和第二连结垫132的通路结构。利用这些导电层，多层电路板108将晶体管芯片106的射频端子114连接到全局印刷电路板122。而且，射频阻抗匹配网络可嵌入在多层电路板108中，并且联接到晶体管芯片106的射频端子114，从而使被封装装置的阻抗匹配到期望值(例如，50 ohms)。

[0028] 参照图2A和图2B，描述了根据实施例的多层电路板108的内部结构。多层电路板108包括多个导电层。根据实施例，多层电路板108具有四个导电层：第一信号层136；第一接

地层138;第二信号层140;以及第二接地层142。这些层中的各层由标准导电材料形成,例如铜。第一信号层136设置在多层电路板108的第二侧面118处,且第二接地层142设置在多层电路板108的第一侧面116处。也就是说,第一信号层136和第二接地层142设置在多层电路板108的相反的外部侧面处。如本文所用,根据情况不同,“设置在第一侧面处”或“设置在第二侧面处”指的是特定元件的外部侧面与多层电路板的第一侧面或第二侧面共同延伸的事实。

[0029] 第一接地层138和第二信号层140嵌入在多层电路板中。如本文所用,“嵌入”指的是特定元件并入到多层电路板108的结构中且通过另一个元件或另一层与第一侧面116和第二侧面118二者分开的事实。根据实施例,多层电路板108包括设置在第一信号层136和第一接地层138之间的第一嵌入层144。第一嵌入层144和第一信号层136将第一接地层138与第二表面118分开。同样地,多层电路板108包括设置在第二信号层140和第二接地层142之间的第二嵌入层146。第二嵌入层146和第二接地层142将第二信号层140与第一表面116分开。根据实施例,第一嵌入层144和第二嵌入层146由绝缘的预浸复合纤维材料形成,例如聚四氟乙烯、FR-1、FR-2、FR-3、FR-4、FR-5、FR-6、G-10、CEM-1、CEM-2、CEM-3、CEM-4、CEM-5等。第一嵌入层144和第二嵌入层146具有至少75 μm的厚度,且根据一个实施例,其具有约100 μm的厚度。

[0030] 多层电路板108进一步包括设置在第一接地层138和第二信号层140之间的嵌入式介电层148。因此,第一接地层138和第二信号层140布置成平行平板电容器的构造。根据实施例,嵌入式介电层148直接接触第一接地层138和第二信号层140。

[0031] 平行平板电容器的电容(C)由如下等式1给出:

[0032] $$C = \varepsilon_0 \varepsilon_r \frac{A}{t} \quad (1),$$

[0033] 其中,$\varepsilon_0$ = 真空介电常数,$\varepsilon_r$ = 电介质的相对介电常数,A = 平板面积,以及t = 电介质的厚度。

[0034] 应用等式1,封装件设计者可通过限定第二信号层140的某个区域以实现某个电容值,而用第二信号层140的区段形成平行平板电容器。等式的其它参数,即电介质的相对介电常数和电介质的厚度是固定值,其由多层电路板108的结构规定。根据实施例,嵌入式介电层148由具有高介电常数(例如,在4和30之间,且更具体地在一些实施例中,大于10)的聚合物电容层压材料形成。嵌入式介电层148可具有在2 μm和50 μm之间的厚度,且更具体地在一些实施例中具有在2 μm和24 μm之间的厚度。

[0035] 多层电路板108还包括通路结构,其用于连接各构件和/或提供到各构件的电通道。更具体地说,图2A描述了用于将第一信号层136和第二信号层140的区段连接在一起的受绝缘信号通路150。受绝缘信号通路150延伸通过第一嵌入层144。类似的结构可用于将任意两层连接在一起。受绝缘信号通路150可包括在第一(最上)信号层138中的帽152(例如,在铜通路的情况下,帽152是铜帽)和邻近帽152的顶垫154。受绝缘信号通路150的底部包括接触第二信号层140的一部分的导电垫156。

[0036] 图2B示出了受绝缘路径通路158的截面图,其从第一侧面116延伸到第二侧面118且延伸通过设置在它们之间的所有层。受绝缘路径通路158通过导电垫156与第二接地层142进行电接触,且通过另一个导电垫156与第一接地层140进行电接触。受绝缘路径通路

158在多层电路板108的没有第一信号层136的区域中延伸到第二侧面118。因此，第一接地层140和第二接地层142连接在一起，并且在多层电路板108的第二侧面118处可通过导电垫156中的一个而通电。多层电路板108的接地端子可由在多层电路板108的两个侧面上的帽220形成。

[0037] 参照图3，描述了示例性的电路拓扑。电路包括之前参照图1讨论的晶体管芯片106。晶体管芯片106的漏极端子通过之前参照图1讨论的导电连结线128电连接到多层电路板108。连结线128连接到多层电路板108的第一连结垫154(其可在第一信号层136中形成)且由在电路示意图中的第一传输线TL1表示。

[0038] 连结线128经由第一连结垫154连接到由多层电路板108提供的分流LC网络160。分流LC网络160包括电抗构件，其构造成将电路的输出阻抗转换为期望匹配值(例如，50 ohms)。分流LC网络160包括第二传输线TL2，其示意性地表示之前描述的受绝缘信号通路150中的一个。第二传输线TL2将第一传输线TL1(即顶层连结垫)电连接到集成在多层电路板108中的嵌入式电抗构件。根据实施例，该嵌入式电抗构件为嵌入式电容器C1。嵌入式电容器C1的正电极由第二信号层140的第一被隔离区段形成，且第一电容器的接地电极由第一接地层138的第一被隔离区段形成。嵌入式介电层148设置在两个电极之间，即以便形成参照图2描述的平行平板电容器。

[0039] 第一传输线TL1和第二传输线TL2连接到第三传输线TL3，第三传输线TL3可由第一信号层136的另一个被隔离区段提供。第三传输线TL3连接到封装端子，其又可连接到参照图1描述的全局电路板122。

[0040] 参照图4，描述了根据另一个实施例的示例性的电路拓扑。图4的电路拓扑可与图3的电路拓扑基本类似或相同，除了分流LC网络160构造有分流电感器162和扇形线(radial stub)164。在图4的实施例中，受绝缘信号通路150中的一个将第一传输线TL1(即顶层连结垫)连接到分流电感器162。分流电感器162可由第二信号层140的线性条带提供。分流电感器162连接到开路扇形线164。

[0041] 参照图5和图6，描述了图4的半导体封装件的物理布局。在图中，相同编号的元件指代在图4中示意性表示的对应的电路元件。在物理布局中，多个连结线128在晶体管芯片106和在第一信号层136中形成的多个连结垫154之间直接延伸。这些连结垫154通过受绝缘信号通路150电连接到第二信号层140。分流电感器162和开路扇形线164在第二信号层140中形成且通过受绝缘信号通路150连接到连结垫154(且连接到连结线128)。可选地，多层电路板108可包括多个参照本说明书的图2B所描述的受绝缘路径通路158。这些受绝缘路径通路158电连接到接地层以提供改善的电隔离。

[0042] 一般而言，扇形线在射频电路中用作开路1/4波终端，且具有增强宽带频率响应。在常规的PCB 2层基底中，扇形线可作为微带状线构件(即与接地平面平行的薄扁导体)在顶层上形成。但是，在这种PCB 2层基底中的相对低的等效介电常数意味着，对于某些频带，紧凑的扇形线是不可能的。也就是说，在常规的PCB 2层基底中，封装面积可成为扇形线的限制因素。目前构造的多层电路板108允许扇形线164构造为带有相对紧凑设计的带状线构件(即夹在两个平行接地平面之间的扁金属条带)。嵌入式电容材料显著增加了带状线构件的每单位面积的电容，且这导致有非常紧凑的扇形线布局。例如，用于嵌入式构件的2 $mm^2$ 的布局提供100 pF的电容，且该布局可易于集成在10 mm×7 mm(即70 $mm^2$)的典型封装轮

廓内。对于形成于绝缘的预浸复合纤维材料的标准基底，达到100 pF所需的扇形线布局面积为200 $mm^2$，且该尺寸构件不能集成在10 mm×7 mm的封装轮廓内。

[0043] 参照图7，描述了根据另一个实施例的示例性的电路拓扑。关于连结线128的构造，图7的电路与图4的电路不同。更具体地说，连结线128构造有两个单独的分支。连结线128的第一分支166直接连接在晶体管芯片106的射频端子和第一连结垫168之间，第一连结垫168可以之前讨论的方式由第一信号层136的第一被隔离部分提供。第一连结垫168通过一定长度的微带状线174连接到多层电路板108的输出节点。连结线128的第二分支170直接连接在晶体管芯片106的射频端子和第二连结垫172之间，第二连结垫172可由第一信号层136的与第一连结垫168电脱开的第二被隔离部分提供。受绝缘信号通路150将第二连结垫172连接到扇形线164。

[0044] 参照图8和图9，描述了图8的半导体封装件的物理布局。一组第一连结垫168可以与在图5和图6中显示的连结垫154类似的方式布置。另一组第二连结垫172可设置在第一连结垫168的任一侧面上。也就是说，第一连结垫168可设置在第二连结垫172之间。可选地，电接地的多个受绝缘路径通路158可设置在第一连结垫168和第二连结垫172之间以在二者之间提供增加的电屏蔽。

[0045] 根据实施例，连结线128的第一分支166在晶体管芯片106和第一连结垫168之间沿第一方向D1延伸。从图8的角度，第一方向D1左右延伸，且表示在晶体管芯片106的射频端子114和第一连结垫168之间的最短路径的方向。连结线128的第二分支170沿不平行于第一方向的第二方向延伸。也就是说，第二方向相对第一方向设置成一定角度。在图8的实施例中，连结线128的第二分支170与连结线128的第一分支166形成锐角。该布置增加了第一分支166和第二分支170之间的分开距离，且由此降低了各连结线之间的互感。因此，寄生效应减轻。可实现不同的取向，这取决于连结垫154的定位。

[0046] 参照图10，描述了根据另一个实施例的示例性的电路拓扑。图10的电路具有与图4的电路基本类似的拓扑，除了额外的电容器178并入到输出匹配网络系统中以通过提供低频终端来提高系统的线性。常规地，可利用分立构件来在封装件的外部提供低频终端电容器。但是，该布置经受连接到额外的电容器的外部电连接件(例如连结线)的寄生电感和电容使低频终端的带宽降低多达100 MHz到200 MHz的缺点。优选地，电容器尽可能离晶体管近地设置以减轻这些寄生效应。有利地，本文描述的多层电路板108设计允许额外的电容器178作为在多层电路板108上或在多层电路板108中形成的非常接近于晶体管芯片106的分立电容器来实施。也就是说，低频电容器可并入到装置封装件中。因此，提高了低频终端的带宽。

[0047] 参照图11和图12，描述了图10的半导体封装件的物理布局。在图11和图12的实施例中，额外的电容器178作为表面贴装电容器(即，带有直接接触连结垫的面向下部的端子的分立电容器)来实施，且结合到多层电路板108的第二侧面118。多层电路板108包括由第一信号层136的第三被隔离部分形成的第三连结垫180。第三连结垫180与其它连结垫154电脱开。低频终端电容器178的正电极通过受绝缘信号通路150电连接到嵌入式电抗构件(即在图11-图12的实施例中的分流电感器162和扇形线164)中的至少一个。低频终端电容器178的负极通过路径通路158中的一个连接到电地。优选地，通过提供嵌入在多层电路板108内的扇形线164，同时将多层电路板108的顶面上的重叠表面区域用于低频终端电容器178，

本文描述的多层电路板108以空间高效的方式提供图10的电路拓扑。

[0048] 在图10的实施例中，低频终端电容器178与参照图4-6描述的电路和对应的布局结合。但是，这仅仅是一个示例。可选地，低频终端电容器178可与不同的构造结合，例如参照图7-图9描述的电路和对应的布局。

[0049] 参照图13，描述了根据实施例的多层电路板108的局部截面图。多层电路板108可构造成类似于参照图11和图12描述的多层电路板，除了低频终端电容器178设置在多层电路板108内而不是在上表面上。根据实施例，低频终端电容器178为超薄表面贴装装置。在制造过程中，这些装置可嵌入到多层电路板108中。更具体地说，在形成嵌入层144和146的分层过程中，超薄表面贴装装置可嵌入在嵌入层144和146中的一个或二者中。可形成信号层和/或接地层的被隔离区段，以为超薄表面贴装装置提供连结位置。本文描述的受绝缘信号通路150和受绝缘路径通路158可用于将这些焊接位置与外部连结垫连接。

[0050] 例如“在…下面”、“在…下方”、“下部”、“在…上方”、“上部”等的空间相对用语用于便于描述，以解释一个元件相对于第二元件的位置。这些用语旨在包括除了与图中描述的那些不同的取向之外的装置的不同取向。进一步，例如“第一”、“第二”等的用语还用于描述各种元件、区域、区段等，且也不旨在是有限制的。整个描述中同样的用语指代同样的元件。

[0051] 如本文所用，用语“具有”、“包含”、“包括”等为开放式用语，其表明所述元件或特征的存在，但不排除额外的元件或特征。除非上下文另有清楚地表明，否则冠词“一”、“一种”和“该”旨在包括复数，以及单数。

[0052] 应理解，除非另有具体地说明，本文描述的各种实施例的特征可彼此结合。

[0053] 虽然本文示出和描述了特定的实施例，但是本领域普通技术人员将理解，多种备选的和/或等效的实施方式可替代显示和描述的特定实施例，而不偏离本发明的范围。本申请旨在涵盖本文讨论的特定实施例的任何修改或变型。因此，意图的是本发明仅由权利要求及其等效方案限制。

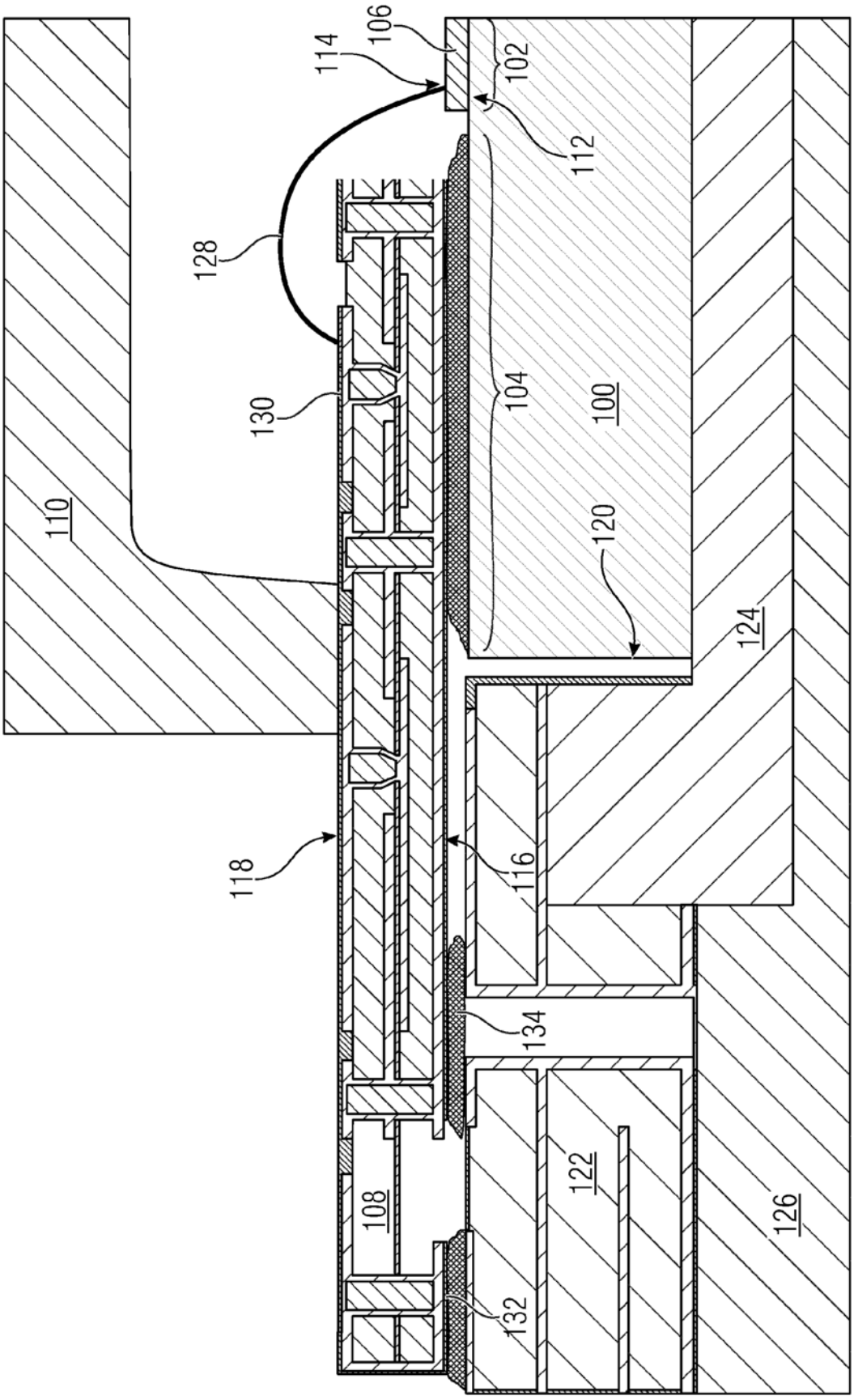

106
114
102
112
128
130
104
100
110
120
124
118
116
134
122
108
126
132

图 1

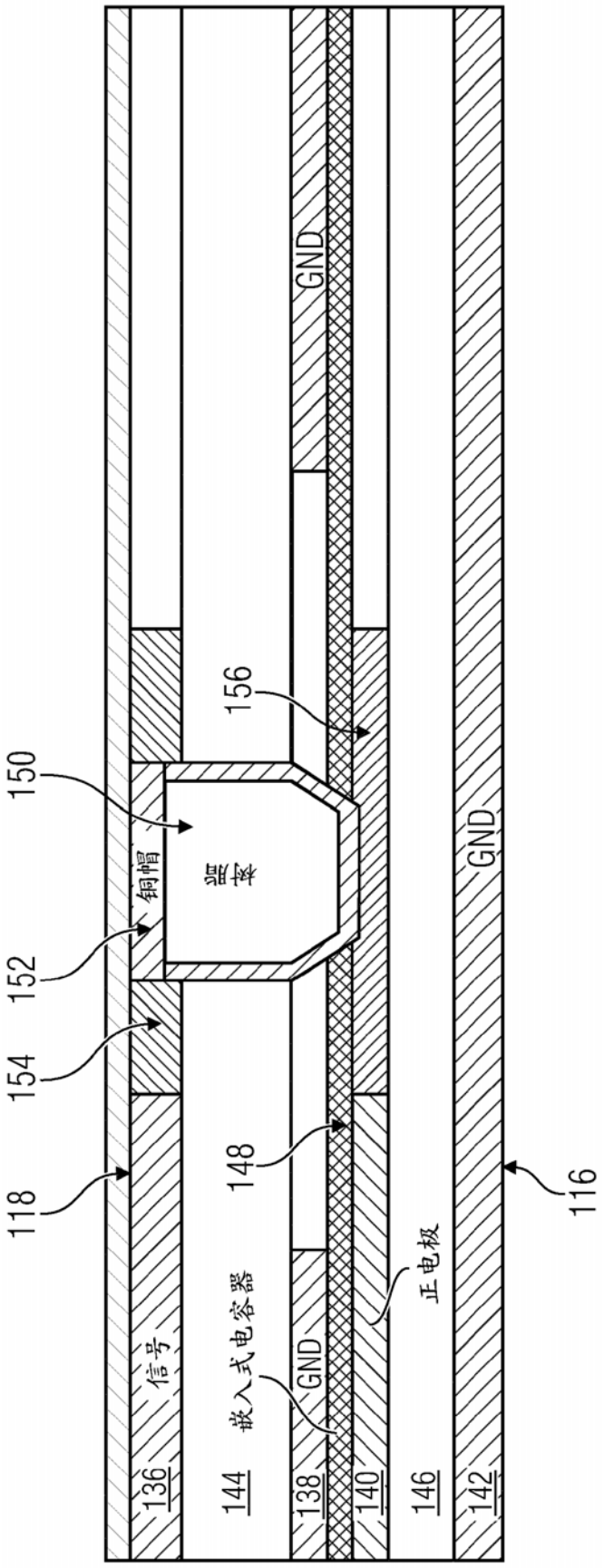

156
150
铜帽
焊盘
152
154
148
118
116
GND
GND
GND
信号
嵌入式电容器
正电极
136
144
138
140
146
142

图 2A

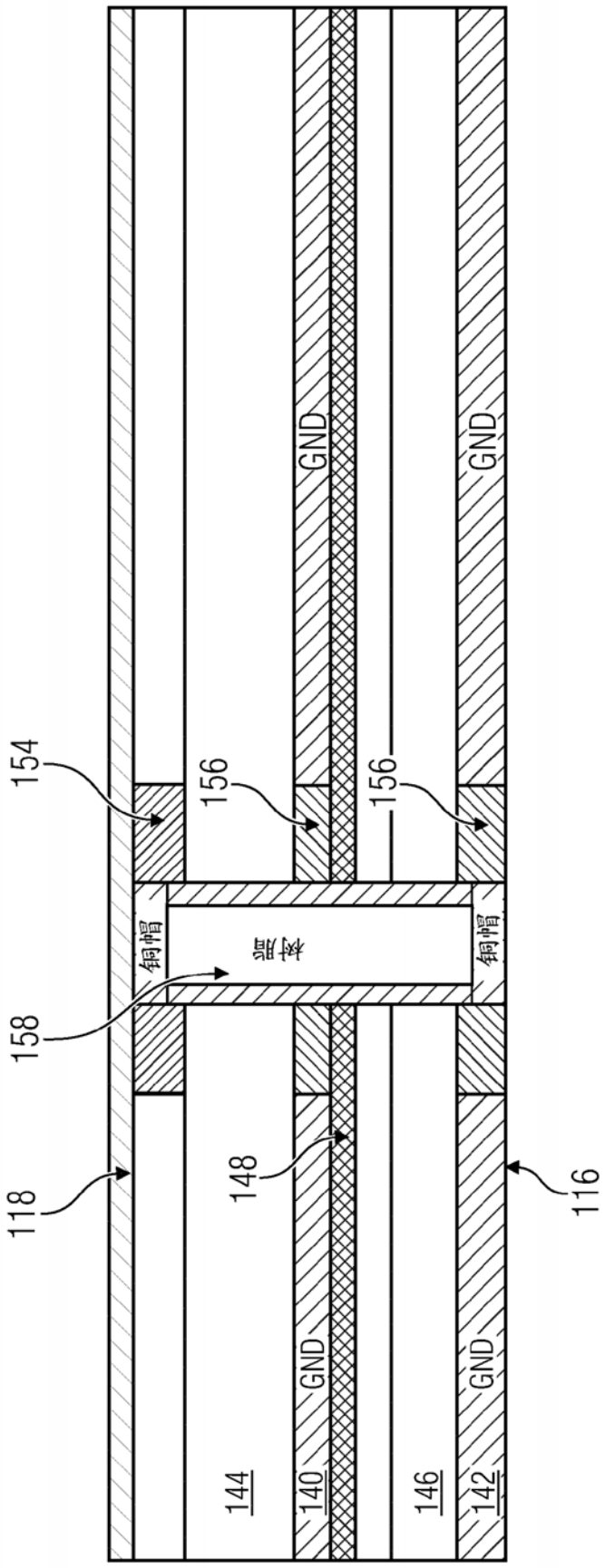

154
156
156
158
118
148
116
GND
GND
GND
GND
铜帽
树脂
铜帽
144
140
146
142

图 2B

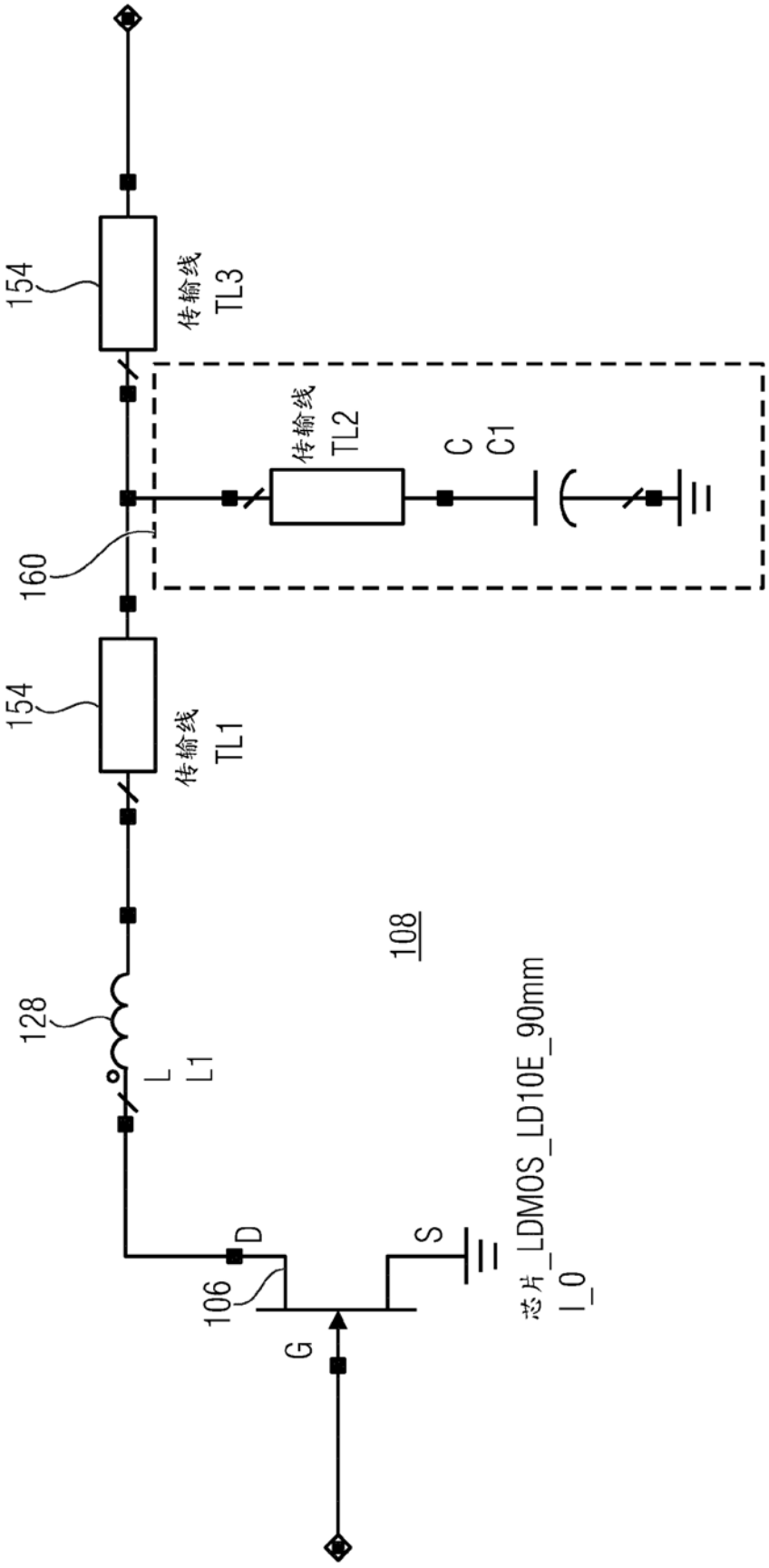

154
传输线
TL3
传输线
TL2
C
C1
160
154
传输线
TL1
108
128
L
L1
D
S
106
G
芯片_LDMOS_LD10E_90mm
I_0

图 3

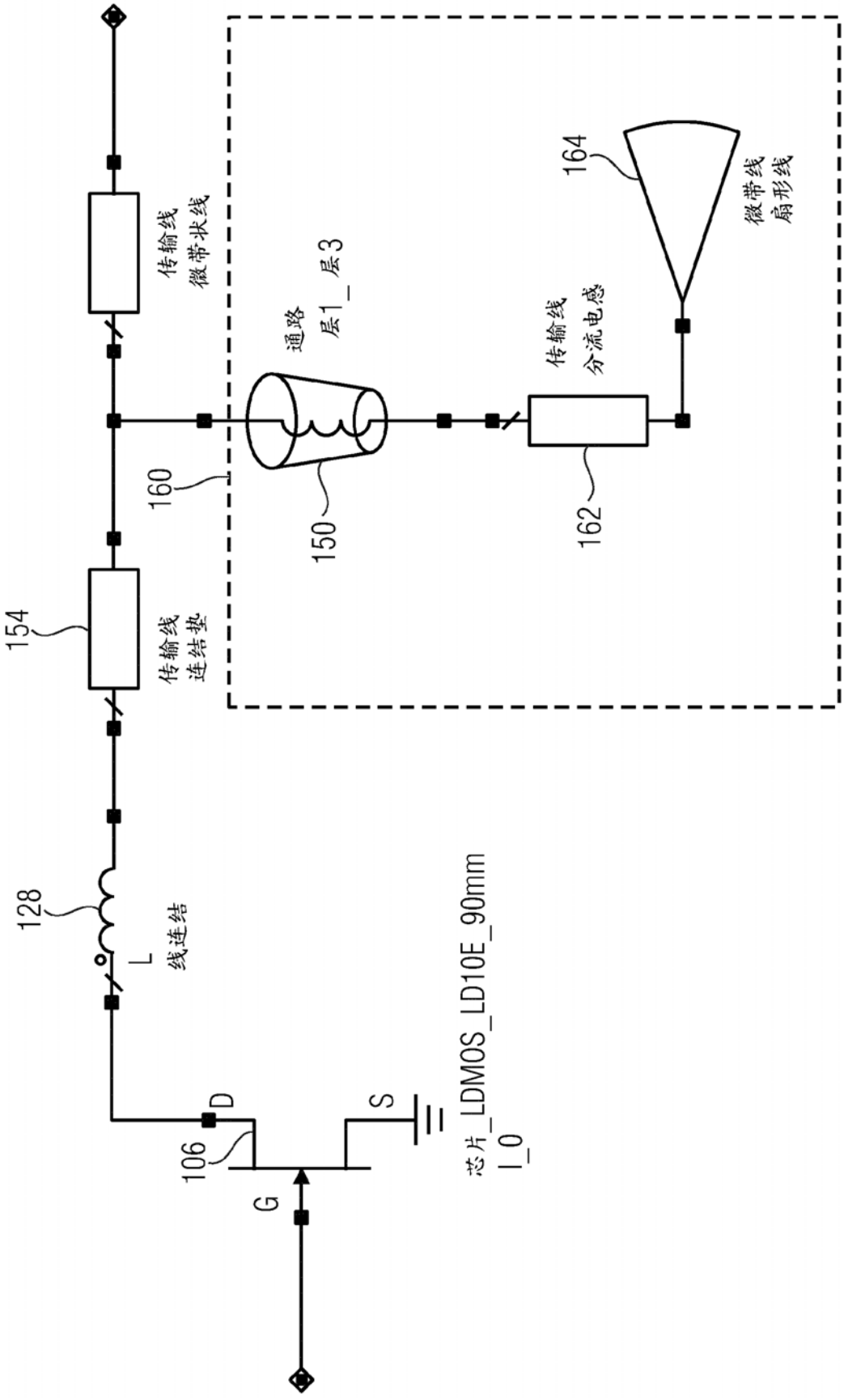

传输线
微带状线
通路
层1_层3
传输线
分流电感
微带线
扇形线
164
160
150
162
154
传输线
连结垫
128
L
线连结
D
S
106
G
芯片_LDMOS_LD10E_90mm
I_0

图 4

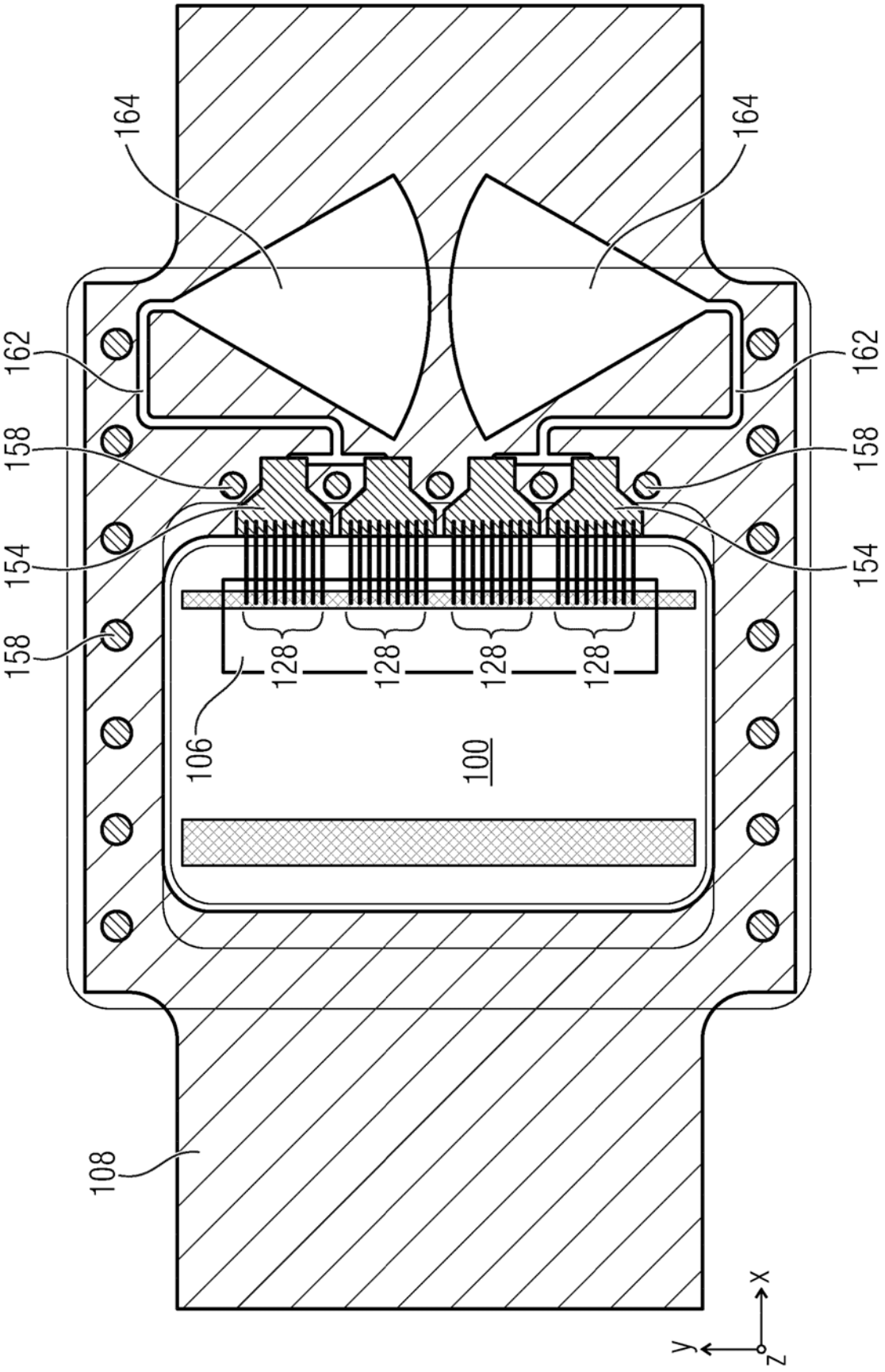

164
164
162
162
158
158
154
154
158
128
128
128
128
106
100
108
x
y
z

图 5

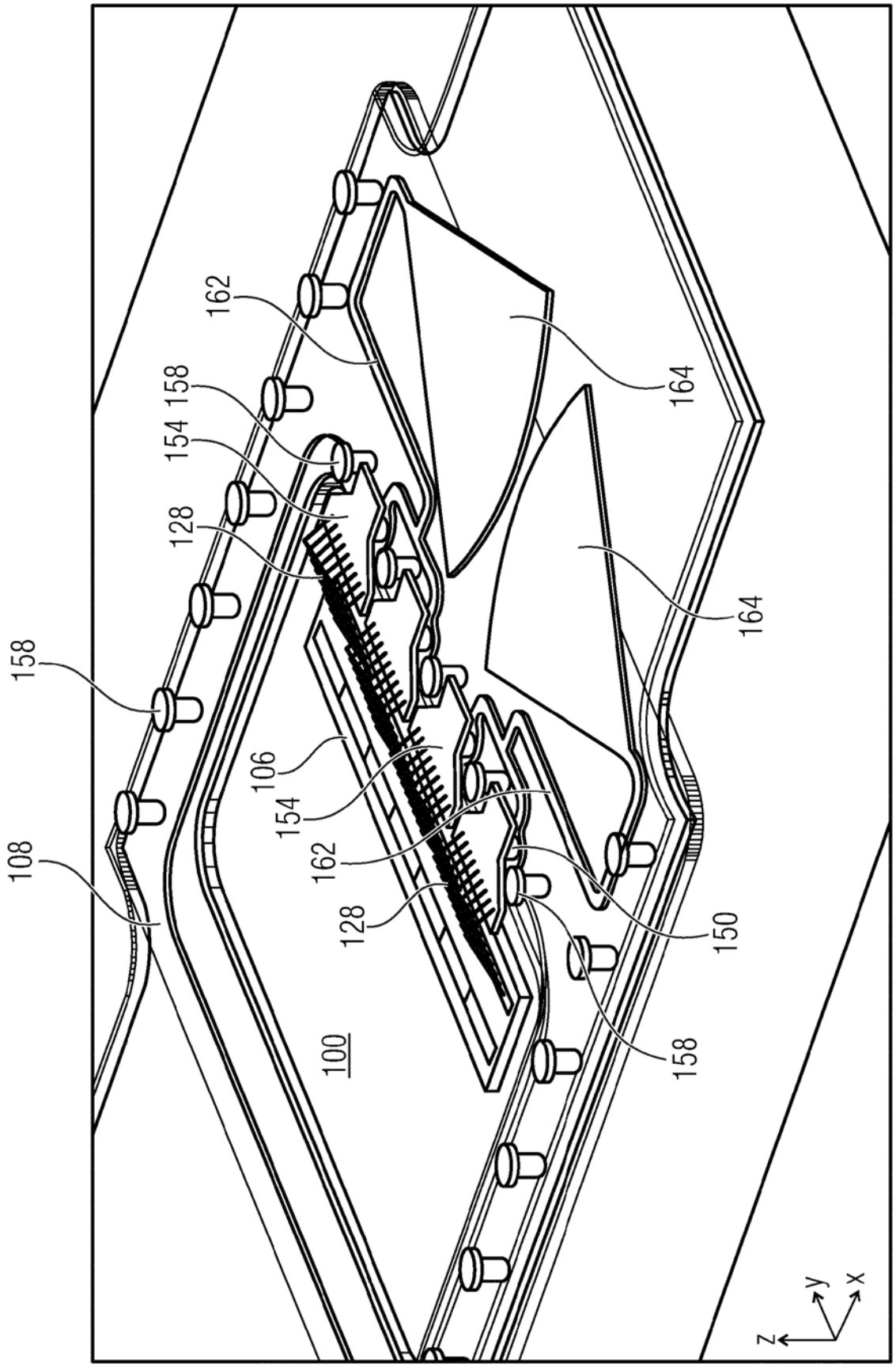



图 6

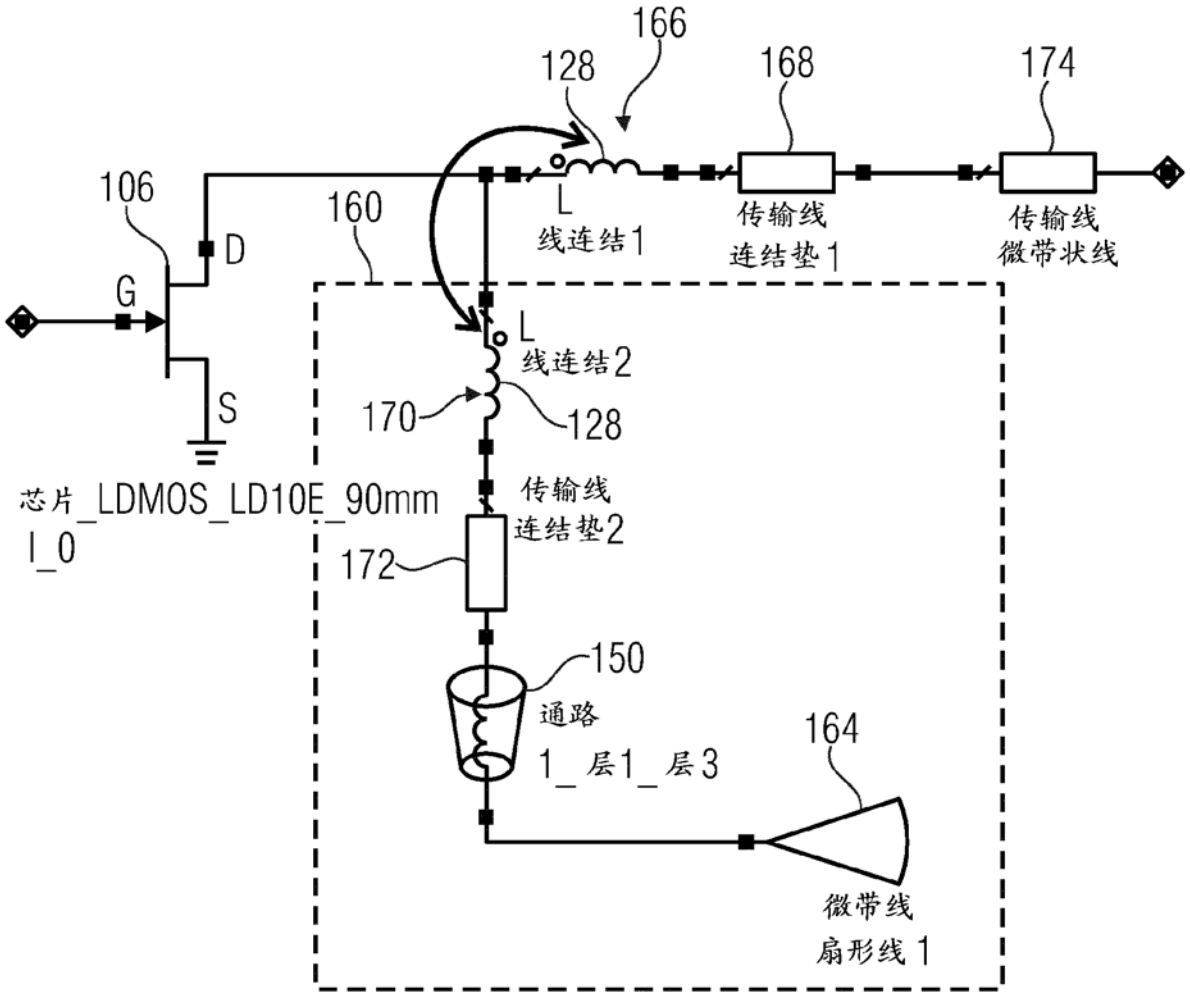

166
128
168
174
106
160
D
L
线连结1
传输线
连结垫1
传输线
微带状线
G
L
线连结2
S
170
128
传输线
连结垫2
芯片_LDMOS_LD10E_90mm
I_0
172
150
通路
1_层1_层3
164
微带线
扇形线1

图 7

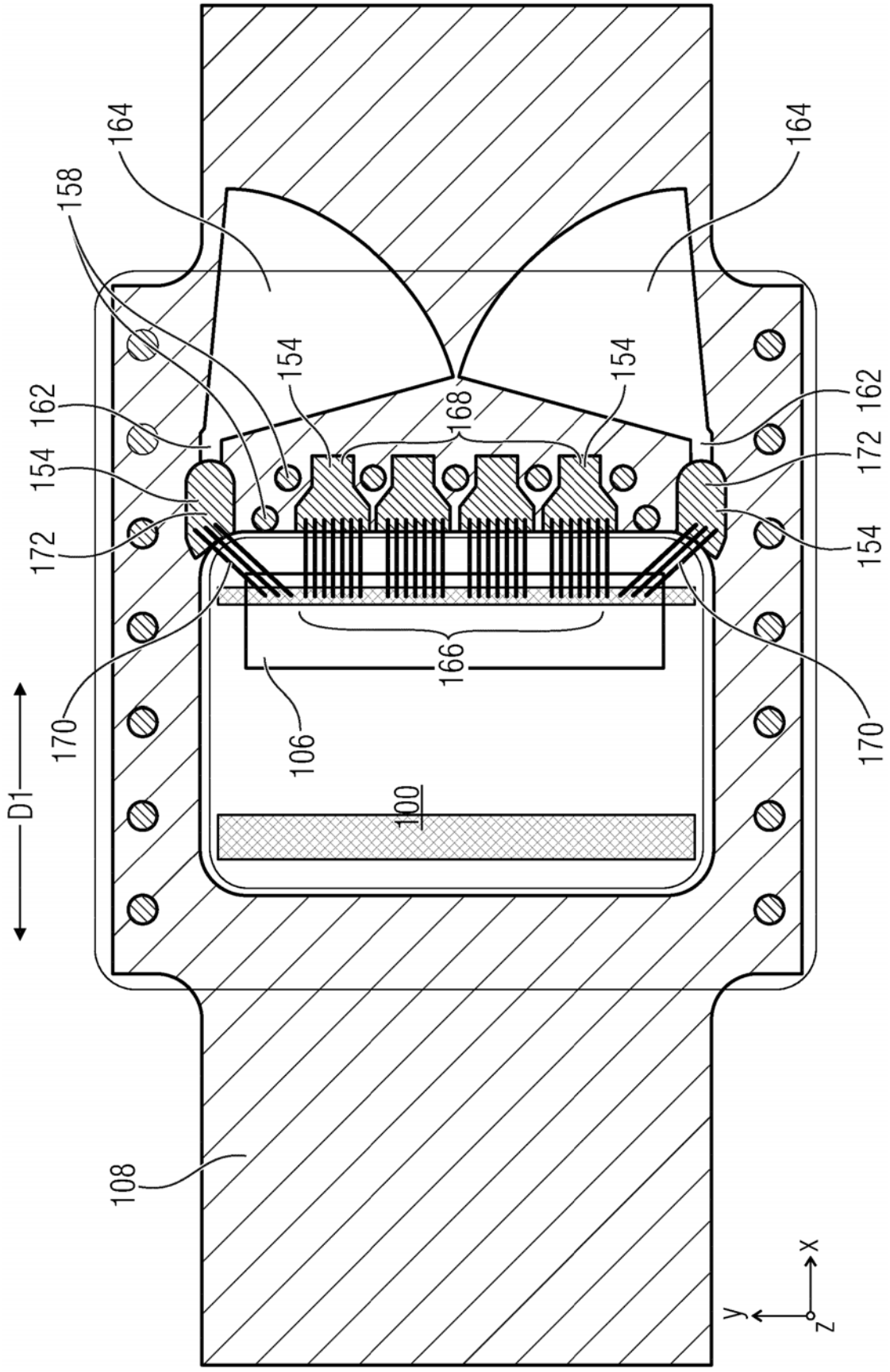

164
158
164
154
154
162
168
162
154
172
172
154
166
170
106
170
D1
100
108
x
y
z

图 8

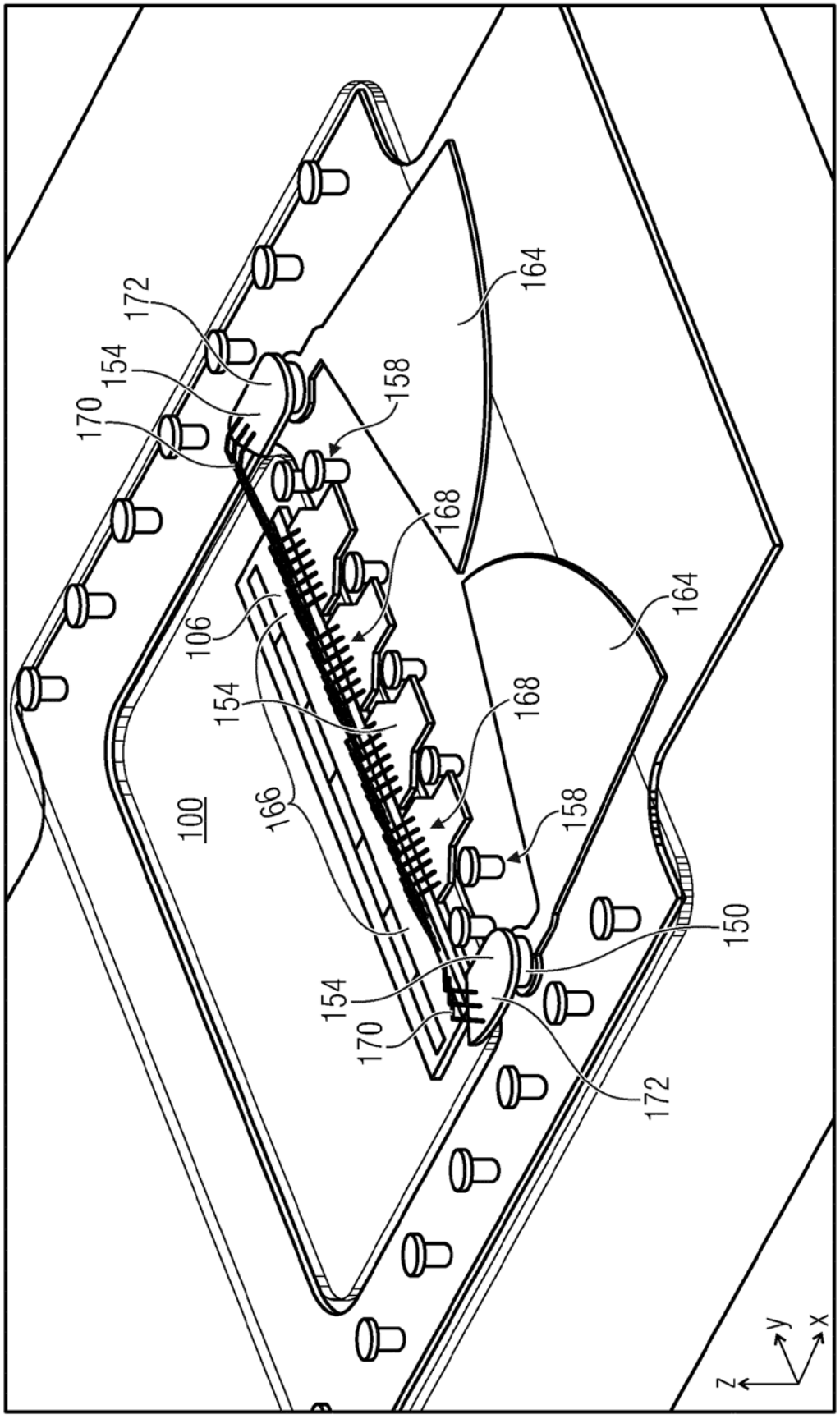

172
154
170
158
164
168
106
154
168
164
100
166
158
150
154
170
172
y
x
z

图 9

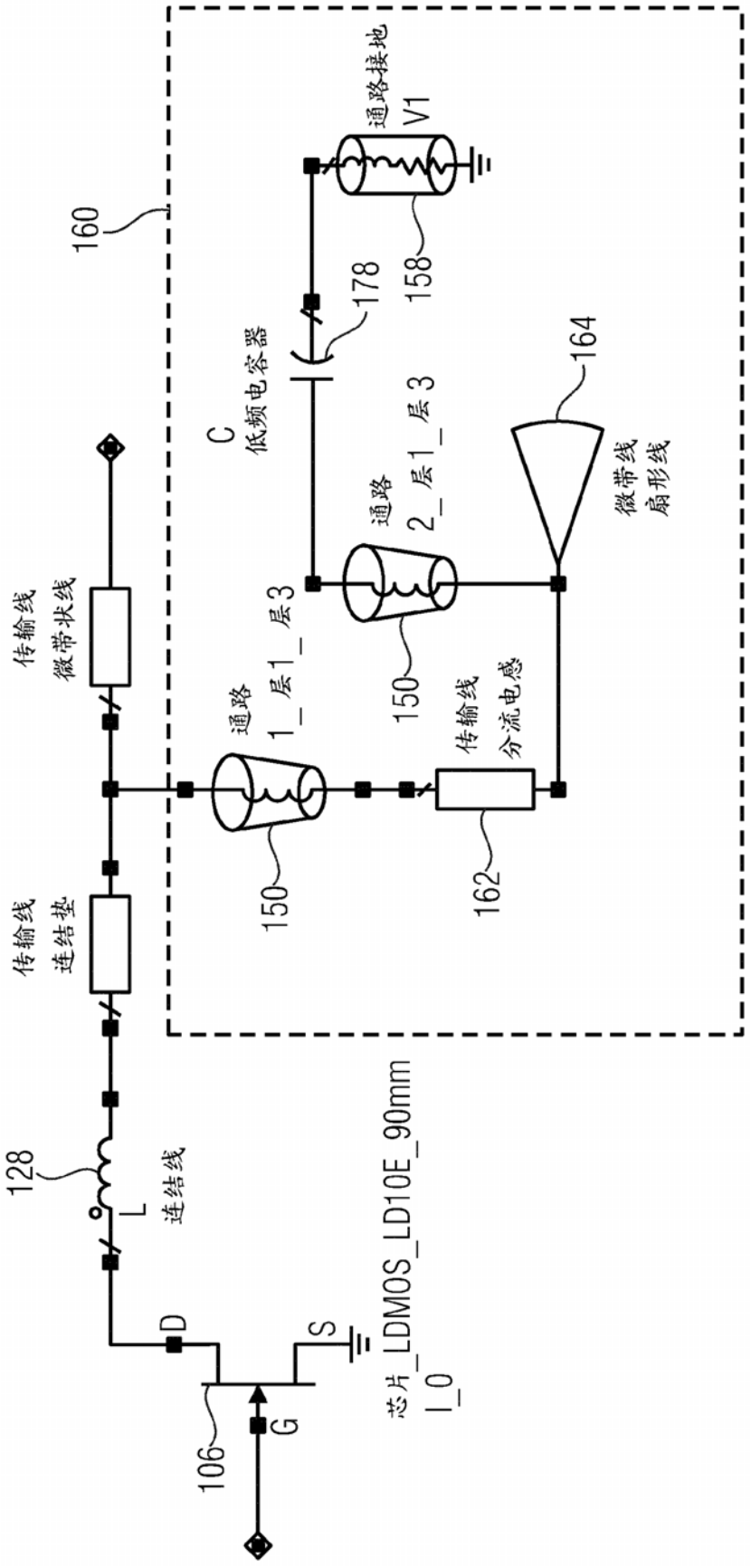

160
通路接地
V1
158
178
C
低频电容器
164
通路
2_层1_层3
微带线
扇形线
传输线
微带状线
通路
1_层1_层3
150
150
传输线
分流电感
162
传输线
连结垫
128
L
连结线
D
S
芯片_LDMOS_LD10E_90mm
I_0
106
G

图 10

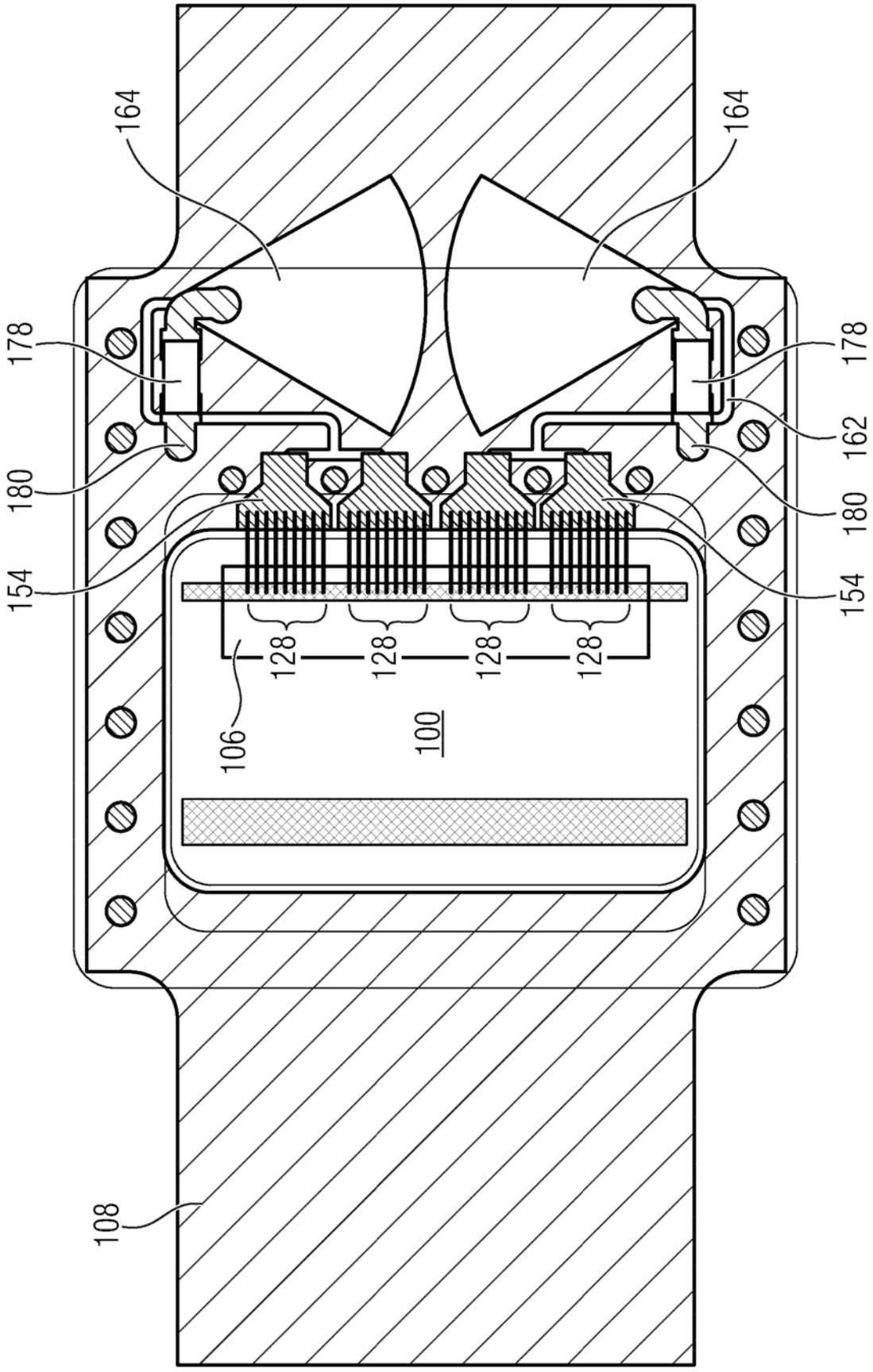



图 11

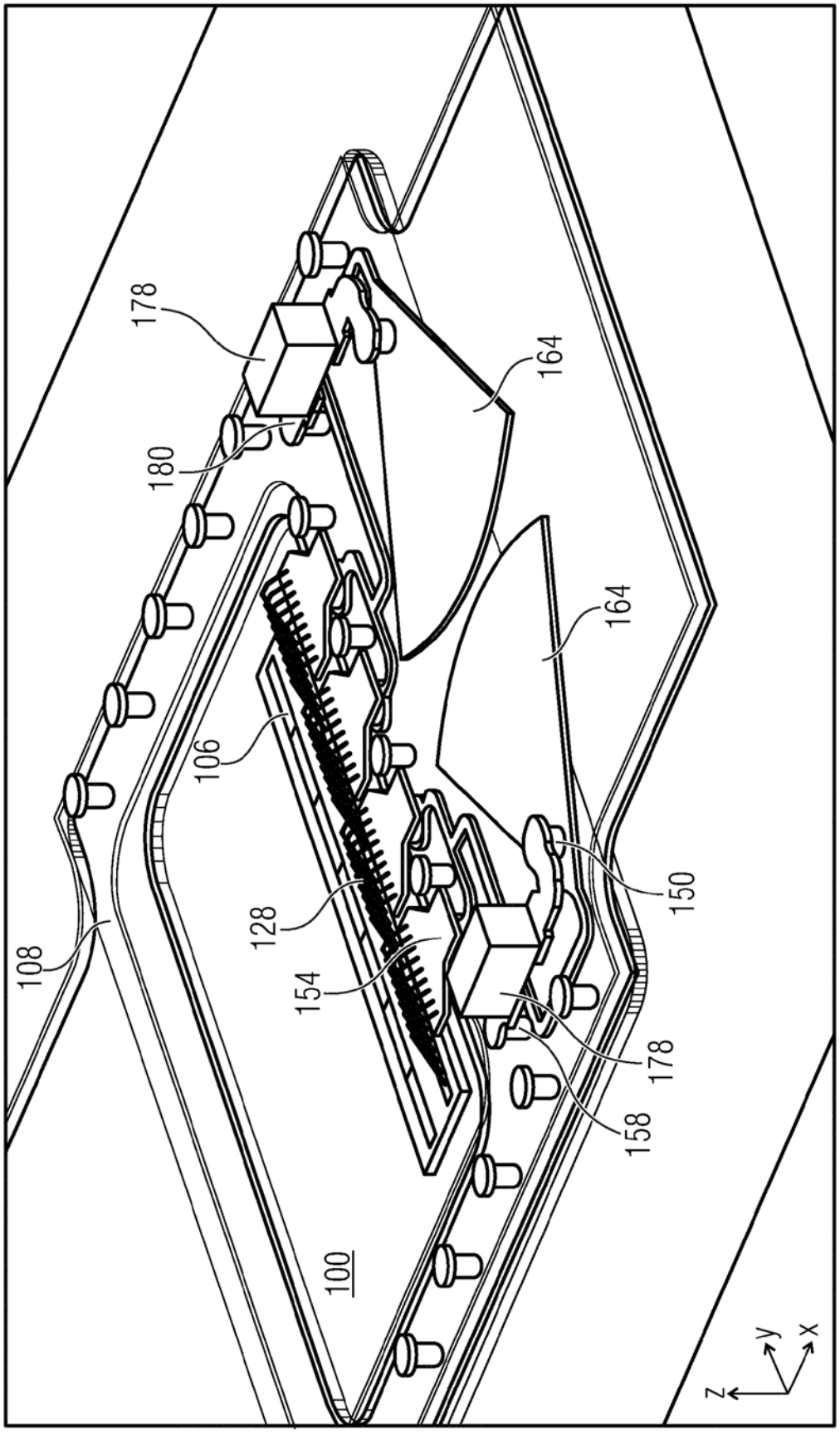



图 12

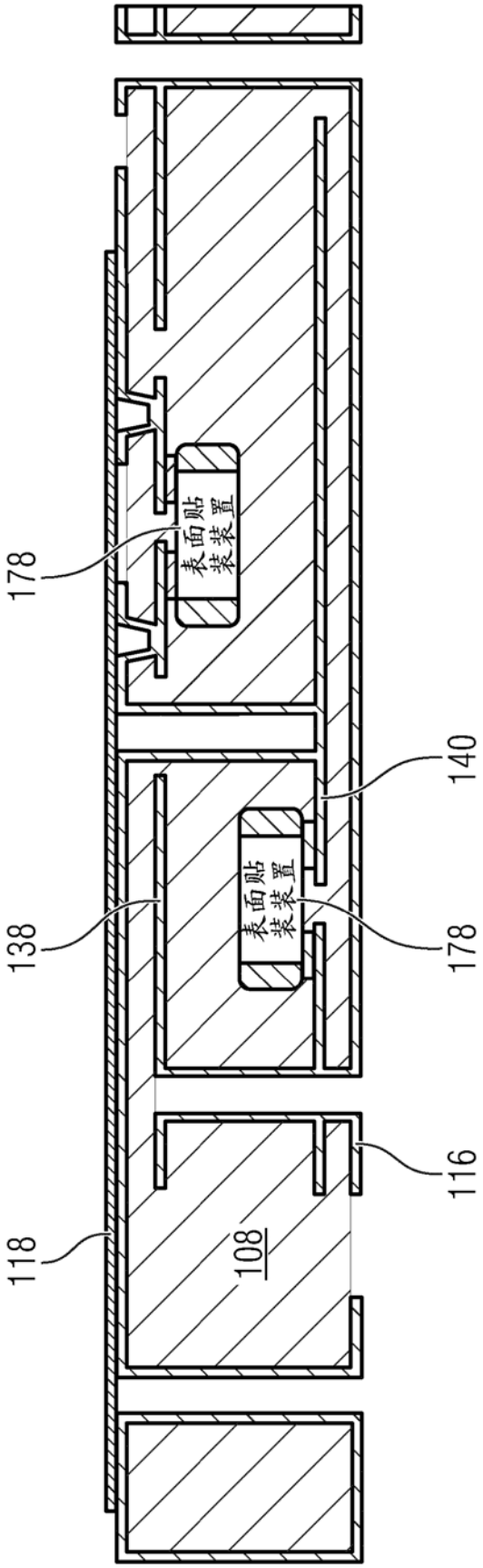



图 13