(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年7 月20 日 (20.07.2006)

PCT

(10) 国際公開番号
WO 2006/075739 A1

(51) 国際特許分類:
G01R 19/00 (2006.01)

(21) 国際出願番号: PCT/JP2006/300444

(22) 国際出願日: 2006 年1 月16 日 (16.01.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-009654 2005 年1 月17 日 (17.01.2005) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 藤井 教夫 (FUJII, Norio) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP).

(74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西２－１１－１２ Tokyo (JP).

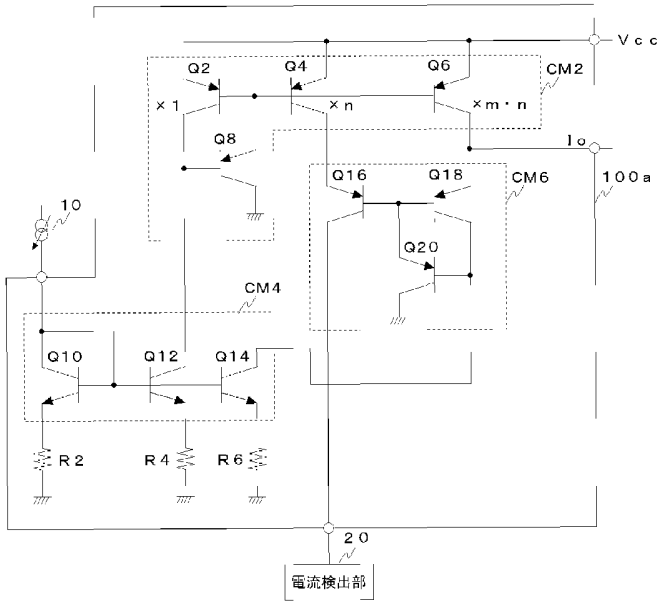
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) **Title:** CURRENT DETECTING CIRCUIT

(54) 発明の名称: 電流検出回路



20... CURRENT DETECTING PART

(57) **Abstract:** In a case where a current mirror circuit is used to indirectly detect a current, a circuit having a small scale is used to do so with a high precision. In a current detecting circuit, a current mirror circuit (CM2) for current detection comprises an output current side transistor (Q6) for providing an output current; and a current detection transistor (Q4) for providing a detection current that is proportional to the output current. A current mirror circuit (CM6) for compensation is connected to the current providing side of the current mirror circuit (CM2) such that the collector voltage of the output current side transistor (Q6) is equal to the collector voltage of the current detection transistor (Q4). A current detecting part (20) detects the detection current to indirectly detect the output current.

[続葉有]

WO 2006/075739 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: カレントミラー回路を使用して間接的に電流を検出する場合に、小規模な回路で精度よく行う。電流検出回路において、電流検出用カレントミラー回路ＣＭ２は、出力電流を供給する出力電流側トランジスタＱ６と、出力電流に比例した検出用電流を供給する電流検出用トランジスタＱ４を含む。補償用カレントミラー回路ＣＭ６は、出力電流側トランジスタＱ６のコレクタ電圧と電流検出用トランジスタＱ４のコレクタ電圧とを等しくするよう、電流検出用カレントミラー回路ＣＭ２の電流供給側に接続する。電流検出部２０は、検出用電流を検出して、出力電流を間接的に検出する。

明 細 書

電流検出回路

技術分野

[0001] 本発明は、カレントミラー回路を使用して間接的に電流を検出する電流検出回路に関する。

背景技術

[0002] 電流検出回路は、モータドライバや電源など様々な用途に用いられる。電流検出回路は、負荷への電流供給路に抵抗を挿入して、その両端電圧から電流を直接検出するものが一般的であるが、カレントミラー回路を使用して間接的に検出する手法も試みられている。特許文献1の図1には、トランジスタ3、2からなるカレントミラー回路1が開示されている。このトランジスタ3、2のサイズ比がn:1であると、トランジスタ3、2に流れる電流もn:1となる。制御端子4に所定電圧が与えられると、トランジスタ3は負荷13に電流IL1を供給し、トランジスタ2はトランジスタ9を介して抵抗11に検出電流IS1＝IL1÷nを供給する。従って、抵抗11の抵抗値をRとすれば、検出端子12には検出電圧R×IS1＝R×IL1÷nが出力される。

[0003] このような回路は、特許文献2に記載されているように、負荷電流の経路上にセンス抵抗を介挿することなく、無損失で精度よく負荷電流を検出することができ、負荷電流を検出する際に負荷電流の大きさに応じてゲインを容易に切り替えることができる、としている。

特許文献1:特開2001－264365号公報

特許文献2:特開平7－113826号公報

発明の開示

発明が解決しようとする課題

[0004] 上記特許文献1の図1において、カレントミラー回路1を構成するトランジスタ3、2の非飽和状態では、ソースドレイン端子間電流IDSは、ソースドレイン端子間電圧VDSに対して依存性を持つ。そこで、オペアンプ6とトランジスタ7からなるフィードバック回路5は、トランジスタ3、2のソースドレイン端子間電圧VDSが等しくなるように制御して

いる。

[0005] しかしながら、フィードバック回路5に含まれるオペアンプ6内には、位相補償用の容量が必要なため、このようなフィードバック回路を設けると、回路規模が大きくなる。

[0006] 本発明はこうした状況に鑑みてなされたものであり、その目的は、カレントミラー回路を使用して間接的に電流を検出する場合に、小規模な回路で精度よく行うことが可能な電流検出回路を提供することにある。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明のある態様の電流検出回路は、出力電流を供給する出力電流側トランジスタと、出力電流に比例した検出用電流を供給する電流検出用トランジスタと、を含む電流検出用カレントミラー回路と、出力電流側トランジスタの端子電圧と電流検出用トランジスタの端子電圧とが所定の関係になるよう、電流検出用カレントミラー回路の電流供給側に接続する補償用カレントミラー回路と、検出用電流を検出することによって、出力電流を間接的に検出する電流検出部と、を備える。「所定の関係」は、出力電流側トランジスタの端子電圧と電流検出用トランジスタの端子電圧とが等しくなる関係であってもよい。

[0008] この態様によると、電流検出用カレントミラー回路に補償用カレントミラー回路を接続したことにより、出力電流側トランジスタおよび電流検出用トランジスタの、例えばコレクタ電極またはドレイン電極などの電極の電位精度を小規模な回路で高めることができる。

[0009] 電流検出用カレントミラー回路は、外部からの入力電流に比例した出力電流を出力電流側トランジスタに発生させるための入力電流側トランジスタをさらに含み、入力電流を受ける第1入力電流供給用トランジスタと、入力電流側トランジスタに接続され、入力電流側トランジスタに入力電流に対応する電流を発生させる第2入力電流供給用トランジスタと、補償用カレントミラー回路にバイアス電流を供給する第3入力電流供給用トランジスタと、を含む入力電流供給用カレントミラー回路をさらに備えてもよい。

[0010] この態様によると、入力電流に連動したバイアス電流を補償用カレントミラーに供給することにより、入力電流に応じて、出力電流側トランジスタおよび電流検出用トラン

ジスタの、例えばコレクタ電極またはドレイン電極などの電極の電位を調整することができる。

[0011] 補償用カレントミラー回路は、電流検出用トランジスタに接続され、バイアス電流に比例した電流を検出用電流として供給する第1補償用トランジスタと、出力電流側トランジスタに接続され、その逆の電極にてバイアス電流を受ける第2補償用トランジスタと、を含んでもよい。

[0012] この態様によると、第1補償用トランジスタの出力電流を検出用電流とすることにより、電流検出用カレントミラー回路におけるミラー比のずれの影響が低減された検出用電流を実現することができる。

[0013] 入力電流側トランジスタと電流検出用トランジスタとの電流駆動能力の比、第2補償用トランジスタと第1補償用トランジスタとの電流駆動能力の比、および第2入力電流供給用トランジスタと第3入力電流供給用トランジスタとの電流駆動能力の比を対応させ、かつ第2補償用トランジスタの電流駆動能力を入力電流側トランジスタのそれと異ならしめてもよい。

[0014] この態様によると、第2補償用トランジスタの電流駆動能力を調整することにより、出力電流側トランジスタのコレクタ電流またはドレイン電流のうち、第2補償用トランジスタに流れ、出力電流Ioにならない分を減らすことができ、検出精度を上げることができる。

[0015] 少なくとも電流検出用カレントミラー回路および補償用カレントミラー回路は、ひとつの半導体基板上に一体集積化されてもよい。電流検出部も含んで一体集積化してもよく、入力電流供給用カレントミラー回路も含んで一体集積化してもよい。

[0016] 本発明の別の態様のモータ装置は、モータと、上述した態様の電流検出回路と、電流検出回路にて検出された電流を参照して、モータを駆動するモータ駆動回路と、を備える。

[0017] 本発明の別の態様の電子機器は、記録ディスクと、記録ディスクの回転を制御する上述した態様のモータ装置と、を備える。

[0018] なお、以上の構成要素の任意の組合せ、本発明の表現を装置、方法、システムなどの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0019] 本発明によれば、カレントミラー回路を使用して間接的に電流を検出する場合に、小規模な回路で精度よく行うことが可能となる。

図面の簡単な説明

[0020] [図1]実施形態1における電流検出回路の構成を示す図である。

[図2]実施形態2における電流検出回路の構成を示す図である。

[図3]図1または図2の電流検出回路が好適に使用される電子機器の構成を示す図である。

符号の説明

[0021] Q2 入力電流側トランジスタ、 Q4 電流検出用トランジスタ、 Q6 出力電流側トランジスタ、 Q10 第1入力電流供給用トランジスタ、 Q12 第2入力電流供給用トランジスタ、 Q14 第3入力電流供給用トランジスタ、 Q16 第1コレクタ電位補償用トランジスタ、 Q18 第2コレクタ電位補償用トランジスタ、 20 電流検出部、100 電流検出回路、 200 モータ装置、 210 モータ駆動回路、 220 モータ、 300 記録ディスク、 1000 電子機器。

発明を実施するための最良の形態

[0022] (実施形態1)

実施形態1は、バイポーラトランジスタを用いたカレントミラー回路を使用して間接的に電流を検出する電流検出回路を示す。また、当該カレントミラー回路を構成するトランジスタ間のコレクタ電位を可能な限り同一に保つ構成も示す。

[0023] 図1は、実施形態1における電流検出回路100aの構成を示す図である。この電流検出回路100aでは、PNP型のバイポーラトランジスタを使用する例を説明する。入力電流側トランジスタQ2、電流検出用トランジスタQ4、および出力電流側トランジスタQ6は、第1電流検出用カレントミラー回路CM2を構成する。入力電流側トランジスタQ2、電流検出用トランジスタQ4、および出力電流側トランジスタQ6のエミッタ電極は、電源電圧などの高電位側基準電位Vccに接続される。それらのベース電極同士は結線され、その電流路は、第1ベース電流補償用トランジスタQ8を介して、入力電

流側トランジスタQ2のコレクタ側の電流路に接続される。

[0024] バイポーラトランジスタのコレクタ電流ICは、下記(式1)で与えられる。

IC＝(qDn／WB)nP・exp(qVBE／kT)…(式1)

ここで、qは電荷、Dnは電子拡散係数、WBはベース幅、nPはドナー濃度、VBEはベース－エミッタ間電圧、kはボルツマン係数、Tは絶対温度を表す。

[0025] バイポーラトランジスタのベース電流IBは、下記(式2)で与えられる。

IB＝(qDq／Lp)pN{exp(qVBE／kT)－1}…(式2)

ここで、Dqはホール拡散係数、Lpはホールの拡散長、pNはベースにおけるアクセプタの濃度を表す。

[0026] したがって、バイポーラトランジスタの電流増幅率hFEは、下記(式3)で与えられる。

hFE＝(qDn／WB)nP・exp(－qVBE／kT)／(qDn／WB)pN{exp(qVBE／kT)－1}＝(Dn／Dp)(nP／pN)(Lp／WB) …(式3)

上記(式3)から分かるように、バイポーラトランジスタの電流増幅率hFEは、トランジスタの構造で決定される。例えば、ベース幅WBを半分にすれば、電流増幅率hFEを2倍にすることができる。

[0027] 本実施形態は、入力電流側トランジスタQ2、電流検出用トランジスタQ4、および出力電流側トランジスタQ6の構造が異なるものを用いる。よって、各トランジスタQ2、Q4、Q6の電流増幅率hFE、すなわち電流駆動能力は異なるように設定される。本実施形態では、入力電流側トランジスタQ2から順に、その電流駆動能力の比が1:n:mnに設定される。したがって、第1電流検出用カレントミラー回路CM2では、ベース－エミッタ間電圧が等しくなるため、電流駆動能力に応じたコレクタ電流が流れることになる。具体的には、入力電流側トランジスタQ2から順に、1:n:mnのコレクタ電流が流れることになる。

[0028] 第1ベース電流補償用トランジスタQ8のエミッタ電極は第1電流検出用カレントミラー回路CM2を構成する3つのトランジスタQ2、Q4、Q6のベース電極に共通接続し、そのベース電極は入力電流側トランジスタQ2のコレクタ側の電流路に接続し、そのエミッタ電極は接地電位などの低電位側基準電位に接続する。第1ベース電流補償

用トランジスタQ8は、その電流駆動能力を利用して、入力電流側トランジスタQ2のコレクタ側の電流路に流入される電流を減少させる働きをする。これにより、入力電流側トランジスタQ2のコレクタ側の電流路を流れる電流と、出力電流側トランジスタQ6のそれを流れる電流とのミラー比の精度を向上させる。

[0029] 本実施形態における電流検出回路100aへの入力電流の供給は、第1入力電流供給用トランジスタQ10、第2入力電流供給用トランジスタQ12、および第3入力電流供給用トランジスタQ14を含む入力電流供給用カレントミラー回路CM4により行われる。外部からの入力電流を、図1では可変電流源10の記号で表している。第1入力電流供給用トランジスタQ10、および第2入力電流供給用トランジスタQ12、および第3入力電流供給用トランジスタQ14は、NPN型で構成され、同じ構造のものを使用する。

[0030] 第1入力電流供給用トランジスタQ10のエミッタ電極は、第1抵抗R2を介して接地し、そのベース電極は入力電流供給用カレントミラー回路CM4を構成するトランジスタQ12、Q14のベース電極と共通接続し、そのコレクタ電極は外部からの入力電流を受ける。また、入力電流供給用カレントミラー回路CM4を構成するために、第1入力電流供給用トランジスタQ10のコレクタ側の電流路と、入力電流供給用カレントミラー回路CM4を構成するトランジスタQ10、Q12、Q14のベース電極同士を結線する電流路とを接続する。なお、この間に第1ベース電流補償用トランジスタQ8と同様に、トランジスタを挿入してもよい。

[0031] 第2入力電流供給用トランジスタQ12のエミッタ電極は第2抵抗R4を介して接地し、そのコレクタ電極は入力電流側トランジスタQ2のコレクタ電極と接続する。第3入力電流供給用トランジスタQ14のエミッタ電極は第3抵抗R6を介して接地し、そのコレクタ電極は後述する第2コレクタ電位補償用トランジスタQ18のコレクタ電極と接続する。

[0032] よって、外部からの入力電流に等しい、または略等しい電流が、入力電流側トランジスタQ2のコレクタ側の電流路に流れ、同時に後述する第2コレクタ電位補償用トランジスタQ18のコレクタ側の電流路にバイアス電流として流れる。

[0033] 第1コレクタ電位補償用トランジスタQ16および第2コレクタ電位補償用トランジスタ

Q18は、第1補償用カレントミラー回路CM6を構成する。これらの電流駆動能力の比は、n:1に設定される。この比は、第1電流検出用カレントミラー回路CM2の電流駆動能力の比と対応するものであり、第1コレクタ電位補償用トランジスタQ16と電流検出用トランジスタQ4とは同じ電流駆動能力に設定され、第2コレクタ電位補償用トランジスタQ18と入力電流側トランジスタQ2との間も同じ電流駆動能力に設定される。

[0034] 第1コレクタ電位補償用トランジスタQ16のエミッタ電極は、電流検出用トランジスタQ4のコレクタ電極と接続し、そのコレクタ電極は、後述する電流検出部20に接続する。第2コレクタ電位補償用トランジスタQ18のエミッタ電極は、出力電流側トランジスタQ6のコレクタ電極と接続し、そのコレクタ電極は、第3入力電流供給用トランジスタQ14のコレクタ電極と接続する。

[0035] また、第1補償用カレントミラー回路CM6を構成するために、第1コレクタ電位補償用トランジスタQ16および第2コレクタ電位補償用トランジスタQ18のベース電極は結線され、その電流路と第2コレクタ電位補償用トランジスタQ18のコレクタ側の電流路とは、第2ベース電流補償用トランジスタQ20を介して接続する。第2ベース電流補償用トランジスタQ20は、第1ベース電流補償用トランジスタQ8と同様に機能する。

[0036] 本実施形態における電流検出回路100aは、出力電流側トランジスタQ6のコレクタ電極と第2コレクタ電位補償用トランジスタQ18のエミッタ電極とを結ぶ電流路から出力電流路を分岐し、その電流路から出力電流側トランジスタQ6のコレクタ電流を出力電流Ioとして、外部に出力する。当該コレクタ電流は、第2コレクタ電位補償用トランジスタQ18のエミッタ電極にも若干流れるが、無視できる程度である。この出力電流Ioは、入力電流側トランジスタQ2と出力電流側トランジスタQ6との電流駆動能力の比に応じて、入力電流が増幅された値となる。本実施形態では、この出力電流Ioを直接検出するのではなく、第1コレクタ電位補償用トランジスタQ16のコレクタ電流を検出することにより、間接的に出力電流Ioを検出し、電流検出用トランジスタQ4および出力電流側トランジスタQ6のコレクタ電位を補償する。

[0037] 電流検出用トランジスタQ4の電流駆動能力は、出力電流側トランジスタQ6の電流駆動能力の1／M倍に設定される。例えば、1／1000倍に設定されてもよい。したがって、電流検出用トランジスタQ4のコレクタ電流は、出力電流Ioの1／M倍、かつ入

力電流のn倍の値となる。

[0038] また、本実施形態では、第2入力電流供給用トランジスタQ12、第3入力電流供給用トランジスタQ14、入力電流側トランジスタQ2、および第2コレクタ電位補償用トランジスタQ18の電流駆動能力を同じに設定し、かつ第1ベース電流補償用トランジスタQ8および第2ベース電流補償用トランジスタQ20の電流駆動能力を同じに設定し、かつ第1コレクタ電位補償用トランジスタQ16および第2コレクタ電位補償用トランジスタQ18の電流駆動能力の比をn:1に設定しているため、第1コレクタ電位補償用トランジスタQ16のコレクタ電流は、入力電流のn倍の値となる。同時に、出力電流Ioの1／M倍ともなる。

[0039] 電流検出部20は、第1コレクタ電位補償用トランジスタQ16のコレクタ電流を検出する。例えば、そのコレクタ電極と接地との間に図示しないセンス抵抗を挿入し、当該センス抵抗の当該コレクタ電極側の電圧を検出して、当該コレクタ電流を検出してもよい。その電流を、電流検出用トランジスタQ4および出力電流側トランジスタQ6の電流駆動能力の比に応じて増幅することにより、検出対象であるところの出力電流Ioを間接的に検出することができる。このような検出方法は、出力電流Ioを直接検出する方法と比較して、電圧損失を抑制することができる。

[0040] 第1コレクタ電位補償用トランジスタQ16および第2コレクタ電位補償用トランジスタQ18は、第1補償用カレントミラー回路CM6を構成するため、それらの駆動能力の比に応じた電流が両トランジスタQ16、Q18に流れ、ベース電圧も等しくなるため、エミッタ電圧も等しくなる。これにより、電流検出用トランジスタQ4および出力電流側トランジスタQ6の両コレクタ電極の電位にバラツキが発生した場合、両コレクタ電極の電位が等しくなるよう補償される。例えば、出力電流側トランジスタQ6が線形領域に遷移した場合、電流検出用トランジスタQ4とのミラー比にずれが発生するが、第1補償用カレントミラー回路CM6を接続したことにより、当該コレクタ電極の電位が等しくなるよう補償される。

[0041] 以上説明したように本実施形態によれば、出力電流Ioが変化した場合も、第1コレクタ電位補償用トランジスタQ16および第2コレクタ電位補償用トランジスタQ18の両ベース－エミッタ間電圧が等しいため、電流検出用トランジスタQ4および出力電流

側トランジスタQ6の両コレクタ電極の電位が等しくなるよう補償される。よって、精度のよい電流検出を行うことができる。その際、差動増幅回路を用いないため、回路点数を削減することができ、回路全体を簡略化することができる。特に、本電流検出回路をモノシリックIC化する場合、当該差動増幅回路の容量を省くことができるため、チップサイズをかなり小さくすることができる。したがって、小規模な回路で精度よく電流を検出することができる。

[0042] (実施形態2)

実施形態2は、FET(field-effect transistor)を用いたカレントミラー回路を使用して間接的に電流を検出する電流検出回路を示す。また、当該カレントミラー回路を構成するFET間のドレイン電位を可能な限り同一に保つ構成も示す。

[0043] 図2は、実施形態2における電流検出回路100bの構成を示す図である。この電流検出回路100bでは、PチャネルMOSFET(metal oxide semiconductor FET)を使用する例を説明する。入力電流側FET(M2)、電流検出用FET(M4)、および出力電流側FET(M6)は、第2電流検出用カレントミラー回路CM8を構成する。入力電流側FET(M2)、電流検出用FET(M4)、および出力電流側FET(M6)のソース電極は、電源電圧などの高電位側基準電位Vddに接続される。それらのゲート電極は結線され、入力電流側FET(M2)のドレイン側の電流路に接続される。その電流路との接続点と、入力電流側FET(M2)のドレイン電極との間には、第4抵抗R8を挿入する。

[0044] FETのドレイン－ソース間電流IDSは、下記(式4)で与えられる。

$IDS = uC(W/L)\{(VGS-VT)VDS-VDS^2/2)\}$ …(式4)

ここで、uはホールの移動度、Cはゲート酸化膜の容量、Wはチャネル幅、Lはチャネル長、VGSはゲート－ソース間電圧、VTはしきち値電圧、VDSはソース－ドレイン間電圧を表す。

[0045] 上記(式4)から分かるように、FETのドレイン－ソース間電流IDSは、その構造、例えばチャネルサイズ(W／L)と比例関係にある。例えば、チャネル幅Wを2倍にすれば、ドレイン－ソース間電流IDSも2倍にすることができる。

[0046] 本実施形態は、上記3つのFET(M2、M4、M6)の各構造で決定される電流駆動

能力の比を、入力電流側FET(M2)から順に、1:n:mnに設定する。第2電流検出用カレントミラー回路CM8では、ゲート－ソース間電圧が等しくなるため、電流駆動能力に応じたドレイン－ソース間電流が流れることになる。

[0047] 本実施形態における電流検出回路100bへの入力電流の供給は、実施形態1と同様であるため、説明を省略する。

[0048] 第1ドレイン電位補償用FET(M8)および第2ドレイン電位補償用FET(M10)は、第2補償用カレントミラー回路CM10を構成する。これらの電流駆動能力の比は、n:1に設定される。この比は、第2電流検出用カレントミラー回路CM8の電流駆動能力の比と対応するものであり、第1ドレイン電位補償用FET(M8)と電流検出用FET(M4)とは同じ電流駆動能力に設定され、第2ドレイン電位補償用FET(M10)と入力電流側FET(M2)との間も同じ電流駆動能力に設定される。

[0049] 第1ドレイン電位補償用FET(M8)のソース電極は、電流検出用FET(M4)のドレイン電極と接続し、そのドレイン電極は、実施形態1と同様の電流検出部20に接続する。第2ドレイン電位補償用FET(M10)のソース電極は、出力電流側FET(M6)のドレイン電極と接続し、そのドレイン電極は、第3入力電流供給用トランジスタQ14のコレクタ電極と接続する。

[0050] また、第2補償用カレントミラー回路CM10を構成するために、第1ドレイン電位補償用FET(M8)および第2ドレイン電位補償用FET(M10)のゲート電極は結線され、第2ドレイン電位補償用FET(M10)のドレイン側の電流路と接続される。その電流路との接続点と、第2ドレイン電位補償用FET(M10)のドレイン電極との間には、第5抵抗R10を挿入する。

[0051] 本実施形態における電流検出回路は、出力電流側FET(M6)のドレイン電極と第2ドレイン電位補償用FET(M10)のドレイン電極とを結ぶ電流路から出力電流路を分岐し、その電流路から出力電流側FET(M6)のドレイン電流を出力電流Ioとして、外部に出力する。この出力電流Ioは、入力電流側FET(M2)と出力電流側FET(M6)との電流駆動能力の比に応じて、入力電流が増幅された値となる。本実施形態では、この出力電流Ioを直接検出するのではなく、第1ドレイン電位補償用FET(M8)のドレイン電流を検出することにより、出力電流Ioを間接的に検出する。

[0052] 第1ドレイン電位補償用FET(M8)および第2ドレイン電位補償用FET(M10)は、第2補償用カレントミラー回路CM10を構成するため、それらの駆動能力の比に応じた電流が流れ、ゲート電圧が等しくなるため、ソース電圧も等しくなる。これにより、電流検出用FET(M4)および出力電流側FET(M6)の両ドレイン電極の電位にバラツキが発生した場合、両ドレイン電極の電位が等しくなるよう補償される。例えば、出力電流側FET(M6)が飽和した場合、電流検出用FET(M4)とのミラー比にずれが発生するが、第2補償用カレントミラー回路を接続したことにより、当該ドレイン電極の電位が等しくなるよう補償される。

[0053] 以上説明したように本実施形態によれば、出力電流Ioが変化した場合も、第1ドレイン電位補償用FET(M8)および第2ドレイン電位補償用FET(M10)の両ゲート－ソース間電圧が等しいため、電流検出用FET(M4)および出力電流側FET(M6)の両ドレイン電極の電位が等しくなるよう補償される。よって、実施形態1と同様の効果を奏する。さらに、実施形態2の場合、出力電圧が比較的低い電圧、例えば1[V]からでも正常に動作させることができる。

[0054] 図3は、上述した実施形態に係る電流検出回路100が好適に使用される電子機器1000の構成を示す回路図である。この電子機器1000は、モータ装置200および記録ディスク300を備える。電子機器1000は、ノート型やディスクトップ型パーソナルコンピュータ、DVDプレイヤ、ゲーム機などであり、記録ディスク300は、ハードディスク、DVDディスクなどである。モータ装置200は、記録ディスク300の回転を制御する。モータ装置200は、モータ駆動回路210、電流検出回路100およびモータ220を含む。モータ駆動回路210は、電流検出回路100を介してモータ220を駆動する。その際、電流検出回路100の検出電流を参照して、モータ220に供給すべき電流を制御する。例えば、モータ220に過電流が供給されないよう制御したり、モータ220に定電流が供給されるよう適応的に制御したりする。以上のように、小型で精度の高いモータ装置およびそれを搭載した電気機器を実現することができる。

[0055] 以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0056] 実施形態1にて、電流検出用トランジスタQ4と第1コレクタ電位補償用トランジスタQ16との電流駆動能力の比を同じではなく、n:knに設定し、かつ入力電流供給用トランジスタQ2と第2コレクタ電位補償用トランジスタQ18との電流駆動能力の比を、1:kに設定すると、第1コレクタ電位補償用トランジスタQ16のコレクタ電流を、入力電流のkn倍、出力電流Ioのk／M倍の値とすることができる。このkを1より小さく設定することにより、第2コレクタ電位補償用トランジスタQ18に若干流れる出力電流側トランジスタQ6のコレクタ電流のうち、出力電流Ioに寄与しない無効電流を減らすことができる。電流検出部20は、所望のレンジで電流を検出することができる。なお、この際、第1ベース電流補償用トランジスタQ8と第2ベース電流補償用トランジスタQ20の電流駆動能力との比、および第2入力電流供給用トランジスタQ12と第3入力電流供給用トランジスタQ14とのその比も、1:kに設定する必要がある。さらに、実施形態2でも、実施形態1と対応する回路素子の電流駆動能力を上記のように設定し、第4抵抗R8と第5抵抗R10との抵抗値の比をk:1に設定すれば、同様の関係が成り立つ。

[0057] また、電流検出部20は、電流検出用トランジスタQ4のコレクタ電極または電流検出用FET(M4)のドレイン電極から流れる電流を検出してもよい。

[0058] また、実施形態1、2で示したカレントミラー回路は、上述した型に限るものではなく、ウイルソン型など種々の回路を使用することができる。また、上述した実施形態で使用したトランジスタに限らず、NPN型バイポーラトランジスタや、PチャネルMOSFETなど、その他のトランジスタを用いてもよい。また、実施形態2にて、第4抵抗R8および第5抵抗R10を挿入しなくてもよい。

[0059] また、本電流検出回路をモノシリックIC化する場合、入力電流側トランジスタQ2、電流検出用トランジスタQ4、および出力電流側トランジスタQ6は、レイアウト上、ペア性を持つように設計されるとよい。第1コレクタ電位補償用トランジスタQ16および第2コレクタ電位補償用トランジスタQ18も同様にペア性を持つように設計されるとよい。また、実施形態2における対応するFETも同様に設計されるとよい。

産業上の利用可能性

[0060] 本発明によれば、カレントミラー回路を使用して間接的に電流を検出する場合に、小規模な回路で精度よく行うことが可能となる。

請求の範囲

[1] 出力電流を供給する出力電流側トランジスタと、前記出力電流に比例した検出用電流を供給する電流検出用トランジスタと、を含む電流検出用カレントミラー回路と、

前記出力電流側トランジスタの端子電圧と前記電流検出用トランジスタの端子電圧とが所定の関係になるよう、前記電流検出用カレントミラー回路の電流供給側に接続する補償用カレントミラー回路と、

前記検出用電流を検出することによって、前記出力電流を間接的に検出する電流検出部と、

を備えることを特徴とする電流検出回路。

[2] 前記電流検出用カレントミラー回路は、外部からの入力電流に比例した前記出力電流を前記出力電流側トランジスタに発生させるための入力電流側トランジスタをさらに含み、

前記入力電流を受ける第1入力電流供給用トランジスタと、前記入力電流側トランジスタに接続され、該入力電流側トランジスタに前記入力電流に対応する電流を発生させる第2入力電流供給用トランジスタと、前記補償用カレントミラー回路にバイアス電流を供給する第3入力電流供給用トランジスタと、を含む入力電流供給用カレントミラー回路をさらに備えることを特徴とする請求項1に記載の電流検出回路。

[3] 前記補償用カレントミラー回路は、前記電流検出用トランジスタに接続され、前記バイアス電流に比例した電流を前記検出用電流として供給する第1補償用トランジスタと、前記出力電流側トランジスタに接続され、その逆の電極にて前記バイアス電流を受ける第2補償用トランジスタと、を含むことを特徴とする請求項2に記載の電流検出回路。

[4] 前記入力電流側トランジスタと前記電流検出用トランジスタとの電流駆動能力の比、前記第2補償用トランジスタと前記第1補償用トランジスタとの電流駆動能力の比、および前記第2入力電流供給用トランジスタと前記第3入力電流供給用トランジスタとの電流駆動能力の比を対応させ、かつ前記第2補償用トランジスタの電流駆動能力を前記入力電流側トランジスタのそれと異ならしめることを特徴とする請求項3に記載の電流検出回路。

[5] 少なくとも前記電流検出用カレントミラー回路および前記補償用カレントミラー回路は、ひとつの半導体基板上に一体集積化されたことを特徴とする請求項1から4のいずれかに記載の電流検出回路。

[6] モータと、

請求項1から5のいずれかに記載の電流検出回路と、

前記電流検出回路にて検出された電流を参照して、前記モータを駆動するモータ駆動回路と、

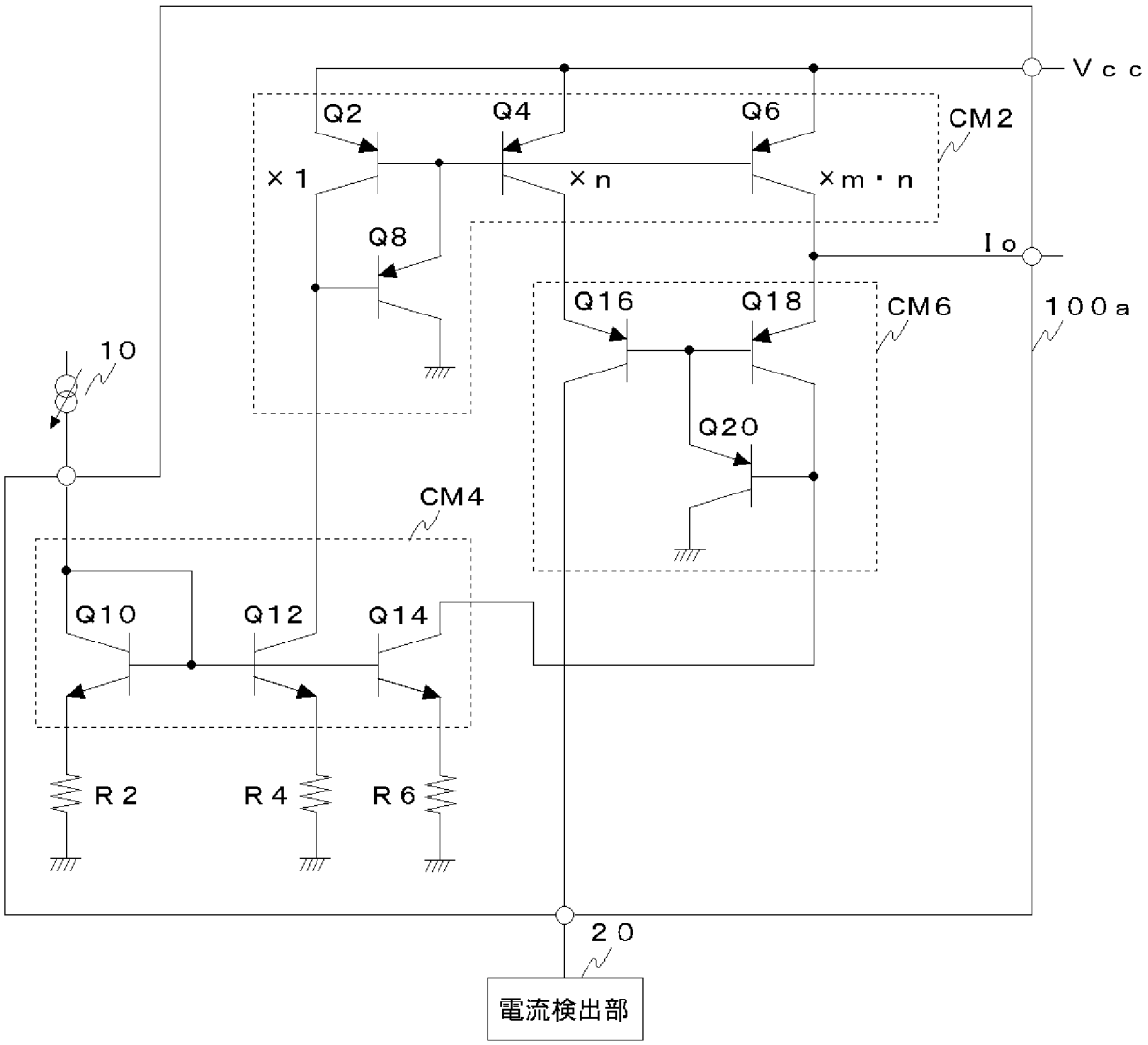
を備えることを特徴とするモータ装置。

[7] 記録ディスクと、

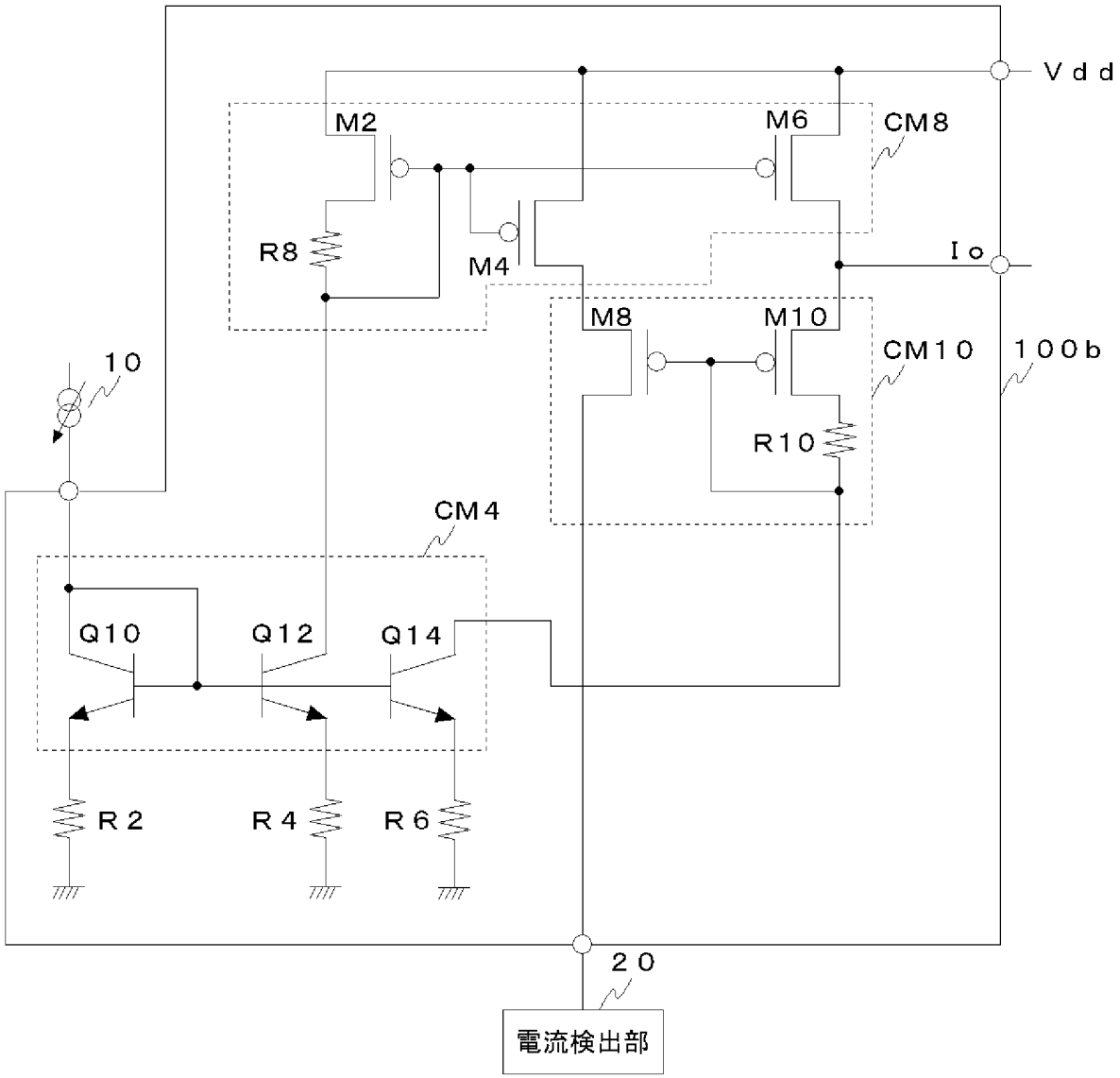
前記記録ディスクの回転を制御する請求項6に記載のモータ装置と、

を備えることを特徴とする電子機器。

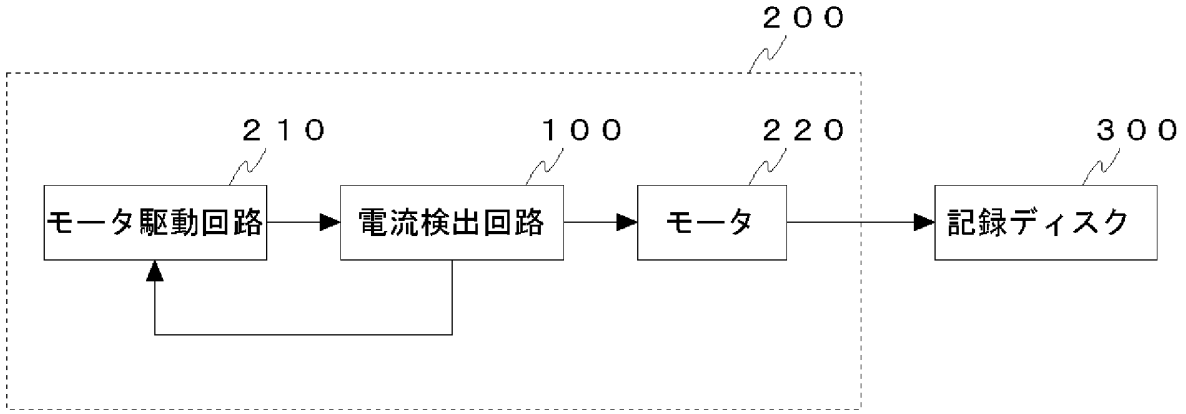
[図1]


Vcc
Q2
Q4
Q6
CM2
×1
×n
×m・n
Q8
Io
Q16
Q18
CM6
100a
10
Q20
CM4
Q10
Q12
Q14
R2
R4
R6
20
電流検出部

[図2]


Vdd
M2
M6
CM8
R8
M4
Io
M8
M10
CM10
100b
10
R10
CM4
Q10
Q12
Q14
R2
R4
R6
20
電流検出部

[図3]


200
210
100
220
300
モータ駆動回路
電流検出回路
モータ
記録ディスク

1000

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/300444

A. CLASSIFICATION OF SUBJECT MATTER
G01R19/00(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01R19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 5-232150 A (Sharp Corp.), 07 September, 1993 (07.09.93), Full text; all drawings (Family: none)	1,5-7 2-4
A	JP 5-196660 A (NEC IC Miconsystem Kabushiki Kaisha), 06 August, 1993 (06.08.93), Full text; all drawings (Family: none)	1-7
A	JP 61-184466 A (Sharp Corp.), 18 August, 1986 (18.08.86), Full text; all drawings (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 April, 2006 (11.04.06)	25 April, 2006 (25.04.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/300444

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-5225 A (Texas Instruments Deutschland GmbH), 10 January, 1995 (10.01.95), Full text; all drawings & EP 596473 A1 & DE 4237122 A & US 5436581 A & KR 277452 B	1-7
A	US 4914317 A (Texas Instruments Inc.), 03 April, 1990 (03.04.90), Full text; all drawings (Family: none)	1-7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３００４４４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　*G01R19/00(2006.01)*

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G01R19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP 5-232150 A (シャープ株式会社) 1993.09.07, 全文, 全図 (ファミリーなし)	1,5-7
A		2-4
A	JP 5-196660 A (日本電気アイシーマイコンシステム株式会社) 1993.08.06, 全文, 全図 (ファミリーなし)	1-7
A	JP 61-184466 A (シャープ株式会社) 1986.08.18, 全文, 全図 (ファミリーなし)	1-7

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １１．０４．２００６	国際調査報告の発送日 ２５．０４．２００６
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｓ　９８０５ 武田　知晋 電話番号　０３－３５８１－１１０１　内線　３２５８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 7-5225 A (テキサス　インスツルメンツ　ドイチェランド　ゲゼルシャフト　ミット　ベシュレンクテル　ハフツング) 1995.01.10, 全文, 全図 & EP 596473 A1 & DE 4237122 A & US 5436581 A & KR 277452 B	1-7
A	US 4914317 A (Texas Instruments Incorporated) 1990.04.03, 全文, 全図　(ファミリーなし)	1-7