

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

移位寄存器单元及其驱动方法、移位寄存器和显示装置

技术领域

本发明涉及显示技术领域，更具体地，涉及移位寄存器单元及其驱动方法、移位寄存器电路以及显示装置。

背景技术

在显示装置中，像素阵列包括纵横交错的栅极扫描线和数据线。其中，为了实现像素阵列的逐行扫描，通常采用栅极驱动电路驱动像素阵列中的像素单元。现有技术中，栅极驱动电路常采用 GOA(Gate Driver on Array, 阵列基板行驱动)设计将 TFT(Thin Film Transistor, 薄膜场效应晶体管)栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动，这种利用 GOA 技术集成在阵列基板上的栅极驱动电路也称为移位寄存器，移位寄存器需要提供多个控制信号来驱动一行像素单元。

在现有技术中，移位寄存器包括多级移位寄存器单元，但是，一级移位寄存器单元只能提供一个控制信号，想要驱动一行像素单元，需要将多级移位寄存器单元级联，使得移位寄存器的结构复杂，且移位寄存器占用的空间过大。

发明内容

本发明的目的在于提供一种移位寄存器单元及其驱动方法、移位寄存器和显示装置，用于简化移位寄存器的结构，减小移位寄存器占用的空间。

为了实现上述目的，本发明提供如下技术方案：

第一方面，本发明提供了一种移位寄存器单元，包括：

输入模块，其控制端与输入信号端连接，输入端与高电平端连接，输出端与上拉控制节点连接，所述输入模块用于在所述输入信号端的信号的控制下在上拉控制节点输出上拉控制信号；

复位模块，其控制端与第五级输出端连接，第一输入端与移位寄存器

单元的本级输出端连接，第二输入端与上拉控制节点连接，输出端与低电平端连接，所述第五级输出端为移位寄存器单元作为第一级移位寄存器单元时对应的第五级移位寄存器单元的输出端，所述复位模块用于对所述移位寄存器单元的本级输出端和所述上拉控制节点进行复位；

下拉模块，其控制端与下拉控制节点连接，第一输入端与移位寄存器单元的本级输出端连接，第二输入端与上拉控制节点连接，输出端与低电平端连接，所述下拉模块用于对所述上拉控制节点和所述移位寄存器单元的本级输出端进行放电；

输出下拉控制模块，其第一控制端与上拉控制节点连接，第一输入端与下拉控制节点连接，第一输出端与低电平端连接，第二控制端与一中间节点连接，第二输入端与高电平端连接，第二输出端与下拉控制节点连接，第三控制端和第三输入端与高电平端连接，第三输出端与所述中间节点连接，第四控制端与所述中间节点连接，第四输入端与高电平端连接，第四输出端与输出控制节点连接，第五控制端与移位寄存器单元的本级输出端连接，第五输入端与输出控制节点连接，第五输出端与低电平端连接，所述输出下拉控制模块用于生成电源使能信号和电源功率提供信号；

输出控制模块，其第一控制端与上拉控制节点连接，第一输入端与第一时钟信号端连接，第一输出端与移位寄存器单元的本级输出端连接，第二控制端与移位寄存器单元的本级输出端连接，第二输入端与高电平端连接，第二输出端与栅极驱动信号端连接，第三控制端与第四级输出端连接，第三输入端与栅极驱动信号端连接，第三输出端与低电平端连接，第四控制端与第二时钟信号端连接，第四输入端与输出控制节点连接，第四输出端与电源功率提供信号端连接，第五控制端与第三时钟信号端连接，第五输入端与输出控制节点连接，第五输出端与输出电源使能信号端连接，所述第四级输出端为所述移位寄存器单元作为第一级移位寄存器单元时对应的第四级移位寄存器单元的输出端，所述输出控制模块用于生成栅极驱动信号，输出所述电源使能信号、所述电源功率提供信号和所述栅极驱动信号。

第二方面，本发明提供了一种移位寄存器单元的驱动方法，包括：

第一阶段，输入模块接收输入信号端的高电平信号，利用高电平端的

高电平信号为上拉控制节点充电；输出控制模块接收所述上拉控制节点的高电平信号和第一时钟信号端的信号，为移位寄存器单元的本级输出端提供信号，根据所述移位寄存器单元的本级输出端的信号和第四级输出端的信号，在栅极驱动信号端输出栅极驱动信号；输出下拉控制模块接收所述移位寄存器单元的本级输出端的信号和所述高电平端的高电平信号，在输出控制节点生成电源使能信号和电源功率提供信号；输出控制模块接收第二时钟信号端的信号和第三时钟信号端的信号，在所述电源使能信号端和所述电源功率提供信号端分别输出所述电源使能信号和所述电源功率提供信号；

第二阶段，复位模块接收第五级输出端的高电平信号，将所述移位寄存器单元的本级输出端和所述上拉控制节点复位至低电平信号；输出下拉控制模块接收所述上拉控制节点的低电平信号，为下拉控制节点提供高电平信号；所述下拉模块接收所述下拉控制节点的高电平信号，对所述上拉控制节点和所述移位寄存器单元的本级输出端进行放电；所述输出控制模块接收所述上拉控制节点的低电平信号和所述第四级输出端的信号，在所述栅极驱动信号端输出低电平信号；所述输出下拉控制模块接收所述移位寄存器单元的本级输出端的信号和所述高电平端的高电平信号，在输出控制节点生成高电平信号；所述输出控制模块接收所述第二时钟信号端的信号和所述第三时钟信号端的信号，在所述电源使能信号端和所述电源功率提供信号端输出均为高电平信号的输出电源使能信号和电源功率提供信号。

第三方面，本发明提供了一种移位寄存器，包括级联的多级上述技术方案中的移位寄存器单元，其中，前一级移位寄存器单元的本级输出端连接后一级移位寄存器单元的输入信号端。

第四方面，本发明提供了一种显示装置，包括上述技术方案中的移位寄存器，其中，所述移位寄存器中的移位寄存器单元提供的输出电源使能信号、电源功率提供信号和栅极驱动信号用于驱动所述显示装置中的像素单元。

本发明提供的移位寄存器单元及其驱动方法、移位寄存器和显示装置中，移位寄存器单元包括输入模块、复位模块、下拉模块、输出下拉控制

模块和输出控制模块，其中，输出下拉控制模块能够生成电源使能信号和电源功率提供信号，输出控制模块能够生成栅极启动信号，接收输出下拉控制模块生成的电源使能信号和电源功率提供信号，并在其输出处输出电源使能信号、电源功率提供信号和栅极驱动信号三个控制信号，与现有技术中只能输出一个控制信号的移位寄存器单元相比，本发明中的移位寄存器单元能够提供同时提供电源使能信号、电源功率提供信号和栅极驱动信号三个控制信号，来驱动像素单元，从而在能够驱动像素单元的前提下，减少了移位寄存器中所需移位寄存器单元的数目，从而简化了移位寄存器的结构，减小了移位寄存器占用的空间。

附图说明

此处所说明的附图用来提供对本发明的进一步理解，构成本发明的一部分，本发明的示意性实施例及其说明用于解释本发明，并不构成对本发明的不当限定。在附图中：

图 1 为本发明实施例一中的移位寄存器单元的结构示意图；

图 2 为本发明实施例二中的移位寄存器单元的结构示意图；

图 3 为与图 2 中移位寄存器单元对应的信号时序图；

图 4 为本发明实施例三中的移位寄存器的结构示意图；

图 5 为与图 4 中移位寄存器对应的信号时序图；

图 6 为本发明另一实施例中的移位寄存器的结构示意图；

图 7 为与图 6 中移位寄存器对应的信号时序图。

具体实施方式

为了进一步说明本发明实施例提供的移位寄存器单元及其驱动方法、移位寄存器和显示装置，下面结合说明书附图进行详细描述。

实施例一

请参阅图 1，本发明实施例提供的移位寄存器单元包括输入模块 P1、复位模块 P2、下拉模块 P3、输出下拉控制模块 P4 和输出控制模块 P5。

下面以移位寄存器中的第 N 级移位寄存器单元进行说明。

输入模块 P1 的控制端与输入信号端 Input N 连接，输入端与高电平端

VGH 连接, 输出端与上拉控制节点 PU 连接, 上拉控制节点 PU 为输入模块 P1、复位模块 P2、下拉模块 P3、输出下拉控制模块 P4 和输出控制模块 P5 的交点。输入模块 P1 用于在输入信号端 Input N 的信号的控制下, 在上拉控制节点输出上拉控制信号。

复位模块 P2 的控制端与第五级输出端 OUT N+4 连接, 第一输入端与移位寄存器单元的本级输出端 OUT N 连接, 第二输入端与上拉控制节点 PU 连接, 输出端与低电平端 VGL 连接, 其中第五级输出端 OUT N+4 为级联的移位寄存器单元中、以本移位寄存器单元作为第一级移位寄存器单元时对应的第五级移位寄存器单元的输出端。复位模块 P2 用于对所述移位寄存器单元的本级输出端 OUT N 和所述上拉控制节点 PU 进行复位。

下拉模块 P3 的控制端与下拉控制节点 PD 连接, 第一输入端与移位寄存器单元的本级输出端 OUT N 连接, 第二输入端与上拉控制节点 PU 连接, 输出端与低电平端 VGL 连接, 下拉控制节点 PD 为下拉模块 P3 与输出下拉控制模块 P4 的交点。下拉模块 P3 用于对上拉控制节点 PU 和移位寄存器单元的本级输出端 OUT N 进行放电。

输出下拉控制模块 P4 的第一控制端与上拉控制节点 PU 连接, 第一输入端与下拉控制节点 PD 连接, 第一输出端与低电平端 VGL 连接, 第二控制端与一中间节点连接, 第二输入端与高电平端 VGH 连接, 第二输出端与下拉控制节点 PD 连接, 第三控制端和第三输入端与高电平端 VGH 连接, 第三输出端与所述中间节点连接, 第四控制端与所述中间节点连接, 第四输入端与高电平端 VGH 连接, 第四输出端与输出控制节点 PB 连接, 第五控制端与移位寄存器单元的本级输出端 OUT N 连接, 第五输入端与输出控制节点 PB 连接, 第五输出端与低电平端 VGL 连接, 输出控制节点 PB 为输出下拉控制模块 P4 与输出控制模块 P5 的交点。输出下拉控制模块 P4 用于生成并在输出控制节点 PB 处输出电源使能信号和电源功率提供信号。

输出控制模块 P5 的第一控制端与上拉控制节点 PU 连接, 第一输入端与第一时钟信号端 CL1 连接, 第一输出端与移位寄存器单元的本级输出端 OUT N 连接, 第二控制端与移位寄存器单元的本级输出端 OUT N 连接, 第二输入端与高电平端 VGH 连接, 第二输出端与栅极驱动信号端 GATE

连接，第三控制端与第四级输出端 OUT N+3 连接，第三输入端与栅极驱动信号端 GATE 连接，第三输出端与低电平端 VGL 连接，第四控制端与第二时钟信号端 CL2 连接，第四输入端与输出控制节点 PB 连接，第四输出端与电源功率提供信号端 Elvdd 连接，第五控制端与第三时钟信号端 CL3 连接，第五输入端与输出控制节点 PB 连接，第五输出端与输出电源使能信号端 EM 连接，其中第四级输出端 OUT N+3 为级联的移位寄存器单元中、以本移位寄存器单元作为第一级移位寄存器单元时对应的第四级移位寄存器单元的输出端，输出控制模块 P5 用于生成栅极驱动信号，并在电源使能信号端 EM 输出电源使能信号、在电源功率提供信号端 Elvdd 输出电源功率提供信号和在栅极驱动信号端 GATE 输出栅极驱动信号。

本发明实施例提供的移位寄存器单元包括输入模块 P1、复位模块 P2、下拉模块 P3、输出下拉控制模块 P4 和输出控制模块 P5，其中，输出下拉控制模块 P4 能够在输出控制节点 PB 处生成电源使能信号和电源功率提供信号，输出控制模块 P5 能够生成栅极驱动信号，接收输出下拉控制模块生成的电源使能信号和电源功率提供信号，并在其输出处输出电源使能信号、电源功率提供信号和栅极驱动信号三个控制信号，与现有技术中只能输出一个控制信号的移位寄存器单元相比，本发明中的移位寄存器单元能够同时提供电源使能信号、电源功率提供信号和栅极驱动信号三个控制信号，来驱动像素单元，从而在能够驱动像素单元的前提下，减少了移位寄存器中所需移位寄存器单元的个数，从而简化了移位寄存器的结构，减小了移位寄存器占用的空间。

下面将说明上述移位寄存器单元的驱动方法，其中，上述移位寄存器单元的驱动方法包括两个阶段：

第一阶段，输入模块 P1 接收输入信号端 Input N 的高电平信号，利用高电平端 VGH 的高电平信号为上拉控制节点 PU 充电；输出控制模块 P5 接收上拉控制节点 PU 的高电平信号和第一时钟信号端 CL1 的信号，为移位寄存器单元的本级输出端 OUT N 提供信号，根据移位寄存器单元的本级输出端 OUT N 的信号和第四级输出端 OUT N+3 的信号，在栅极驱动信号端 GATE 输出栅极驱动信号；输出下拉控制模块 P4 接收移位寄存器单元的本级输出端 OUT N 的信号和高电平端 VGH 的高电平信号，在输出控

制节点 PB 生成电源使能信号和电源功率提供信号；输出控制模块 P5 接收第二时钟信号端 CL2 的信号和第三时钟信号端 CL3 的信号，在电源使能信号端 EM 和电源功率提供信号端 Elvdd 分别输出电源使能信号和电源功率提供信号。

第二阶段，复位模块 P2 接收第五级输出端 OUT N+4 的高电平信号，将移位寄存器单元的本级输出端 OUT N 和上拉控制节点 PU 复位至低电平信号；输出下拉控制模块 P4 接收上拉控制节点 PU 的低电平信号，为下拉控制节点 PD 提供高电平信号；下拉模块 P3 接收下拉控制节点 PD 的高电平信号，对上拉控制节点 PU 和移位寄存器单元的本级输出端 OUT N 进行放电；输出控制模块 P5 接收上拉控制节点 PU 的低电平信号和第四级输出端 OUT N+3 的信号，在栅极驱动信号端 GATE 输出低电平信号；输出下拉控制模块 P4 接收移位寄存器单元的本级输出端 OUT N 的信号和高电平端 VGH 的高电平信号，在输出控制节点 PB 生成高电平信号；输出控制模块 P5 接收第二时钟信号端 CL2 的信号和第三时钟信号端 CL3 的信号，在电源使能信号端 EM 和电源功率提供信号端 Elvdd 输出均为高电平信号的输出电源使能信号和电源功率提供信号。

上述驱动方法应用于实施例一中的移位寄存器单元，所述移位寄存器单元的驱动方法具有的优势与移位寄存器单元具有的优势相同，此处不再赘述。

实施例二

请参阅图 2，下面将详细说明实施例一中的输入模块 P1、复位模块 P2、下拉模块 P3、输出下拉控制模块 P4 和输出控制模块 P5 的具体结构。当然，根据本发明的输入模块 P1、复位模块 P2、下拉模块 P3、输出下拉控制模块 P4 和输出控制模块 P5 的结构不局限于图 2 所示的实施例。该实施例仅作为示例提供。

输入模块 P1 包括第一晶体管 T1，其栅极连接输入信号端 Input N，其源极连接高电平端 VGH，其漏极连接上拉控制节点 PU。在该实施例中，第一晶体管 T1 的栅极对应于输入模块的控制端，源极对应于输入模块的输入端，漏极对应于输入模块的输出端。

复位模块 P2 包括第二晶体管 T2 和第三晶体管 T3；其中，第二晶体

管 T2，其栅极连接第五级输出端 OUT N+4，其源极连接移位寄存器单元的本级输出端 OUT N，其漏极连接低电平端 VGL；第三晶体管 T3，其栅极连接第五级输出端 OUT N+4，其源极连接上拉控制节点 PU，其漏极连接低电平端 VGL。在该实施例中，第二晶体管 T2 的栅极和第三晶体管 T3 的栅极对应于复位模块的控制端，第二晶体管 T2 的源极对应于复位模块的第一输入端，第三晶体管 T3 的源极对应于复位模块的第二输入端，第二晶体管 T2 的漏极和第三晶体管 T3 的漏极对应于复位模块的输出端。

下拉模块 P3 包括第四晶体管 T4 和第五晶体管 T5；其中，第四晶体管 T4，其栅极连接下拉控制节点 PD，其源极连接移位寄存器单元的本级输出端 OUT N，其漏极连接低电平端 VGL；第五晶体管 T5，其栅极连接下拉控制节点 PD，其源极连接上拉控制节点 PU，其漏极连接低电平端 VGL。在该实施例中，第四晶体管 T4 的栅极和第五晶体管 T5 的栅极对应于下拉模块的控制端，第四晶体管 T4 的源极对应于下拉模块的第一输入端，第五晶体管 T5 的源极对应于下拉模块的第二输入端，第四晶体管 T4 的漏极和第五晶体管 T5 的漏极对应于下拉模块的输出端。

输出下拉控制模块 P4 包括第六晶体管 T6、第七晶体管 T7、第八晶体管 T8、第九晶体管 T9 和第十晶体管 T10；其中，第六晶体管 T6，其栅极连接上拉控制节点 PU，其源极连接下拉控制节点 PD，其漏极连接低电平端 VGL；第七晶体管 T7，其栅极连接第八晶体管 T8 的漏极和第九晶体管 T9 的栅极，其源极连接高电平端 VGH，其漏极连接下拉控制节点 PD；第八晶体管 T8，其栅极连接高电平端 VGH、其源极连接高电平端 VGH，其漏极连接第九晶体管 T9 的栅极；第九晶体管 T9，其栅极连接第七晶体管的栅极，其源极连接高电平端 VGH，其漏极连接输出控制节点 PB；第十晶体管 T10，其栅极连接移位寄存器单元的本级输出端 OUT N，其源极连接输出控制节点 PB，其漏极连接低电平端 VGL。在该实施例中，第六晶体管 T6 的栅极对应于输出下拉控制模块 P4 的第一控制端，第六晶体管 T6 的源极对应于输出下拉控制模块 P4 的第一输入端，第六晶体管的漏极对应于输出下拉控制模块 P4 的第一输出端；第七晶体管的栅极对应于输出下拉控制模块 P4 的第二控制端，第七晶体管的源极对应于输出下拉控制模块 P4 的第二输入端，第七晶体管的漏极对应于输出下拉控制模块 P4

的第二输出端；第八晶体管的栅极对应于输出下拉控制模块 P4 的第三控制端，第八晶体管的源极对应于输出下拉控制模块 P4 的第三输入端，第八晶体管的漏极对应于输出下拉控制模块 P4 的输出端；第九晶体管的栅极对应于输出下拉控制模块 P4 的第四控制端，第九晶体管的源极对应于输出下拉控制模块 P4 的第四输入端，第九晶体管的漏极对应于输出下拉控制模块 P4 的第四输出端；第十晶体管的栅极对应于输出下拉控制模块 P4 的第五控制端，第十晶体管的源极对应于输出下拉控制模块 P4 的第五输入端，第十晶体管的漏极对应于输出下拉控制模块 P4 的第五输出端。

输出控制模块 P5 包括第一输出控制子模块和第二输出控制子模块，第一输出控制子模块用于输出栅极驱动信号，第二输出控制子模块用于输出电源使能信号和电源功率提供信号。具体的，第一输出控制子模块包括第十一晶体管 T11、第十二晶体管 T12 和第十三晶体管 T13，第二输出控制子模块包括第十四晶体管 T14 和第十五晶体管 T15；其中，第十一晶体管 T11，其栅极连接上拉控制节点 PU，其源极连接第一时钟信号端 CL1，其漏极连接移位寄存器单元的本级输出端 OUT N；第十二晶体管 T12，其栅极连接移位寄存器单元的本级输出端 OUT N，其源极连接高电平端 VGH，其漏极连接栅极驱动信号端 GATE；第十三晶体管 T13，其栅极连接第四级输出端 OUT N+3，其源极连接栅极驱动信号端 GATE，其漏极连接低电平端 VGL；第十四晶体管 T14，其栅极连接第二时钟信号端 CL2，其源极连接输出控制节点 PB，其漏极连接电源功率提供信号端 Elvdd；第十五晶体管 T15，其栅极连接第三时钟信号端 CL3，其源极连接输出控制节点 PB，其漏极连接输出电源使能信号端 EM。在该实施例中，第十一晶体管的栅极对应于输出控制模块 P5 的第一控制端，第十一晶体管的源极对应于输出控制模块 P5 的第一输入端，第十一晶体管的漏极对应于输出控制模块 P5 的第一输出端；第十二晶体管的栅极对应于输出控制模块 P5 的第二控制端，第十二晶体管的源极对应于输出控制模块 P5 的第二输入端，第十二晶体管的漏极对应于输出控制模块 P5 的第二输出端；第十三晶体管的栅极对应于输出控制模块 P5 的第三控制端，第十三晶体管的源极对应于输出控制模块 P5 的第三输入端，第十三晶体管的漏极对应于输出控制模块 P5 的第三输出端；第十四晶体管的栅极对应于输出控制模块

P5 的第四控制端，第十四晶体管的源极对应于输出控制模块 P5 的第四输入端，第十四晶体管的漏极对应于输出控制模块 P5 的第四输出端；第十五晶体管的栅极对应于输出控制模块 P5 的第五控制端，第十五晶体管的源极对应于输出控制模块 P5 的第五输入端，第十五晶体管的漏极对应于输出控制模块 P5 的第五输出端。

其中，输入模块 P1、复位模块 P2、下拉模块 P3、输出下拉控制模块 P4 和输出控制模块 P5 的具体结构之间的具体连接情况如下：第一晶体管 T1，其源极连接第十二晶体管 T12 的源极，其漏极连接第十一晶体管 T11 的栅极、第三晶体管 T3 的源极、第五晶体管 T5 的源极和第六晶体管 T6 的栅极；第二晶体管 T2，其源极连接第十一晶体管 T11 的漏极、第十二晶体管 T12 的栅极、第四晶体管 T4 的源极和第十晶体管 T10 的栅极，其漏极连接第四晶体管 T4 的漏极、第五晶体管 T5 的漏极、第六晶体管 T6 的漏极、第十晶体管 T10 的漏极和第十三晶体管 T13 的漏极；第三晶体管 T3，其源极连接第五晶体管 T5 的源极、第十一晶体管 T11 的栅极和第六晶体管 T6 的栅极，其漏极连接第五晶体管 T5 的漏极、第四晶体管 T4 的漏极、第六晶体管 T6 的漏极、第十晶体管 T10 的漏极和第十三晶体管 T13 的漏极；第四晶体管 T4，其栅极连接第六晶体管 T6 的源极和第七晶体管 T7 的漏极，其源极连接第十一晶体管 T11 的漏极、第十二晶体管 T12 的栅极和第十晶体管 T10 的栅极，其漏极连接第六晶体管 T6 的漏极、第十晶体管 T10 的漏极和第十三晶体管 T13 的漏极；第五晶体管 T5，其栅极连接第六晶体管 T6 的源极和第七晶体管 T7 的漏极，其源极连接第十一晶体管 T11 的栅极和第六晶体管 T6 的栅极，其漏极连接第六晶体管 T6 的漏极、第十晶体管 T10 的漏极和第十三晶体管 T13 的漏极；第六晶体管 T6，其栅极连接第十一晶体管 T11 的栅极，其漏极连接第十三晶体管 T13 的漏极；第九晶体管 T9，其漏极连接第十四晶体管 T14 的源极和第十五晶体管 T15 的源极；第十晶体管 T10，其栅极连接第十二晶体管 T12 的栅极，其源极连接第十四晶体管 T14 的源极和第十五晶体管 T15 的源极，其漏极连接第十三晶体管 T13 的漏极。需要说明的是，上拉控制节点 PU 具体可以为第一晶体管 T1 的漏极和第十一晶体管 T11 的栅极的连接交点，下拉控制节点 PD 具体可以为第六晶体管 T6 的源极和第七晶体管 T7 的栅极的

连接交点,输出控制节点 PB 具体可以是第九晶体管 T9 的漏极和第十晶体管 T10 的源极的连接交点。

本实施例中以各个晶体管为 P 型晶体管为例进行说明,但需要说明的是,各个晶体管也可以为 N 型晶体管,晶体管为 N 型晶体管的电路设计也在本申请的保护范围之内。在该备选实施例中,各个晶体管的连接与上述实施例相同,只是相应输入端和输出端的连接交换。例如,第一晶体管的栅极对应于输入模块的控制端,漏极对应于输入模块的输入端,源极对应于输入模块的输出端。

请参阅图 3,图 3 为与图 2 所示的移位寄存器单元对应的信号时序图,下面将结合图 3 并以各个晶体管为 P 型晶体管为例,对实施例二中的移位寄存器单元的驱动方法进行说明。需要说明的是,实施例一中的第一阶段包括 A-B 阶段、B-C 阶段、C-D 阶段、D-E 阶段和 E-F 阶段,第二阶段包括 F-G 阶段和 G-H 阶段:

在 A-B 阶段,输入信号端 Input N 的信号为高电平信号,第一晶体管 T1 的栅极接收输入信号端 Input N 的高电平信号,第一晶体管 T1 开启,对上拉控制节点 PU 进行充电,上拉控制节点 PU 的信号为高电平信号;第十一晶体管 T11 的栅极接收上拉控制节点 PU 的高电平信号,第十一晶体管 T11 开启,第一时钟信号端 CL1 的信号为低电平信号,移位寄存器单元的本级输出端 OUT N 的信号为低电平信号,第十二晶体管 T12 关闭,栅极驱动信号端 GATE 的信号为低电平信号;上拉控制节点 PU 的信号为高电平信号,第六晶体管 T6 开启,下拉控制节点 PD 的信号为低电平信号,第四晶体管 T4 和第五晶体管 T5 均关闭;第十晶体管 T10 的栅极接收移位寄存器单元的本级输出端 OUT N 的低电平信号,第十晶体管 T10 关闭,故输出控制节点 PB 的信号为高电平信号;第二时钟信号端 CL2 的信号为低电平信号,第十四晶体管 T14 关闭,电源功率提供信号端 Elvdd 的信号为高电平信号;第三时钟信号端 CL3 的信号为高电平信号,第十五晶体管 T15 开启,电源使能信号端 EM 的信号为高电平信号。

在 B-C 阶段,输入信号端 Input N 的信号为低电平信号,第一晶体管 T1 关闭,上拉控制节点 PU 保持 A-B 阶段时的高电平信号;第十一晶体管 T11 开启,第一时钟信号端 CL1 的信号为高电平信号,移位寄存器单

元的本级输出端 OUT N 的信号为高电平信号，第十二晶体管 T12 的栅极接收移位寄存器单元的本级输出端 OUT N 的高电平信号，第十二晶体管 T12 开启，栅极驱动信号端 GATE 通过第十二晶体管 T12 接收高电平端 VGH 的高电平信号，并输出栅极驱动信号，栅极驱动信号为高电平信号；上拉控制节点 PU 的信号为高电平信号，第六晶体管 T6 开启，下拉控制节点 PD 的信号为低电平信号，第四晶体管 T4 和第五晶体管 T5 仍保持关闭状态；第十晶体管 T10 的栅极接收移位寄存器单元的本级输出端 OUT N 的高电平信号，第十晶体管 T10 开启，输出控制节点 PB 的信号为低电平信号；第二时钟信号端 CL2 的信号为高电平信号，第十四晶体管 T14 开启，电源功率提供信号端 Elvdd 输出电源功率提供信号，电源功率提供信号为低电平信号；第三时钟信号端 CL3 的信号为低电平信号，第十五晶体管 T15 关闭，电源使能信号端 EM 的信号保持为高电平信号。

在 C-D 阶段，输入信号端 Input N 的信号为高电平信号，第一晶体管 T1 开启，对上拉控制节点 PU 进行充电，上拉控制节点 PU 的信号为高电平信号；第十一晶体管 T11 开启，第一时钟信号端 CL1 的信号为低电平信号，移位寄存器单元的本级输出端 OUT N 的信号为低电平信号，第十二晶体管 T12 关闭，栅极驱动信号端 GATE 的信号保持为 B-C 阶段的高电平信号，即栅极驱动信号端 GATE 继续输出栅极驱动信号；上拉控制节点 PU 的信号为高电平信号，第六晶体管 T6 开启，下拉控制节点 PD 的信号为低电平信号，第四晶体管 T4 和第五晶体管 T5 均关闭；第十晶体管 T10 的栅极接收移位寄存器单元的本级输出端 OUT N 的低电平信号，第十晶体管 T10 关闭，故输出控制节点 PB 的信号为高电平信号；第二时钟信号端 CL2 的信号为高电平信号，第十四晶体管 T14 开启，电源功率提供信号端 Elvdd 的信号为高电平信号；第三时钟信号端 CL3 的信号为低电平信号，第十五晶体管 T15 关闭，电源使能信号端 EM 的信号保持为高电平信号。

在 D-E 阶段，输入信号端 Input N 的信号为低电平信号，第一晶体管 T1 关闭，上拉控制节点 PU 保持 C-D 阶段的高电平信号，第十一晶体管 T11 开启，第一时钟信号端 CL1 的信号为高电平信号，移位寄存器单元的本级输出端 OUT N 的信号为高电平信号，第十二晶体管 T12 的栅极接收

移位寄存器单元的本级输出端 OUT N 的高电平信号，第十二晶体管 T12 开启，栅极驱动信号端 GATE 通过第十二晶体管 T12 接收高电平端 VGH 的高电平信号，并输出栅极驱动信号，栅极驱动信号为高电平信号；上拉控制节点 PU 的信号为高电平信号，第六晶体管 T6 开启，下拉控制节点 PD 的信号为低电平信号，第四晶体管 T4 和第五晶体管 T5 仍保持关闭状态；第十晶体管 T10 的栅极接收移位寄存器单元的本级输出端 OUT N 的高电平信号，第十晶体管 T10 开启，输出控制节点 PB 的信号为低电平信号；第二时钟信号端 CL2 的信号为低电平信号，第十四晶体管 T14 关闭，电源功率提供信号端 Elvdd 的信号为高电平信号；第三时钟信号端 CL3 的信号为高电平信号，第十五晶体管 T15 开启，电源使能信号端 EM 输出电源使能信号，电源使能信号为低电平信号。

在 E-F 阶段，输入信号端 Input N 的信号为低电平信号，第一晶体管 T1 关闭，上拉控制节点 PU 保持 D-E 阶段的高电平信号，第十一晶体管 T11 开启，第一时钟信号端 CL1 的信号为低电平信号，移位寄存器单元的本级输出端 OUT N 的信号为低电平信号，第十二晶体管 T12 关闭；第四级输出端 OUT N+3 的信号为高电平信号，第十三晶体管 T13 开启，栅极驱动信号端 GATE 的信号为低电平信号；上拉控制节点 PU 的信号为高电平信号，第六晶体管 T6 开启，下拉控制节点 PD 的信号为低电平信号，第四晶体管 T4 和第五晶体管 T5 均关闭；第十晶体管 T10 的栅极接收移位寄存器单元的本级输出端 OUT N 的低电平信号，第十晶体管 T10 关闭，故输出控制节点 PB 的信号为高电平信号；第二时钟信号端 CL2 的信号为低电平信号，第十四晶体管 T14 关闭，电源功率提供信号端 Elvdd 的信号为高电平信号；第三时钟信号端 CL3 的信号为高电平信号，第十五晶体管 T15 开启，电源使能信号端 EM 的信号为高电平信号。

在 F-G 阶段，输入信号端 Input N 的信号为低电平信号，第一晶体管 T1 关闭；第五级输出端 OUT N+4 的信号为高电平信号，第二晶体管 T2 和第三晶体管 T3 均开启，通过第二晶体管 T2 对移位寄存器单元的本级输出端 OUT N 进行放电，移位寄存器单元的本级输出端 OUT N 复位至低电平信号，通过第三晶体管 T3 对上拉控制节点 PU 进行放电，上拉控制节点 PU 复位至低电平信号；第六晶体管 T6 的栅极接收上拉控制节点 PU 的

低电平信号，第六晶体管 T6 关闭，故下拉控制节点 PD 为高电平信号；第四晶体管 T4 的栅极和第五晶体管 T5 的栅极接收下拉控制节点 PD 的高电平信号，第四晶体管 T4 和第五晶体管 T5 均开启，第四晶体管 T4 进一步对移位寄存器单元的本级输出端 OUT N 进行放电，第五晶体管 T5 进一步对上拉控制节点 PU 进行放电；移位寄存器单元的本级输出端 OUT N 的信号为低电平信号，第十晶体管 T10 关闭，输出控制节点 PB 为高电平信号；第二时钟信号端 CL2 的信号为高电平信号，第十四晶体管 T14 开启，电源功率提供信号端 Elvdd 的信号为高电平信号；第三时钟信号端 CL3 的信号为低电平信号，第十五晶体管 T15 关闭，电源使能信号端 EM 的信号为高电平信号。

在 G-H 阶段，输入信号端 Input N 的信号为低电平信号，第一晶体管 T1 关闭；第五级输出端 OUT N+4 的信号为低电平信号，第二晶体管 T2 和第三晶体管 T3 均关闭，移位寄存器单元的本级输出端 OUT N 保持 F-G 阶段的低电平信号，上拉控制节点 PU 保持 F-G 阶段的低电平信号；第六晶体管 T6 的栅极接收上拉控制节点 PU 的低电平信号，第六晶体管 T6 关闭，故下拉控制节点 PD 为高电平信号；第四晶体管 T4 的栅极和第五晶体管 T5 的栅极接收下拉控制节点 PD 的高电平信号，第四晶体管 T4 和第五晶体管 T5 均开启，第四晶体管 T4 进一步对移位寄存器单元的本级输出端 OUT N 进行放电，第五晶体管 T5 进一步对上拉控制节点 PU 进行放电；移位寄存器单元的本级输出端 OUT N 的信号为低电平信号，第十晶体管 T10 关闭，输出控制节点 PB 为高电平信号；第二时钟信号端 CL2 的信号为高电平信号，第十四晶体管 T14 开启，电源功率提供信号端 Elvdd 的信号为高电平信号；第三时钟信号端 CL3 的信号为低电平信号，第十五晶体管 T15 关闭，电源使能信号端 EM 的信号为高电平信号。

在 A-H 阶段，第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9 均保持开启，其中第八晶体管 T8 输出为高，控制第七晶体管 T7 和第九晶体管 T9 开启，从而分别为 PD 点和 PB 点写入高电平信号。

虽然在图 2 中示出了第八晶体管 T8 的栅极和源极均与高电平端 VGH 连接，但是，也可以将其与第一时钟信号 CL1 的反向信号相连，从而确保 PU 点在 PU 点之前为高电平，使得 PU 点为高电平时能对 PD 点进行放电。

需要说明的是，第二时钟信号端 CL2 的信号与第三时钟信号端 CL3 的信号互为反相信号；第一时钟信号端 CL1 的信号的频率与第二时钟信号端 CL2 的信号的频率不同，优选的，第一时钟信号端 CL1 的信号的频率为第二时钟信号端 CL2 的信号的频率的 2 倍。

实施例三

请参阅图 4，本发明还提供了一种移位寄存器，该移位寄存器包括多级上述实施例一、二中的移位寄存器单元，其中，前一级移位寄存器单元的本级输出端连接后一级移位寄存器单元的输入信号端。比如，如图 4 所示，第一级移位寄存器单元 UNIT1 的本级输出端 OUT 1 连接第二级移位寄存器单元 UNIT2 的输入信号端 Input 2。

进一步地，所述移位寄存器包括 N 级上述实施例一、二中的移位寄存器单元，N 为大于或等于 4 的整数；其中，第 i 级移位寄存器单元的第一时钟信号端 CL1 与第 i+2 级移位寄存器单元的第一时钟信号端 CL1 均输入第一时钟信号，第 i+1 级移位寄存器单元的第一时钟信号端 CL1 与第 i+3 级移位寄存器单元的第一时钟信号端 CL1 均输入第一时钟信号的反相信号；第 i 级移位寄存器单元的第二时钟信号端 CL2 与第 i+1 级移位寄存器单元的第二时钟信号端 CL2 均输入第二时钟信号，第 i+2 级移位寄存器单元的第二时钟信号端 CL2 与第 i+3 级移位寄存器单元的第二时钟信号端 CL2 均输入第二时钟信号的反向信号；第 i 级移位寄存器单元的第三时钟信号端 CL3 与第 i+1 级移位寄存器单元的第三时钟信号端 CL3 均输入第二时钟信号的反向信号，第 i+2 级移位寄存器单元的第三时钟信号端 CL3 与第 i+3 级移位寄存器单元的第三时钟信号端 CL3 均输入第二时钟信号，i 为整数， $i \geq 1$ 且 $i+3 \leq N$ 。比如：如图 4 所示，第一级移位寄存器单元 UNIT 1 的第一时钟信号端 CL1 输入第一时钟信号 CLK1，第二时钟信号端 CL2 输入第二时钟信号 CLK2，第三时钟信号端 CL3 输入第二时钟信号的反相信号 CLK2B，第一复位端 Reset 11 连接第四级移位寄存器的输出端 OUT 4，第二复位端 Reset 12 连接第五级寄存器的输出端 OUT 5；第二级移位寄存器单元 UNIT 2 的第一时钟信号端 CL1 输入第一时钟信号的反相信号 CLK1B，第二时钟信号端 CL2 输入第二时钟信号 CLK2，第三时钟信号端 CL3 输入第二时钟信号的反相信号 CLK2B，第一复位端 Reset 21 连接第

五级移位寄存器的输出端 OUT 5，第二复位端 Reset 22 连接第六级寄存器的输出端 OUT 6；第三级移位寄存器单元 UNIT 3 的第一时钟信号端 CL1 输入第一时钟信号 CLK1，第二时钟信号端 CL2 输入第二时钟信号的反相信号 CLK2B，第三时钟信号端 CL3 输入第二时钟信号 CLK2，第一复位端 Reset 31 连接第六级移位寄存器的输出端 OUT 6，第二复位端 Reset 32 连接第七级寄存器的输出端 OUT 7；第四级移位寄存器单元 UNIT 4 的第一时钟信号端 CL1 输入第一时钟信号的反相信号 CLK1B，第二时钟信号端 CL2 输入第二时钟信号的反相信号 CLK2B，第三时钟信号端 CL3 输入第二时钟信号 CLK2，第一复位端 Reset 41 连接第七级移位寄存器的输出端 OUT 7，第二复位端 Reset 42 连接第八级寄存器的输出端 OUT 8；第五级移位寄存器单元 UNIT 5 的第一时钟信号端 CL1 输入第一时钟信号 CLK1，第二时钟信号端 CL2 输入第二时钟信号 CLK2，第三时钟信号端 CL3 输入第二时钟信号的反相信号 CLK2B，第一复位端 Reset 51 连接第八级移位寄存器的输出端 OUT 8，第二复位端 Reset 52 连接第九级寄存器的输出端 OUT 9，其余更多级的移位寄存器单元的连接情况以此类推。

在图 4 中未示出各级移位寄存器单元的栅极驱动信号输出端、电源使能信号输出端和电源功率提供信号输出端的连接。显然，各级移位寄存器单元输出的栅极驱动信号、电源使能信号和电源功率提供信号用于驱动相应的一行像素单元。即，各级移位寄存器单元的栅极驱动信号输出端、电源使能信号输出端和电源功率提供信号输出端与相应的像素单元的端子相连。

需要说明的是，所述移位寄存器中的移位寄存器单元与上述实施例一、二中的移位寄存器单元具有的优势相同，此处不再赘述。

请参阅图 5，图 5 为与实施例三中的移位寄存器对应的信号时序图，移位寄存器的具体驱动方法参见组成移位寄存器的移位寄存器单元的驱动方法，图 5 的信号时序说明也可以参照图 3 对应的信号时序说明。

当然，考虑到晶体管的充放电，为了确保各个移位寄存器单元的驱动时序，可以提供第三时钟信号，其相对于第二时钟信号滞后，例如，相对于第二时钟信号滞后半个时钟周期。在移位寄存器包括 N 级移位寄存器单元，其中 N 为大于或等于 4 的整数的实施例中，第 i 级移位寄存器单元的

第一时钟信号端 CL1 与第 $i+2$ 级移位寄存器单元的第一时钟信号端 CL1 均输入第一时钟信号, 第 $i+1$ 级移位寄存器单元的第一时钟信号端 CL1 与第 $i+3$ 级移位寄存器单元的第一时钟信号端 CL1 均输入第一时钟信号的反相信号; 第 i 级移位寄存器单元的第二时钟信号端 CL2 输入第二时钟信号, 第 $i+1$ 级移位寄存器单元的第二时钟信号端 CL2 输入第三时钟信号, 第 $i+2$ 级移位寄存器单元的第二时钟信号端 CL2 输入第二时钟信号的反向信号, 第 $i+3$ 级移位寄存器单元的第二时钟信号端 CL2 输入第三时钟信号的反向信号; 第 i 级移位寄存器单元的第三时钟信号端 CL3 输入第二时钟信号的反向信号, 第 $i+1$ 级移位寄存器单元的第三时钟信号端 CL3 输入第三时钟信号的反向信号, 第 $i+2$ 级移位寄存器单元的第三时钟信号端 CL3 输入第二时钟信号, 第 $i+3$ 级移位寄存器单元的第三时钟信号端 CL3 输入第三时钟信号, i 为整数, $i \geq 1$ 且 $i+3 \leq N$ 。比如: 如图 6 所示, 第一级移位寄存器单元 UNIT 1 的第一时钟信号端 CL1 输入第一时钟信号 CLK1, 第二时钟信号端 CL2 输入第二时钟信号 CLK2, 第三时钟信号端 CL3 输入第二时钟信号的反相信号 CLK2B, 第一复位端 Reset 11 连接第四级移位寄存器的输出端 OUT 4, 第二复位端 Reset 12 连接第五级寄存器的输出端 OUT 5; 第二级移位寄存器单元 UNIT 2 的第一时钟信号端 CL1 输入第一时钟信号的反相信号 CLK1B, 第二时钟信号端 CL2 输入第三时钟信号 CLK3, 第三时钟信号端 CL3 输入第三时钟信号的反相信号 CLK3B, 第一复位端 Reset 21 连接第五级移位寄存器的输出端 OUT 5, 第二复位端 Reset 22 连接第六级寄存器的输出端 OUT 6; 第三级移位寄存器单元 UNIT 3 的第一时钟信号端 CL1 输入第一时钟信号 CLK1, 第二时钟信号端 CL2 输入第二时钟信号的反相信号 CLK2B, 第三时钟信号端 CL3 输入第二时钟信号 CLK2, 第一复位端 Reset 31 连接第六级移位寄存器的输出端 OUT 6, 第二复位端 Reset 32 连接第七级寄存器的输出端 OUT 7; 第四级移位寄存器单元 UNIT 4 的第一时钟信号端 CL1 输入第一时钟信号的反相信号 CLK1B, 第二时钟信号端 CL2 输入第三时钟信号的反相信号 CLK3B, 第三时钟信号端 CL3 输入第三时钟信号 CLK3, 第一复位端 Reset 41 连接第七级移位寄存器的输出端 OUT 7, 第二复位端 Reset 42 连接第八级寄存器的输出端 OUT 8; 第五级移位寄存器单元 UNIT 5 的第一时钟信号端 CL1 输入第一

时钟信号 CLK1, 第二时钟信号端 CL2 输入第二时钟信号 CLK2, 第三时钟信号端 CL3 输入第二时钟信号的反相信号 CLK2B, 第一复位端 Reset 51 连接第八级移位寄存器的输出端 OUT 8, 第二复位端 Reset 52 连接第九级寄存器的输出端 OUT 9, 其余更多级的移位寄存器单元的连接情况以此类推。

图 7 为与该实施例中的移位寄存器对应的信号时序图, 移位寄存器的具体驱动方法参见组成移位寄存器的移位寄存器单元的驱动方法, 图 7 的信号时序说明也可以参照图 3 对应的信号时序说明。

实施例四

本发明还提供了一种显示装置, 该显示装置包括上述实施例三中的移位寄存器, 其中, 移位寄存器中的移位寄存器单元提供的输出电源使能信号、电源功率提供信号和栅极驱动信号用于驱动显示装置中的像素单元。所述显示装置中的移位寄存器与上述实施例中的移位寄存器具有的优势相同, 此处不再赘述。具体的, 显示装置可以为有机发光二极管显示面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本说明书中的各个实施例均采用递进的方式描述, 各个实施例之间相同相似的部分互相参见即可, 每个实施例重点说明的都是与其他实施例的不同之处。对于驱动方法实施例而言, 由于其应用于装置实施例, 相关之处参见装置实施例的部分说明即可。

以上所述, 仅为本发明的具体实施方式, 但本发明的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本发明揭露的技术范围内, 可轻易想到变化或替换, 都应涵盖在本发明的保护范围之内。因此, 本发明的保护范围应以所述权利要求的保护范围为准。

权 利 要 求

1、一种移位寄存器单元，其特征在于，包括：

输入模块，其控制端与输入信号端连接，输入端与高电平端连接，输出端与上拉控制节点连接，所述输入模块用于在所述输入信号端的信号的控制下在上拉控制节点输出上拉控制信号；

复位模块，其控制端与第五级输出端连接，第一输入端与移位寄存器单元的本级输出端连接，第二输入端与上拉控制节点连接，输出端与低电平端连接，所述第五级输出端为移位寄存器单元作为第一级移位寄存器单元时对应的第五级移位寄存器单元的输出端，所述复位模块用于对所述移位寄存器单元的本级输出端和所述上拉控制节点进行复位；

下拉模块，其控制端与下拉控制节点连接，第一输入端与移位寄存器单元的本级输出端连接，第二输入端与上拉控制节点连接，输出端与低电平端连接，所述下拉模块用于对所述上拉控制节点和所述移位寄存器单元的本级输出端进行放电；

输出下拉控制模块，其第一控制端与上拉控制节点连接，第一输入端与下拉控制节点连接，第一输出端与低电平端连接，第二控制端与一中间节点连接，第二输入端与高电平端连接，第二输出端与下拉控制节点连接，第三控制端和第三输入端与高电平端连接，第三输出端与所述中间节点连接，第四控制端与所述中间节点连接，第四输入端与高电平端连接，第四输出端与输出控制节点连接，第五控制端与移位寄存器单元的本级输出端连接，第五输入端与输出控制节点连接，第五输出端与低电平端连接；所述输出下拉控制模块用于生成电源使能信号和电源功率提供信号；

输出控制模块，其第一控制端与上拉控制节点连接，第一输入端与第一时钟信号端连接，第一输出端与移位寄存器单元的本级输出端连接，第二控制端与移位寄存器单元的本级输出端连接，第二输入端与高电平端连接，第二输出端与栅极驱动信号端连接，第三控制端与第四级输出端连接，第三输入端与栅极驱动信号端连接，第三输出端与低电平端连接，第四控制端与第二时钟信号端连接，第四输入端与输出控制节点连接，第四输出端与电源功率提供信号端连接，第五控制端与第三时钟信号端连接，第五

输入端与输出控制节点连接，第五输出端与输出电源使能信号端连接，所述第四级输出端为所述移位寄存器单元作为第一级移位寄存器单元时对应的第四级移位寄存器单元的输出端，所述输出控制模块用于生成栅极驱动信号，并输出所述电源使能信号、所述电源功率提供信号和所述栅极驱动信号。

2、根据权利要求 1 所述的移位寄存器单元，其特征在于，所述输出控制模块包括第一输出控制子模块和第二输出控制子模块，所述第一输出控制子模块用于输出所述栅极驱动信号，所述第二输出控制子模块用于输出所述输出电源使能信号和所述电源功率提供信号。

3、根据权利要求 1 或 2 所述的移位寄存器单元，其特征在于，所述输入模块包括第一晶体管，其栅极连接所述输入信号端，其源极连接所述高电平端和所述输出控制模块，其漏极连接所述上拉控制节点。

4、根据权利要求 1-3 之一所述的移位寄存器单元，其特征在于，所述复位模块包括第二晶体管和第三晶体管；

其中，所述第二晶体管，其栅极连接所述第三晶体管的栅极，其源极连接所述移位寄存器单元的本级输出端，其漏极连接所述低电平端；

所述第三晶体管，其栅极连接所述第五级输出端，其源极连接所述上拉控制节点，其漏极连接所述低电平端。

5、根据权利要求 1-4 之一所述的移位寄存器单元，其特征在于，所述下拉模块包括第四晶体管和第五晶体管；

其中，所述第四晶体管，其栅极连接所述下拉控制节点，其源极连接所述移位寄存器单元的本级输出端，其漏极连接所述低电平端；

所述第五晶体管，其栅极连接所述下拉控制节点，其源极连接所述上拉控制节点，其漏极连接所述低电平端。

6、根据权利要求 1-5 之一所述的移位寄存器单元，其特征在于，所述输出下拉控制模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管和第十晶体管；

其中，所述第六晶体管，其栅极连接所述上拉控制节点，其源极连接所述下拉控制节点，其漏极连接所述低电平端；

所述第七晶体管，其栅极连接所述第八晶体管的漏极和第九晶体管的

栅极，其源极连接所述高电平端，其漏极连接所述下拉控制节点；

所述第八晶体管，其栅极连接所述高电平端，其源极连接所述高电平端，其漏极连接所述第九晶体管的栅极；

所述第九晶体管，其栅极连接第七晶体管的栅极，其源极连接高电平端 VGH，其漏极连接所述输出控制节点；

所述第十晶体管，其栅极连接所述移位寄存器单元的本级输出端，其源极连接所述输出控制节点，其漏极连接所述低电平端。

7、根据权利要求 2-6 之一所述的移位寄存器单元，其特征在于，所述第一输出控制子模块包括第十一晶体管、第十二晶体管和第十三晶体管，所述第二输出控制子模块包括第十四晶体管和第十五晶体管；

其中，所述第十一晶体管，其栅极连接所述上拉控制节点，其源极连接所述第一时钟信号端，其漏极连接所述移位寄存器单元的本级输出端；

所述第十二晶体管，其栅极连接所述移位寄存器单元的本级输出端，其源极连接所述高电平端，其漏极连接所述栅极驱动信号端；

所述第十三晶体管，其栅极连接所述第四级输出端，其源极连接所述栅极驱动信号端，其漏极连接所述低电平端；

所述第十四晶体管，其栅极连接所述第二时钟信号端，其源极连接所述输出控制节点，其漏极连接所述电源功率提供信号端；

所述第十五晶体管，其栅极连接所述第三时钟信号端，其源极连接所述输出控制节点，其漏极连接所述输出电源使能信号端。

8、根据权利要求 7 所述的移位寄存器单元，其特征在于，所述第一晶体管，其源极连接所述第十二晶体管的源极，其漏极连接所述第十一晶体管的栅极、所述第三晶体管的源极、所述第五晶体管的源极和所述第六晶体管的栅极；

所述第二晶体管，其源极连接所述第十一晶体管的漏极、第十二晶体管的栅极、所述第四晶体管的源极和所述第十晶体管的栅极，其漏极连接所述第四晶体管的漏极、所述第五晶体管的漏极、所述第六晶体管的漏极、所述第十晶体管的漏极和所述第十三晶体管的漏极；

所述第三晶体管，其源极连接所述第五晶体管的源极、所述第十一晶体管的栅极和所述第六晶体管的栅极，其漏极连接所述第五晶体管的漏极、

所述第四晶体管的漏极、所述第六晶体管的漏极、所述第十晶体管的漏极和所述第十三晶体管的漏极；

所述第四晶体管，其栅极连接所述第六晶体管的源极和所述第七晶体管的漏极，其源极连接所述第十一晶体管的漏极、所述第十二晶体管的栅极和所述第十晶体管的栅极，其漏极连接所述第六晶体管的漏极、所述第十晶体管的漏极和所述第十三晶体管的漏极；

所述第五晶体管，其栅极连接所述第六晶体管的源极和所述第七晶体管的漏极，其源极连接所述第十一晶体管的栅极和所述第六晶体管的栅极，其漏极连接所述第六晶体管的漏极、所述第十晶体管的漏极和所述第十三晶体管的漏极；

所述第六晶体管，其栅极连接所述第十一晶体管的栅极，其漏极连接所述第十三晶体管的漏极；

所述第九晶体管，其漏极连接所述第十四晶体管的源极和所述第十五晶体管的源极；

所述第十晶体管，其栅极连接所述第十二晶体管的栅极，其源极连接所述第十四晶体管的源极和所述第十五晶体管的源极，其漏极连接所述第十三晶体管的漏极。

9、根据权利要求 1-8 之一所述的移位寄存器单元，其特征在于，所述第一时钟信号端的信号的频率与所述第二时钟信号端的信号的频率不同；所述第二时钟信号端的信号与所述第三时钟信号端的信号互为反相信号。

10、一种根据权利要求 1 所述的移位寄存器单元的驱动方法，其特征在于，包括：

第一阶段，输入模块接收输入信号端的高电平信号，利用高电平端的高电平信号为上拉控制节点充电；输出控制模块接收所述上拉控制节点的高电平信号和第一时钟信号端的信号，为移位寄存器单元的本级输出端提供信号，根据所述移位寄存器单元的本级输出端的信号和第四级输出端的信号，在栅极驱动信号端输出栅极驱动信号；输出下拉控制模块接收所述移位寄存器单元的本级输出端的信号和所述高电平端的高电平信号，在输出控制节点生成电源使能信号和电源功率提供信号；输出控制模块接收第二时钟信号端的信号和第三时钟信号端的信号，在所述电源使能信号端和

所述电源功率提供信号端分别输出所述电源使能信号和所述电源功率提供信号；

第二阶段，复位模块接收第五级输出端的高电平信号，将所述移位寄存器单元的本级输出端和所述上拉控制节点复位至低电平信号；输出下拉控制模块接收所述上拉控制节点的低电平信号，为下拉控制节点提供高电平信号；所述下拉模块接收所述下拉控制节点的高电平信号，对所述上拉控制节点和所述移位寄存器单元的本级输出端进行放电；所述输出控制模块接收所述上拉控制节点的低电平信号和所述第四级输出端的信号，在所述栅极驱动信号端输出低电平信号；所述输出下拉控制模块接收所述移位寄存器单元的本级输出端的信号和所述高电平端的高电平信号，在输出控制节点生成高电平信号；所述输出控制模块接收所述第二时钟信号端的信号和所述第三时钟信号端的信号，在所述电源使能信号端和所述电源功率提供信号端输出均为高电平信号的输出电源使能信号和电源功率提供信号。

11、根据权利要求 10 所述的移位寄存器单元的驱动方法，其特征在于，当应用于根据权利要求 9 所述的移位寄存器单元时，所述第一阶段具体包括：

第一晶体管的栅极接收输入信号端的高电平信号时，所述第一晶体管开启，利用高电平端的高电平信号为上拉控制节点充电；所述第一晶体管的栅极接收输入信号端的低电平信号时，所述第一晶体管关闭，所述上拉控制节点的信号保持为高电平信号；

第十一晶体管的栅极接收所述上拉控制节点的高电平信号，所述第十一晶体管开启，所述第十一晶体管接收第一时钟信号端的信号，将所述第一时钟信号端的信号传输至移位寄存器单元的本级输出端，作为所述移位寄存器单元的本级输出端的信号；

第十二晶体管的栅极接收所述移位寄存器单元的本级输出端的信号，所述第十二晶体管开启或关闭，所述栅极驱动信号端输出栅极驱动信号或低电平信号；

第十晶体管的栅极接收所述移位寄存器单元的本级输出端的信号和高电平端的高电平信号，输出控制节点生成所述电源使能信号和所述电源

功率提供信号；

第十四晶体管的栅极接收第二时钟信号端的高电平信号，所述第十四晶体管开启，所述电源功率提供信号端输出所述电源功率提供信号或高电平信号；

第十五晶体管的栅极接收第三时钟信号端的高电平信号，所述第十五晶体管开启，所述电源使能信号端输出所述电源使能信号或高电平信号；

其中，第二时钟信号端的信号与第三时钟信号端的信号互为反相信号。

12、根据权利要求 10 所述的移位寄存器单元的驱动方法，其特征在于，当应用于根据权利要求 9 所述的移位寄存器单元时，所述第二阶段具体包括：

第二晶体管的栅极接收第五级输出端的高电平信号，所述第二晶体管开启，将所述移位寄存器单元的本级输出端复位至低电平信号；

第三晶体管的栅极接收第五级输出端的高电平信号，所述第二晶体管开启，将所述上拉控制节点复位至低电平信号；

第六晶体管的栅极接收所述上拉控制节点的低电平信号，第六晶体管关闭；

第八晶体管的栅极接收所述高电平端的高电平信号，所述第八晶体管开启；

第七晶体管的栅极通过所述第八晶体管接收所述高电平端的高电平信号，所述第七晶体管开启，为所述下拉控制节点提供高电平信号；

第四晶体管的栅极接收所述下拉控制节点的高电平信号，所述第四晶体管开启，对所述移位寄存器单元的本级输出端进行放电；

第五晶体管的栅极接收所述下拉控制节点的高电平信号，所述第五晶体管开启，对所述上拉控制节点进行放电；

所述第十晶体管的栅极接收所述移位寄存器单元的本级输出端的低电平信号，所述第十晶体管关闭；

第九晶体管的栅极通过第八晶体管接收所述高电平端的高电平信号，所述第九晶体管开启，为所述输出控制节点提供高电平信号；

第十四晶体管的栅极接收第二时钟信号端的高电平信号，所述第十四晶体管开启，所述电源功率提供信号端输出高电平信号；

第十五晶体管的栅极接收第三时钟信号端的高电平信号，所述第十五晶体管开启，所述电源使能信号端输出高电平信号；

其中，第二时钟信号端的信号与第三时钟信号端的信号互为反相信号。

13、一种移位寄存器，其特征在于，包括级联的多级上述权利要求 1-9 中任意一项所述的移位寄存器单元，其中，前一级移位寄存器单元的本级输出端连接后一级移位寄存器单元的输入信号端。

14、根据权利要求 13 所述的移位寄存器，其特征在于，所述移位寄存器包括 N 级所述移位寄存器单元，N 为大于或等于 4 的整数；

其中，第 i 级移位寄存器单元的第一时钟信号端与第 i+2 级移位寄存器单元的第一时钟信号端均输入第一时钟信号，第 i+1 级移位寄存器单元的第一时钟信号端与第 i+3 级移位寄存器单元的第一时钟信号端均输入第一时钟信号的反相信号；第 i 级移位寄存器单元的第二时钟信号端与第 i+1 级移位寄存器单元的第二时钟信号端均输入第二时钟信号，第 i+2 级移位寄存器单元的第二时钟信号端与第 i+3 级移位寄存器单元的第二时钟信号端均输入第二时钟信号的反向信号；第 i 级移位寄存器单元的第三时钟信号端与第 i+1 级移位寄存器单元的第三时钟信号端均输入第二时钟信号的反向信号，第 i+2 级移位寄存器单元的第三时钟信号端与第 i+3 级移位寄存器单元的第三时钟信号端均输入第二时钟信号，i 为整数， $i \geq 1$ 且 $i+3 \leq N$ 。

15、一种显示装置，其特征在于，包括如权利要求 13 或 14 所述的移位寄存器，其中，所述移位寄存器中的移位寄存器单元提供的输出电源使能信号、电源功率提供信号和栅极驱动信号用于驱动所述显示装置中的像素单元。

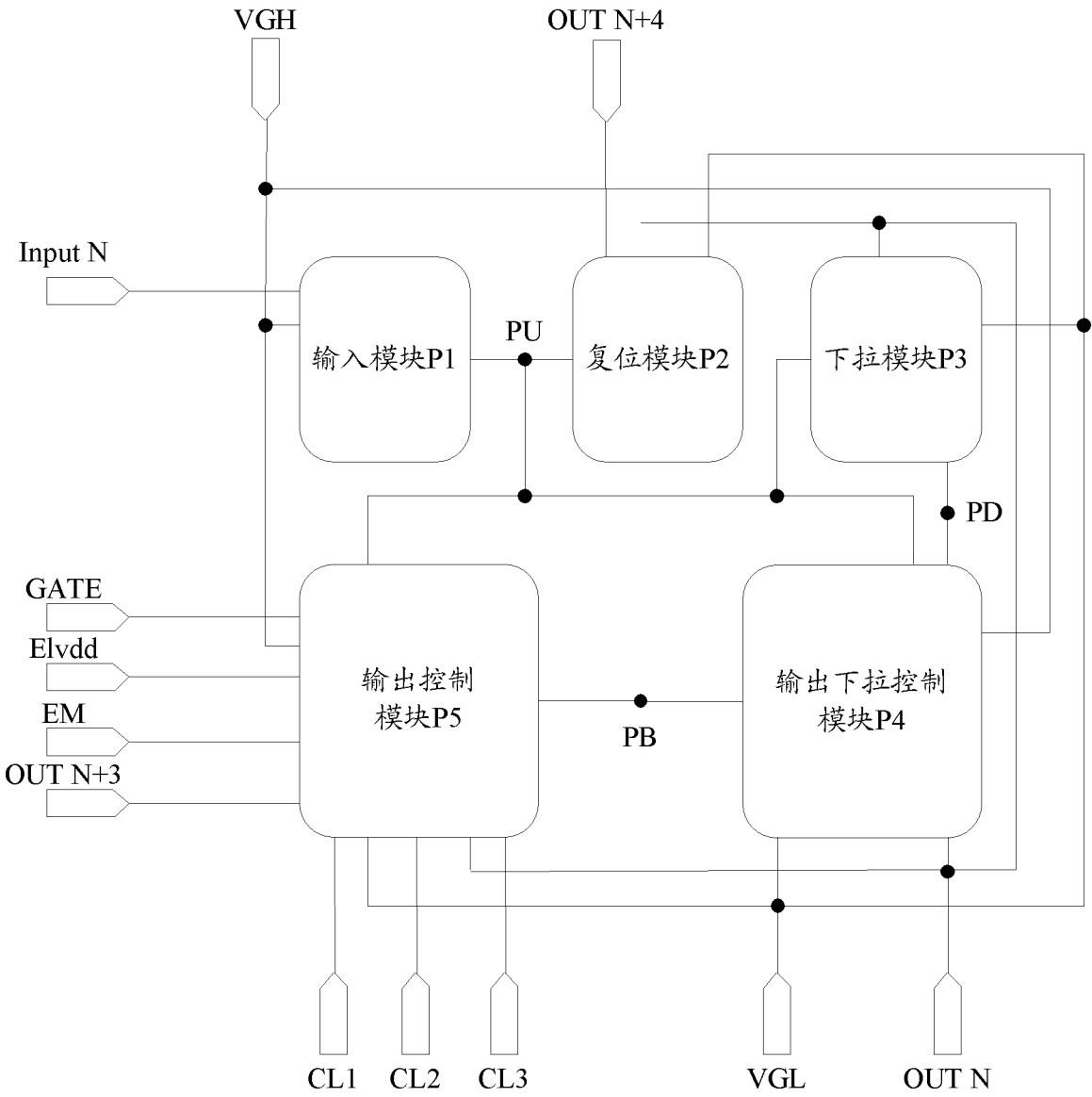


图1

2/7

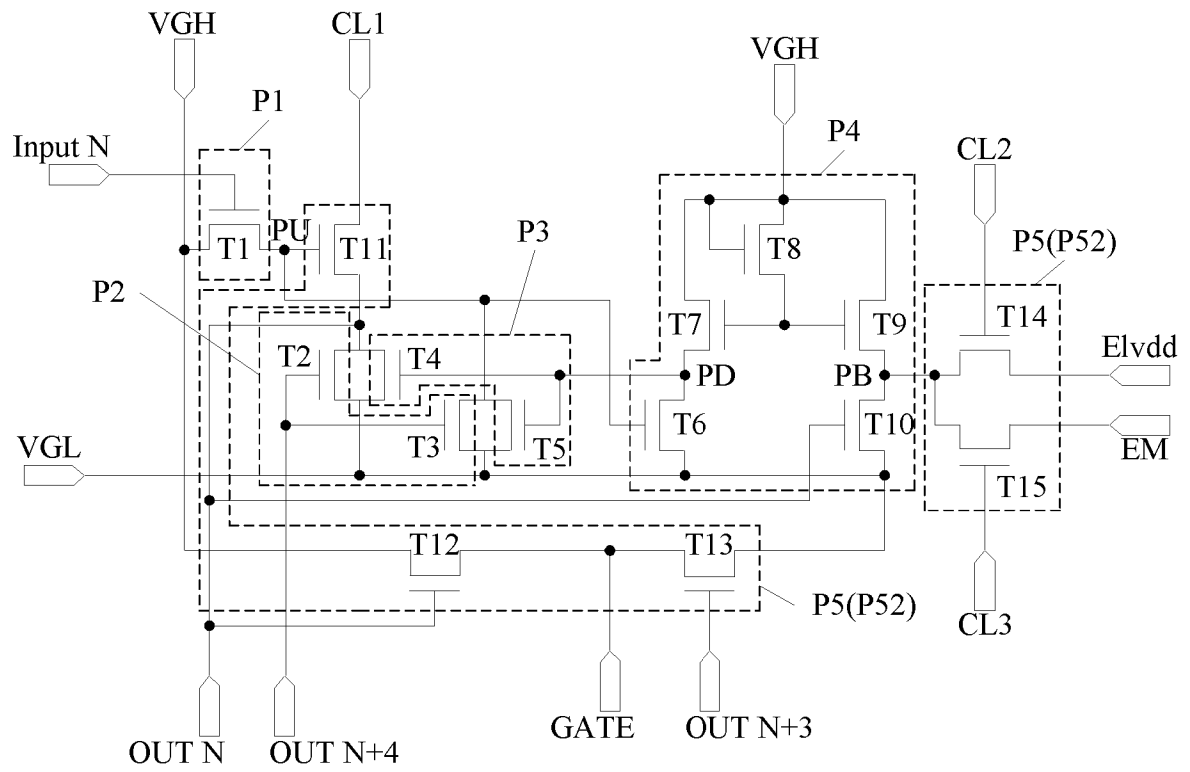


图 2

3/7

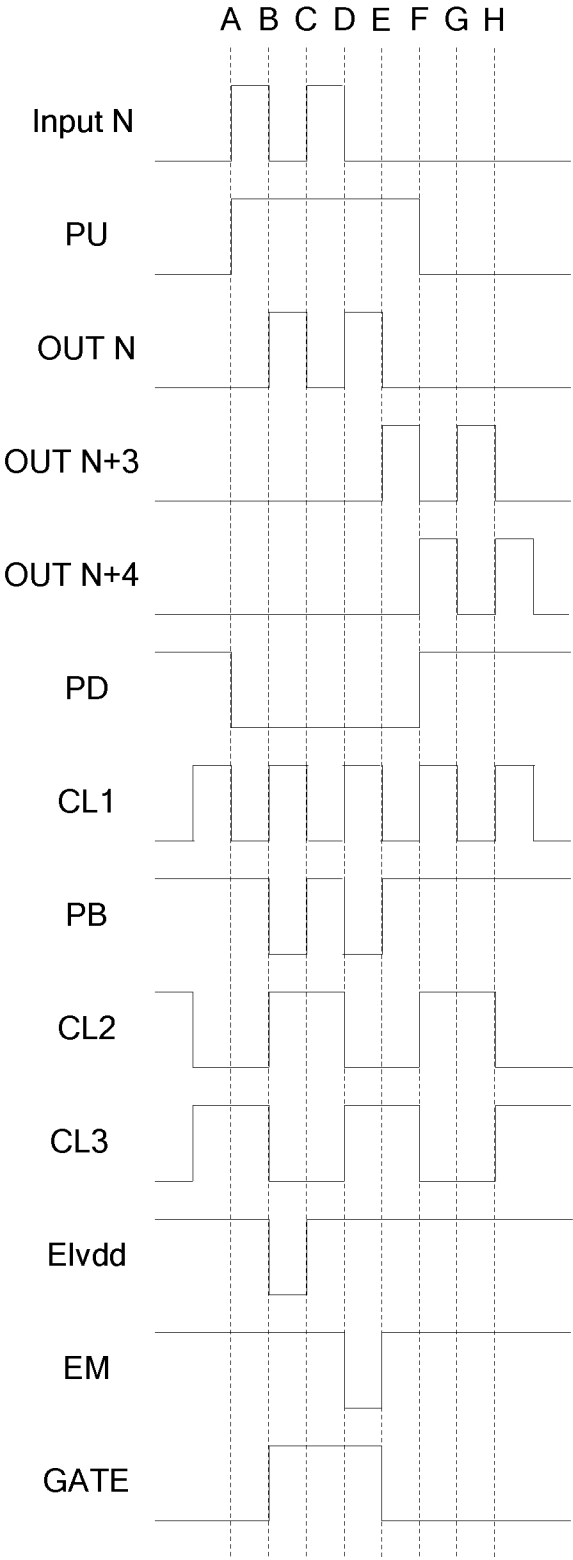


图 3

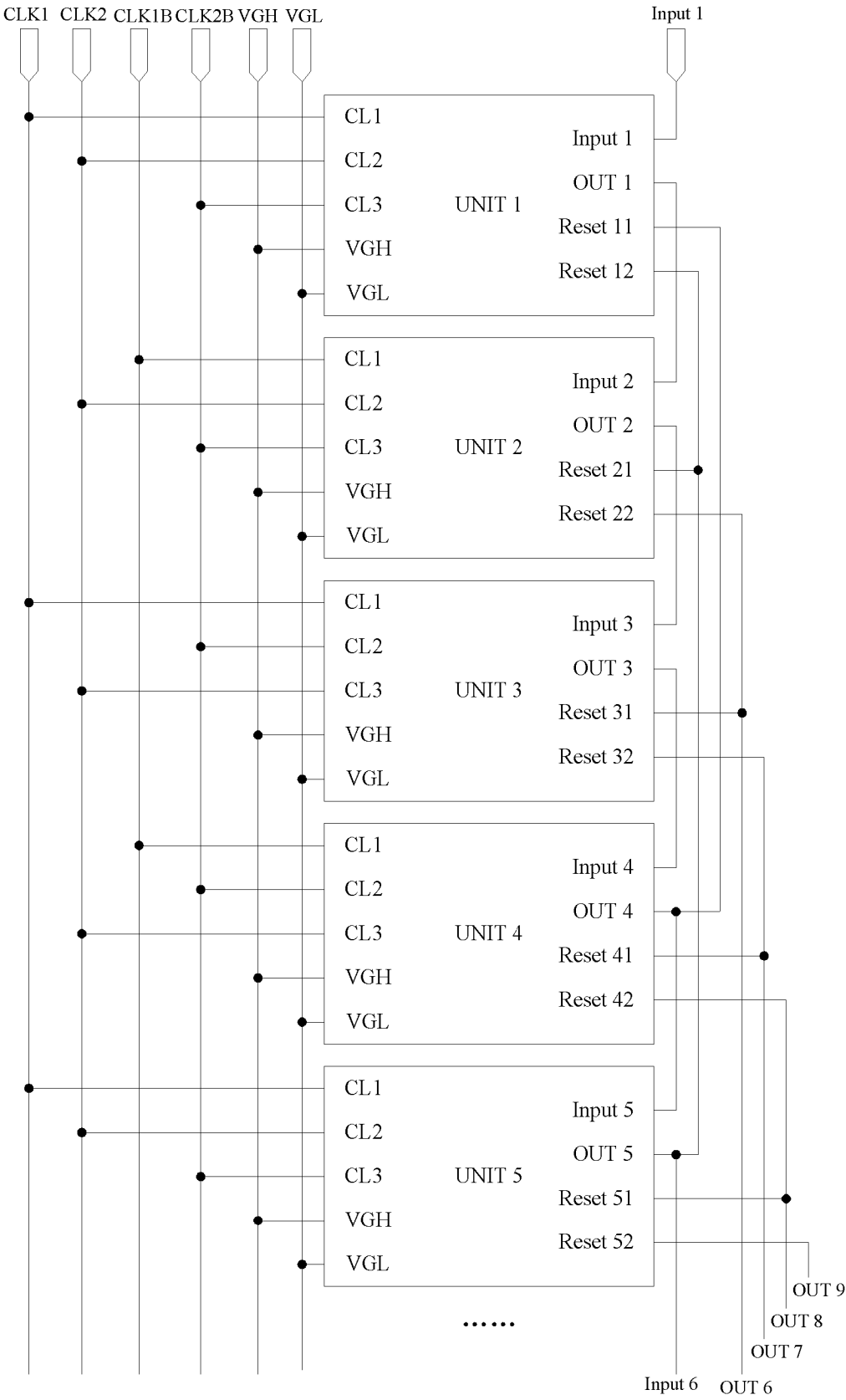


图 4

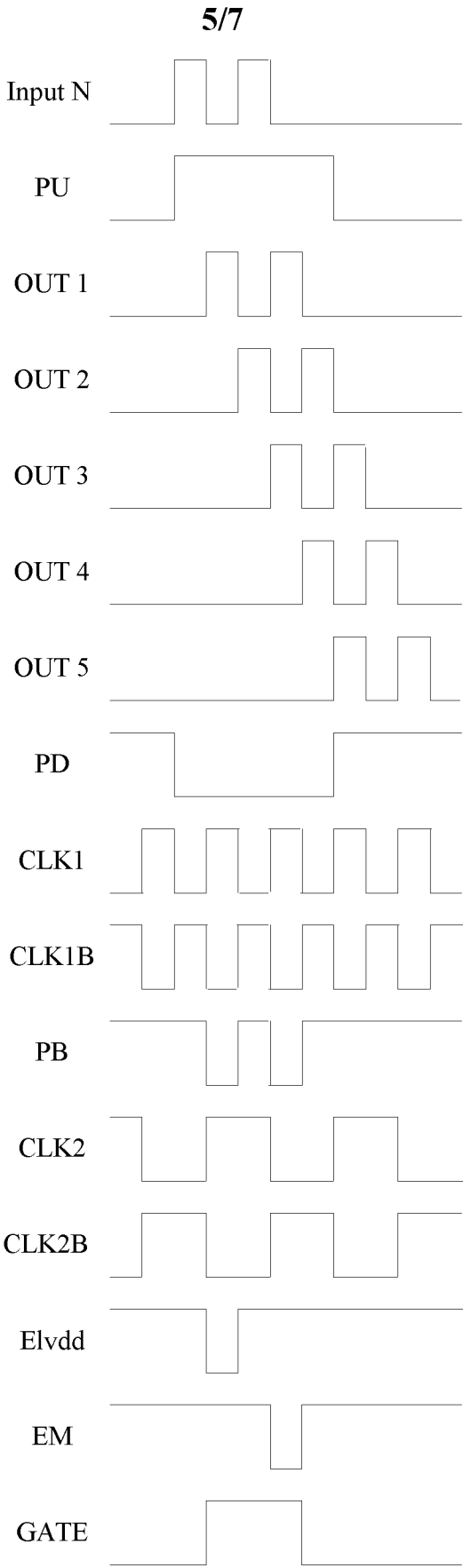


图 5

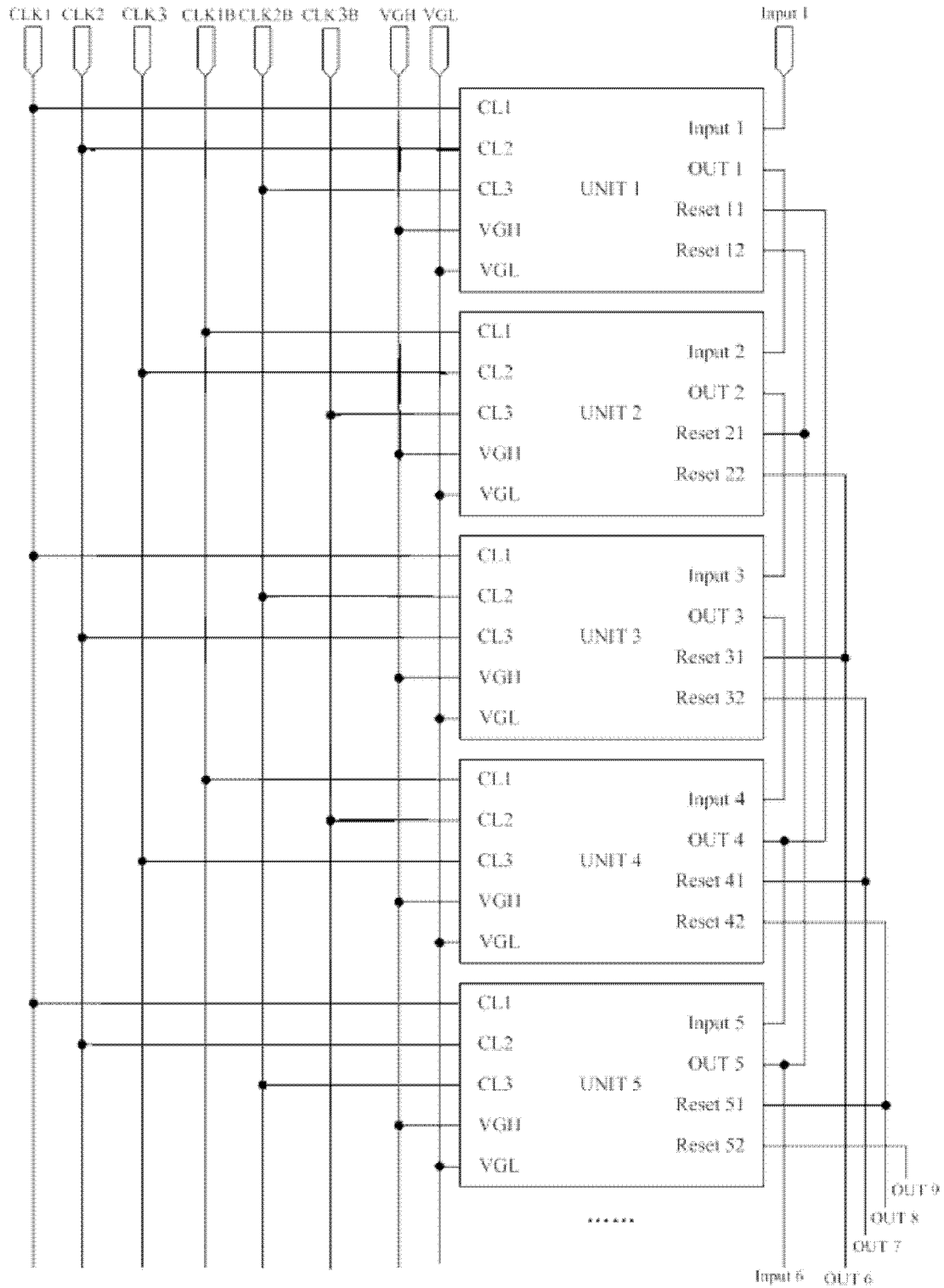


图 6

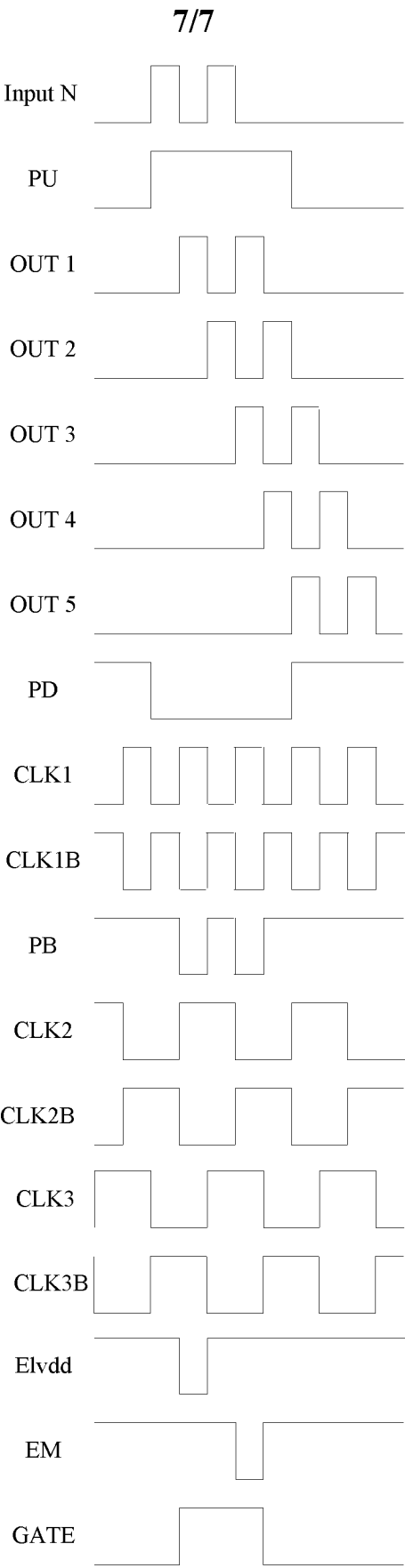


图7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/092003

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3, G11C19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNABS, CNTXT: shift register, output, provide, multi, three, 3, power supply, enable, power, signal, number, area, reduce, less, narrow frame, transistor, switch, +tft, +fet, mos+, fifteen, 15, input, reset, pull-down, n+3, n+4

VEN, WOTXT, USTXT, EPTXT: shift 1w register, output, provid+, three, 3, power, signal?, number, area, narrow, transistor?, switch+, +tft, +fet, fifteen, 15, input, reset, +down+, n+3, n+4

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102915698 A (BOE TECHNOLOGY GROUP CO., LTD.), 06 February 2013 (06.02.2013), the whole document	1-15
A	CN 104409102 A (AU OPTRONICS CORP.), 11 March 2015 (11.03.2015), the whole document	1-15
A	CN 104464600 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.), 25 March 2015 (25.03.2015), the whole document	1-15
A	CN 103208262 A (SAMSUNG ELECTRONICS CO., LTD.), 17 July 2013 (17.07.2013), the whole document	1-15
A	US 20100260312 A1 (TSAI, T.T. et al.), 14 October 2010 (14.10.2010), the whole document	1-15
A	CN 103280198 A (AU OPTRONICS CORP.), 04 September 2013 (04.09.2013), the whole document	1-15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 March 2016 (23.03.2016)	Date of mailing of the international search report 01 April 2016 (01.04.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Chao Telephone No.: (86-10) 62085834

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/092003

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104867438 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.), 26 August 2015 (26.08.2015), the whole document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/092003

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102915698 A	06 February 2013	None	
CN 104409102 A	11 March 2015	None	
CN 104464600 A	25 March 2015	None	
CN 103208262 A	17 July 2013	JP 2013142899 A	22 July 2013
		KR 20130083151 A	22 July 2013
		US 2013181747 A1	18 July 2013
		US 8587347 B2	19 November 2013
US 20100260312 A1	14 October 2010	US 8229058 B2	24 July 2012
		TW 201037675 A	16 October 2010
		TW I400686 B	01 July 2013
CN 103280198 A	04 September 2013	CN 103280198 B	01 July 2015
		TW 201432659 A	16 August 2014
CN 104867438 A	26 August 2015	None	

A. 主题的分类 G09G 3/20(2006.01)i; G11C 19/28(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3, G11C19 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNABS, CNTXT: 移位寄存器, 移位暂存器, 输出, 提供, 多, 三, 3, 电源, 使能, 功率, 信号, 数量, 个数, 数目, 面积, 减少, 窄边框, 晶体管, 开关, +tft, +fet, mos+, 十五, 15, 输入, 复位, 下拉, n+3, n+4 VEN, WOTXT, USTXT, EPTXT: shift 1w register, ouput, provid+, three, 3, power, signal?, number, area, narrow, transistor?, switch+, +tft, +fet, fifteen, 15, input, reset, +down+, n+3, n+4		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102915698 A (京东方科技集团股份有限公司) 2013年 2月 6日 (2013 - 02 - 06) 全文	1-15
A	CN 104409102 A (友达光电股份有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文	1-15
A	CN 104464600 A (合肥鑫晟光电科技有限公司 等) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-15
A	CN 103208262 A (三星电子株式会社) 2013年 7月 17日 (2013 - 07 - 17) 全文	1-15
A	US 20100260312 A1 (TSUNG-TING TSAI等) 2010年 10月 14日 (2010 - 10 - 14) 全文	1-15
A	CN 103280198 A (友达光电股份有限公司) 2013年 9月 4日 (2013 - 09 - 04) 全文	1-15
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 3月 23日		国际检索报告邮寄日期 2016年 4月 1日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 王超 电话号码 (86-10)62085834

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 104867438 A (合肥鑫晟光电科技有限公司 等) 2015年 8月 26日 (2015 - 08 - 26) 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/092003

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102915698	A	2013年 2月 6日	无			
CN	104409102	A	2015年 3月 11日	无			
CN	104464600	A	2015年 3月 25日	无			
CN	103208262	A	2013年 7月 17日	JP	2013142899	A	2013年 7月 22日
				KR	20130083151	A	2013年 7月 22日
				US	2013181747	A1	2013年 7月 18日
				US	8587347	B2	2013年 11月 19日
US	20100260312	A1	2010年 10月 14日	US	8229058	B2	2012年 7月 24日
				TW	201037675	A	2010年 10月 16日
				TW	I400686	B	2013年 7月 1日
CN	103280198	A	2013年 9月 4日	CN	103280198	B	2015年 7月 1日
				TW	201432659	A	2014年 8月 16日
CN	104867438	A	2015年 8月 26日	无			