



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0041460
(43) 공개일자 2020년04월22일

(51) 국제특허분류(Int. Cl.)
H01L 27/11556 (2017.01) H01L 23/31 (2006.01)
H01L 23/522 (2006.01) H01L 27/11524 (2017.01)
H01L 27/1157 (2017.01) H01L 27/11582 (2017.01)
(52) CPC특허분류
H01L 27/11556 (2013.01)
H01L 23/31 (2013.01)
(21) 출원번호 10-2018-0121516
(22) 출원일자 2018년10월12일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
신승준
경기도 용인시 기흥구 서천동로21번길 11-22, 605동 1101호
최봉현
경기도 용인시 기흥구 덕영대로2077번길 8, 103동 1203호
(74) 대리인
박영우

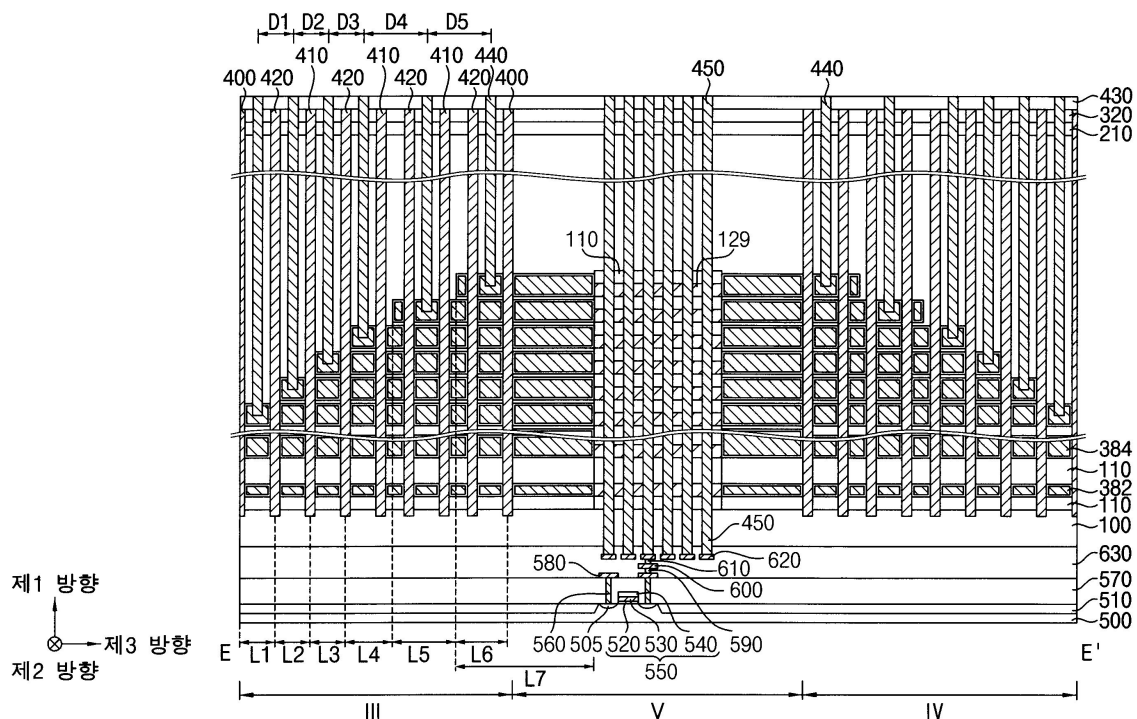
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 수직형 메모리 장치

(57) 요약

본 발명의 일 과제를 달성하기 위한 예시적인 실시예들에 따른 수직형 메모리 장치는 셀 어레이 영역 및 이를 둘러싼 계단 영역을 포함하는 기판, 상기 기판 상면에 수직한 제1 방향 및 상기 기판 상면에 평행한 제3 방향을 따라 상기 기판의 셀 어레이 영역 및 계단 영역 상에 서로 이격되도록 배치되며, 각각이 상기 기판 상면에 평행하

대표도



고 상기 제3 방향과 교차하는 제2 방향으로 연장된 게이트 전극들, 및 상기 기관의 셀 어레이 영역 상에 상기 제1 방향을 따라 연장되어 상기 게이트 전극들 중 적어도 일부를 관통하는 채널을 포함할 수 있으며, 상기 기관의 계단 영역 상에서 상기 게이트 전극들 중 일부의 상기 제2 방향으로의 단부들은 제1 계단 구조물을 형성하고, 상기 제1 계단 구조물은 상기 제3 방향을 따라 순차적으로 배치된 제1 계단들, 제2 계단, 및 제3 계단을 포함하며, 상기 각 제1 계단들은 상기 제3 방향으로 제1 길이를 갖고, 상기 제2 계단은 상기 제3 방향으로 상기 제1 길이보다 큰 제2 길이를 가지며, 상기 제3 계단은 상기 제3 방향으로 상기 제2 길이보다 큰 제3 길이를 가질 수 있다.

(52) CPC특허분류

H01L 23/5226 (2013.01)

H01L 27/11524 (2013.01)

H01L 27/1157 (2013.01)

H01L 27/11582 (2013.01)

명세서

청구범위

청구항 1

셀 어레이 영역 및 이를 둘러싼 계단 영역을 포함하는 기관;

상기 기관 상면에 수직한 제1 방향 및 상기 기관 상면에 평행한 제3 방향을 따라 상기 기관의 셀 어레이 영역 및 계단 영역 상에 서로 이격되도록 배치되며, 각각이 상기 기관 상면에 평행하고 상기 제3 방향과 교차하는 제2 방향으로 연장된 게이트 전극들; 및

상기 기관의 셀 어레이 영역 상에 상기 제1 방향을 따라 연장되어 상기 게이트 전극들 중 적어도 일부를 관통하는 채널을 포함하며,

상기 기관의 계단 영역 상에서 상기 게이트 전극들 중 일부의 상기 제2 방향으로의 단부들은 제1 계단 구조물을 형성하고,

상기 제1 계단 구조물은 상기 제3 방향을 따라 순차적으로 배치된 제1 계단들, 제2 계단, 및 제3 계단을 포함하며,

상기 각 제1 계단들은 상기 제3 방향으로 제1 길이를 갖고, 상기 제2 계단은 상기 제3 방향으로 상기 제1 길이보다 큰 제2 길이를 가지며, 상기 제3 계단은 상기 제3 방향으로 상기 제2 길이보다 큰 제3 길이를 갖는 수직형 메모리 장치.

청구항 2

제1항에 있어서, 상기 제1 내지 제3 계단들은 상기 제1 방향을 따라 하부에서 상부로 순차적으로 배치된 수직형 메모리 장치.

청구항 3

제1항에 있어서, 상기 제1 계단 구조물은 상기 제3 방향을 따라 순차적으로 배치된 상기 제1 계단들, 상기 제2 계단, 상기 제3 계단 및 제4 계단을 포함하며,

상기 제4 계단의 상기 제3 방향으로의 제4 길이는 상기 제3 길이보다 큰 수직형 메모리 장치.

청구항 4

제1항에 있어서, 상기 제1 계단 구조물은 3개의 상기 제1 계단들을 포함하는 수직형 메모리 장치.

청구항 5

제1항에 있어서, 상기 제1 계단 구조물은 상기 제2 방향을 따라 서로 다른 높이에 복수 개로 배치된 수직형 메모리 장치.

청구항 6

제1항에 있어서, 상기 제1 내지 제3 계단들 상면에 각각 접촉하는 제1 내지 제3 콘택 플러그들을 더 포함하는 수직형 메모리 장치.

청구항 7

제6항에 있어서, 상기 제3 방향으로의 상기 제2 및 제3 콘택 플러그들 사이의 거리는 상기 제3 방향으로의 상기 제1 콘택 플러그들 사이의 거리보다 큰 수직형 메모리 장치.

청구항 8

제7항에 있어서, 상기 제2 콘택 플러그와 상기 제1 콘택 플러그들 중에서 이에 인접하는 것 사이의 거리는 상기 제1 콘택 플러그들 사이의 거리와 실질적으로 동일한 수직형 메모리 장치.

청구항 9

제1항에 있어서, 상기 제1 계단 구조물과 상기 제3 방향으로 인접하여 이의 측벽에 접촉하는 몰드를 더 포함하는 수직형 메모리 장치.

청구항 10

제9항에 있어서, 상기 몰드는 상기 제1 방향으로 교대로 반복적으로 적층된 제1 및 제2 절연 패턴들을 포함하는 수직형 메모리 장치.

청구항 11

제9항에 있어서, 상기 몰드를 중심으로 상기 제3 방향을 따라 상기 제1 계단 구조물과 대칭적으로 배치된 제2 계단 구조물을 더 포함하는 수직형 메모리 장치.

청구항 12

제9항에 있어서, 상기 기판 상에 형성된 베이스 패턴을 더 포함하며,

상기 게이트 전극들, 상기 채널 및 상기 몰드는 상기 베이스 패턴 상에 형성된 수직형 메모리 장치.

청구항 13

제12항에 있어서,

상기 기판과 상기 베이스 패턴 사이에 형성된 회로 패턴 및

상기 몰드 및 상기 베이스 기판을 관통하여 상기 회로 패턴에 전기적으로 연결된 관통 비아를 더 포함하는 수직형 메모리 장치.

청구항 14

셀 어레이 영역 및 이를 둘러싼 계단 영역을 포함하는 기판;

상기 기판 상면에 수직한 제1 방향 및 상기 기판 상면에 평행한 제3 방향을 따라 상기 기판 상에 서로 이격되도록 배치되며, 각각이 상기 기판 상면에 평행하고 상기 제3 방향과 교차하는 제2 방향으로 연장된 게이트 전극들; 및

상기 기판의 셀 어레이 영역 상에 상기 제1 방향을 따라 연장되어 상기 게이트 전극들 중 적어도 일부를 관통하는 채널을 포함하며,

상기 기판의 계단 영역 상에서 상기 게이트 전극들 중 일부의 상기 제2 방향으로의 단부들은 상기 제3 방향을 따라 서로 대칭적인 형상을 갖는 제1 및 제2 계단 구조물들을 형성하고,

상기 제1 및 제2 계단 구조물들 사이에는 이들의 측벽에 접촉하며 절연 물질을 포함하는 몰드가 형성된 수직형 메모리 장치.

청구항 15

제14항에 있어서, 상기 몰드는 상기 기판의 계단 영역 상에서 상기 제2 방향으로 연장되어 상기 게이트 전극들의 상기 제2 방향으로의 측벽들에 접촉하는 수직형 메모리 장치.

청구항 16

제14항에 있어서, 상기 몰드는 상기 제1 방향으로 교대로 반복적으로 적층된 제1 및 제2 절연 패턴들을 포함하며,

상기 각 제1 절연 패턴들은 상기 제2 방향으로 대응하는 상기 각 게이트 전극들 및 상기 제3 방향으로 대응하는 상기 각 계단들의 저면과 실질적으로 동일한 높이의 저면을 갖는 수직형 메모리 장치.

청구항 17

제16항에 있어서, 상기 각 제1 절연 패턴들의 상면은 상기 제2 방향으로 대응하는 상기 각 게이트 전극들의 상

면과는 실질적으로 동일한 높이에 형성되고, 상기 제3 방향으로 대응하는 상기 각 계단들의 상면보다는 낮은 높이에 형성되는 수직형 메모리 장치.

청구항 18

셀 어레이 영역 및 이를 둘러싼 계단 영역을 포함하는 기관;

상기 기관 상면에 수직한 제1 방향 및 상기 기관 상면에 평행한 제3 방향을 따라 상기 기관의 셀 어레이 영역 및 계단 영역 상에 서로 이격되도록 배치되며, 각각이 상기 기관 상면에 평행하고 상기 제3 방향과 교차하는 제2 방향으로 연장된 게이트 전극들; 및

상기 기관의 셀 어레이 영역 상에 상기 제1 방향을 따라 연장되어 상기 게이트 전극들 중 적어도 일부를 관통하는 채널을 포함하며,

상기 기관의 계단 영역 상에서 상기 게이트 전극들 중 일부의 상기 제2 방향으로의 단부들은 계단 구조물을 형성하고,

상기 계단 구조물은 상기 제1 방향을 따라 순차적으로 적층되어 상기 제3 방향으로의 총 길이가 하층에서 상층으로 갈수록 점차 감소하는 제1 내지 제6 계단 층들을 포함하며,

상기 각 제1 및 제2 계단 층들은 상기 제3 방향으로 배치된 4개의 상기 게이트 전극들의 단부들로 구성되고, 상기 각 제3 및 제4 계단 층들은 상기 제3 방향으로 배치된 3개의 상기 게이트 전극들의 단부들로 구성되며, 상기 제5 계단 층은 상기 제3 방향으로 배치된 2개의 상기 게이트 전극들의 단부들로 구성되고, 상기 제6 계단 층은 1개의 상기 게이트 전극의 단부로 구성되는 수직형 메모리 장치.

청구항 19

제18항에 있어서, 상기 제1 내지 제6 계단 층들은 상부의 계단 층들에 의해 커버되지 않고 노출되는 제1 내지 제6 계단들을 각각 포함하며,

상기 제1 내지 제6 계단들 중 적어도 일부는 상기 제3 방향으로의 길이가 다른 계단들의 상기 제3 방향으로의 길이와 다른 수직형 메모리 장치.

청구항 20

제19항에 있어서, 상기 각 제1 내지 제3 계단들은 상기 제3 방향으로 제1 길이를 갖고, 상기 각 제4 및 제6 계단들은 상기 제3 방향으로 상기 제1 길이보다 큰 제2 길이를 가지며, 상기 제5 계단은 상기 제3 방향으로 상기 제2 길이보다 큰 제3 길이를 갖는 수직형 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 수직형 메모리 장치에 관한 것이다. 보다 상세하게, 본 발명은 계단 형상으로 적층된 게이트 전극들을 포함하는 수직형 메모리 장치에 관한 것이다.

배경 기술

[0002] VNAND 플래시 메모리 장치의 제조 방법에서, 희생막 및 절연막을 교대로 반복적으로 적층한 후, 상부 배선에 연결되는 콘택 플러그들이 형성되는 계단 영역에서 상기 희생막들의 일부를 먼저 패터닝하여 일부 계단들을 형성한 후, 다시 상기 계단들을 부분적으로 커버하는 포토레지스트 패턴을 사용하는 식각 공정을 통해 계단 형상의 몰드를 형성할 수 있다. 상기 몰드에 포함되는 계단들이 증가함에 따라서 상기 몰드의 면적이 증가하여 상기 VNAND 플래시 메모리 장치의 집적도가 감소하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 과제는 우수한 전기적 특성을 갖는 수직형 메모리 장치를 제공하는 것이다.

과제의 해결 수단

[0004] 본 발명의 일 과제를 달성하기 위한 예시적인 실시예들에 따른 수직형 메모리 장치는 셀 어레이 영역 및 이를 둘러싼 계단 영역을 포함하는 기관, 상기 기관 상면에 수직한 제1 방향 및 상기 기관 상면에 평행한 제3 방향을 따라 상기 기관의 셀 어레이 영역 및 계단 영역 상에 서로 이격되도록 배치되며, 각각이 상기 기관 상면에 평행하고 상기 제3 방향과 교차하는 제2 방향으로 연장된 게이트 전극들, 및 상기 기관의 셀 어레이 영역 상에 상기 제1 방향을 따라 연장되어 상기 게이트 전극들 중 적어도 일부를 관통하는 채널을 포함할 수 있으며, 상기 기관의 계단 영역 상에서 상기 게이트 전극들 중 일부의 상기 제2 방향으로의 단부들은 제1 계단 구조물을 형성하고, 상기 제1 계단 구조물은 상기 제3 방향을 따라 순차적으로 배치된 제1 계단들, 제2 계단, 및 제3 계단을 포함하며, 상기 각 제1 계단들은 상기 제3 방향으로 제1 길이를 갖고, 상기 제2 계단은 상기 제3 방향으로 상기 제1 길이보다 큰 제2 길이를 가지며, 상기 제3 계단은 상기 제3 방향으로 상기 제2 길이보다 큰 제3 길이를 가질 수 있다.

[0005] 본 발명의 일 과제를 달성하기 위한 다른 예시적인 실시예들에 따른 수직형 메모리 장치는 셀 어레이 영역 및 이를 둘러싼 계단 영역을 포함하는 기관, 상기 기관 상면에 수직한 제1 방향 및 상기 기관 상면에 평행한 제3 방향을 따라 상기 기관 상에 서로 이격되도록 배치되며, 각각이 상기 기관 상면에 평행하고 상기 제3 방향과 교차하는 제2 방향으로 연장된 게이트 전극들, 및 상기 기관의 셀 어레이 영역 상에 상기 제1 방향을 따라 연장되어 상기 게이트 전극들 중 적어도 일부를 관통하는 채널을 포함할 수 있으며, 상기 기관의 계단 영역 상에서 상기 게이트 전극들 중 일부의 상기 제2 방향으로의 단부들은 상기 제3 방향을 따라 서로 대칭적인 형상을 갖는 제1 및 제2 계단 구조물들을 형성하고, 상기 제1 및 제2 계단 구조물들 사이에는 이들의 측면에 접촉하며 절연 물질을 포함하는 몰드가 형성될 수 있다.

[0006] 본 발명의 일 과제를 달성하기 위한 또 다른 예시적인 실시예들에 따른 수직형 메모리 장치는 셀 어레이 영역 및 이를 둘러싼 계단 영역을 포함하는 기관, 상기 기관 상면에 수직한 제1 방향 및 상기 기관 상면에 평행한 제3 방향을 따라 상기 기관의 셀 어레이 영역 및 계단 영역 상에 서로 이격되도록 배치되며, 각각이 상기 기관 상면에 평행하고 상기 제3 방향과 교차하는 제2 방향으로 연장된 게이트 전극들, 및 상기 기관의 셀 어레이 영역 상에 상기 제1 방향을 따라 연장되어 상기 게이트 전극들 중 적어도 일부를 관통하는 채널을 포함할 수 있으며, 상기 기관의 계단 영역 상에서 상기 게이트 전극들 중 일부의 상기 제2 방향으로의 단부들은 계단 구조물을 형성하고, 상기 계단 구조물은 상기 제1 방향을 따라 순차적으로 적층되어 상기 제3 방향으로의 총 길이가 하층에서 상층으로 갈수록 점차 감소하는 제1 내지 제6 계단 층들을 포함하며, 상기 각 제1 및 제2 계단 층들은 상기 제3 방향으로 배치된 4개의 상기 게이트 전극들의 단부들로 구성되고, 상기 각 제3 및 제4 계단 층들은 상기 제3 방향으로 배치된 3개의 상기 게이트 전극들의 단부들로 구성되며, 상기 제5 계단 층은 상기 제3 방향으로 배치된 2개의 상기 게이트 전극들의 단부들로 구성되고, 상기 제6 계단 층은 1개의 상기 게이트 전극의 단부로 구성될 수 있다.

발명의 효과

[0007] 수직형 메모리 장치는 게이트 전극의 연장 방향과 수직한 방향으로 배치된 복수의 계단들을 각각 포함하는 계단 구조물들을 구비하므로, 수직 방향으로 많은 수의 게이트 전극들이 적층되더라도 상기 게이트 전극 연장 방향으로의 길이 증가를 완화시킬 수 있다. 또한, 상기 계단들의 길이를 적절히 조절함으로써 이들 상에 하나의 콘택 플러그만이 형성될 수 있다.

도면의 간단한 설명

[0008] 도 1 내지 도 42는 예시적인 실시예들에 따른 수직형 메모리 장치의 제조 방법을 설명하기 위한 평면도들, 단면도들 및 사시도들이다.

도 43 및 44는 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 단면도들이다.

도 45는 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 단면도로서, 도 39의 E-E'선을 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 수직형 메모리 장치 및 그 제조 방법에

대하여 상세하게 설명한다.

- [0010] 도 1 내지 도 42는 예시적인 실시예들에 따른 수직형 메모리 장치의 제조 방법을 설명하기 위한 평면도들, 단면도들 및 사시도들이다. 구체적으로, 도 1, 13, 20, 24, 29, 31, 33, 36-37 및 39는 평면도들이고, 도 2, 4, 6, 21-23, 25-28, 30, 32, 34-35, 38 및 40-42는 단면도들이며, 도 3, 5, 7-12 및 14-19는 사시도들이다.
- [0011] 이때, 도 13, 20, 24 및 36는 도 1의 X 영역에 대한 평면도들이고, 도 29, 31, 33, 37 및 39는 도 1의 Y 영역에 대한 평면도들이며, 도 3, 5, 7-12 및 14-19는 도 1의 X 영역에 대한 사시도들이다.
- [0012] 한편, 도 4 및 21은 도 1의 A-A'선을 따라 절단한 단면도들이고, 도 6, 22-23, 28, 30 및 40은 도 1의 B-B'선을 따라 절단한 단면도들이며, 도 25-27 및 41은 도 1의 C-C'선을 따라 절단한 단면도들이고, 도 32, 34-35 및 38은 도 1의 D-D'선을 따라 절단한 단면도들이며, 도 2 및 42은 도 1의 E-E'선을 따라 절단한 단면도들이다.
- [0013] 이하에서는, 기판 상면에 실질적으로 수직한 방향을 제1 방향으로 정의하고, 상기 기판 상면에 실질적으로 평행한 수평 방향들 중에서 서로 교차하는 두 방향들을 각각 제2 및 제3 방향으로 정의한다. 예시적인 실시예들에 있어서, 상기 제2 및 제3 방향들은 서로 직교할 수 있다.
- [0014] 도 1을 참조하면, 기판(500)은 제1 영역(I) 및 이를 둘러싸는 제2 영역(II)을 포함할 수 있다.
- [0015] 기판(500)은 실리콘, 게르마늄, 실리콘-게르마늄과 같은 반도체 물질, 또는 GaP, GaAs, GaSb 등과 같은 III-V족 화합물을 포함할 수 있다. 일부 실시예들에 따르면, 기판(500)은 실리콘-온-인슐레이터(SOI) 기판 또는 게르마늄-온-인슐레이터(GOI) 기판일 수 있다. 예시적인 실시예들에 있어서, 기판(500)의 제1 영역(I)은 메모리 셀들이 형성되는 셀 어레이 영역일 수 있고, 기판(500)의 제2 영역(II)은 상기 메모리 셀들에 연결되는 콘택 플러그들이 형성되는 계단 영역일 수 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 수직형 메모리 장치는 씨오피(Cell Over Peri: COP) 구조를 가질 수 있다. 즉, 메모리 셀을 구동시키는 회로 패턴이 상기 메모리 셀의 주변에 형성되는 것이 아니라, 상기 메모리 셀의 하부에 형성될 수 있다. 이에 따라, 기판(500) 상에는 상기 회로 패턴이 형성되는 회로 패턴 영역과 상기 셀 어레이 영역이 수직으로 적층될 수 있으며, 상기 회로 패턴은 하부 회로 패턴으로 지칭될 수도 있다. 다만 본 발명의 개념은 반드시 이에 한정되지는 않으며, 나아가 상기 수직형 메모리 장치가 COP 구조를 갖더라도, 기판(500)은 제2 영역(II)을 둘러싸며 상기 회로 패턴의 일부가 형성되는 주변 회로 영역을 더 포함할 수도 있다.
- [0017] 도 1에 도시된 X 영역은 기판(500)의 제2 영역(II)의 일부이고, Y 영역은 상기 X 영역의 일부 및 이에 상기 제2 방향으로 인접하는 기판(500)의 제1 영역(I)의 일부이다. 예시적인 실시예들에 있어서, 상기 X 영역은 상기 제3 방향을 따라 복수 개로 배치될 수 있으며, 또한 상기 Y 영역은 상기 X 영역에서 상기 제3 방향으로의 양 가장자리에 각각 배치될 수 있다. 한편, 상기 X 영역과 상기 Y 영역들이 오버랩되는 영역을 각각 제3 및 제4 영역들(III, IV)로 정의하고, 제3 및 제4 영역들(III, IV) 사이의 상기 X 영역 부분을 제5 영역(V)으로 정의한다.
- [0018] 도 2를 참조하면, 기판(500) 상에 회로 패턴을 형성하고, 이를 커버하는 제1 및 제2 하부 층간 절연막들(570, 630)을 기판(500) 상에 순차적으로 형성할 수 있다.
- [0019] 기판(500)은 상부에 소자 분리 패턴(510)이 형성된 필드 영역과, 그렇지 않은 액티브 영역으로 분리될 수 있다. 소자 분리 패턴(510)은, 예를 들어 에스티아이(STI) 공정을 통해 형성될 수 있다.
- [0020] 상기 회로 패턴은 트랜지스터, 하부 콘택 플러그, 하부 배선, 하부 비아 등을 포함할 수 있다. 예를 들어, 기판(500) 상에 형성된 하부 게이트 구조물(550), 및 이에 인접하는 상기 액티브 영역 상부에 형성된 제1 불순물 영역(505)을 포함하는 트랜지스터가 형성될 수 있다. 하부 게이트 구조물(550)은 기판(500) 상에 순차적으로 적층된 하부 게이트 절연 패턴(520), 하부 게이트 전극(530) 및 하부 게이트 마스크(540)를 포함할 수 있다.
- [0021] 제1 하부 층간 절연막(570)은 기판(500) 상에 형성되어 상기 트랜지스터를 커버할 수 있으며, 하부 콘택 플러그(560)는 제1 하부 층간 절연막(570)을 관통하여 제1 불순물 영역(505)에 접촉할 수 있다. 제1 하부 배선(580)은 제1 하부 층간 절연막(570) 상에 형성되어 하부 콘택 플러그(560) 상면에 접촉할 수 있다. 제1 하부 배선(580) 상에는 제1 하부 비아(590), 제2 하부 배선(600), 제2 하부 비아(610) 및 제3 하부 배선(620)이 순차적으로 적층될 수 있다. 이때, 제3 하부 배선(620)은 상기 제3 방향으로 따라 복수 개로 형성될 수 있다. 예시적인 실시예들에 있어서, 각 제1 내지 제3 하부 배선들(580, 600, 620) 및 각 제1 및 제2 하부 비아들(590, 610)은 다마신 공정 혹은 양각 패턴 방법으로 형성될 수도 있다.
- [0022] 제2 하부 층간 절연막(630)은 제1 하부 층간 절연막(570) 상에 형성되어 제1 내지 제3 하부 배선들(580, 600,

620) 및 제1 및 제2 하부 비아들(590, 610)을 커버할 수 있다.

- [0023] 이하의 도면들에서는 도면의 복잡성을 피하기 위해서 기관(500) 상에 형성된 상기 회로 패턴은 도시하지 않기로 한다.
- [0024] 도 3 및 4를 참조하면, 제2 하부 층간 절연막(630) 상에 베이스 패턴(100)을 형성하고, 베이스 패턴(100) 상에 절연막(110) 및 희생막(120)을 순차적으로 형성할 수 있다.
- [0025] 베이스 패턴(100)은 예를 들어, 실리콘과 같은 반도체 물질을 포함할 수 있고, 절연막(110)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있으며, 희생막(120)은 절연막(110)에 대해 식각 선택비를 갖는 물질, 예를 들어 실리콘 질화물과 같은 질화물을 포함할 수 있다.
- [0026] 이후, 기관(500)의 제2 영역(II) 상의 희생막(120)을 부분적으로 제거하여 절연막(110)을 노출시키는 제1 개구를 형성하고, 상기 제1 개구를 채우는 제1 분리 패턴(130)을 형성할 수 있다.
- [0027] 예시적인 실시예들에 있어서, 제1 분리 패턴(130)은 기관(500)의 각 제3 및 제4 영역들(III, IV) 상에 상기 제3 방향을 따라 복수 개로 형성될 수 있다. 도면 상에서는 각 제3 및 제4 영역들(III, IV) 상에 3개의 제1 분리 패턴들(130)이 형성된 것이 도시되어 있다. 제1 분리 패턴(130)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0028] 도 5 및 6을 참조하면, 희생막(120) 및 제1 분리 패턴(130) 상에 절연막(110) 및 희생막(120)을 교대로 반복적으로 더 적층할 수 있으며, 이에 따라 절연막들(110) 및 희생막들(120)이 상기 제1 방향을 따라 교대로 적층될 수 있다.
- [0029] 도면의 복잡성을 피하기 위해서, 도 5를 포함한 모든 사시도들에는 절연막들(110)은 도시하지 있지 않고 희생막들(120)만 도시한다. 한편, 이하에서 설명되는 희생막들(120)에 대한 식각 공정은 각 희생막들(120) 및 그 바로 위에 형성되어 이와 한 쌍을 이루는 각 절연막들(110)에 대해 함께 수행되며, 설명의 편의를 위해서, 상기 사시도들을 참조하여 상기 식각 공정을 설명할 때 절연막들(110)에 대해서는 별도로 설명하지 않기로 한다.
- [0030] 도 7을 참조하면, 기관(500)의 제1 영역(I) 및 이에 인접하는 제2 영역(II)의 가장자리 부분을 커버하는 제1 포토레지스트 패턴(도시하지 않음)을 최상층 희생막(120) 상에 형성하고, 이를 식각 마스크로 사용하는 식각 공정을 통해 최상층 희생막(120)을 식각함으로써, 상면에서 보았을 때 기관(500)의 제1 영역(I) 상에 형성된 최상층 희생막(120)을 둘러싸는 사각 링 형상의 제1 희생 패턴(122)을 형성할 수 있다.
- [0031] 다만, 도 7은 기관(500)의 제2 영역(II)의 일부 즉, X 영역만을 도시하므로, 제1 희생 패턴(122) 중에서 상기 사각 링 형상의 일부 즉, 상기 제3 방향으로 연장되는 바 형상만이 도시되어 있다. 이하에서는, 희생막들(120)을 식각하여 형성되는 각종 희생 패턴들의 기관(500)의 제2 영역(II) 상에서의 전체 형상 대신에, 상기 X 영역 내에서의 형상만을 기술하기로 한다. 또한, 상기 사시도들을 참조하여 설명되는 몰드 형성 공정 시, 기관(500)의 제1 영역(I) 상의 희생막(120) 부분은 항상 커버되어 식각되지 않으므로, 기관(500)의 제1 영역(I)에 대해서는 도 기술하지 않기로 한다.
- [0032] 제1 희생 패턴(122)을 형성한 후, 상기 제1 포토레지스트 패턴은 예를 들어, 애싱 및/또는 스트립 공정을 통해 제거될 수 있다.
- [0033] 도 8을 참조하면, 제1 희생 패턴(122)을 커버하며 이보다 상기 제2 방향으로 더 큰 길이를 갖는 제2 포토레지스트 패턴(132), 및 상기 X 영역 상의 희생막(120)의 일부를 커버하며 제2 포토레지스트 패턴(132)과 이격되어 상면에서 보았을 때 직사각 형상을 갖는 제3 포토레지스트 패턴(134)을 상부로부터 두 번째 층(이하에서는, 상부로부터 n번째 층을 제n 층으로 표시한다)에 형성된 희생막(120) 상에 형성하고, 이들을 식각 마스크로 사용하여 제2 층 희생막(120)을 식각할 수 있다.
- [0034] 이에 따라, 최상층 즉, 제1 층의 제1 희생 패턴(122)의 하부 층 즉, 제2 층에 이보다 상기 제2 방향으로 더 큰 길이를 갖는 제1 희생 패턴(122)이 더 형성될 수 있으며, 이와 이격되며 상부에서 보았을 때 직사각 형상을 갖는 제2 희생 패턴(124)이 제2 층에 형성될 수 있다.
- [0035] 도 9를 참조하면, 제2 및 제3 포토레지스트 패턴들(132, 134)의 면적을 축소시키는 제1 트림 공정을 수행하고, 이들을 식각 마스크로 사용하여 제1 및 제2 희생 패턴들(122, 124) 및 제3 층 희생막(120)을 식각한다.
- [0036] 이에 따라, 제2 층에 형성된 제1 희생 패턴(122)의 상기 제2 방향으로의 길이가 줄어들 수 있으며, 제3 층에는 제1 희생 패턴(122)이 더 형성될 수 있다. 또한, 제2 층에 형성된 제2 희생 패턴(124)의 면적이 줄어들 수 있다.

며, 제3 층에는 제2 희생 패턴(124)이 더 형성될 수 있다.

- [0037] 예시적인 실시예들에 있어서, 상기 제1 트림 공정은 제2 및 제3 포토레지스트 패턴들(132, 134)의 일부에 대해 노광 공정을 수행하고, 노광되지 않는 나머지 부분들을 현상 공정을 통해 제거함으로써 수행될 수 있다.
- [0038] 도 10을 참조하면, 제2 트림 공정 및 식각 공정을 수행할 수 있다. 즉, 제2 및 제3 포토레지스트 패턴들(132, 134)의 면적을 축소한 후, 이들을 식각 마스크로 사용하여 제1 및 제2 희생 패턴들(122, 124) 및 제4 층 희생막(120)을 식각할 수 있다.
- [0039] 이에 따라, 제2 및 제3 층들에 각각 형성된 제1 희생 패턴들(122)의 상기 제2 방향으로의 길이가 줄어들 수 있으며, 제4 층에 제1 희생 패턴(122)이 더 형성될 수 있다. 또한, 제2 및 제3 층들에 각각 형성된 제2 희생 패턴들(124)의 면적이 줄어들 수 있으며, 제4 층에 제2 희생 패턴(124)이 더 형성될 수 있다.
- [0040] 도 11을 참조하면, 제3 트림 공정 및 식각 공정을 수행할 수 있다. 즉, 제2 및 제3 포토레지스트 패턴들(132, 134)의 면적을 축소한 후, 이들을 식각 마스크로 사용하여 제1 및 제2 희생 패턴들(122, 124) 및 제5 층 희생막(120)을 식각할 수 있다.
- [0041] 이에 따라, 제2 내지 제4 층들에 각각 형성된 제1 희생 패턴들(122)의 상기 제2 방향으로의 길이가 줄어들 수 있으며, 제5 층에 제1 희생 패턴(122)이 더 형성될 수 있다. 또한, 제2 내지 제4 층들에 각각 형성된 제2 희생 패턴들(124)의 면적이 줄어들 수 있으며, 제5 층에 제2 희생 패턴(124)이 더 형성될 수 있다.
- [0042] 도 12 및 13을 참조하면, 제4 트림 공정 및 식각 공정을 수행할 수 있다. 즉, 제2 및 제3 포토레지스트 패턴들(132, 134)의 면적을 축소한 후, 이들을 식각 마스크로 사용하여 제1 및 제2 희생 패턴들(122, 124) 및 제6 층 희생막(120)을 식각할 수 있다.
- [0043] 이에 따라, 제2 내지 제5 층들에 각각 형성된 제1 희생 패턴들(122)의 상기 제2 방향으로의 길이가 줄어들 수 있으며, 제6 층에 제1 희생 패턴(122)이 더 형성될 수 있다. 또한, 제2 내지 제5 층들에 각각 형성된 제2 희생 패턴들(124)의 면적이 줄어들 수 있으며, 제6 층에 제2 희생 패턴(124)이 더 형성될 수 있다.
- [0044] 이후, 제2 및 제3 포토레지스트 패턴들(132, 134)은 제거될 수 있다.
- [0045] 이에 따라, 제7 층의 희생막(120) 상의 6개의 층들에 제1 희생 패턴들(122)이 계단 형상으로 적층될 수 있으며, 또한 이들과 이격되어 5개의 층들에 제2 희생 패턴들(124)이 계단 형상으로 적층될 수 있다.
- [0046] 제1 희생 패턴들(122) 혹은 제2 희생 패턴들(124)과 같이 상기 제1 방향을 따라 계단 형상으로 적층되는 구조물은 "계단 구조물"로 지칭하기로 한다. 또한, 상기 계단 구조물을 이루는 각 층들은 "계단 층"으로 정의하고, 상기 각 계단 층들에서 상층의 계단 층들에 의해 커버되지 않고 노출되는 부분을 "계단"으로 정의하기로 한다.
- [0047] 예시적인 실시예들에 있어서, 기판(500)의 제3 영역(III) 상에서 제7 층의 희생막(120) 및 그 상부의 5개의 층들에 적층된 제2 희생 패턴들(124)로 구성되는 제1 계단 구조물은 상기 제3 방향을 따라 순차적으로 배치된 제1 내지 제6 계단들을 포함할 수 있으며, 이들은 각각 상기 제3 방향으로 제1 내지 제6 길이들(L1, L2, L3, L4, L5, L6)을 가질 수 있다. 예시적인 실시예들에 있어서, 제5 길이(L5)는 제4 및 제6 길이들(L4, L6)보다 클 수 있으며, 제4 및 제6 길이들(L4, L6)은 제1 내지 제3 길이들(L1, L2, L3)보다 클 수 있다. 또한, 제4 및 제6 길이들(L4, L6)은 서로 실질적으로 동일할 수 있으며, 제1 내지 제3 길이들(L1, L2, L3)은 서로 실질적으로 동일할 수 있다.
- [0048] 위와 같이 상기 제1 내지 제6 계단들의 상기 제3 방향으로의 길이들은 상기 트림 공정 시 제3 포토레지스트 패턴(134)의 면적 축소 비율을 조절함으로써 구현할 수 있다. 일반적으로 포토레지스트 패턴에 대해 수행되는 트림 공정의 회수가 증가함에 따라서, 당초 의도한 면적 축소 비율과 실제로 상기 포토레지스트 패턴의 면적이 축소되는 비율과의 차이가 커질 수 있다. 이에 따라, 제3 포토레지스트 패턴(134)에 대한 트림 공정들 중에서 가장 나중에 수행되는 상기 제4 트림 공정 및 이에 따른 식각 공정을 통해 형성되는 최상층 제2 희생 패턴(124)의 면적이 당초 의도한 면적과 큰 차이를 가질 수 있으며, 결과적으로 상기 제6 계단의 상기 제3 방향으로의 길이가 너무 커져 상기 제5 계단의 상기 제3 방향으로의 길이가 너무 작아질 수도 있다.
- [0049] 이에 본 발명의 개념에서는 상기 제4 트림 공정 시 발생할 수 있는 오차를 고려하여, 상기 제5 계단이 다른 계단들보다 작게 형성되지 않도록 제3 포토레지스트 패턴(134)의 면적 축소 비율을 증가시킬 수 있다. 또한, 상대적으로 나중에 수행되는 상기 제3 트림 공정 시 발생할 수 있는 오차도 고려하여, 상기 제4 계단이 하층의 제1 내지 제3 계단들보다 작게 형성되지 않도록 제3 포토레지스트 패턴(134)의 면적 축소 비율을 증가시킬 수 있다.

이에 따라, 하층의 상기 제1 내지 제3 계단들이 갖는 제1 내지 제3 길이들(L1, L2, L3)에 비해 상기 제4 계단이 갖는 제4 길이(L4)가 더 커질 수 있고, 또한 상기 제5 계단이 갖는 제5 길이(L5)는 제4 길이(L4)보다 더 커질 수 있으며, 상기 제6 계단이 갖는 제6 길이(L6)는 제4 길이(L4)와 동일하거나 비슷한 크기를 가질 수 있다.

[0050] 한편, 기판(500)의 제4 영역(IV) 상에는 상기 제1 계단 구조물과 상기 제3 방향으로 대칭적인 형상을 갖는 제2 계단 구조물이 형성될 수 있다. 즉, 상기 제2 계단 구조물은 제7 층의 희생막(120) 및 그 상부의 5개의 층들에 적층된 제2 희생 패턴들(124)로 구성될 수 있으며, 상기 제3 방향을 따라 순차적으로 배치된 제7 내지 제12 계단들을 포함할 수 있다. 이때, 상기 제7 내지 제12 계단들은 각각 상기 제3 방향으로 제1 내지 제6 길이들(L1, L2, L3, L4, L5, L6)을 가질 수 있다.

[0051] 도 14를 참조하면, 제1 희생 패턴들(122), 및 이에 인접하는 각 제2 희생 패턴들(124)의 일부를 커버하는 제4 포토레지스트 패턴(140)을 제7 층 희생막(120) 상에 형성할 수 있다.

[0052] 도 15를 참조하면, 제4 포토레지스트 패턴(140)을 식각 마스크로 사용하여 제2 희생 패턴들(124) 및 제7 내지 제12 층의 희생막들(120)을 식각할 수 있다.

[0053] 이에 따라, 제1 희생 패턴들(122)보다 상기 제2 방향으로 더 큰 길이를 갖는 제3 희생 패턴들(126)이 제7 내지 제12 층들에 각각 형성될 수 있으며, 제4 포토레지스트 패턴(140)에 의해 커버되지 않는 제2 희생 패턴들(124) 부분은 제2 내지 제6 층들에서 각각 제8 내지 제12 층들로 위치 이동할 수 있다. 한편, 제4 포토레지스트 패턴(140)에 의해 커버되어 제거되지 않은 제2 희생 패턴들(124)은 제4 희생 패턴들(128)로 변환되어 제7 층 제3 희생 패턴(126) 상에 잔류할 수 있다.

[0054] 도 16을 참조하면, 제4 포토레지스트 패턴(140)의 면적을 축소시키는 제5 트림 공정을 수행할 수 있으며, 이에 따라 제4 희생 패턴들(128)의 일부가 노출될 수 있다.

[0055] 도 17을 참조하면, 제4 포토레지스트 패턴(140)을 식각 마스크로 사용하여 노출된 제4 희생 패턴들(128), 제2 및 제3 희생 패턴들(124, 126) 및 제13 내지 제18 층의 희생막들(120)을 식각할 수 있다.

[0056] 이에 따라, 제7 내지 제12 층들의 제3 희생 패턴들(126)은 이전보다 더 작으면서 상기 제2 방향으로 서로 동일한 길이를 갖도록 축소될 수 있으며, 이들보다 상기 제2 방향으로의 길이가 더 크면서 서로 동일한 길이를 갖는 제3 희생 패턴들(126)이 제13 내지 제18 층들에 각각 더 형성될 수 있다. 이때, 노출된 제4 희생 패턴들(128) 부분은 제2 내지 제6 층들에서 제8 내지 제12 층들로 위치 이동할 수 있으며, 이하에서는 이들을 제5 희생 패턴들(129)로 지칭하기로 한다. 한편, 제4 포토레지스트 패턴(140)에 의해 커버되지 않는 제2 희생 패턴들(124) 부분은 제8 내지 제12 층들에서 각각 제14 내지 제18 층들로 위치 이동할 수 있다.

[0057] 이후, 도 16 및 17을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 반복적으로 수행할 수 있으며, 설명의 복잡성을 피하기 위해서 이에 대한 도면은 생략한다.

[0058] 도 18을 참조하면, 제4 포토레지스트 패턴(140)을 제거한 후, 도 14를 참조로 설명한 공정들과 유사한 공정들을 수행할 수 있다.

[0059] 즉, 제1 희생 패턴들(122), 제3 내지 제5 희생 패턴들(126, 128, 129), 및 이들에 인접한 제2 희생 패턴들(124)의 일부를 커버하는 제5 포토레지스트 패턴(142)을 특정 층의 희생막(120) 상에 형성할 수 있다.

[0060] 도 19 내지 도 22를 참조하면, 도 15 내지 도 17을 참조로 설명한 공정들과 유사한 공정들을 반복적으로 수행함으로써, 원하는 개수의 층들에 형성된 제5 희생 패턴들(129)을 추가적으로 형성할 수 있으며, 이에 따라 기판(500)의 제2 영역(II) 상에 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)을 각각 포함하는 계단 구조물들이 형성될 수 있다. 상기 계단 구조물들은 기판(500)의 제1 영역(I) 내에 잔류하는 희생막들(120)과 함께 몰드를 형성할 수 있다.

[0061] 예시적인 실시예들에 있어서, 제1 희생 패턴들(122)은 하층에서 상층으로 갈수록 상기 제2 방향으로의 계단 층들이 길이가 점차 감소하는 제3 계단 구조물을 구성할 수 있고, 제3 희생 패턴들(126)은 하층에서 상층으로 갈수록 일정한 개수의 계단 층들, 예를 들어 6개 계단 층들 단위로 상기 제2 방향으로의 길이가 점차 감소하는 제4 계단 구조물을 구성할 수 있다.

[0062] 제2 희생 패턴들(124)은 하층에서 상층으로 갈수록 상기 각 제2 및 제3 방향들로의 계단 층들의 길이가 점차 감소하는 제5 계단 구조물을 구성할 수 있고, 제4 희생 패턴들(128)은 하층에서 상층으로 갈수록 상기 각 제2 및 제3 방향들로의 계단 층들의 길이가 점차 감소하는 제6 계단 구조물을 구성할 수 있다.

- [0063] 예시적인 실시예들에 있어서, 기관(500)의 제3 및 제4 영역들(III, IV) 상에서 제5 희생 패턴들(129)은 하층에서 상층으로 갈수록 상기 제3 방향으로의 계단 층들이 길이가 점차 감소하는 제7 및 제8 계단 구조물들을 각각 구성할 수 있다.
- [0064] 상기 제7 계단 구조물은 상기 제1 방향을 따라 하층에서부터 상층으로 순차적으로 적층된 제1 내지 제6 계단 층들을 포함할 수 있으며, 이들의 제1 내지 제6 계단들은 상기 제3 방향을 따라 순차적으로 배치될 수 있다. 상기 제1 내지 제6 계단들은 각각 상기 제3 방향으로 제1 내지 제6 길이들(L1, L2, L3, L4, L5, L6)을 가질 수 있다. 예시적인 실시예들에 있어서, 제5 길이(L5)는 제4 및 제6 길이들(L4, L6)보다 클 수 있으며, 제4 및 제6 길이들(L4, L6)은 제1 내지 제3 길이들(L1, L2, L3)보다 클 수 있다. 또한, 제4 및 제6 길이들(L4, L6)은 서로 실질적으로 동일할 수 있으며, 제1 내지 제3 길이들(L1, L2, L3)은 서로 실질적으로 동일할 수 있다.
- [0065] 한편, 상기 제7 및 제8 계단 구조물들은 상기 제3 방향으로 서로 이격될 수 있으며, 서로 대칭적인 형상을 가질 수 있다. 이에 따라, 상기 제8 계단 구조물은 상기 제1 방향을 따라 하층에서부터 상층으로 순차적으로 적층된 제7 내지 제12 계단 층들을 포함할 수 있으며, 이들의 제7 내지 제12 계단들은 상기 제3 방향을 따라 순차적으로 배치될 수 있다.
- [0066] 도 23을 참조하면, 기관(500)의 제2 영역(II) 상에 형성된 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129) 중 적어도 일부의 상기 제2 방향 혹은 상기 제3 방향으로의 각 말단부들의 두께를 증가시킬 수 있다.
- [0067] 일 실시예에 있어서, 상기 제3 내지 제8 계단 구조물들의 각 계단들 상에 형성된 절연막(110) 부분을 제거하여 상기 계단들을 이루는 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 말단부를 노출시킨 후, 상기 노출된 각 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 말단부 상에 희생막(120)과 동일한 물질을 추가로 증착함으로써, 각 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 말단부의 두께를 증가시킬 수 있다. 이에 따라, 각 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 상기 말단부는 다른 부분들에 비해 상면의 높이가 더 높아질 수 있으며, 더 큰 두께를 가질 수 있다.
- [0068] 도 24 및 25를 참조하면, 기관(500)의 제5 영역(V) 및 최하층 희생막(120)을 노출시키는 제2 개구(180)를 포함하는 제1 식각 마스크(170)를 기관(500)의 제1 및 제2 영역들(I, II) 상에 형성한 후, 이를 사용하는 식각 공정을 통해 기관(500)의 제5 영역(V) 및 최하층 희생막(120) 상에 형성된 각 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 말단부의 두께를 감소시킬 수 있다.
- [0069] 예시적인 실시예들에 있어서, 도 23을 참조로 설명한 공정을 통해 증가된 각 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 말단부의 두께가 기관(500)의 제5 영역(V) 및 최하층 희생막(120) 상에서는 다시 감소되어 원래의 두께로 환원될 수 있다.
- [0070] 한편, 도 26을 참조하면, 도 24 및 25를 참조로 설명한 상기 식각 공정을 수행함으로써 각 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 말단부의 두께가 원래의 두께보다 더 작은 두께를 가질 수도 있다.
- [0071] 나아가 도 27을 참조하면, 도 24 및 25를 참조로 설명한 상기 식각 공정을 수행함으로써 각 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 말단부가 모두 제거될 수도 있다. 이에 따라, 예를 들어, 상기 제3 계단 구조물에 포함된 최상층 제1 희생 패턴(122), 상기 제4 계단 구조물에 포함된 최상층 제2 희생 패턴(124), 상기 제6 계단 구조물에 포함된 최상층 제4 희생 패턴(128), 및 상기 제7 및 제8 계단 구조물들 사이에 형성된 최상층 제5 희생 패턴(129)은 기관(500)의 제5 영역(V)에서 제거될 수 있다.
- [0072] 도 28을 참조하면, 기관(500)의 제1 영역(I) 상에 순차적으로 적층된 희생막(120) 및 절연막(110), 및 기관(500)의 제2 영역(II) 상에 형성된 상기 제3 내지 제8 계단 구조물들을 포함하는 상기 몰드를 커버하는 제1 층간 절연막(200)을 기관(500) 상에 형성하고, 최상층의 절연막(110)의 상면이 노출될 때까지 제1 층간 절연막(200)을 평탄화할 수 있다. 상기 평탄화 공정은 화학 기계적 연마(CMP) 공정 및/또는 에치 백 공정을 통해 수행될 수 있다.
- [0073] 이후, 상기 몰드의 상면 및 제1 층간 절연막(200)의 상면에 제2 층간 절연막(210)을 형성할 수 있다. 제1 및 제2 층간 절연막들(200, 210)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있으며, 절연막(110)과 혹은 서로 간에 병합될 수도 있다.
- [0074] 도 29 및 30을 참조하면, 제2 층간 절연막(210) 상에 제2 식각 마스크(도시되지 않음)를 형성한 후, 이를 사용하는 식각 공정을 통해 하부의 제2 층간 절연막(210), 절연막들(110) 및 희생막들(120)을 식각함으로써, 이들을 관통하여 기관(500)의 제1 영역(I) 상에 형성된 베이스 패턴(100) 상면을 부분적으로 노출시키는 채널 홀을 형

성하고, 이를 채우는 제2 구조물을 다음과 같이 형성할 수 있다.

- [0075] 먼저 상기 제2 식각 마스크를 제거한 후, 상기 채널 홀을 부분적으로 채우는 반도체 패턴(230)을 형성할 수 있다. 구체적으로, 상기 채널 홀에 의해 노출된 베이스 패턴(100) 상면을 씨드로 사용하는 선택적 에피택시얼 성장(SEG) 공정을 수행하여 상기 채널 홀을 부분적으로 채우는 반도체 패턴(230)을 형성할 수 있다. 이때, 반도체 패턴(230)은 그 상면이 절연막들(110) 중에서 베이스 패턴(100) 상면으로부터 상기 제1 방향으로 2번째 층에 형성된 절연막(110)의 상면과 저면 사이에 위치할 수 있다.
- [0076] 이후, 상기 채널 홀들의 측벽, 반도체 패턴(230)의 상면, 및 제2 층간 절연막(210)의 상면에 제1 블로킹 막, 전하 저장막, 터널 절연막 및 제1 스페이서 막(도시되지 않음)을 순차적으로 형성하고, 상기 제1 스페이서 막을 이방성 식각하여 상기 채널 홀들의 측벽 상에만 잔류하는 제1 스페이서(도시되지 않음)를 형성한 후, 상기 제1 스페이서를 식각 마스크로 사용하여 상기 터널 절연막, 상기 전하 저장막 및 상기 제1 블로킹 막을 식각함으로써, 반도체 패턴(230) 및 상기 채널 홀들의 측벽 상에 저면 중앙부가 뚫린 컵 형상을 갖는 터널 절연 패턴(260), 전하 저장 패턴(250) 및 제1 블로킹 패턴(240)을 각각 형성할 수 있다. 이때, 반도체 패턴(230)의 상부도 부분적으로 함께 제거될 수 있다. 터널 절연 패턴(260), 전하 저장 패턴(250) 및 제1 블로킹 패턴(240)은 전하 저장 구조물(270)을 형성할 수 있다.
- [0077] 상기 제1 스페이서 및 전하 저장 패턴(250)은 예를 들어, 실리콘 질화물과 같은 질화물을 포함할 수 있고, 터널 절연 패턴(260) 및 제1 블로킹 패턴(240)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0078] 상기 제1 스페이서를 제거한 후, 노출된 반도체 패턴(230), 터널 절연 패턴(260) 및 제2 층간 절연막(210) 상에 채널막을 형성하고, 상기 채널 홀들의 나머지 부분을 채우는 충전막을 형성한다. 이후, 제2 층간 절연막(210)의 상면이 노출될 때까지 상기 충전막 및 상기 채널막을 평탄화함으로써, 상기 각 채널 홀들의 나머지 부분을 채우는 충전 패턴(290)을 형성할 수 있으며, 상기 채널막은 채널(280)로 변환될 수 있다. 충전 패턴(290)은 예를 들어, 실리콘 산화물과 같은 산화물을 포함할 수 있다.
- [0079] 이후, 충전 패턴(290), 채널(280), 및 전하 저장 구조물(270)로 구성되는 제1 구조물의 상부를 제거하여 트렌치(도시되지 않음)를 형성하고, 상기 트렌치를 채우는 캐핑 패턴(300)을 형성할 수 있다. 채널(280) 및 캐핑 패턴(300)은 각각 불순물이 도핑되지 않거나 혹은 약하게 도핑된 단결정 실리콘 혹은 폴리실리콘을 포함할 수 있다.
- [0080] 예시적인 실시예들에 있어서, 채널(280)은 상기 각 제2 및 제3 방향들을 따라 복수 개로 형성될 수 있으며, 이들은 채널 어레이를 형성할 수 있다.
- [0081] 예시적인 실시예들에 있어서, 상기 채널 어레이는 상기 제2 방향을 따라 복수 개로 형성된 제1 채널들을 포함하는 제1 채널 열(280a)과, 상기 제2 방향을 따라 복수 개로 형성된 제2 채널들을 포함하면서 상기 제3 방향으로 제1 채널 열과 일정한 간격으로 이격된 제2 채널 열(280b)을 포함할 수 있다. 상기 제1 채널들은 상기 제2 채널들로부터 상기 제2 방향과 예측을 이루는 방향에 각각 위치할 수 있으며, 상기 제1 및 제2 채널들은 전체적으로 상기 제2 방향을 기준으로 지그재그 형상으로 배열될 수 있다.
- [0082] 상기 제1 및 제2 채널 열들(280a, 280b)은 상기 제3 방향을 따라 교대로 반복적으로 배열될 수 있다. 예시적인 실시예들에 있어서, 상기 제3 방향을 따라 5개의 제1 채널 열들(280a) 및 4개의 제2 채널 열들(280b)이 교대로 배치될 수 있으며, 이들은 하나의 채널 블록을 형성할 수 있다. 이하에서는, 상기 채널 블록 내에 배열된 4개의 채널 열들을 상기 제3 방향을 따라 순서대로 제1, 제2, 제3 및 제4 채널 열들(280a, 280b, 280c, 280d)로 지칭하고, 가운데에 배치된 채널 열은 제5 채널 열(280e)로 지칭하며, 나머지 4개의 채널 열들을 다시 제1, 제2, 제3 및 제4 채널 열들(280a, 280b, 280c, 280d)로 지칭하기로 한다.
- [0083] 상기 제3 방향을 따라 순서대로 배치된 제1, 제2, 제3 및 제4 채널 열들(280a, 280b, 280c, 280d)은 하나의 채널 그룹을 형성할 수 있다. 즉, 도 29에는 상기 제3 방향을 따라 서로 이격된 4개의 채널 블록들을 포함하는 채널 어레이가 도시되어 있으며, 상기 각 채널 블록들은 상기 제3 방향을 따라 배치된 2개의 채널 그룹들을 포함하며, 이들 사이에는 제5 채널 열(280e)이 형성되어 있다. 다만, 상기 각 채널 블록들이 포함하는 상기 채널 열들의 개수 혹은 상기 각 채널 그룹들이 포함하는 상기 채널 열들의 개수는 전술한 것에 한정되지 않을 수 있다. 한편, 제5 채널 열(280e)에 포함된 채널들(270)은 더미 채널들일 수 있다.
- [0084] 도 31 및 32를 참조하면, 희생막들(120) 및 절연막들(110)의 일부를 관통하는 제2 분리 패턴(310)을 기판(500)의 제1 영역(I) 및 이에 인접하는 제2 영역(II)의 일부 상에 형성할 수 있다.
- [0085] 제2 분리 패턴(310)은 제2 층간 절연막(210) 상에 제3 식각 마스크(도시되지 않음)를 형성한 후, 이를 사용하는

식각 공정을 통해 제2 층간 절연막(210), 절연막들(110)의 일부 및 희생막들(120)의 일부를 식각하여, 이들을 관통하는 제3 개구를 형성한 후, 이를 채우도록 형성될 수 있다.

[0086] 예시적인 실시예들에 있어서, 제2 분리 패턴(310)은 하나의 채널 블록 내에 배치된 2개의 채널 그룹들 사이에서 상기 제2 방향으로 연장되도록 형성될 수 있다. 이에 따라, 제2 분리 패턴(310)은 제5 채널 열(280e)에 포함된 채널들(280)의 상부를 관통할 수 있다.

[0087] 예시적인 실시예들에 있어서, 제2 분리 패턴(310)은 채널들(280) 상부뿐만 아니라, 제2 층간 절연막(210), 상부 2개의 층들에 형성된 희생막들(120), 및 상부의 2개의 층들에 형성된 절연막들(110)을 관통할 수 있으며, 그 아래 1개의 층에 형성된 절연막(110)도 부분적으로 관통할 수 있다. 이때, 제2 분리 패턴(310)은 기판(500)의 제1 영역(I) 상에서 상기 제2 방향으로 연장될 뿐만 아니라, 기판(500)의 제2 영역(II) 상의 상기 제3 계단 구조물의 상층 2개의 계단 층들을 관통할 수 있도록 상기 제2 방향으로 더 연장될 수 있다. 이에 따라, 제2 분리 패턴(310)에 의해서 상부 2개의 층들에 형성된 희생막들(120) 및 제1 희생 패턴들(122)이 상기 제3 방향을 따라 서로 분리될 수 있다.

[0088] 도 33 및 34를 참조하면, 제2 층간 절연막(210), 캐핑 패턴(300) 및 제2 분리 패턴(310) 상에 제3 층간 절연막(320)을 형성하고, 제3 층간 절연막(320) 상에 제4 식각 마스크(도시되지 않음)를 형성한 후, 이를 사용하는 식각 공정을 통해 하부의 제2 및 제3 층간 절연막들(210, 320), 절연막들(110) 및 희생막들(120)을 관통하는 제4 및 제5 개구들(330, 340)을 형성하여 베이스 패턴(100) 상면을 노출시킨다.

[0089] 예시적인 실시예들에 있어서, 각 제4 및 제5 개구들(330, 340)은 기판(500)의 제1 및 제2 영역들(I, II) 상에서 상기 채널 블록들 사이에 상기 제2 방향을 따라 연장되도록 형성될 수 있으며, 상기 제3 방향을 따라 복수 개로 형성될 수 있다. 즉, 제4 및 제5 개구들(330, 340) 중 상기 제3 방향으로 인접하는 2개 사이에는 1개의 채널 블록이 배치될 수 있으며, 상기 채널 블록은 제5 채널 열(280e)의 상기 제3 방향으로의 양측에 각각 형성되어 4개의 채널 열들을 포함하는 2개의 채널 그룹들을 포함할 수 있다.

[0090] 제4 및 제5 개구들(330, 340)이 형성됨에 따라, 희생막(120)은 상기 제2 방향으로 각각 연장되는 복수 개로 분리될 수 있고, 절연막(110)은 상기 제2 방향으로 각각 연장되는 절연 패턴들(115)로 변환될 수 있다.

[0091] 다만 예시적인 실시예들에 있어서, 제4 개구(330)는 기판(500)의 제1 및 제2 영역들(I, II) 상에서 상기 제2 방향으로 끊어짐 없이 연장될 수 있으나, 제5 개구(340)는 기판(500)의 제2 영역(II) 상에서 부분적으로 절단될 수 있다. 이에 따라, 제5 개구(340)의 상기 제3 방향으로의 양 측에서 상기 제2 방향으로 연장되는 각 희생막(120) 부분들은 기판(500)의 제2 영역(II) 상에서 서로 연결될 수 있다. 예시적인 실시예들에 있어서, 제5 개구(340)의 상기 절단부 즉, 희생막들(120)을 서로 연결하는 연결부는 상기 제3 계단 구조물에 포함된 제3 층 제1 희생 패턴(122) 및 제1 분리 패턴(130)과 상기 제1 방향으로 오버랩될 수 있다.

[0092] 예시적인 실시예들에 있어서, 제4 개구(330)는 상기 X 영역의 양 에지에 오버랩될 수 있으며, 이에 따라 상기 제3 방향으로 서로 이웃하는 제4 개구들(330) 사이에는 4개의 상기 채널 블록들이 배치될 수 있다. 또한, 제5 개구(340)는 상기 X 영역 내에서 상기 채널 블록들 사이에 형성될 수 있으며, 이에 따라 상기 제3 방향으로 서로 이웃하는 제5 개구들(340) 사이에는 1개의 채널 블록이 형성될 수 있다. 결국, 상기 X 영역 내에서 상기 제2 방향으로 각각 연장되는 4개의 희생막들(120)은 이들 사이의 연결부들에 의해 서로 연결될 수 있다. 다만, 최하층 희생막들(120)의 경우, 제1 분리 패턴(130)에 의해 서로 분리될 수 있다.

[0093] 예시적인 실시예들에 있어서, 제4 및 제5 개구들(330, 340)을 형성할 때, 제2 및 제3 층간 절연막들(210, 320), 절연막들(110) 및 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)을 관통하여 베이스 패턴(100) 상면을 노출시키는 제6 개구(350)를 함께 형성할 수 있다.

[0094] 제6 개구(350)는 기판(500)의 제2 영역(II) 상에서 상기 제2 방향으로 연장되어 각 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)을 상기 제3 방향으로 분리시킬 수 있다. 제6 개구(350)는 상부에서 보았을 때, 상기 제3 계단 구조물에 포함된 제3 층 제1 희생 패턴(122)으로부터 기판(500)의 제2 영역(II)의 가장자리까지 연장될 수 있다.

[0095] 도 35 및 36을 참조하면, 상기 제4 식각 마스크를 제거한 후, 제4 내지 제6 개구들(330, 340, 350)에 의해 노출된 희생막들(120) 및 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)을 제거하여, 각 층의 절연 패턴들(115) 사이에 갭을 형성할 수 있으며, 상기 갭에 의해 제2 분리 패턴(310)의 측벽 일부, 제1 블로킹 패턴(240)의 외측벽 일부, 및 반도체 패턴(230)의 측벽 일부가 노출될 수 있다.

- [0096] 이후, 노출된 제2 분리 패턴(310)의 측벽, 제1 블로킹 패턴(240)의 외측벽, 반도체 패턴(230)의 측벽, 상기 갭의 내벽, 절연 패턴들(115)의 표면, 베이스 패턴(100)의 상면, 및 제3 층간 절연막(320)의 상면에 제2 블로킹 막(370)을 형성하고, 제2 블로킹 막(370) 상에 상기 갭의 나머지 부분을 채우는 게이트 도전막을 형성할 수 있다. 제2 블로킹 막(370)과 상기 게이트 도전막 사이에 게이트 배리어 막(미도시)이 더 형성될 수도 있다.
- [0097] 제2 블로킹 막(370)은 예를 들어, 알루미늄 산화물 등과 같은 금속 산화물을 포함할 수 있고, 상기 게이트 도전막은 예를 들어, 텅스텐 등과 같은 금속을 포함할 수 있으며, 상기 게이트 배리어 막은 예를 들어, 티타늄 질화물, 탄탈륨 질화물 등과 같은 금속 질화물을 포함할 수 있다.
- [0098] 이후, 상기 게이트 도전막을 부분적으로 제거하여, 상기 갭 내부에 게이트 도전 패턴을 형성할 수 있으며, 상기 게이트 배리어 막이 형성된 경우에는, 이것 역시 부분적으로 제거되어 게이트 배리어 패턴을 형성할 수 있다. 상기 게이트 도전 패턴 및 상기 게이트 배리어 패턴은 함께 게이트 전극을 형성할 수 있다.
- [0099] 예시적인 실시예들에 있어서, 상기 게이트 전극은 상기 제2 방향으로 연장될 수 있으며, 상기 제1 방향을 따라 서로 이격되도록 복수 개의 층들에 적층될 수 있다. 또한 상기 게이트 전극은 상기 제3 방향을 따라 복수 개로 형성될 수 있다. 즉, 상기 복수 개의 게이트 전극들은 제4 개구(330)에 의해 상기 제3 방향으로 서로 이격될 수 있다. 또한, 제5 개구(340)에 의해 상기 각 게이트 전극들이 상기 제3 방향을 따라 서로 분리될 수 있으며, 다만 기판(500)의 제2 영역(II) 상에 형성되어 하부의 제1 분리 패턴(130)과 오버랩되는 연결부에 의해 이들은 서로 전기적으로 연결될 수 있다. 한편, 기판(500)의 제2 영역(II) 상에 형성되어 상기 제2 방향으로 연장되는 각 게이트 전극들은 상부 2개 층들에 형성된 것들을 제외하고는 제6 개구(350)에 의해서도 추가적으로 상기 제3 방향으로 분리될 수 있다.
- [0100] 한편, 상기 게이트 전극은 상기 제1 방향을 따라 순차적으로 형성된 제1 내지 제3 게이트 전극들(382, 384, 386)을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(382)은 최하층에 형성되고, 제3 게이트 전극(386)은 최상층 및 그 하부의1개의 층, 즉 제1 및 제2 층들에 형성되며, 제2 게이트 전극(384)은 제1 게이트 전극(382) 및 제3 게이트 전극(386) 사이에서 복수의 층들에 형성될 수 있다.
- [0101] 또한, 기판(500)의 제2 영역(II) 상에서 상기 제3 내지 제8 계단 구조물들을 형성하는 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)을 치환하여 상기 게이트 전극들이 형성되므로, 이하에서는 상기 제3 내지 제8 계단 구조물들이 상기 게이트 전극을 포함하는 것으로 기술한다.
- [0102] 진술한 바와 같이, 기판(500)의 제5 영역(V) 상에 형성된 각 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 말단부는 기판(500)의 제3 및 제4 영역들(III, IV) 상에 형성된 것들에 비해 작은 두께를 가질 수 있다. 이에 따라, 제4 내지 제6 개구들(330, 340, 350)에 의해 노출된 희생막들(120) 및 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)을 제거하여 상기 갭을 형성할 때, 기판(500)의 제5 영역(V) 상에서는 기판(500)의 제3 및 제4 영역들(III, IV) 상에 비해서 제1 내지 제5 희생 패턴들(122, 124, 126, 128, 129)의 제거 속도가 낮을 수 있으며, 이에 따라 이들이 모두 제거되지 않고 가운데 부분에 잔류할 수 있다. 즉, 도 36에 도시된 바와 같이, 기판(500)의 제5 영역(V)의 상기 제3 방향으로의 양 가장자리 부분은 모두 제거되어 상기 게이트 전극이 형성될 수 있으나, 가운데 부분은 제거되지 않아 몰드로 잔류할 수 있다.
- [0103] 도 37 및 38을 참조하면, 각 제4 및 제5 개구들(330, 340)에 의해 노출된 베이스 패턴(100) 상부에 불순물을 주입하여 제2 불순물 영역(105)을 형성할 수 있다.
- [0104] 이후, 제4 내지 제6 개구들(330, 340, 350)에 의해 노출된 베이스 패턴(100) 상면, 제4 내지 제6 개구들(330, 340, 350)의 측벽, 및 제3 층간 절연막(320) 상면에 제2 스페이서 막을 형성한 후, 상기 제2 스페이서 막을 이방성 식각함으로써, 각 제4 내지 제6 개구들(330, 340, 350)의 측벽 상에 제2 스페이서(390)를 형성할 수 있다.
- [0105] 이후, 제2 불순물 영역(105) 상에 제4 및 제5 개구들(330, 340)의 나머지 부분을 각각 채우는 제1 및 제2 공통 소스 라인들(CSL)(400, 410)을 형성하고, 베이스 패턴(100) 상에 제6 개구(350)의 나머지 부분을 채우는 제3 분리 패턴(420)을 형성할 수 있다.
- [0106] 예시적인 실시예들에 따르면, 제4 내지 제6 개구들(330, 340, 350)을 채우는 도전막을 노출된 베이스 패턴(100) 상면, 제2 스페이서(390) 및 제3 층간 절연막(320) 상에 형성한 후, 제3 층간 절연막(320)의 상면이 노출될 때까지 상기 도전막 상부를 평탄화함으로써, 제1 및 제2 CSL들(400, 410) 및 제3 분리 패턴(420)을 형성할 수 있다. 이때, 제3 층간 절연막(320) 상면에 형성된 제2 블로킹 막(370) 부분도 함께 제거될 수 있다. 제1 및 제2 CSL들(400, 410)은 제4 및 제5 개구들(330, 340) 내에 각각 형성되어 하부의 제2 불순물 영역(105) 상면에 접촉

할 수 있다.

- [0107] 도 39 내지 도 42를 참조하면, 제3 층간 절연막(320), 제1 및 제2 CSL들(400, 410), 제3 분리 패턴(420), 제2 스페이서(390) 및 제2 블로킹 막(370) 상에 제4층간 절연막(430)을 형성한 후, 기판(500)의 제3 및 제4 영역들(III, IV) 상의 제1 내지 제4 층간 절연막들(200, 210, 320, 430), 절연 패턴들(115) 및 제2 블로킹 막(370)을 관통하여 제1 내지 제3 게이트 전극들(382, 384, 386)의 상면에 각각 접촉하는 콘택 플러그들(440)을 형성하고, 기판(500)의 제5 영역(V) 상의 제1내지 제4 층간 절연막들(200, 210, 320, 430), 절연 패턴들(115), 희생막들(120), 베이스 패턴(100) 및 제2 하부 층간 절연막(630)을 관통하여 제3 배선들(620) 상면에 각각 접촉하는 관통 비아들(450)을 형성할 수 있다.
- [0108] 콘택 플러그들(440)은 상기 각 제3 내지 제8 계단 구조물들에 포함된 계단들의 적어도 일부 상면에 접촉하도록 형성될 수 있다. 예를 들어, 콘택 플러그들(440)은 상기 제7 계단 구조물의 계단들 상면에 접촉하여 상기 제3 방향으로 배치될 수 있다. 또한, 콘택 플러그들(440)은 상기 제2 방향으로 배치된 상기 제7 계단 구조물들의 대응하는 계단들 상면에 접촉하여 상기 제2 방향으로도 배치될 수 있다.
- [0109] 한편, 관통 비아(450)는 상기 제3 방향으로 대응하는 상기 제7 및 제8 계단 구조물들 사이에서 상기 제3 방향을 따라 복수 개, 예를 들어 6개로 형성될 수 있다.
- [0110] 콘택 플러그(440) 및 관통 비아(450)는 금속 및/또는 금속 질화물을 포함할 수 있다. 이후, 상부 배선 및 비아 등을 더 형성함으로써 상기 수직형 메모리 장치를 완성할 수 있다.
- [0111] 전술한 공정들을 통해 제조된 상기 수직형 메모리 장치는 제1 및 제2 영역들(I, II)을 포함하는 기판(500) 상에 상기 각 제1 및 제3 방향들을 따라 서로 이격되도록 배치되며 각각이 상기 제2 방향으로 연장된 게이트 전극들(382, 384, 386), 및 기판(500)의 제1 영역(I) 상에 상기 제1 방향을 따라 연장되어 게이트 전극들(382, 384, 386) 중 적어도 일부를 관통하는 채널(280)을 포함할 수 있다. 이때, 기판(500)의 제2 영역(II) 상에서 게이트 전극들(382, 384, 386) 중 일부의 상기 제2 방향으로의 단부들은 상기 각 제7 및 제8 계단 구조물들을 형성할 수 있으며, 상기 제7 계단 구조물은 상기 제1 방향을 따라 하부에서 상부로 순차적으로 배치되고 또한 상기 제3 방향을 따라 순차적으로 배치된 제1 내지 제6 계단들을 포함할 수 있고, 상기 제8 계단 구조물은 이에 대응하여 제7 내지 제12계단들을 포함할 수 있다. 이때, 상기 제7 및 제8 계단 구조물들은 기판(500)의 제3 및 제4 영역들(III, IV) 상에 각각 형성될 수 있다. 예시적인 실시예들에 있어서, 상기 제1 내지 제6 계단들은 상기 제3 방향으로 제1 내지 제6 길이들(L1, L2, L3, L4, L5, L6)를 각각 가질 수 있고, 제5 길이(L5)는 제4 및 제6 길이들(L4, L6)보다 크고, 제4 및 제6 길이들(L4, L6)은 제1 내지 제3 길이들(L1, L2, L3)보다 클 수 있다. 일 실시예에 있어서, 제4 및 제6 길이들(L4, L6)은 서로 동일할 수 있고, 제1 내지 제3 길이들(L1, L2, L3)은 서로 동일할 수 있다. 다만, 기판(500)의 제5 영역(V)에도 게이트 전극들(382, 384, 386)의 일부가 잔류하므로 이를 함께 포함하는 경우, 상기 제6 계단은 상기 제3 방향으로 제5 길이(L5)보다 큰 제7 길이(L7)를 갖는다고 볼 수도 있다.
- [0112] 예시적인 실시예들에 있어서, 상기 각 제7 및 제8 계단 구조물들은 상기 제2 방향으로 서로 다른 높이에 복수 개로 배치될 수 있다. 예시적인 실시예들에 있어서, 상기 제7 및 제8 계단 구조물들 사이에는 이들의 측벽과 접촉하며 상기 제1 방향으로 교대로 반복적으로 적층된 절연 패턴들(115) 및 제5 희생 패턴들(129)을 포함하는 몰드가 잔류할 수 있다. 이때, 제5 희생 패턴들(129)은 상기 각 제7 및 제8 계단 구조물들의 대응하는 상기 각 계단들의 저면과 실질적으로 동일한 높이의 저면을 가질 수 있으며, 대응하는 상기 각 계단들의 상면보다 낮은 상면을 가질 수 있다. 예시적인 실시예들에 있어서, 상기 제8 계단 구조물은 상기 몰드를 중심으로 상기 제3 방향을 따라 상기 제7 계단 구조물과 대칭적으로 배치될 수 있다.
- [0113] 예시적인 실시예들에 있어서, 상기 제7 계단 구조물의 상기 각 제1 내지 제6 계단들 상에는 콘택 플러그(440)가 형성될 수 있다. 이때, 상기 제1 내지 제6 계단들 상에 형성된 콘택 플러그들(440) 사이의 상기 제3 방향으로의 거리는 각각 제1 내지 제5 거리들(D1, D2, D3, D4, D5)일 수 있으며, 제4 및 제5 거리들(D4, D5)은 제1 내지 제3 거리들(D1, D2, D3)보다 클 수 있다. 일 실시예에 있어서, 제4 및 제5 거리들(D4, D5)은 서로 동일할 수 있고, 제1 내지 제3 거리들(D1, D2, D3)은 서로 동일할 수 있다.
- [0114] 예시적인 실시예들에 있어서, 상기 수직형 메모리 장치는 기판(500) 상에 형성된 회로 패턴 및 상기 회로 패턴 상에 형성된 베이스 패턴(100)을 포함할 수 있으며, 게이트 전극들(382, 384, 386), 채널(280) 및 상기 몰드는 베이스 패턴(100) 상에 형성될 수 있다. 이때, 관통 비아(450)는 상기 몰드 및 베이스 기판(100)을 관통하여 상기 회로 패턴에 전기적으로 연결될 수 있으며, 상기 제3 방향을 따라 복수 개로 형성될 수 있다.

- [0115] 예시적인 실시예들에 있어서, 각 제1 및 제2 CSL들(400, 410)은 기관(500) 상에 상기 제2 방향으로 연장되어 각 게이트 전극들(382, 384, 386)을 상기 제3 방향으로 서로 이격시킬 수 있다. 제1 CSL(400)은 기관(500)의 제1 및 제2 영역들(I, II) 상에서 끊어짐 없이 상기 제2 방향으로 연장될 수 있으나, 제2 CSL(410)은 기관(500)의 제1 및 제2 영역들(I, II) 상에서 상기 제2 방향으로 연장되되 제2 영역(II) 상에서 부분적으로 절단될 수 있다.
- [0116] 예시적인 실시예들에 있어서, 제1 CSL들(400)은 상기 제1 계단의 측벽에 접촉하거나 상기 제6 계단을 관통할 수 있다. 한편, 제2 CSL들(410)은 제1 CSL들(400) 사이에 형성되어 상기 제3 계단의 측벽에 접촉하거나, 상기 제4 계단을 관통하거나, 상기 제5 계단을 관통할 수 있다.
- [0117] 예시적인 실시예들에 있어서, 상기 수직형 메모리 장치는 기관(500)의 제2 영역(II) 상에서 상기 제3 방향으로 서로 인접하는 제1 및 제2 CSL들(400, 410) 사이에 상기 제2 방향으로 연장되어 각 게이트 전극들(382, 384, 386)을 상기 제3 방향으로 분리시키는 제3 분리 패턴들(420)을 더 포함할 수 있다. 이때, 제3 분리 패턴들(420)은 상기 제2 계단의 측벽에 접촉하거나, 상기 제4 계단의 측벽에 접촉하거나, 상기 제5 계단을 관통하거나, 상기 제6 계단을 관통할 수 있다.
- [0118] 예시적인 실시예들에 있어서, 상기 제7 계단 구조물을 구성하는 제1 내지 제6 계단 층들에서, 상기 각 제1 및 제2 계단 층들은 상기 제3 방향으로 배치된 4개의 제2 게이트 전극들(384)의 단부들로 구성되고, 상기 각 제3 및 제4 계단 층들은 상기 제3 방향으로 배치된 3개의 제2 게이트 전극들(384)의 단부들로 구성되며, 상기 제5 계단 층은 상기 제3 방향으로 배치된 2개의 제2 게이트 전극들(384)의 단부들로 구성되고, 상기 제6 계단 층은 1개의 제2 게이트 전극(384)의 단부로 구성될 수 있다.
- [0119] 예시적인 실시예들에 있어서, 상기 제1 내지 제6 계단 층들은 상기 제1 내지 제6 계단들을 각각 포함할 수 있으며, 상기 제1 내지 제6 계단들 중 적어도 일부는 상기 제3 방향으로의 길이가 다른 계단들의 상기 제3 방향으로의 길이와 다를 수 있다.
- [0120] 상기 수직형 메모리 장치는 상기 제3 방향으로 배치된 복수의 계단 층들, 예를 들어 6개의 계단 층들을 포함하는 상기 제7 및 제8 계단 구조물들을 구비하므로, 상기 제1 방향으로 많은 수의 게이트 전극들이 적층되더라도 상기 제2 방향으로의 길이 증가를 완화시킬 수 있다. 또한, 상기 계단 층들이 포함하는 상기 계단들의 상기 제3 방향으로의 길이를 적절히 조절함으로써 이들 상에 하나의 콘택 플러그(440)만이 형성될 수 있다.
- [0121] 도 43 및 44는 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 단면도들이다. 이때, 도 43은 도 39의 C-C'선을 따라 절단한 단면도이고, 도 43은 도 39의 E-E'선을 따라 절단한 단면도이다. 상기 수직형 메모리 장치는 제5 영역을 제외하고는 도 39 내지 42를 참조로 설명한 수직형 메모리 장치와 실질적으로 동일하거나 유사하므로, 동일한 구성 요소에는 동일한 참조 부호를 부여하고 이들에 대한 자세한 설명은 생략한다.
- [0122] 도 43 및 44를 참조하면, 상기 제7 및 제8 계단 구조물들 사이에 배치된 상기 몰드는 상기 제6 및 제12 계단들에 대응하는 제5 희생 패턴(129)을 포함하지 않을 수 있으며, 이는 도 27을 참조로 설명한 공정에서 각 계단 구조물의 최상층의 계단 층이 모두 제거됨으로써 구현될 수 있다.
- [0123] 도 45는 예시적인 실시예들에 따른 수직형 메모리 장치를 설명하기 위한 단면도로서, 도 39의 E-E'선을 따라 절단한 단면도이다. 이는 도 39 내지 42를 참조로 설명한 수직형 메모리 장치에서 콘택 플러그(440)와 관통 비아(450) 사이의 연결 관계를 설명하기 위한 도면이다.
- [0124] 도 45를 참조하면, 관통 비아들(450) 중 일부는 상기 제7 계단 구조물의 계단들 상에 형성된 콘택 플러그들(440) 중 일부와 전기적으로 연결되고, 관통 비아들(450) 중 나머지 일부는 상기 제8 계단 구조물의 계단들 상에 형성된 콘택 플러그들(440) 중 일부와 전기적으로 연결될 수 있다. 도면 상에서는 3개의 관통 비아들(450)이 상기 제7 계단 구조물의 계단들 상에 형성된 3개의 콘택 플러그들(440)과 각각 전기적으로 연결되고, 나머지 3개의 관통 비아들(450)이 상기 제8 계단 구조물의 계단들 상에 형성된 3개의 콘택 플러그들(440)과 각각 전기적으로 연결되는 것이 도시되어 있으나, 본 발명의 개념은 반드시 이에 한정되지는 않는다.
- [0125] 관통 비아들(450) 및 콘택 플러그들(440)은 동일한 층에 형성된 상부 배선들(480)을 통해 서로 전기적으로 연결될 수 있다.
- [0126] 상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

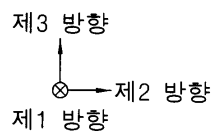
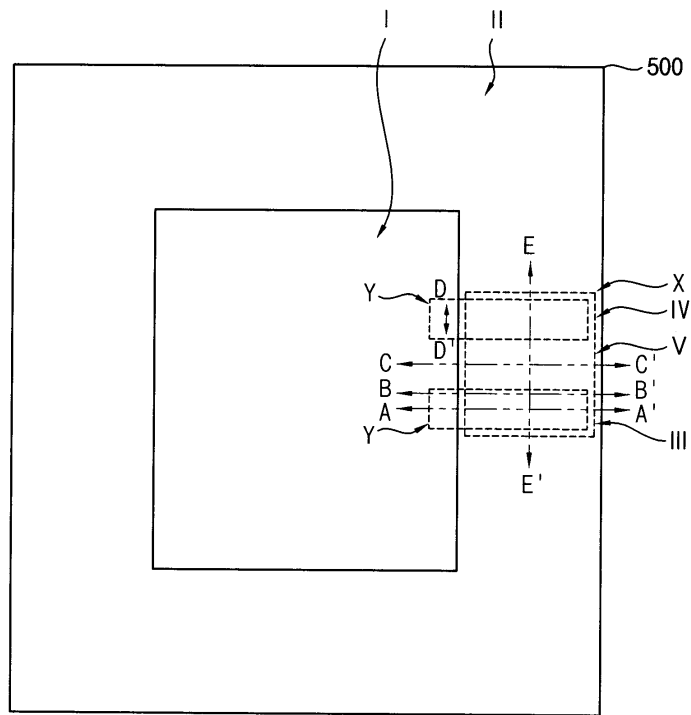
부호의 설명

[0127]

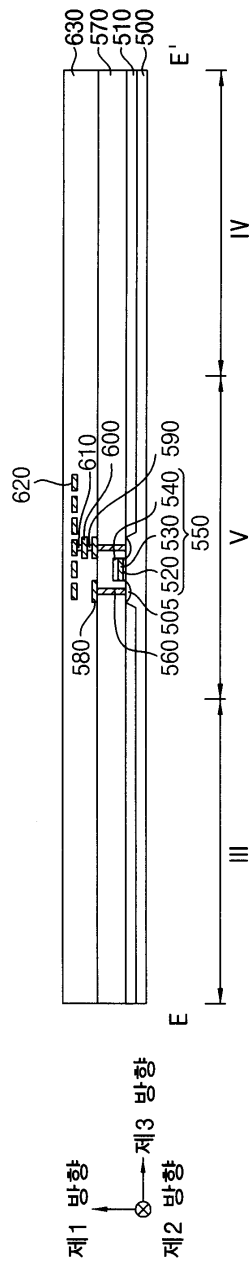
100: 베이스 패턴 110: 절연막
 115: 절연 패턴 120: 희생막
 122, 124, 126, 128, 129: 제1 내지 제5 희생 패턴
 130, 310, 420: 제1 내지 제3 분리 패턴
 132, 134, 140, 142: 제2 내지 제5 포토레지스트 패턴
 170: 제1 식각 마스크
 180, 330, 340, 350: 제2, 제4, 제5, 제6 개구
 200, 210, 320, 430: 제1 내지 제4 층간 절연막
 230: 반도체 패턴 240: 제1 블로킹 패턴
 250: 전하 저장 패턴 260: 터널 절연 패턴
 270: 전하 저장 구조물 280: 채널
 280a, 280b, 280c, 280d, 280e: 제1 내지 제5 채널 열
 290: 충전 패턴 300: 캐핑 패턴
 370: 제2 블로킹 막
 382, 384, 386: 제1 내지 제3 게이트 전극
 390: 제2 스페이서 400, 410: 제1, 제2 CSL
 440: 콘택 플러그 450: 관통 비아
 480: 상부 배선 505, 105: 제1, 제2 불순물 영역
 510: 소자 분리 패턴 520: 하부 게이트 절연 패턴
 530: 하부 게이트 전극 540: 하부 게이트 마스크
 550: 하부 게이트 구조물 560: 하부 콘택 플러그
 570, 630: 제1, 제2 하부 층간 절연막
 580, 600, 620: 제1 내지 제3 하부 배선
 590, 610: 제1, 제2 하부 비아

도면

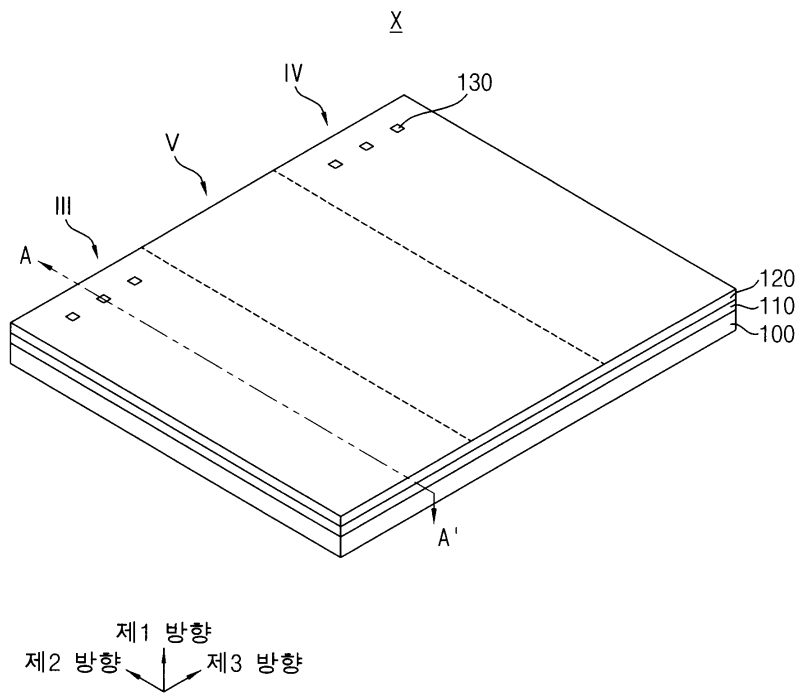
도면1



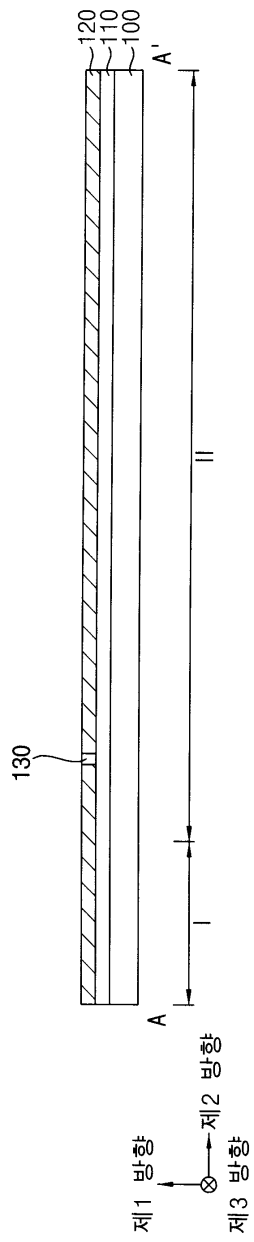
도면2



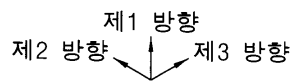
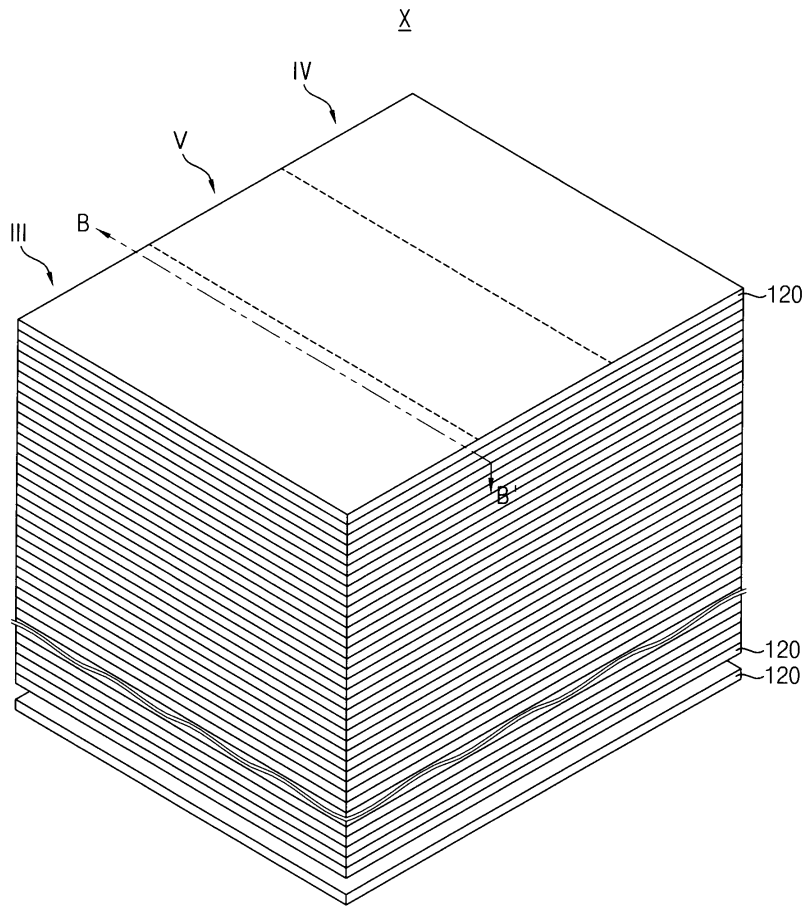
도면3



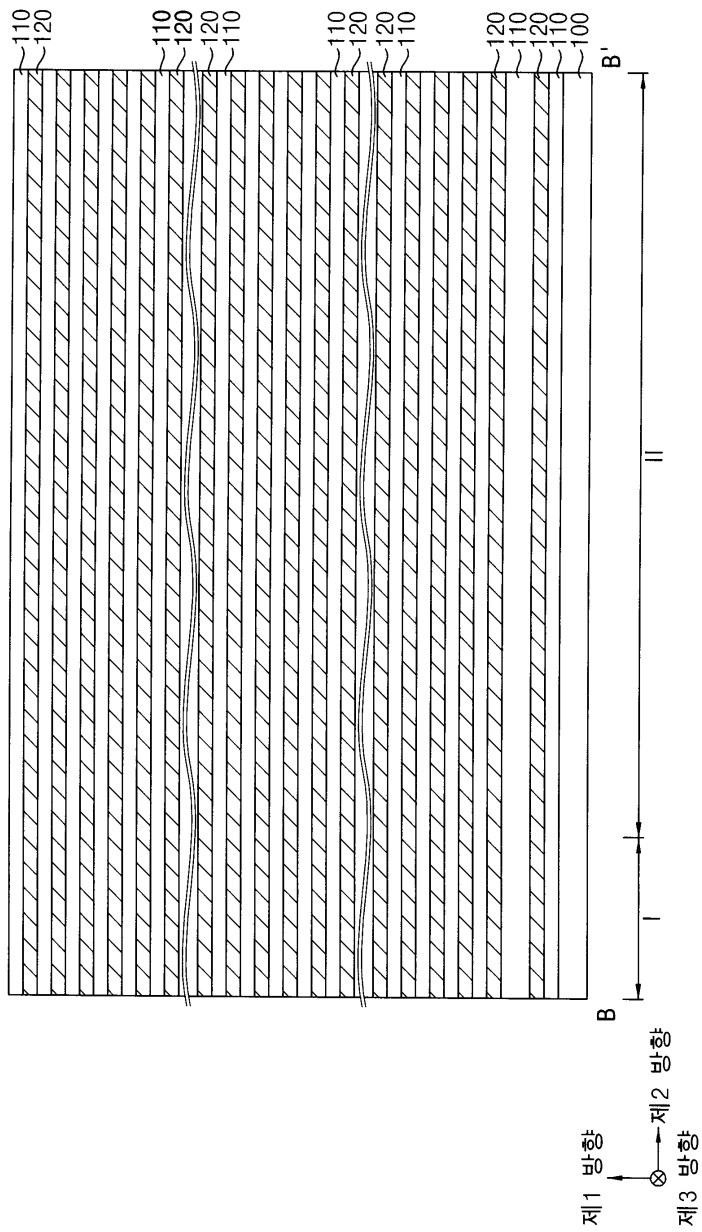
도면4



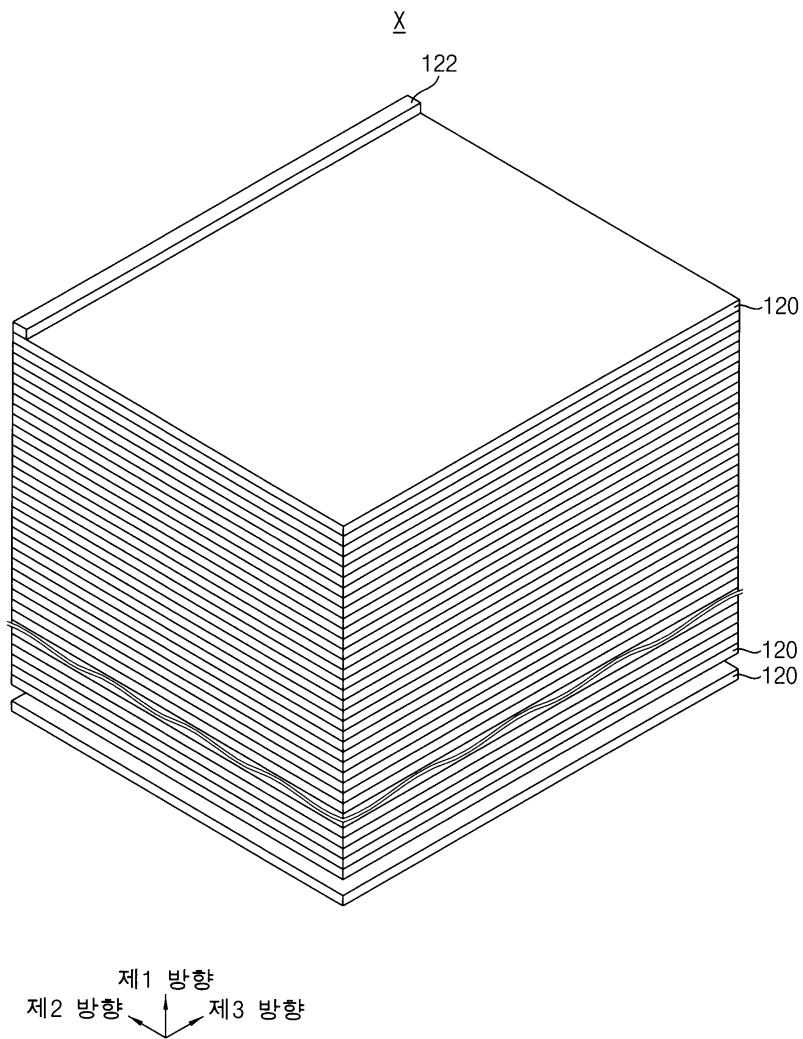
도면5



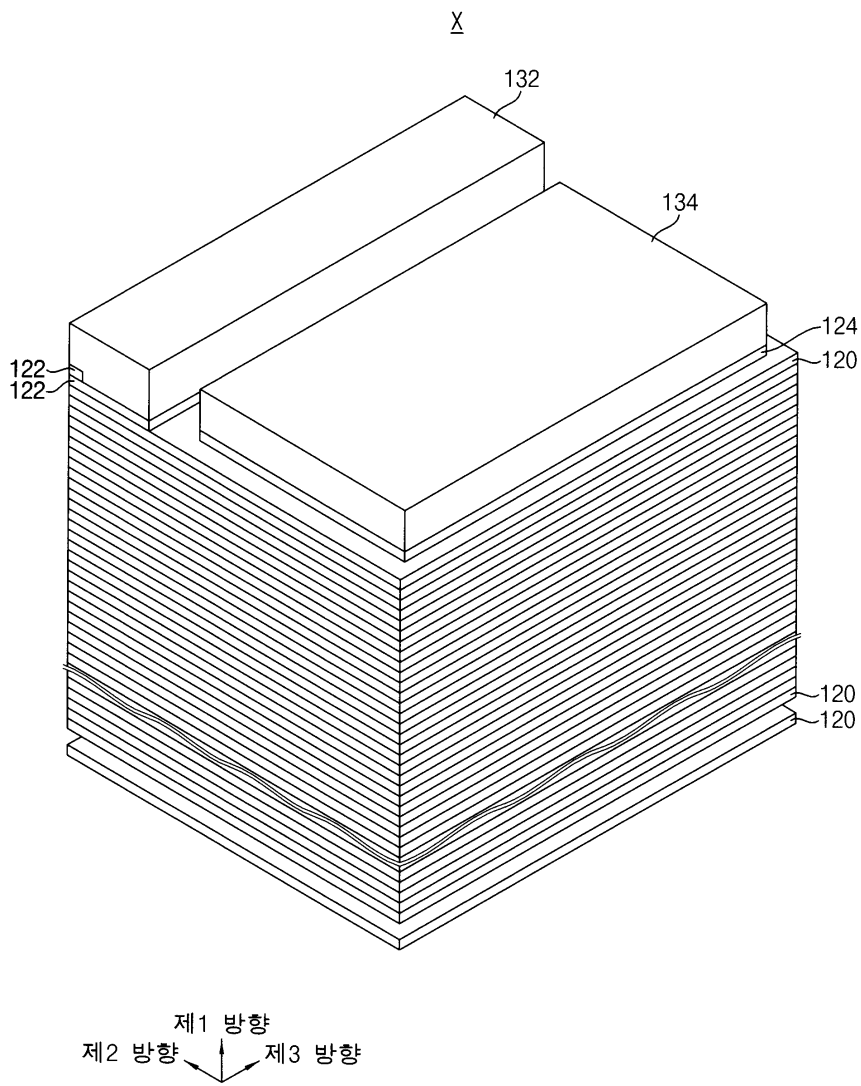
도면6



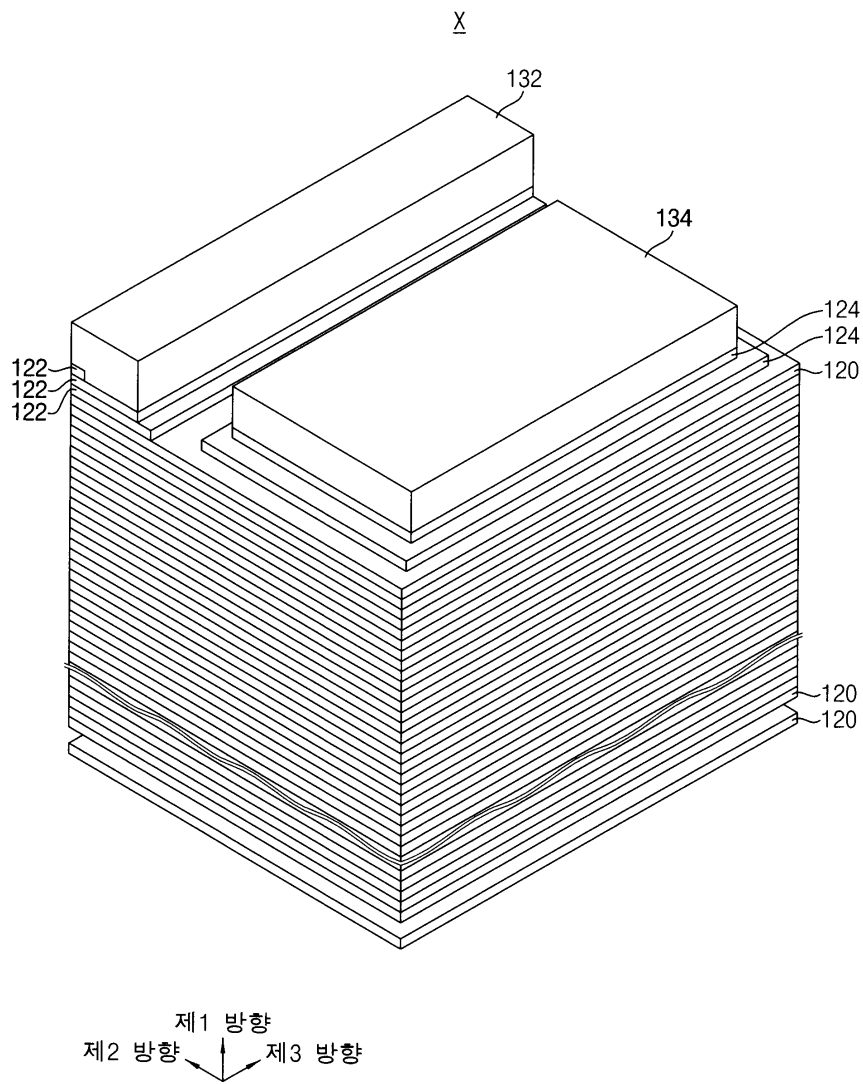
도면7



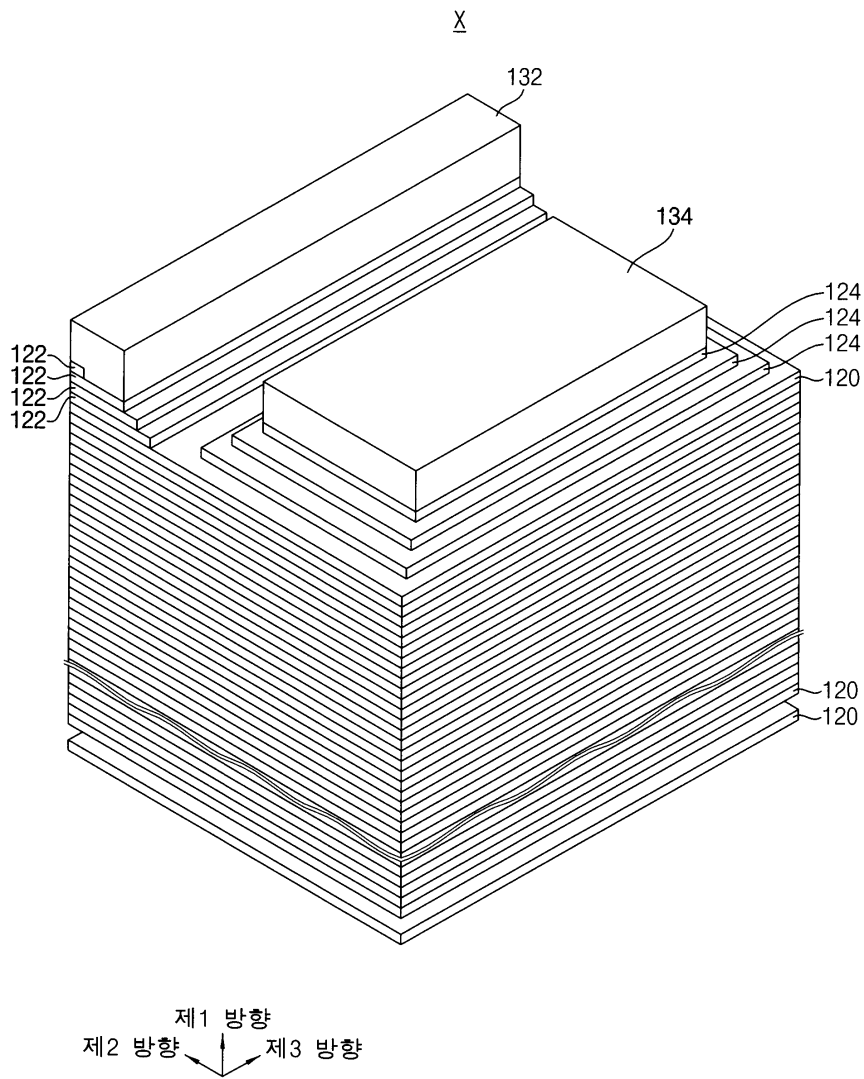
도면8



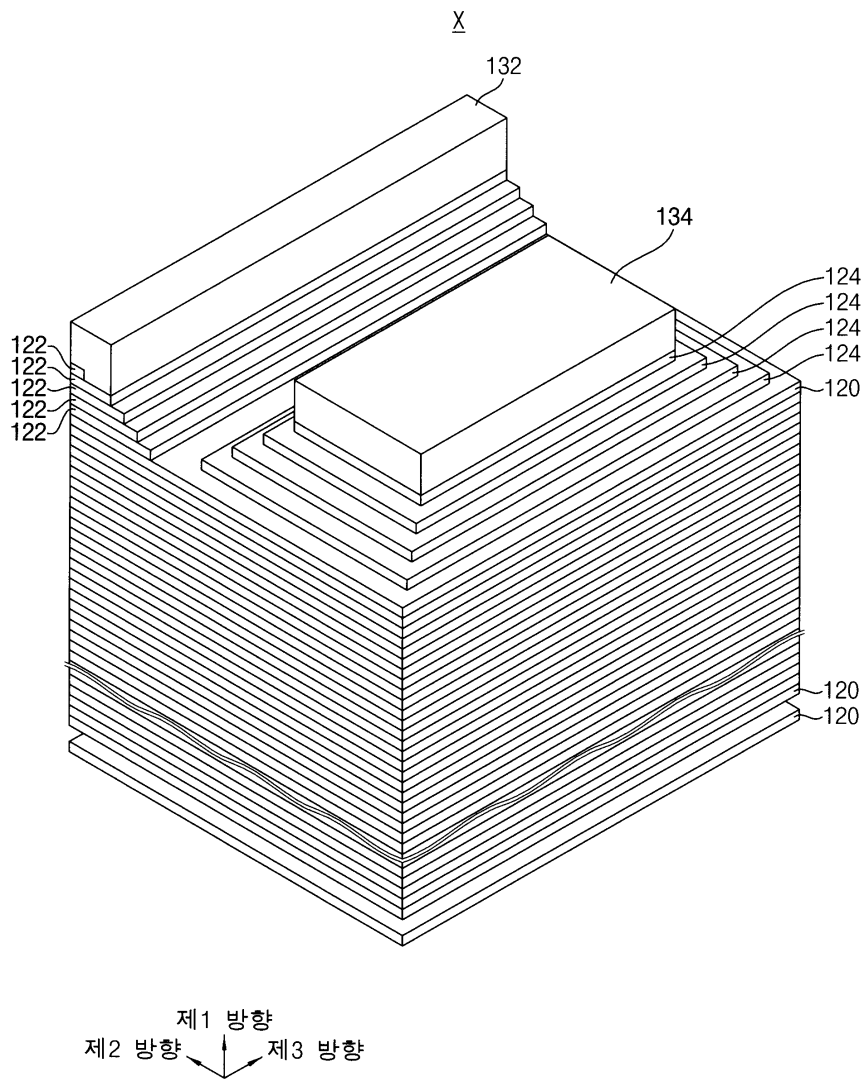
도면9



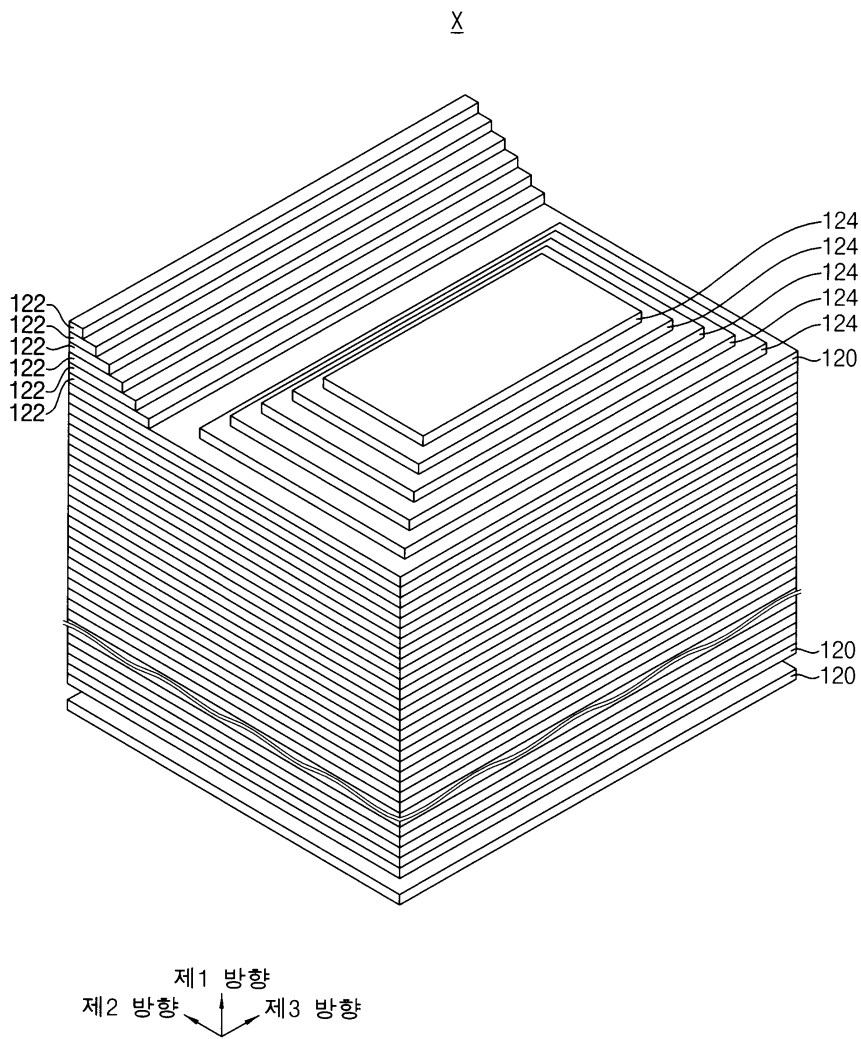
도면10



도면11

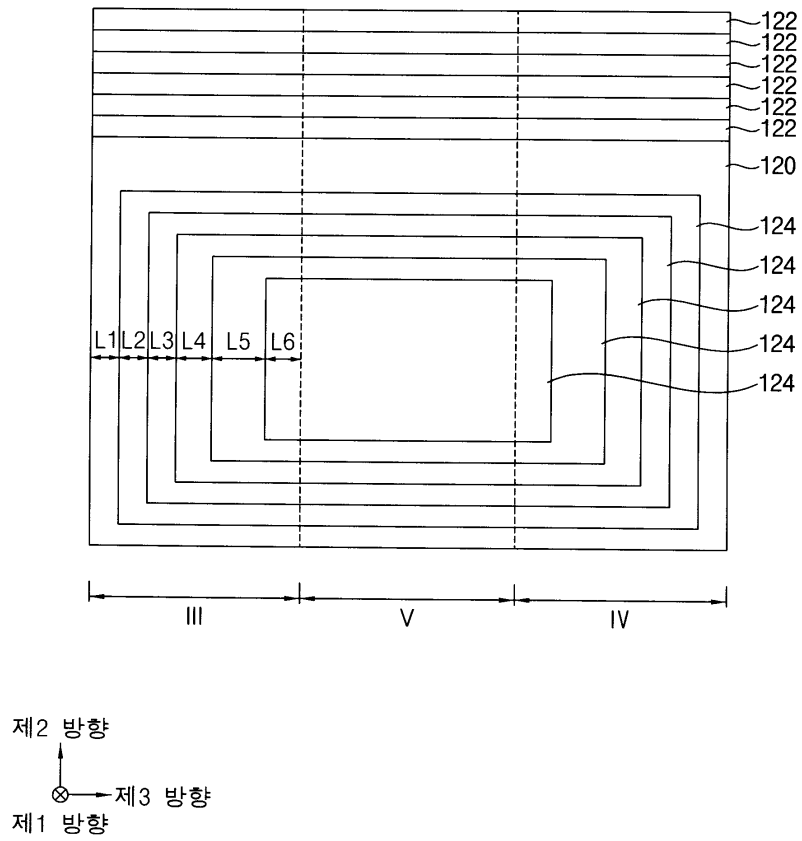


도면12

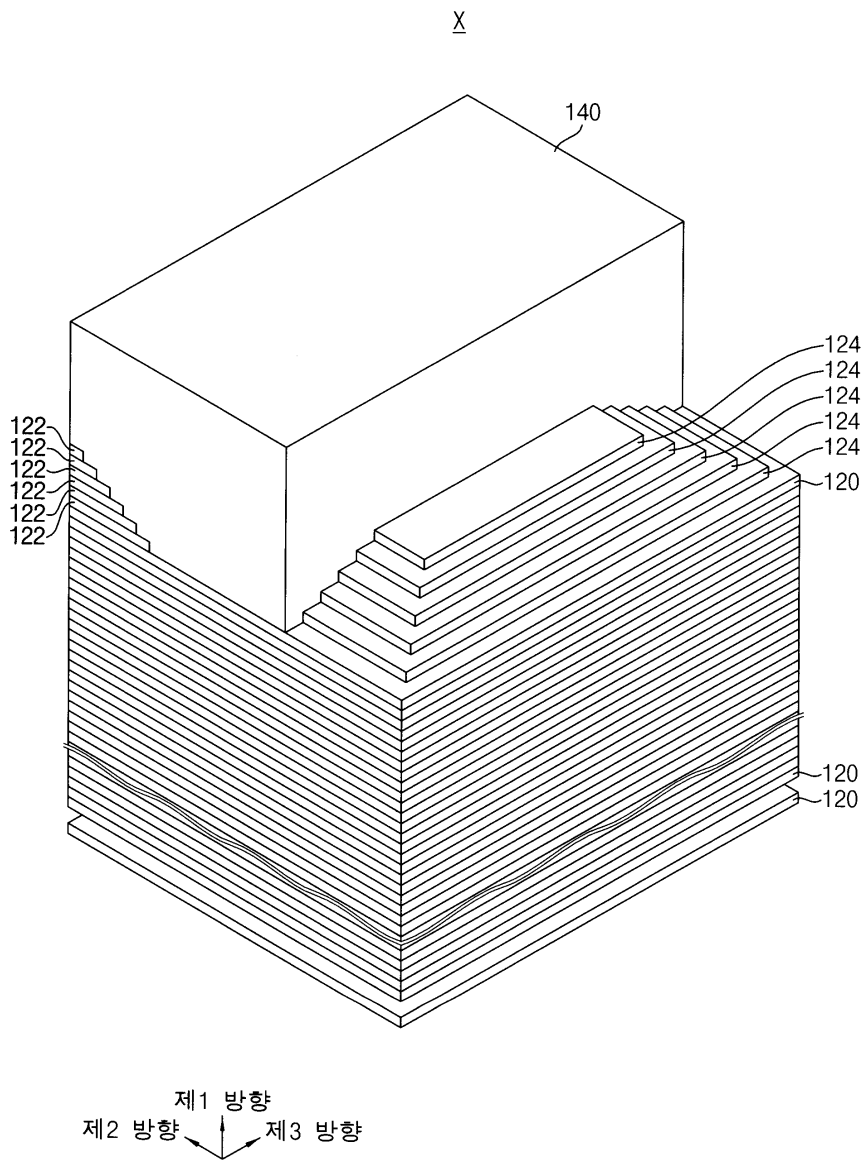


도면13

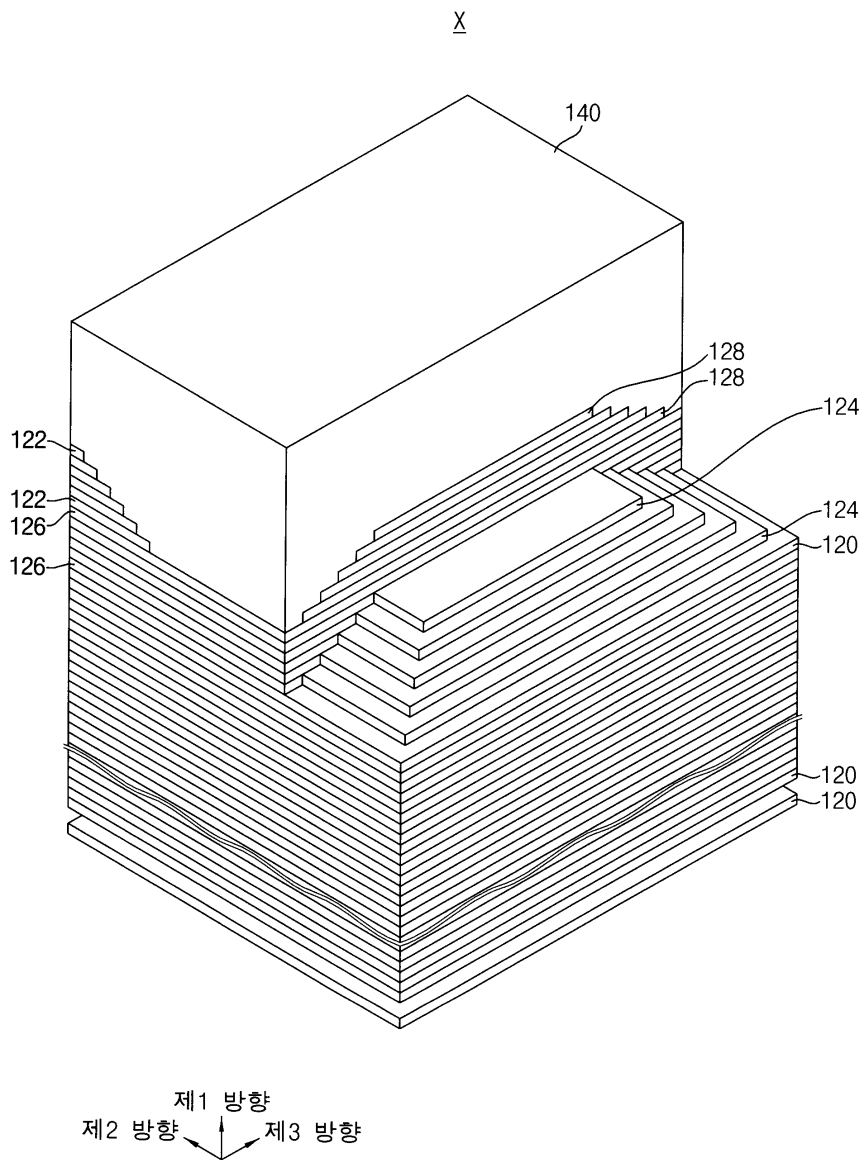
X



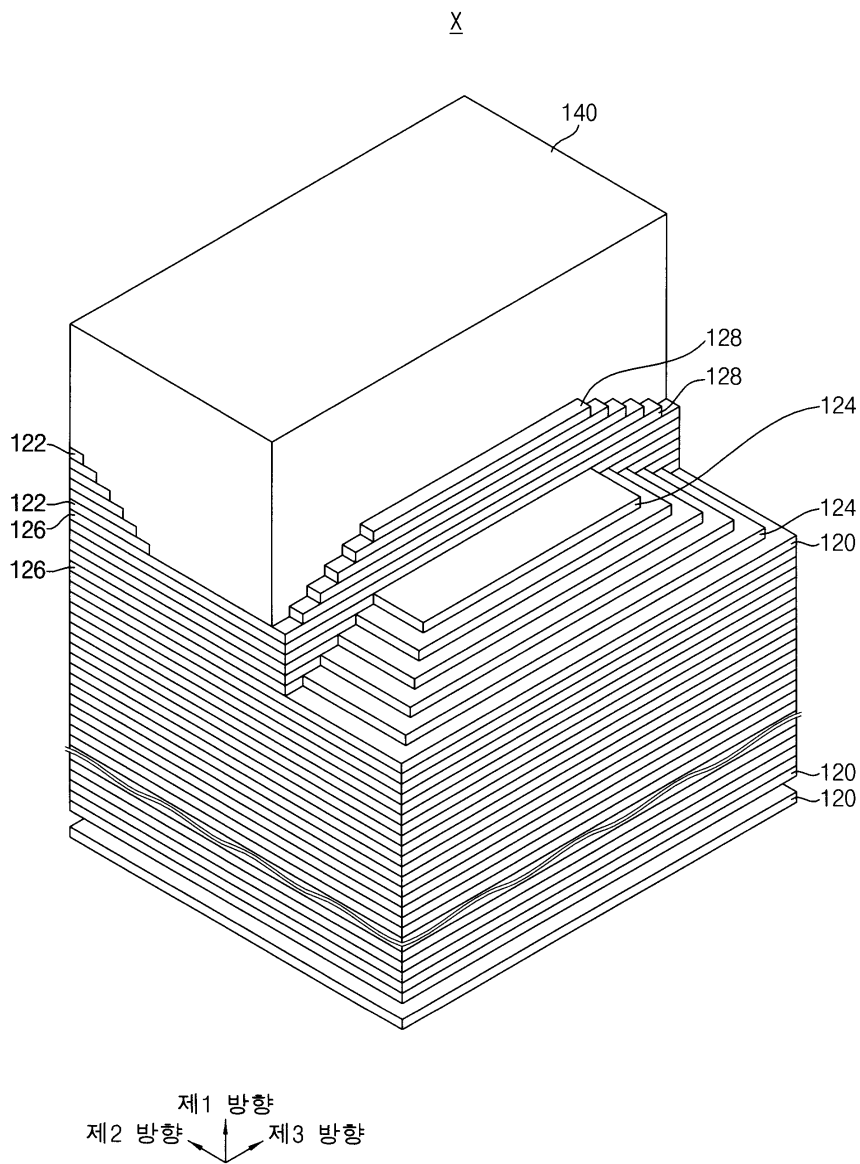
도면14



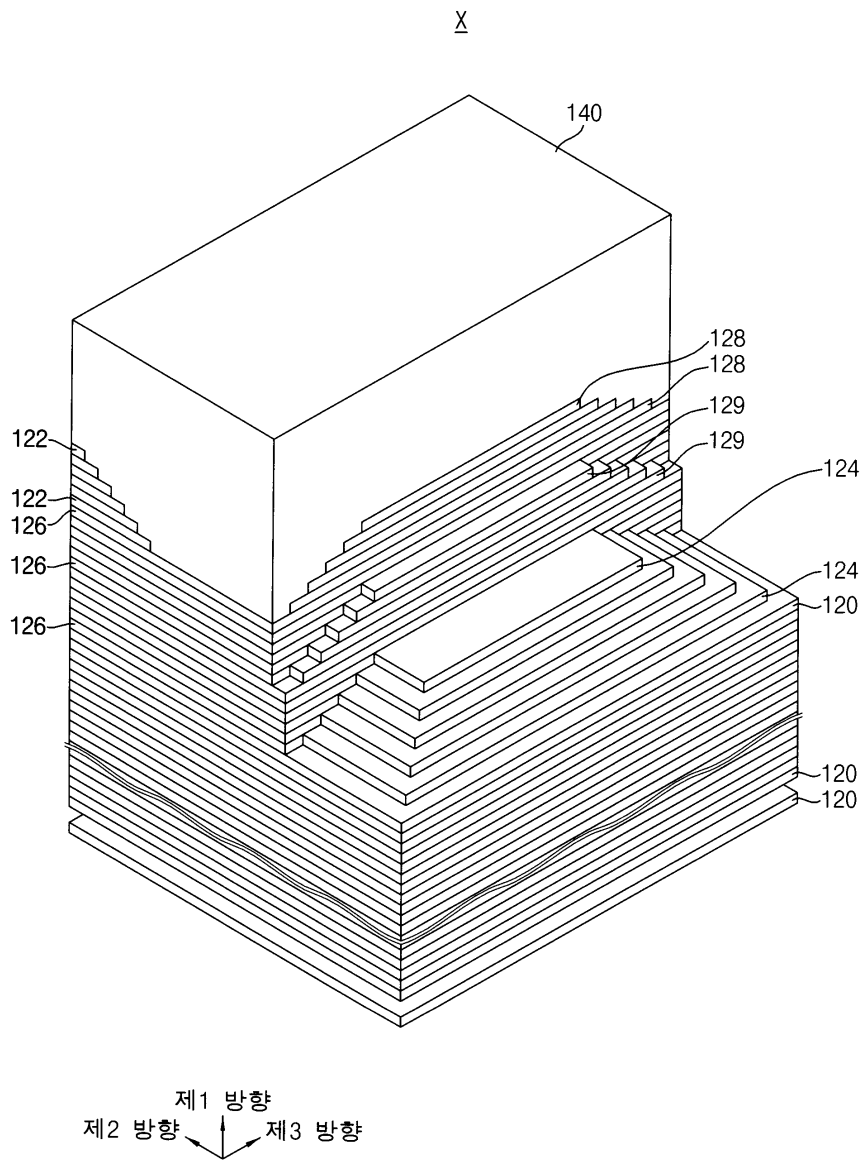
도면15



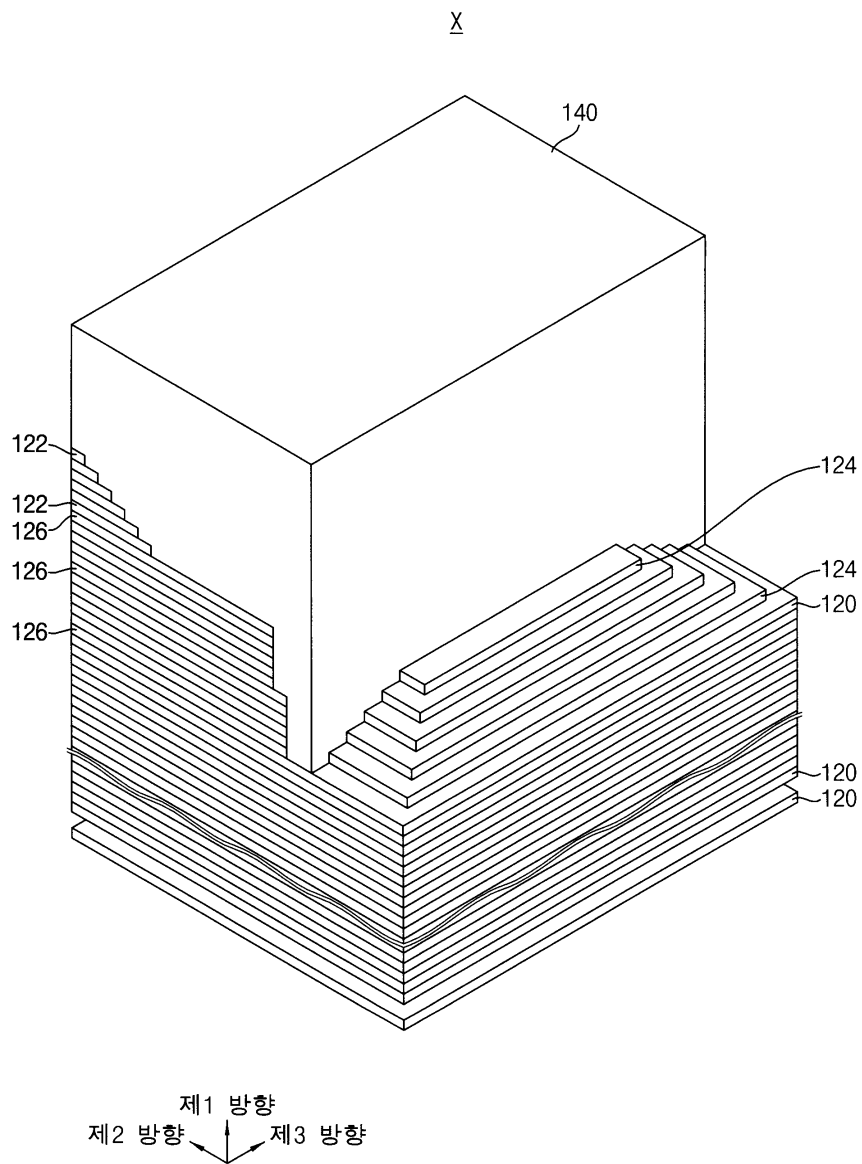
도면16



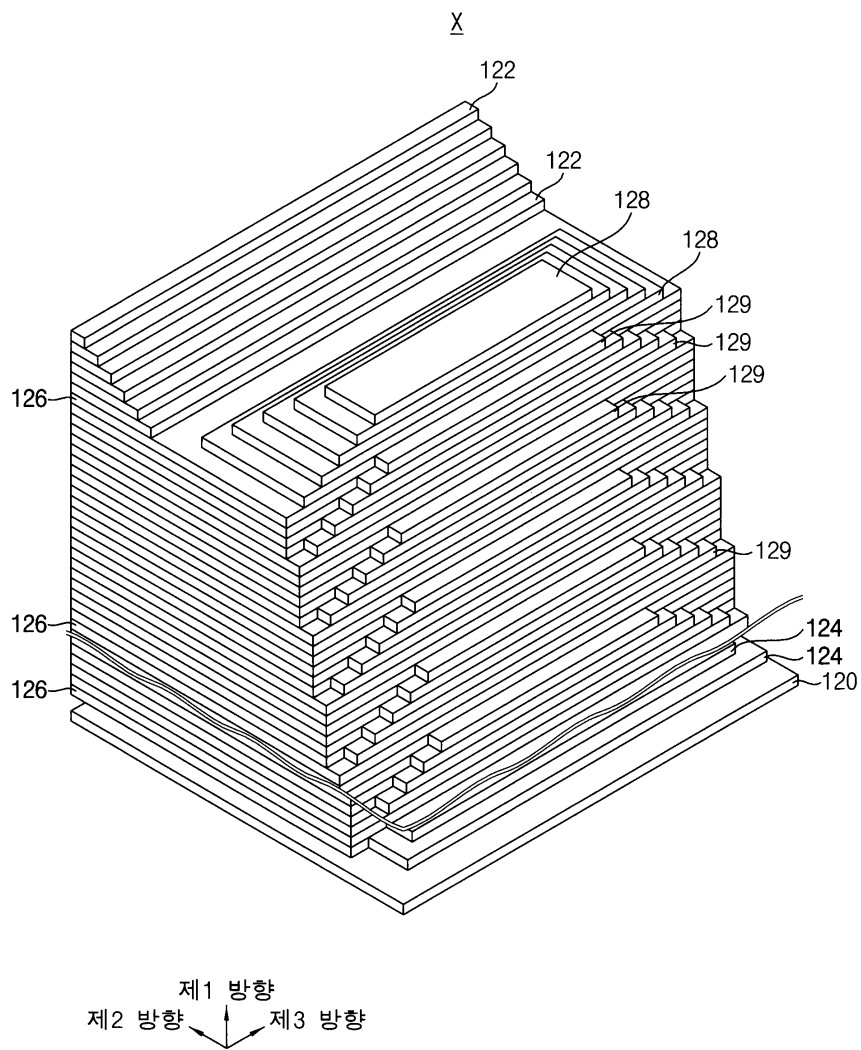
도면17



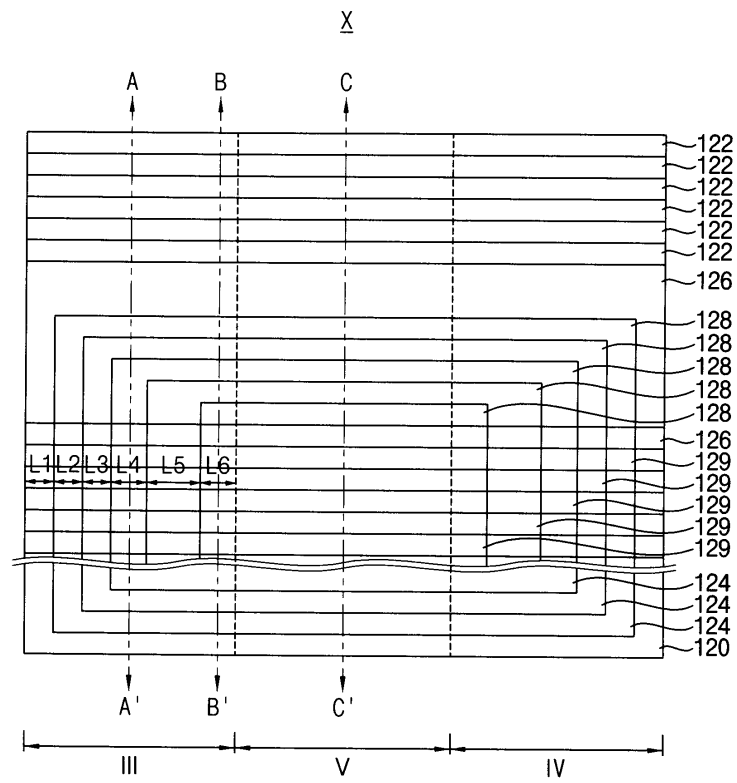
도면18



도면19

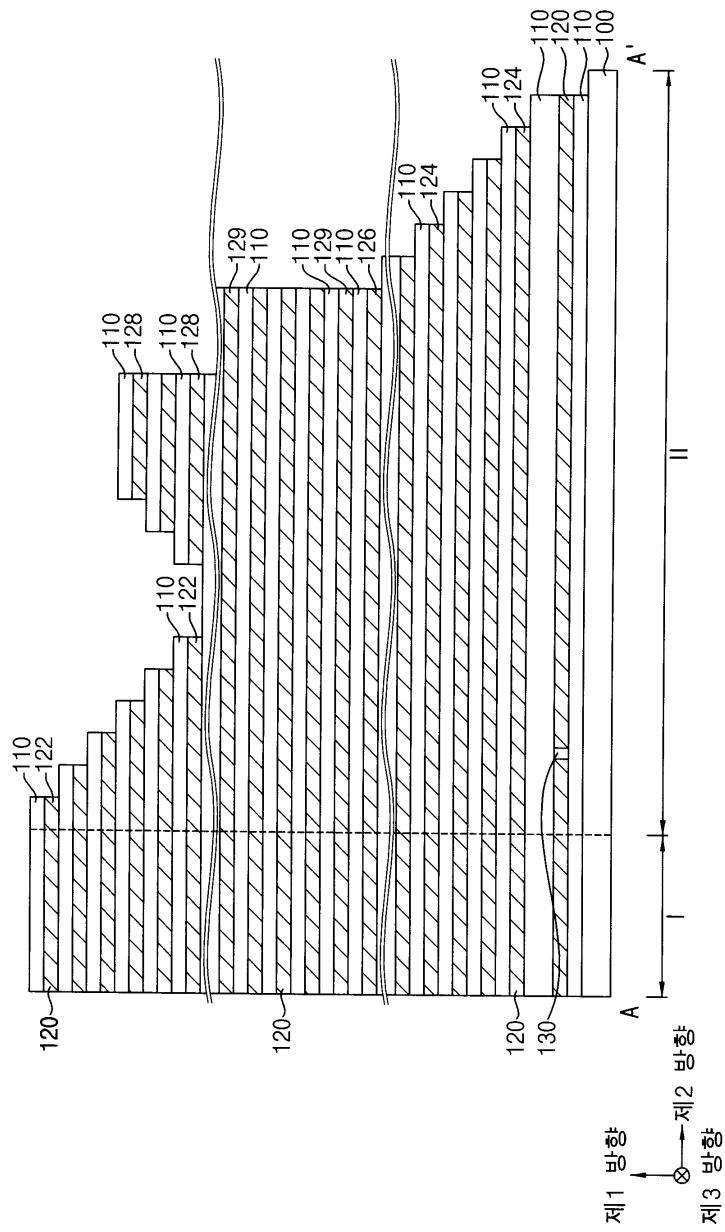


도면20

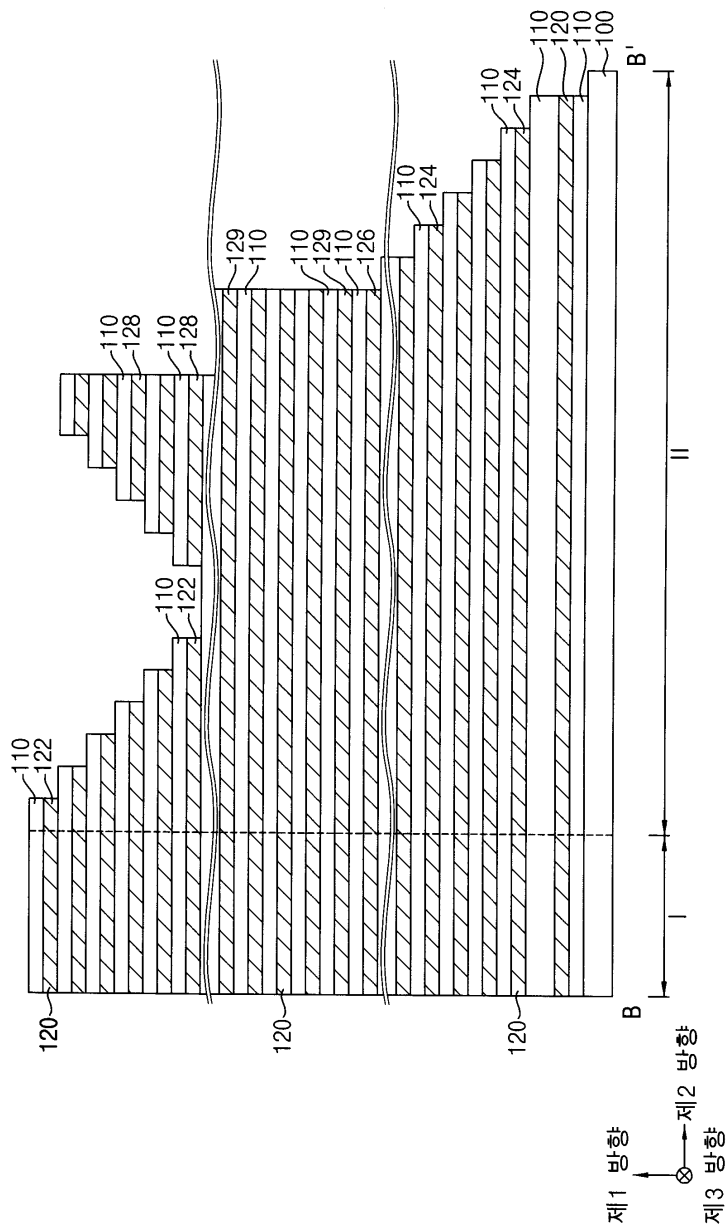


제2 방향
 제3 방향
 제1 방향

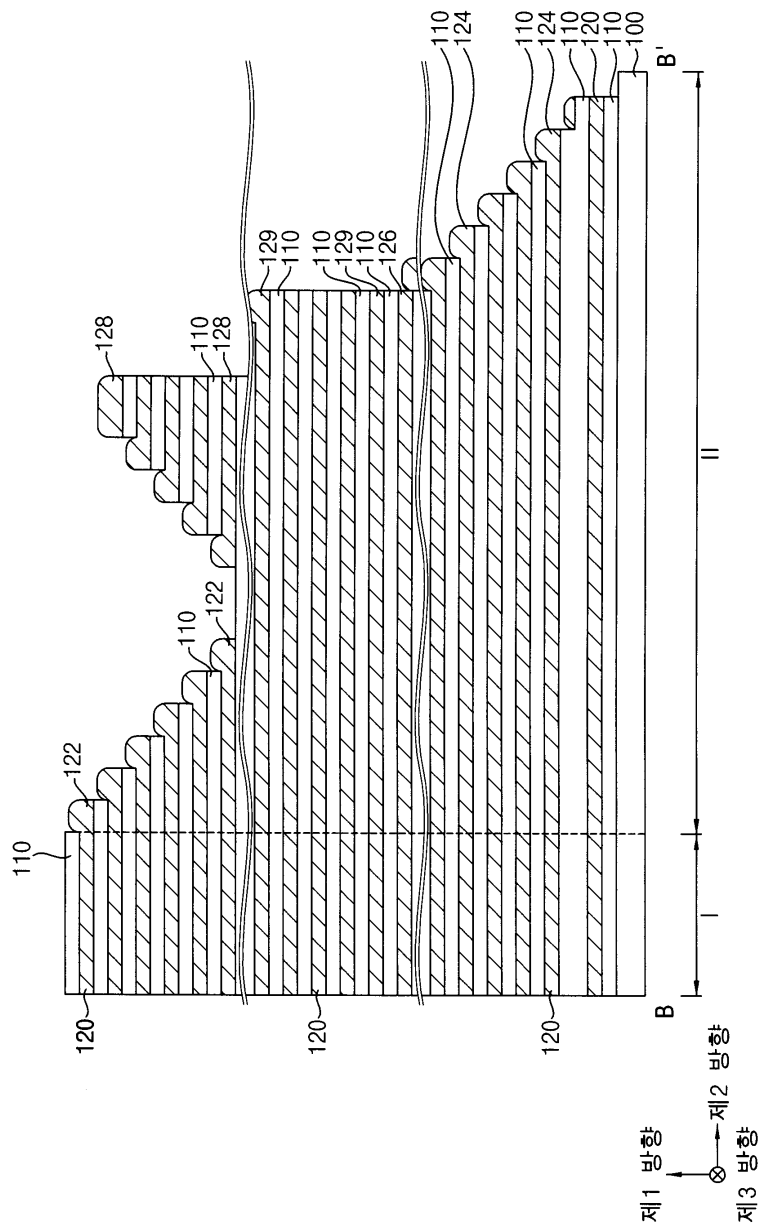
도면21



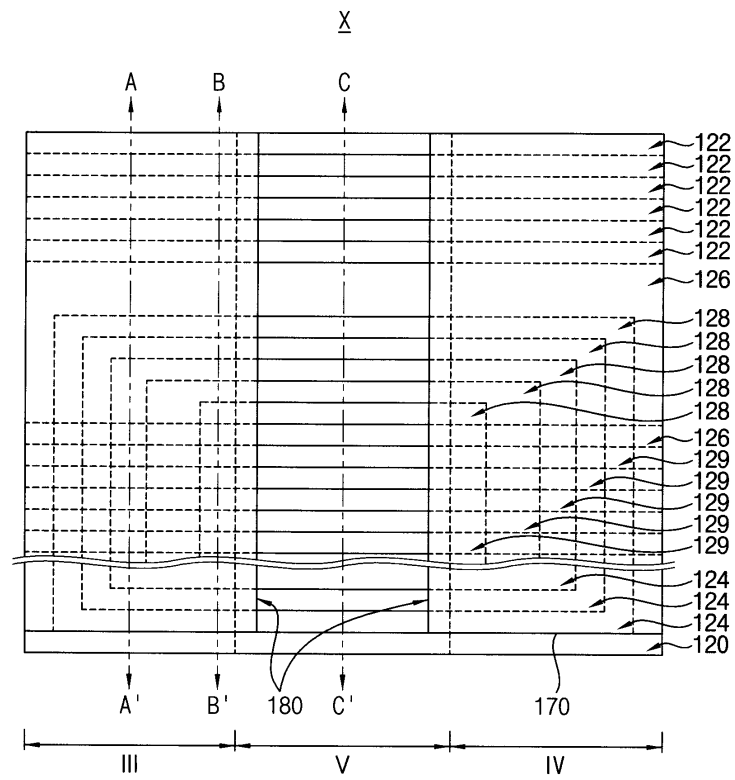
도면22



도면23

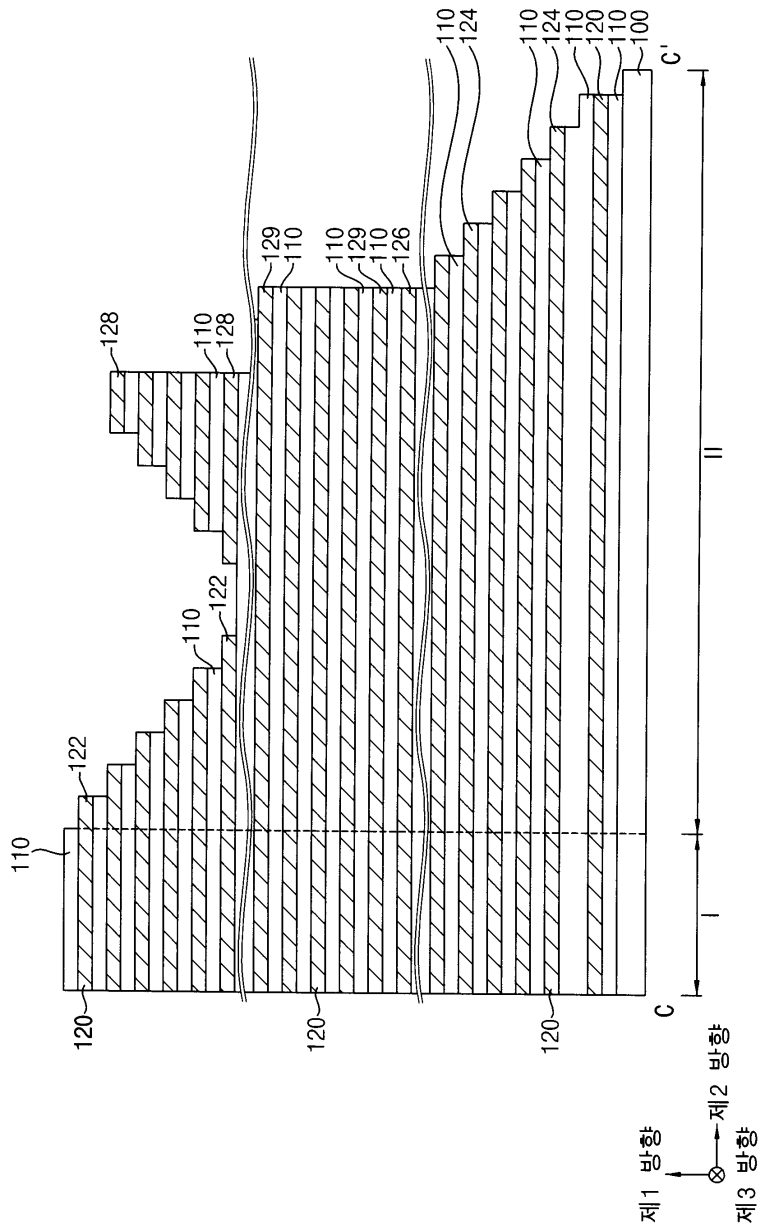


도면24

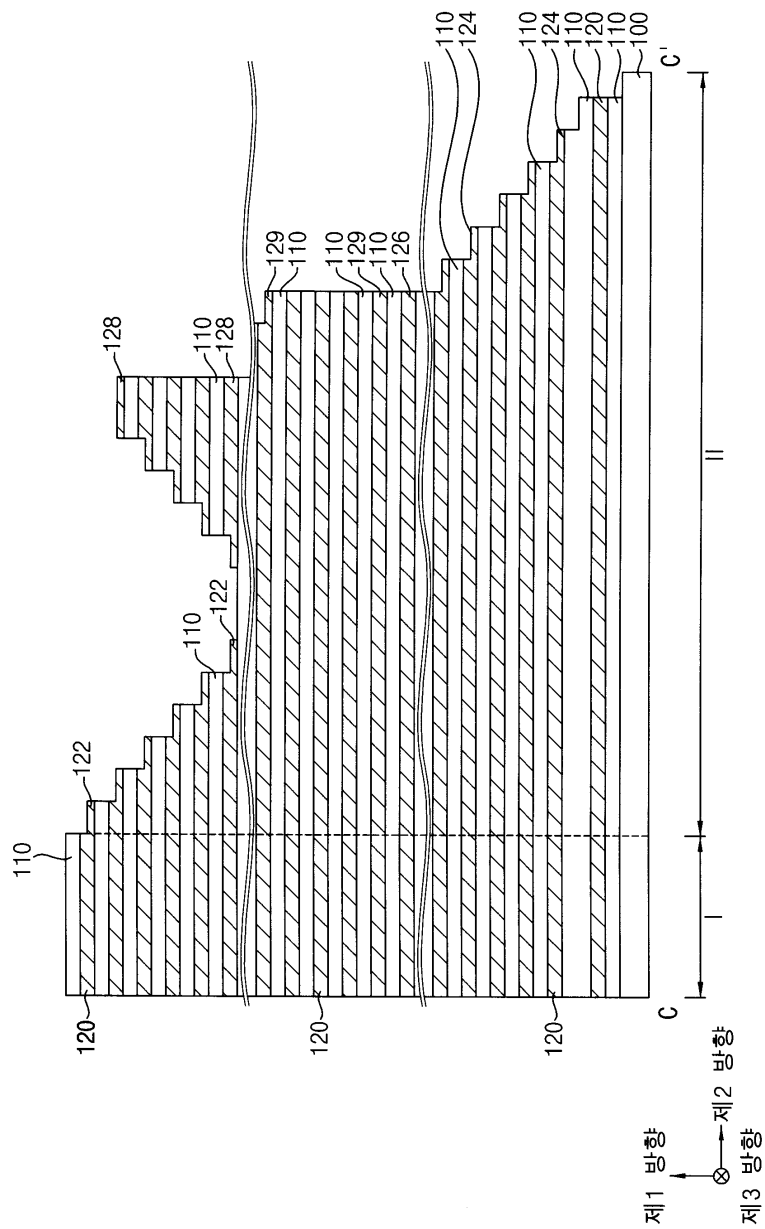


제2 방향
 제3 방향
 제1 방향

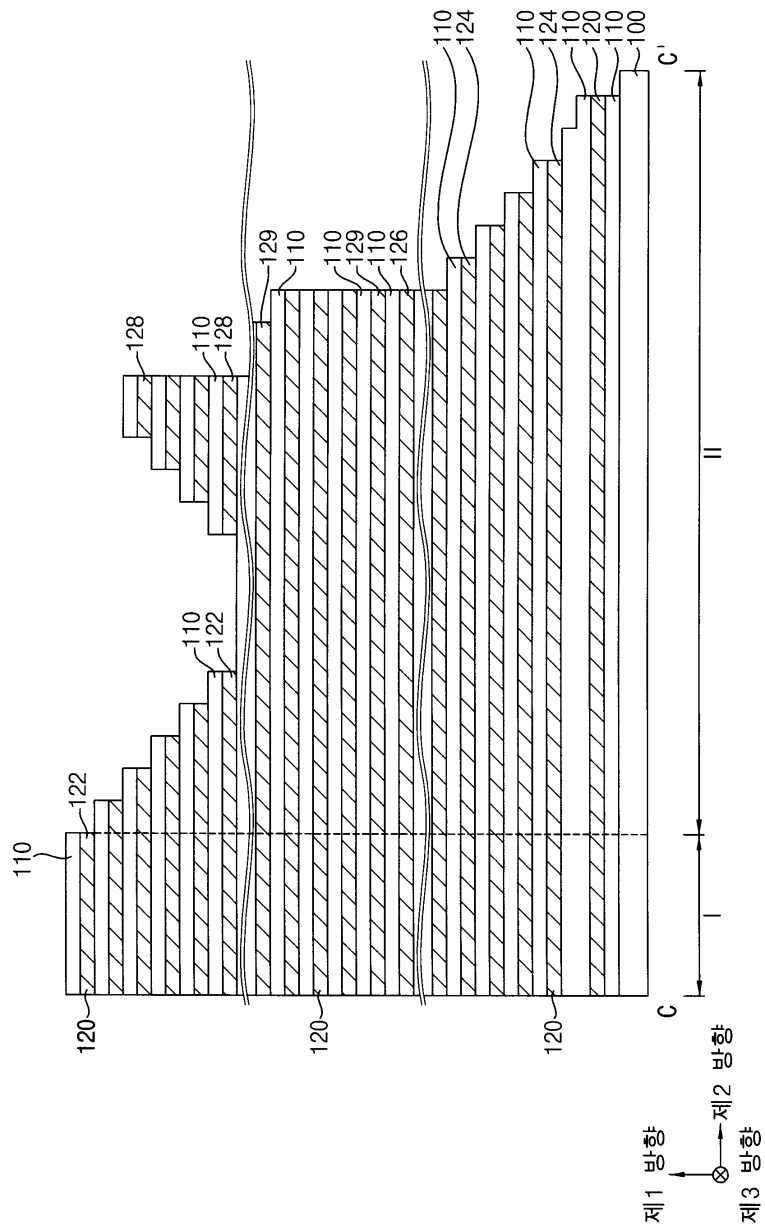
도면25



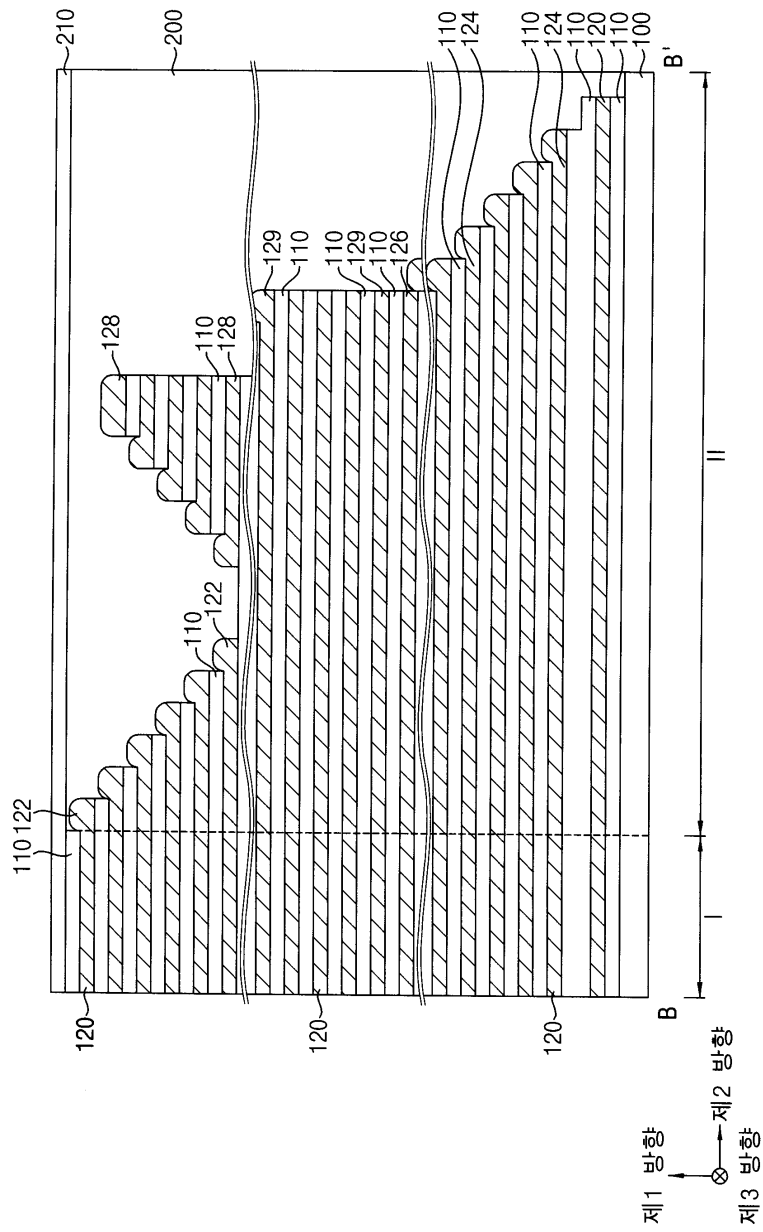
도면26



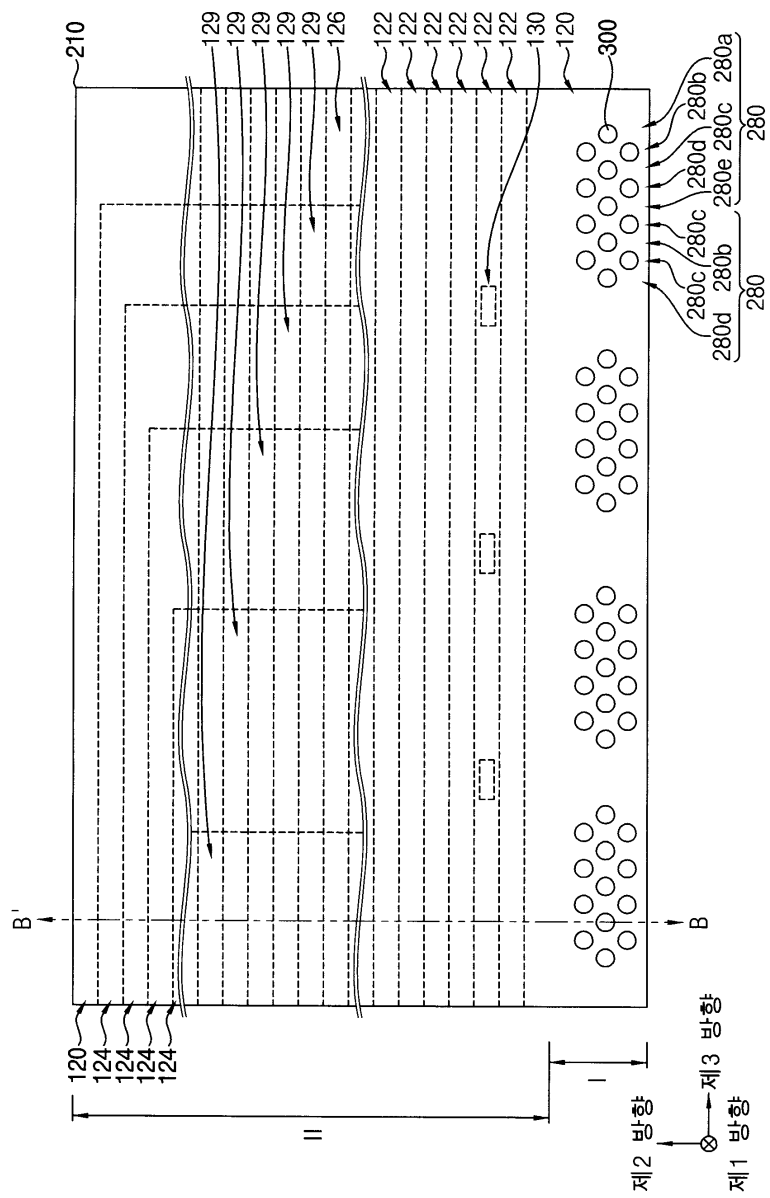
도면27



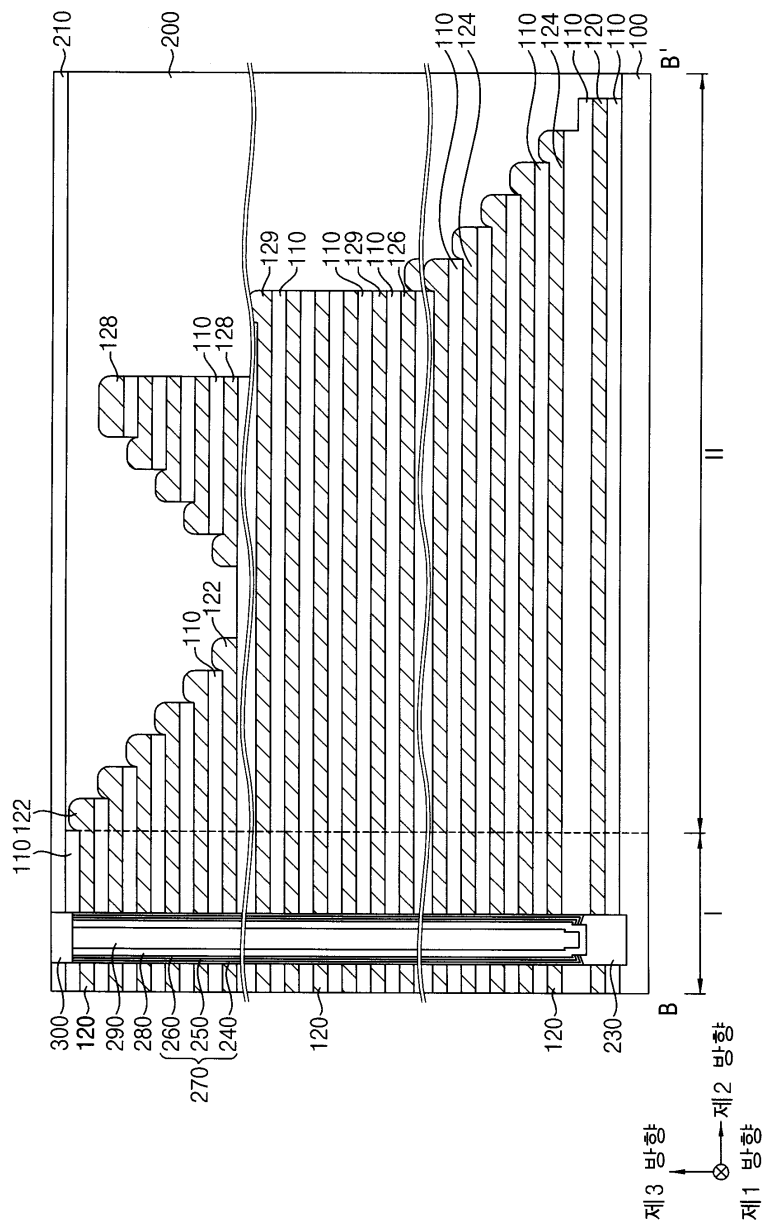
도면28



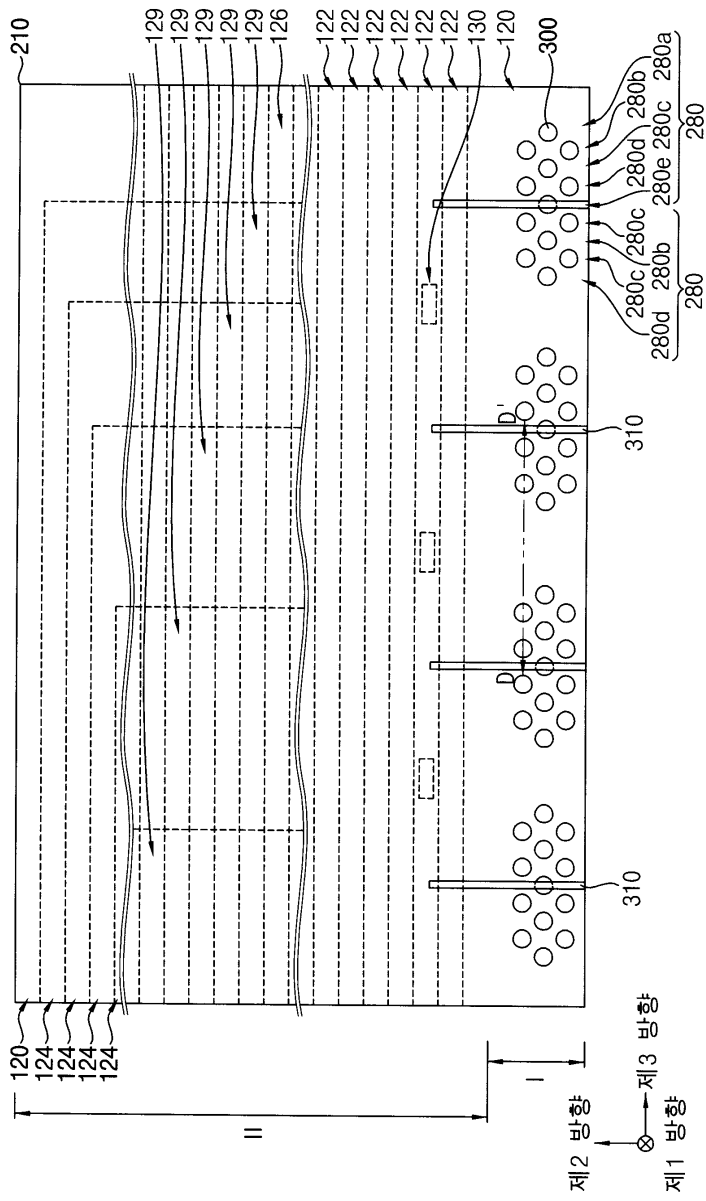
도면29



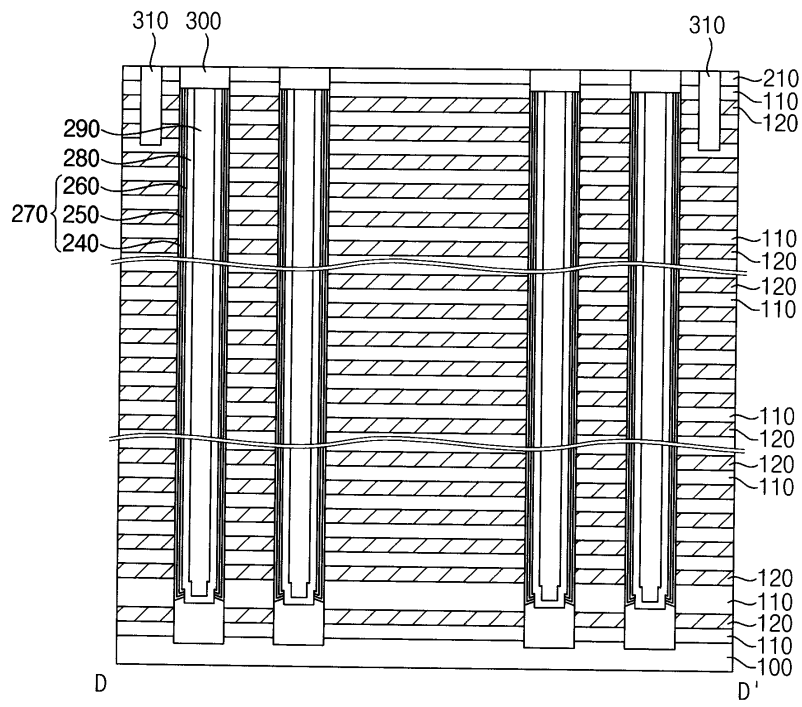
도면30



도면31

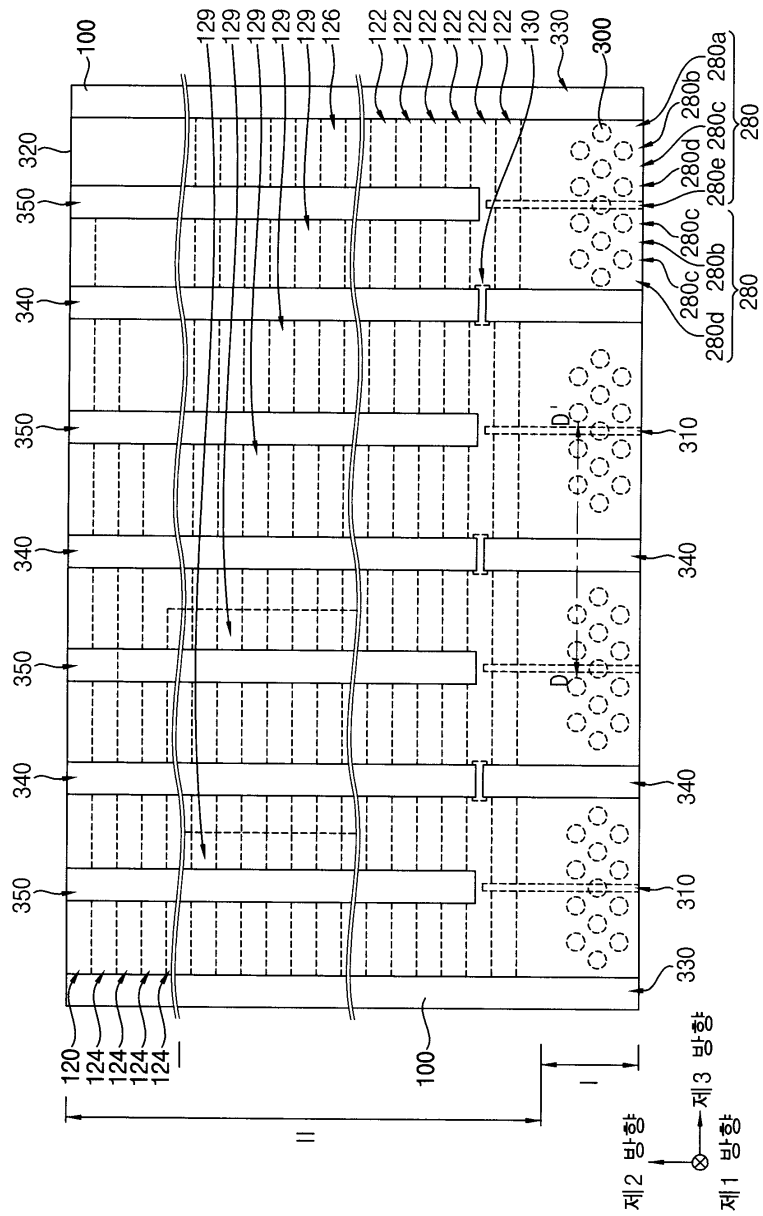


도면32

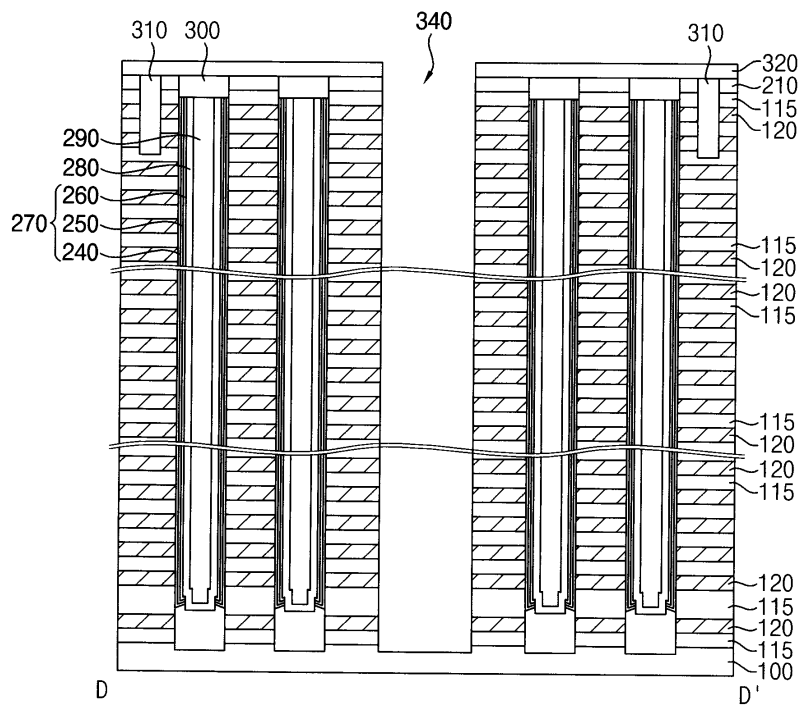


제1 방향
 ↑
 ⊗ 제3 방향
 제2 방향

도면33

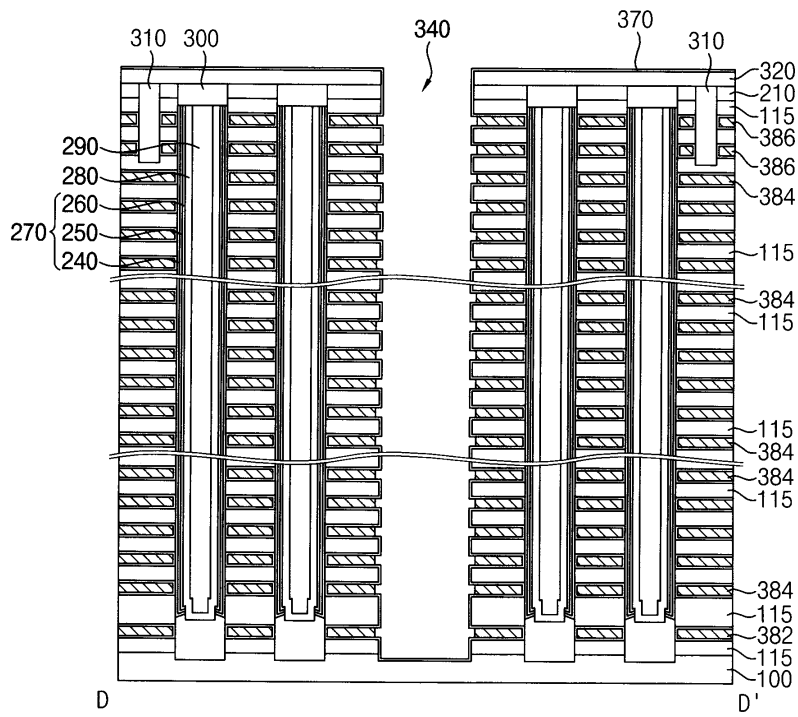


도면34



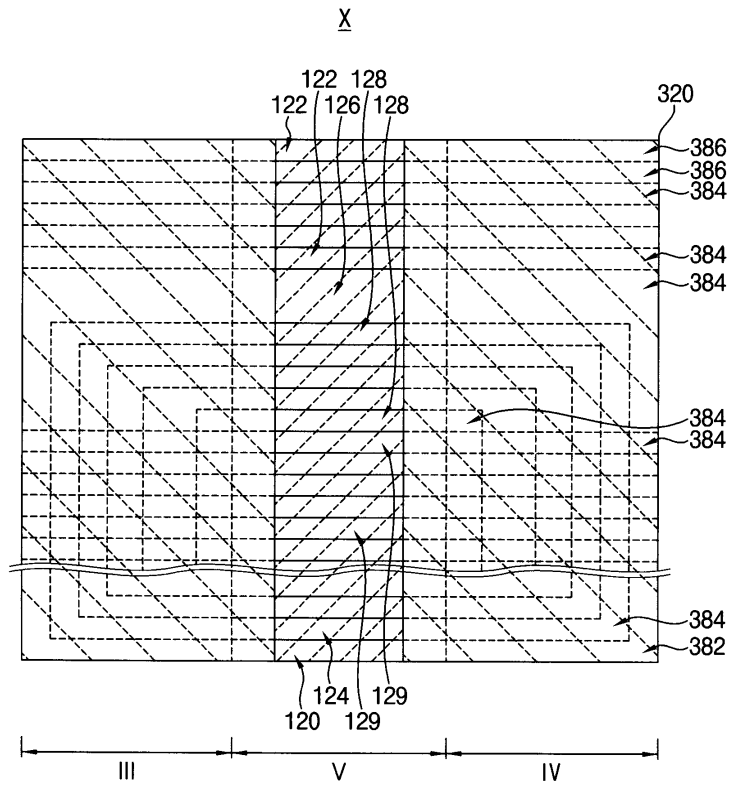
제1 방향
 ↑
 ⊗ → 제3 방향
 제2 방향

도면35



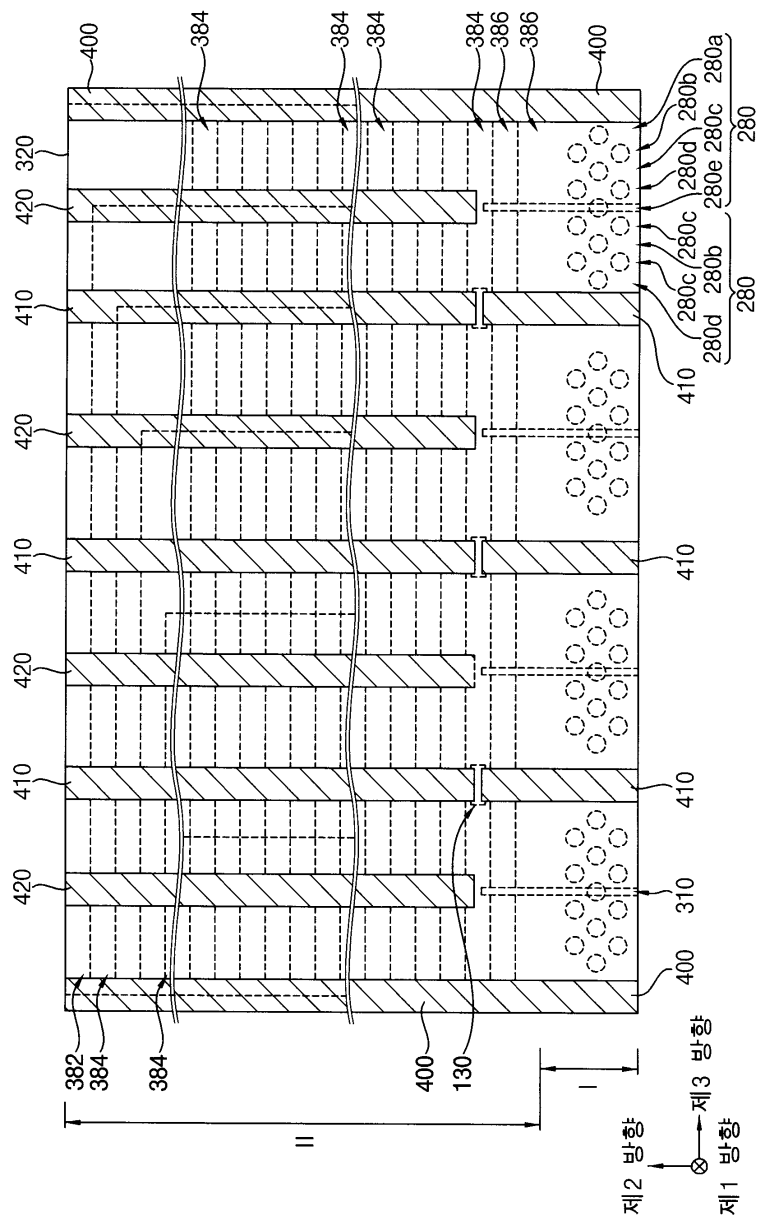
제1 방향
 ↑
 ⊗ → 제3 방향
 제2 방향

도면36

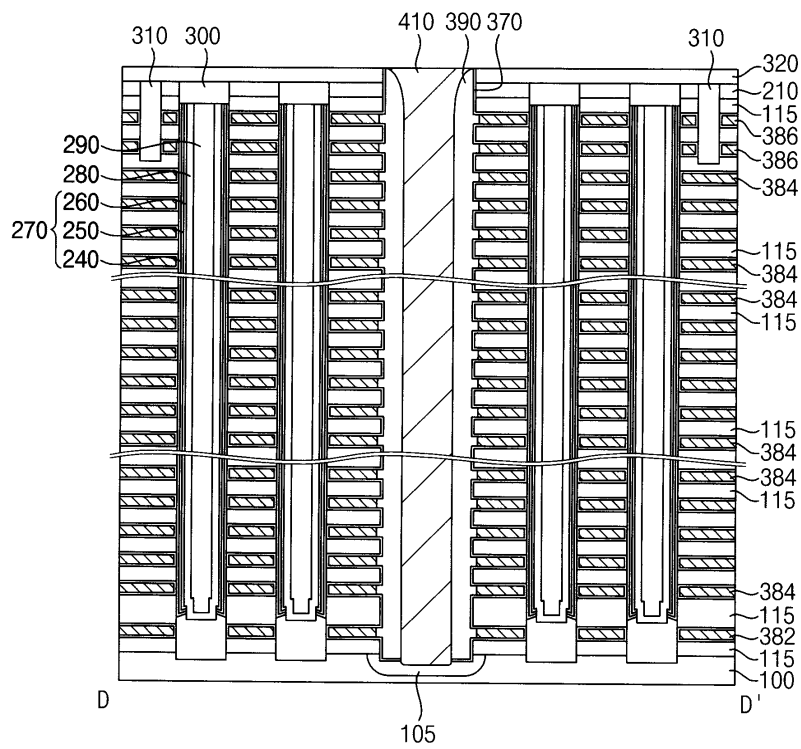


제2 방향
 제3 방향
 제1 방향

도면37

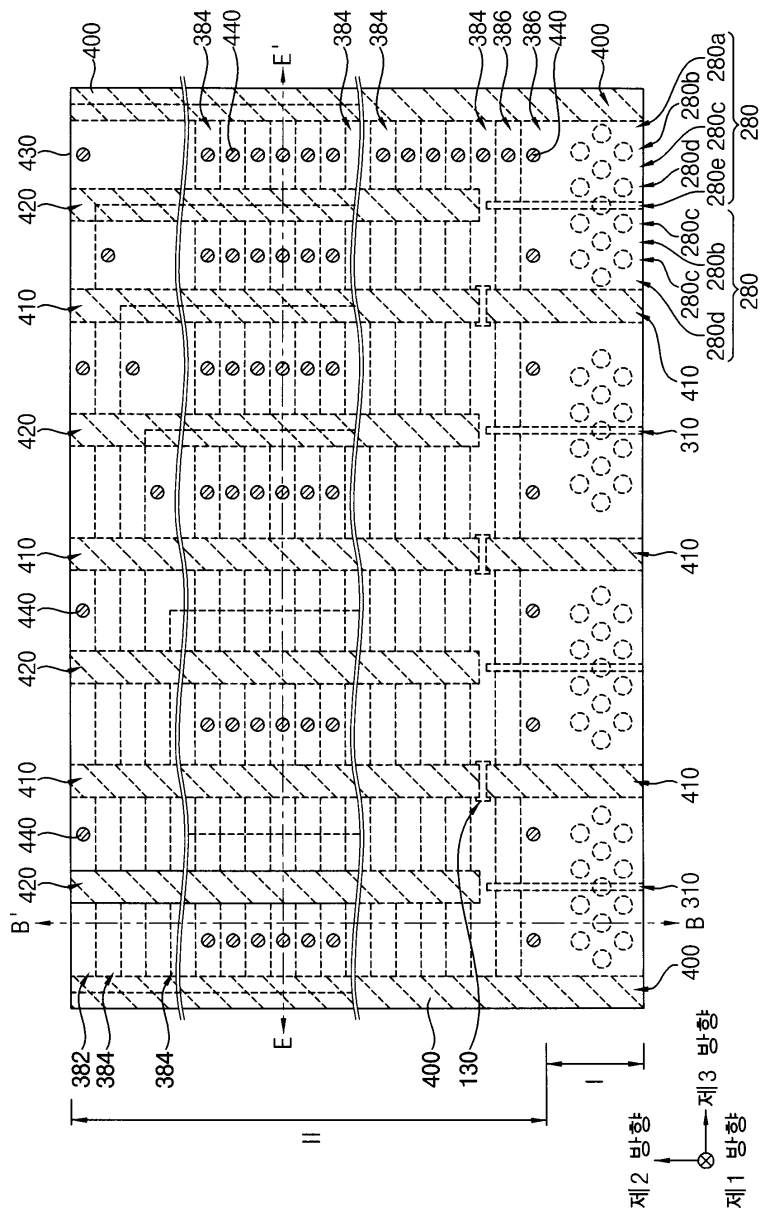


도면38

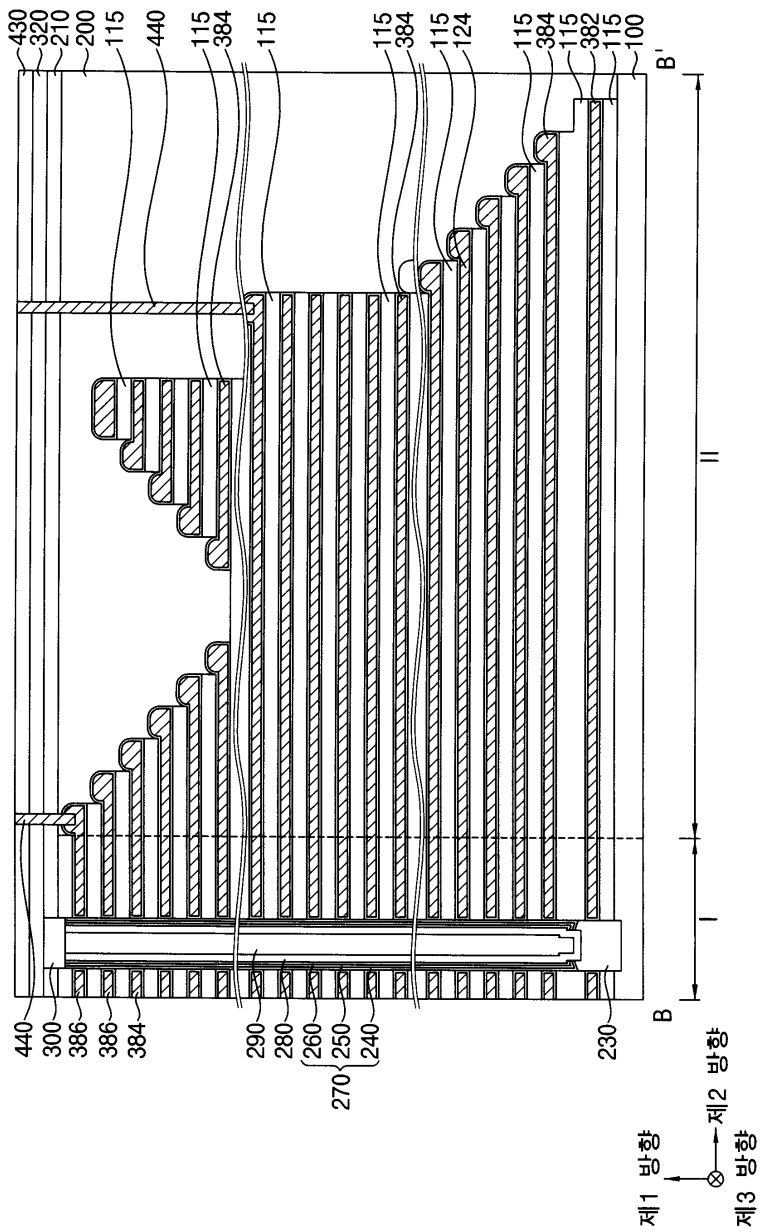


제1 방향
 ↑
 ⊗ → 제3 방향
 제2 방향

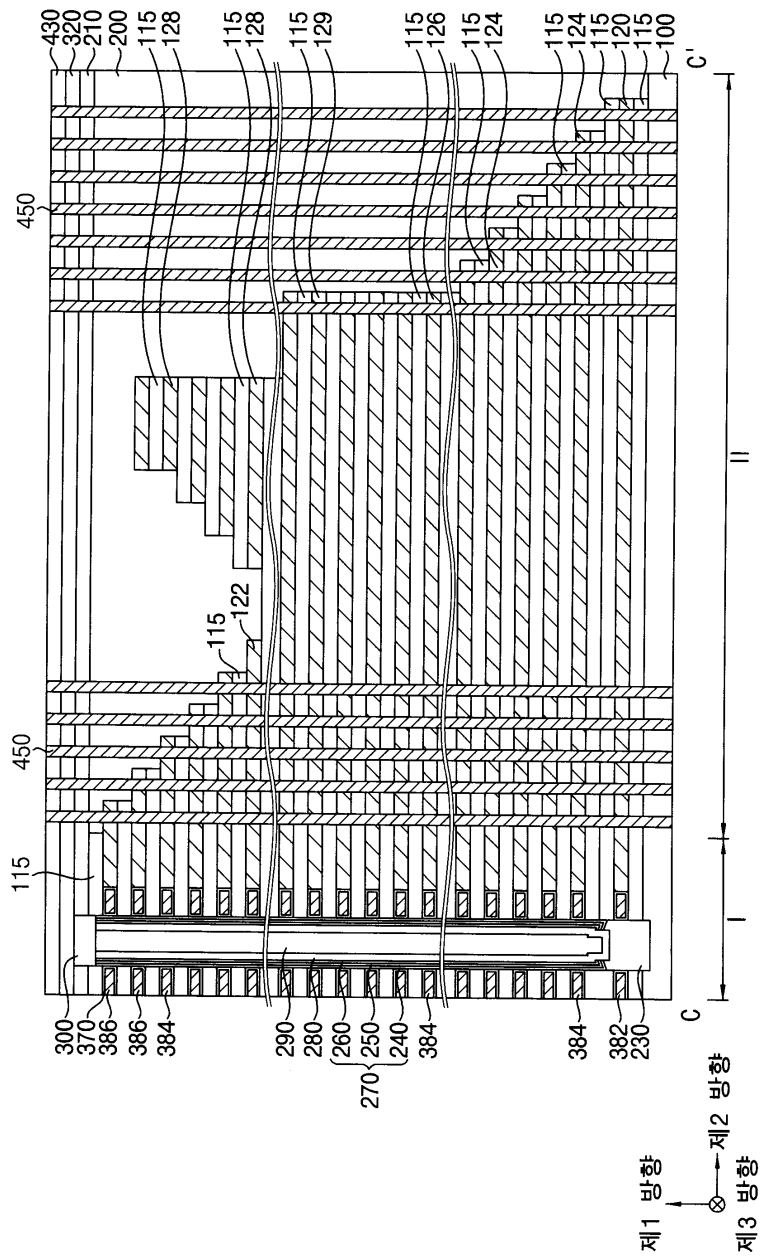
도면39



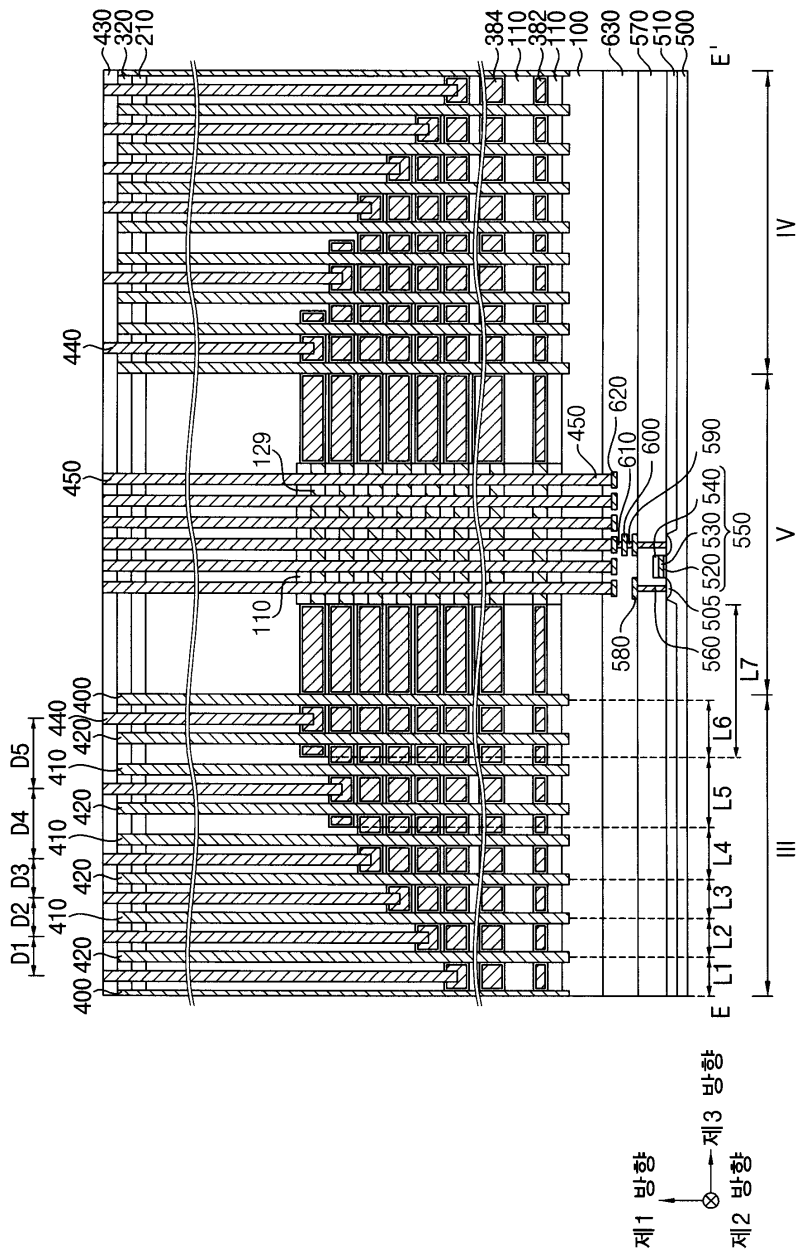
도면40



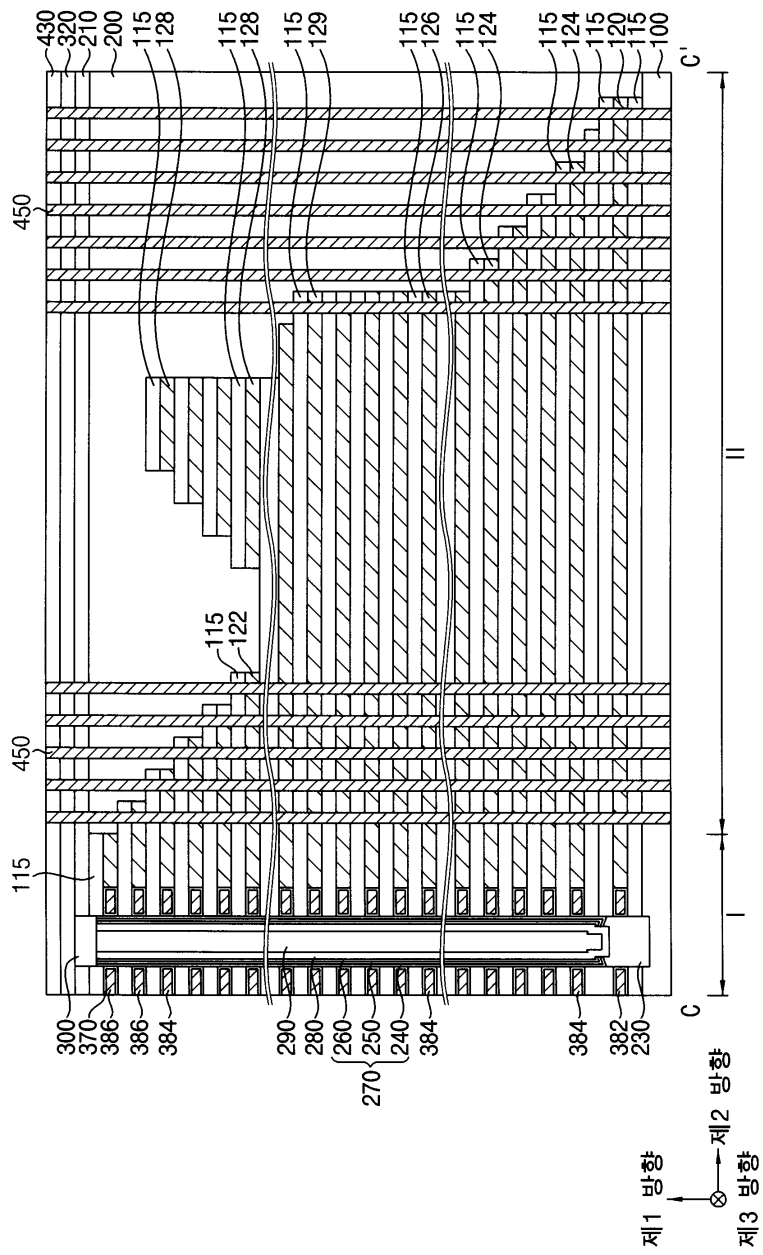
도면41



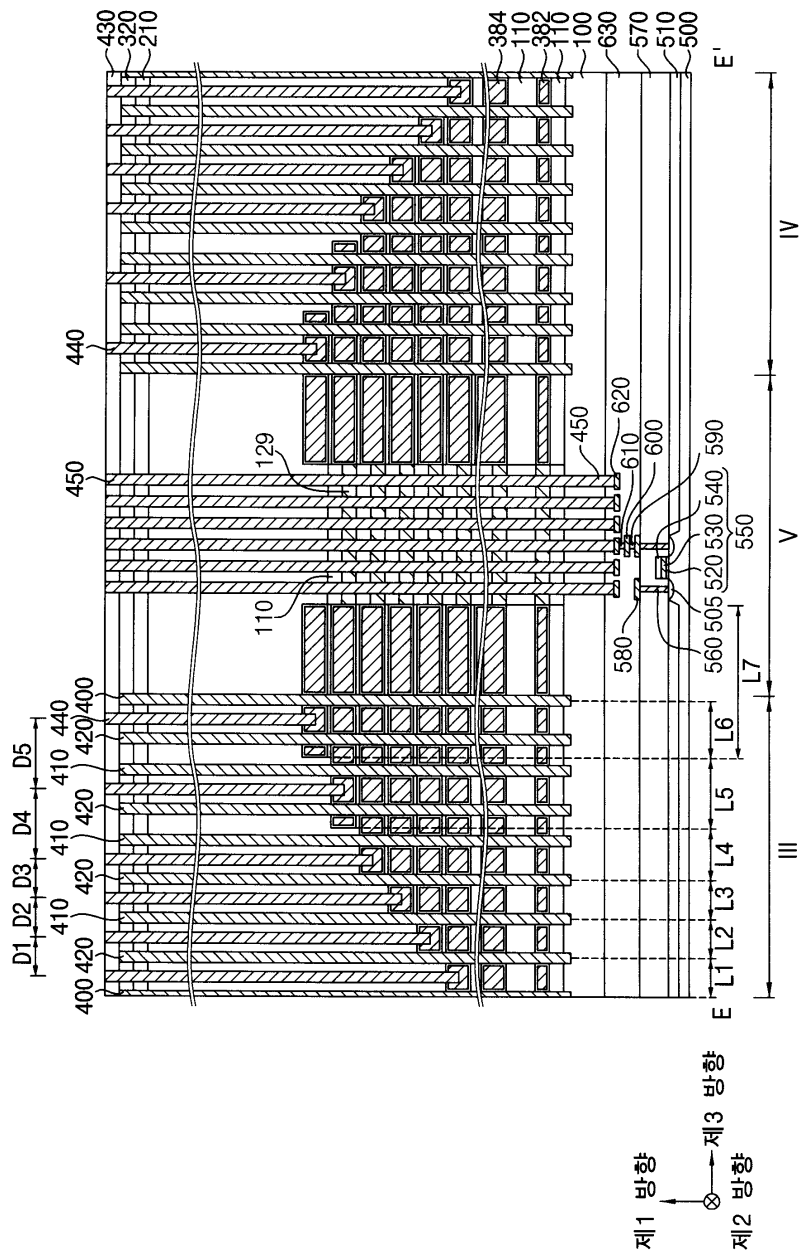
도면42



도면43



도면44



도면45

