



(45)授权公告日 2020.01.14

权利要求书3页 说明书11页 附图10页

[illegible]

1. 一种主集成电路 (IC), 包括:

总线接口, 所述总线接口被配置成耦合至芯片间总线;

发射机, 所述发射机包括驱动器, 所述驱动器将数据信号输出到所述总线接口以供跨所述芯片间总线进行传输;

接收机, 所述接收机耦合至所述总线接口;

时钟数据恢复 (CDR) 电路, 所述时钟数据恢复 (CDR) 电路操作地耦合至所述接收机;

锁相环 (PLL), 所述锁相环 (PLL) 接收参考时钟信号并且将时钟信号输出到所述发射机的驱动器和所述 CDR 电路, 其中所述发射机通过所述总线接口将主时钟信号输出到所述芯片间总线上;

控制系统, 所述控制系统操作地耦合至所述 PLL 和所述 CDR 电路, 所述控制系统被配置成通过控制所述 PLL 来改变所述主时钟信号的频率, 其中数据传输在独立于远程从 IC 处的时钟活动的频率改变期间继续; 以及

温度控制电路, 所述温度控制电路操作地耦合至所述控制系统和所述 CDR 电路, 其中所述控制系统基于温度的改变和所述温度控制电路来唤醒所述 CDR 电路。

2. 如权利要求 1 所述的主 IC, 其特征在于, 进一步包括定时器控制电路, 所述定时器控制电路操作地耦合至所述控制系统和所述 CDR 电路, 其中所述控制系统基于所述定时器控制电路来周期性地唤醒所述 CDR 电路达一预定时间量以纠正时钟漂移。

3. 如权利要求 1 所述的主 IC, 其特征在于, 所述温度控制电路被配置成从温度传感器接收温度信号。

4. 如权利要求 1 所述的主 IC, 其特征在于, 所述接收机包括可编程端电路, 所述可编程端电路被配置成允许与所述接收机相关联的端阻抗的变动, 并且其中所述控制系统基于到所述远程从 IC 的距离来配置所述端阻抗。

5. 如权利要求 1 所述的主 IC, 其特征在于, 进一步包括定时器控制电路, 其中所述控制系统被配置成响应于来自所述温度控制电路的信号基于所述定时器控制电路来唤醒所述 CDR 电路达一时间量。

6. 如权利要求 1 所述的主 IC, 其特征在于, 所述发射机进一步包括串行化器, 所述串行化器被配置成从所述 PLL 接收时钟信号。

7. 如权利要求 1 所述的主 IC, 其特征在于, 进一步包括复用器, 所述复用器耦合至所述 PLL 并且被配置成接收低速时钟信号以及选择性地将所述时钟信号或所述低速时钟信号传递至所述发射机和所述 CDR 电路。

8. 一种从集成电路 (IC), 包括:

总线接口, 所述总线接口被配置成被耦合至芯片间总线;

发射机, 所述发射机包括驱动器, 所述驱动器将数据信号输出到所述总线接口以供跨所述芯片间总线进行传输;

接收机, 所述接收机耦合至所述总线接口并且被配置成从通过所述芯片间总线接收自主 IC 的信号中提取时钟信号;

时钟数据恢复 (CDR) 电路, 所述时钟数据恢复 (CDR) 电路操作地耦合至所述接收机;

控制系统, 所述控制系统操作地耦合至所述接收机和所述 CDR 电路, 所述控制系统被配置成在由所述接收机提取的时钟信号上操作而不参考内部锁相环 (PLL) 或内部时钟; 以及

温度控制电路,所述温度控制电路操作地耦合至所述控制系统和所述CDR电路,其中所述控制系统基于温度的改变和所述温度控制电路来唤醒所述CDR电路。

9.如权利要求8所述的从IC,其特征在于,进一步包括定时器控制电路,所述定时器控制电路操作地耦合至所述控制系统和所述CDR电路,其中所述控制系统基于所述定时器控制电路来周期性地唤醒所述CDR电路达一预定时间量以纠正时钟漂移。

10.如权利要求8所述的从IC,其特征在于,所述温度控制电路被配置成从温度传感器接收温度信号。

11.如权利要求8所述的从IC,其特征在于,所述接收机包括可编程端电路,所述可编程端电路被配置成允许与所述接收机相关联的端阻抗的变动,并且其中所述控制系统基于到所述主IC的距离来配置所述端阻抗。

12.如权利要求8所述的从IC,其特征在于,进一步包括定时器控制电路,其中所述控制系统被配置成响应于来自所述温度控制电路的信号基于所述定时器控制电路来唤醒所述CDR电路达一时间量。

13.如权利要求8所述的从IC,其特征在于,所述发射机进一步包括串行化器。

14.如权利要求8所述的从IC,其特征在于,所述接收机进一步包括解串行化器,所述解串行化器被配置成将收到从时钟信号传递至所述控制系统。

15.一种用于集成电路的系统,包括:

芯片间总线;

第一集成电路(IC),包括:

第一总线接口,所述第一总线接口被配置成耦合至所述芯片间总线;

第一发射机,所述第一发射机包括第一驱动器,所述第一驱动器将第一数据信号输出到所述第一总线接口以供跨所述芯片间总线进行传输;

第一接收机,所述第一接收机耦合至所述第一总线接口;

第一时钟数据恢复(CDR)电路,所述第一时钟数据恢复(CDR)电路操作地耦合至所述第一接收机;

第一控制系统,所述第一控制系统操作地耦合至所述第一CDR电路;以及

温度控制电路,所述温度控制电路操作地耦合至所述第一控制系统和所述第一CDR电路,其中所述控制系统基于温度的改变以及所述温度控制电路来唤醒所述第一CDR电路;以及

第二IC,包括:

第二总线接口,所述第二总线接口被配置成耦合至所述芯片间总线;

第二发射机,所述第二发射机包括第二驱动器,所述第二驱动器将第二数据信号输出到所述第二总线接口以供跨所述芯片间总线进行传输;

第二接收机,所述第二接收机耦合至所述第二总线接口并且被配置成从通过所述芯片间总线接收自所述第一IC的信号中提取时钟信号;

第二CDR电路,所述第二CDR电路操作地耦合至所述第二接收机;以及

第二控制系统,所述第二控制系统操作地耦合至所述第二接收机和所述第二CDR电路,所述第二控制系统被配置成在由所述第二接收机提取的时钟信号上操作而不参考内部锁相环(PLL)或内部时钟;以及

唯一活跃PLL,所述唯一活跃PLL在所述第一IC与所述第二IC之间共享并且被配置成提供所述时钟信号以供所述第一IC和所述第二IC两者使用。

16.如权利要求15所述的系统,其特征在于,所述第一控制系统和所述第二控制系统被配置成协商所述第一控制系统和所述第二控制系统中的那一者将是主控制系统以及所述第一控制系统和所述第二控制系统中的那一者将从控制系统。

17.如权利要求16所述的系统,其特征在于,进一步包括与所述从控制系统相关联的非活跃PLL,其中所述非活跃PLL被配置成在所述第一控制系统和所述第二控制系统中的哪一者将是主控制系统的协商之后保持不活跃。

18.如权利要求16所述的系统,其特征在于,所述主控制系统被配置成改变所述芯片间总线上的频率以降低电磁干扰(EMI)。

19.如权利要求16所述的系统,其特征在于,所述主控制系统被配置成基于所述第一IC与所述第二IC之间的距离来改变所述第一接收机的可编程端。

用于芯片到芯片通信的系统和方法

[0001] 优先权要求

[0002] 本申请要求于2014年7月18日提交且题为“SYSTEMS AND METHODS FOR CHIP TO CHIP COMMUNICATION (用于芯片到芯片通信的系统和方法)”的美国临时专利申请S/N.62/026,063的优先权,该申请通过援引全部纳入于此。

[0003] 本申请还要求于2015年7月16日提交且题为“SYSTEMS AND METHODS FOR CHIP TO CHIP COMMUNICATION (用于芯片到芯片通信的系统和方法)”的美国专利申请序列号14/801,310的优先权,该美国专利申请通过引用全部纳入于此。

[0004] 背景

[0005] I. 公开领域

[0006] 本公开的技术一般涉及集成电路 (IC) 并且尤其涉及两个IC之间的通信。

[0007] II. 背景

[0008] 计算设备在当代社会是盛行的。此类计算设备受益于藉由日益复杂的集成电路 (IC) 而实现的日益增加的大量功能性。此类IC可以位于印刷电路板 (PCB) 上并且通过非瞬态导电元件 (例如,物理迹线) 来互连。根据预定义协议,信号在这些物理迹线上被路由。增加的功能性增加了此类信号中包括的数据量,从而需要更快的时钟速度和更多的导电元件来容适增加的数据。

[0009] 在许多实例中,用于封装数据的协议 (诸如外围组件互连 (PCI)) 由相异商业兴趣联盟创建。创建协议中所涉及各个实体通过一系列折衷和工程现实来达成最终发布协议。具有共同协议的益处是根据协议使得设备的容易可用的互通性。此类互通性给予设备制造商在选择可以从其购买组件的厂商方面的灵活性。具有共同协议的缺点是协议常常被过度设计以解决“最差情形”的场景。此类过度设计导致过度使用IC内的面积以及额外的功耗。另一个缺点是协议可能无法快速地对不断改变的现实作出反应。即,新技术或旧技术的非预期组合可能与协议较差地交互。

[0010] 此类较差交互的一个示例是当在芯片到芯片总线上的时钟速度增加时,消耗越来越多的功率。此外,随着时钟速度增加,随着时钟信号上升和下降的转变被缩短 (即,转变发生得更快),这对计算设备内的其他组件造成越来越多的电磁干扰 (EMI)。而且,此类电磁发射可能影响计算设备能够成为联邦通信委员会 (FCC) 的发射标准的期望处理的能力。因而,期望一种改善芯片间信令的方式。

[0011] 公开概述

[0012] 详细描述中公开的各方面包括用于芯片到芯片通信的系统和方法。在一示例性方面,芯片到芯片链路包括主设备,主设备具有数据发射机、时钟、时钟发射机、与时钟相关联的锁相环 (PLL) 以及接收机。芯片到芯片链路还包括从设备,从设备具有数据发射机、时钟接收机和数据接收机。值得注意的是,从设备缺少时钟或PLL。通过从从设备移除时钟,从设备不具有从PLL的功率消耗元件。此外,因为从设备不具有通常需要获取新频率并且稳定的时钟,主设备可以相对快速地改变频率以及跨许多频率 (而非仅仅一个或两个预定义频率) 来改变频率。频率移位允许芯片到芯片链路缓解可变的电磁干扰 (EMI) 攻击,以及帮助阻止

芯片到芯片链路成为可变EMI的受害者。

[0013] 就此而言,在一个方面,提供了一种主集成电路(IC)。主IC包括被配置成耦合至芯片间总线的总线接口。主IC还包括发射机,发射机包括驱动器,驱动器将数据信号输出到总线接口以供跨芯片间总线进行传输。主IC还包括耦合至总线接口的接收机。主IC还包括操作地耦合至接收机的时钟数据恢复(CDR)电路。主IC还包括PLL,PLL接收参考时钟信号并且将时钟信号输出到发射机的驱动器和CDR电路。发射机通过总线接口将主时钟信号输出到芯片间总线上。主IC还包括操作地耦合到PLL和CDR电路的控制系统。控制系统被配置成通过控制PLL来改变主时钟信号的频率。数据传输在独立于远程从IC处的时钟活动的频率改变期间继续。

[0014] 在另一方面,提供了一种从IC。从IC包括被配置成耦合至芯片间总线的总线接口。从IC还包括发射机,发射机包括驱动器,驱动器将数据信号输出到总线接口以供跨芯片间总线进行传输。从IC还包括耦合至总线接口的接收机。接收机被配置成从通过芯片间总线接收自主IC的信号中提取时钟信号。从IC还包括操作地耦合至接收机的时钟数据恢复(CDR)电路。从IC还包括操作地耦合到接收机和CDR电路的控制系统。控制系统被配置成在由接收机提取的时钟信号上操作,而不参考内部锁相环(PLL)或内部时钟。

[0015] 在另一方面,提供了一种系统。该系统包括芯片间总线。该系统还包括第一IC。第一IC包括被配置成耦合至芯片间总线的第一总线接口。第一IC还包括第一发射机,第一发射机包括第一驱动器,第一驱动器将第一数据信号输出到第一总线接口以供跨芯片间总线进行传输。第一IC还包括耦合至第一总线接口的第一接收机。第一IC还包括操作地耦合至第一接收机的第一CDR电路。第一IC还包括操作地耦合至第一CDR电路的第一控制系统。该系统还包括第二IC。第二IC包括被配置成耦合至芯片间总线的第二总线接口。第二IC还包括第二发射机。第二发射机包括第二驱动器,第二驱动器将第二数据信号输出到第二总线接口以供跨芯片间总线进行传输。第二IC还包括耦合至第二总线接口的第二接收机。第二接收机被配置成从通过芯片间总线接收自第一IC的信号中提取时钟信号。第二IC还包括操作地耦合至第二接收机的第二CDR电路。第二IC还包括操作地耦合到第二接收机和第二CDR电路的第二控制系统。第二控制系统被配置成在由第二接收机提取的时钟信号上操作,而不参考内部PLL或内部时钟。该系统还包括在第一IC与第二IC之间共享的唯一活跃PLL。唯一活跃PLL被配置成提供时钟信号以供由第一IC和第二IC两者使用。

[0016] 附图简述

[0017] 图1是根据本公开的示例性方面的具有主芯片和从芯片的计算设备的简化框图;

[0018] 图2解说了图1的主芯片的更详细的框图;

[0019] 图3解说了图1的从芯片的更详细的框图;

[0020] 图4是具有示例性非对称的芯片到芯片通信链路的计算设备的简化框图;

[0021] 图5是具有示例性非对称的芯片到芯片通信链路和可选数目的接收或发射信道的计算设备的简化框图;

[0022] 图6是具有与可选主机的示例性非对称的芯片到芯片通信链路的计算设备的简化框图;

[0023] 图7是具有与可选主机的示例性非对称的芯片到芯片通信链路和可选数目的接收或发射信道的计算设备的简化框图;

[0024] 图8是具有用于符合标准的芯片和未符合标准的芯片的共享凸起的示例性芯片的框图；

[0025] 图9是解说用于适用于本文描述的主芯片和从芯片的频率移位、功率移位和睡眠模式的示例性过程的流程图；以及

[0026] 图10是使用本文描述的芯片到芯片通信方案的可包括主芯片或从芯片的示例性基于处理器的系统的框图。

[0027] 详细描述

[0028] 现在参照附图，描述了本公开的若干示例性方面。措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何方面不必然被解释为优于或胜过其他方面。

[0029] 详细描述中公开的各方面包括用于芯片到芯片通信的系统和方法。在一示例性方面，芯片到芯片链路包括主设备，主设备具有数据发射机、时钟、时钟发射机、与时钟相关联的锁相环(PLL)以及接收机。芯片到芯片链路还包括从设备，从设备具有数据发射机、时钟接收机和数据接收机。值得注意的是，从设备缺少时钟或PLL。通过从从设备移除时钟，从设备不具有从PLL的功率消耗元件。此外，因为从设备不具有通常需要获取新频率并且稳定的时钟，主设备可以相对快速地改变频率以及跨许多频率(而非仅仅一个或两个预定义频率)来改变频率。频率移位允许芯片到芯片链路缓解可变的电磁干扰(EMI)攻击，以及帮助阻止芯片到芯片链路成为可变EMI的受害者。

[0030] 就此，图1是包括通过芯片间总线16与从芯片14通信的主芯片12的计算设备10的框图。计算设备10可以是移动终端(诸如智能电话或膝上型计算机)或更静态的计算设备(诸如台式计算机)。主芯片12可包括与本地存储器20和软件一起工作以实现本文所述功能的主控制系统18(有时被称为MCS)。主芯片12可进一步包括主时钟源22(有时被称为振荡器)和PLL 24。尽管主时钟源22被解说为在主芯片12内，但在示例性非限制性方面中，主时钟源22可以被置于主芯片12外部。PLL 24可用于生成时钟信号26，时钟信号26通过主总线接口28被传递到芯片间总线16。如容易理解的，主总线接口28被配置成耦合至芯片间总线16。

[0031] 继续参考图1，从芯片14可包括耦合至芯片间总线16的从总线接口30。时钟信号26在芯片间总线16上传递到从芯片14。从芯片14可包括从控制系统32(有时被称为SCS)。从芯片14提取时钟信号26并且在需要时使用时钟信号26。如上所述，从芯片14可以略去时钟和/或PLL，并且依赖于时钟信号26以供从芯片14内的任何需要的时钟确定。通过略去从芯片14内的时钟和/或PLL，可以达成显著的空间和功率节省。即便从芯片14包括从时钟和/或从PLL，从时钟和/或从PLL可以被解除激活，这至少提供了功率节省。此外，通过依赖于时钟信号26，时钟信号26的频率改变可以相对快速地被实施，因为不需要等待从PLL稳定于新的频率。

[0032] 关于主芯片12的进一步细节在图2中提供，而关于从芯片14的细节在图3中提供。就此，图2解说了图1的主芯片12的框图。图1和图2之间的共同元件以共同元件标号被示出，并且此处将不会重新描述。主芯片12可包括主发射机40和主接收机42。MCS 18可包括主物理编码子层(PCS)44。PCS 44是物理层的因协议而异的一部分，诸如数据编码和解码以及字节和字对齐。PLL 24可以接收参考时钟信号(refclk)及其补信号(refclkb)并且将高速时

钟信号46输出到复用器48。在一示例性非限制性方面中,PLL 24每百万次频率偏移(ppm)具有零(0)个分量。注意到,在一示例性非限制性方面,PLL 24可以是具有可用于高速时钟信号46的各种不同的高速频率的可变频率PLL。来自MCS 18的控制信号(未解说)致使PLL 24调节高速时钟信号46的频率。复用器48还接收低速时钟信号50。来自MCS 18的控制信号(未解说)致使复用器48在高速时钟信号46与低速时钟信号50之间进行选择以输出所选时钟信号52。注意到,当低速时钟信号50正被使用时,MCS 18可以关闭PLL 24以节约功率。

[0033] 继续参考图2,所选时钟信号52被提供到主发射机40,主发射机40还将所选时钟信号52传递到主时钟数据恢复(CDR)电路54。主发射机40将所选时钟信号52提供到主串行化器56和驱动器58。驱动器58可以将所选时钟信号52驱动到芯片间总线16上作为差分端时钟信号52'。

[0034] 继续参考图2,主串行化器56可以从MCS 18接收数据(TD_M)以及将时钟(TCLK_M)提供到MCS 18。主串行化器56将数据信号60和时钟信号62提供到驱动器64。驱动器64可以是H桥接驱动器或类似驱动器。驱动器64将数据驱动到芯片间总线16上作为差分端数据信号66。

[0035] 继续参考图2,主接收机42可包括主可编程端68。MCS 18可以将控制信号(未解说)发送到主可编程端68以调节主可编程端68的阻抗。调节主可编程端68降低了可能在特定频率处发生的反射以及允许实施功率节省。具体地,如果芯片间总线16相对较短,则主可编程端68的阻抗可以被增大,这降低了输出驱动器功率。在一示例性非限制性方面中,主可编程端68可以在约50欧姆(50 Ω)与800欧姆(800 Ω)之间变动,按需或按期望在期间选取不同的值。主可编程端68的阻抗的每一附加加倍使得从发射机90(参见图3)要求的功率减半。主可编程端68通过芯片间总线16从芯片接收差分端信号并且将收到信号提供到接收机逻辑70。接收机逻辑70可以将收到信号传递到主解串行化器72。主解串行化器72还从主CDR电路54接收CDR时钟信号74。CDR时钟信号74是由主CDR电路54恢复的时钟信号。主解串行化器72将边缘采样信号76提供到主CDR电路54。边缘采样信号76是由主解串行化器72所采样的边缘以供由主CDR电路54用来检测数据和时钟对齐的符号误差。主解串行化器72将收到数据信号(RD_M)和收到时钟信号(RCLK_M)提供到MCS 18。主CDR电路54允许来自从发射机90的数据与所选时钟信号52对齐。

[0036] 继续参考图2,主芯片12可以与温度传感器80相关联。在一示例性未解说的方面中,温度传感器80是主芯片12的一部分。在另一示例性解说方面中,温度传感器80邻近主芯片12但与主芯片12分开。注意到,许多芯片在芯片或管芯内包括温度传感器,以测量管芯本身的温度。温度传感器80将温度信号提供给温度控制逻辑82。定时器控制逻辑84可以与温度控制逻辑82相关联,并且被集成到单个定时器/温度逻辑86或者可以分开。定时器/温度逻辑86可以将信号提供给主CDR电路54。

[0037] 图1的从芯片14是类似的并且在图3中更详细地解说。图1和图3之间的共同元件以共同元件标号被示出,并且此处将不会重新描述。就此,从芯片14可包括从发射机90和从接收机92。SCS 32可包括从PCS 94。值得注意的是,从芯片14没有PLL。从芯片14依赖于接收自主芯片12的差分端时钟信号52'。

[0038] 继续参考图3,从接收机92可包括时钟可编程端96和数据可编程端98。来自SCS 32的控制信号(未解说)将按需改变可编程端96和98的阻抗以容适主芯片12生成的不同频率。从接收机92在时钟可编程端96接收差分端时钟信号52',时钟可编程端96将差分端时钟信

号52'传递到时钟接收机逻辑100。时钟接收机逻辑100输出从时钟信号102。从接收机92在数据可编程端98接收差分端数据信号66,数据可编程端98将差分端数据信号66传递到数据接收机逻辑104。数据接收机逻辑104将数据输出到从解串行化器106。从解串行化器106将收到数据信号(RDs)和收到时钟信号(RCLKs)提供到SCS 32。从解串行化器106还从从CDR电路110接收CDR时钟信号112。CDR时钟信号112是由从CDR电路110恢复的时钟信号。从解串行化器106将边缘采样信号114提供到从CDR电路110。边缘采样信号114是由从解串行化器106采样的边缘以供由从CDR电路110用来检测数据和时钟对齐的符号误差。与图2的主可编程端68类似,可编程端96和98可以被改变以降低功耗。

[0039] 继续参考图3,从CDR电路110还从从接收机92接收从时钟信号102。从时钟信号102也被提供到从发射机90。从发射机90还从SCS 32接收从所传送数据信号(TDs)并且将从所传送时钟信号(TCLKs)提供到SCS 32。从发射机90包括从串行化器116,从串行化器116使用从时钟信号102来串行化TDs并且将经串行化的TDs提供到从驱动器118。从驱动器118将差分端数据信号120置于芯片间总线16上去往主芯片12。

[0040] 继续参考图3,从芯片14可以与温度传感器80'相关联。在一示例性未解说的方面中,温度传感器80'是从芯片14的一部分。在另一示例性解说方面中,温度传感器80'邻近从芯片14但与从芯片14分开。注意到,许多芯片在管芯内包括温度传感器,以测量管芯本身的温度。温度传感器80'可以与图2的温度传感器80相同或者与图2的温度传感器80分开并且相异。温度传感器80'将温度信号提供给温度控制逻辑122。定时器控制逻辑124可以与温度控制逻辑122相关联,并且被集成到单个定时器/温度逻辑126或者可以分开。定时器/温度逻辑126可以将信号提供给从CDR电路110。

[0041] 如上所述,从芯片14上缺少PLL具有许多优点,包括降低的功耗和空间节省。此外,具有带可编程端的单个时钟允许在芯片12与14之间发送数据的频率被频繁改变。如上所述,可编程端68、96和98可以改变阻抗以优化新频率处的端阻抗。可以作出这样的频率改变以阻止主芯片12与从芯片14之间的通信免于充当图1的计算设备10中的其他组件的EMI攻击方。例如,如果主芯片12和从芯片14处于移动终端中,对移动终端内的蜂窝调制解调器的激活可导致频率改变,以使得芯片间总线16上的主频率以及频率谐波不与蜂窝频率交叠。同样地,尽管芯片间总线16通常是能够容忍EMI的,但改变芯片间总线上的频率可允许主芯片12与从芯片14之间的通信移动到噪声较少的频率,以避免成为计算设备10内的其他EMI攻击方的受害者。

[0042] 促进了频率改变能力,因为从芯片14相对快速地在新频率处苏醒或稳定,由于不需要唤醒从PLL或允许从PLL稳定于新频率。仅有的等待时间是主PLL(例如,PLL 24)的苏醒。因而,一旦PLL 24稳定,分组可以跨芯片间总线16被发送。附加地,更多的各种频率可用于降低EMI问题。例如,常规的PCIe在三个频率(即,8.5和2.5Gbps)处操作,但本公开的示例性方面不受此限制。本公开的示例性方面的又一优点是主CDR电路54和从CDR电路110如何被管理。在常规系统中,CDR电路持续运行以保持频率免于漂移。这种持续操作消耗功率。如上所述,PLL 24可具有0ppm频率偏移。具有如此小的正弦抖动,不需要对主CDR电路54和从CDR电路110的持续使用,并且CDR电路54和110中的一者或两者可以被置于低功率或睡眠模式达延长的时间段。从芯片14中缺少从PLL意味着关于主芯片12,从芯片14是源同步的,这帮助降低了从CDR电路110持续运行的需要。

[0043] 应当领会,即便高度准确的PLL(诸如PLL 24)也可能因变于温度而漂移。附加的由温度引发的漂移可以通过芯片12和14的其他元件以及在芯片间总线16上或者甚至在计算设备10内的其他位置引入。这种由温度引发的漂移可导致对PLL 24的重新对齐的需要。本公开的示例性方面使用定时器/温度逻辑86和126来解决PLL 24的重新对齐的需要。在第一示例性方面中,定时器控制逻辑84被用于周期性地唤醒主CDR电路54以检查任何重新对齐需要。同样地,定时器控制逻辑124被用于周期性地唤醒从CDR电路110以检查任何重新对齐需要。主CDR电路54的周期可以与从CDR电路110的周期不同或相同。此外,该周期可以按需或按期望被编程。而且,主CDR电路54和从CDR电路110苏醒的时间长度(在被定时器控制逻辑84和124唤醒之后)可以按需或按期望被编程。在非彼此排他的替换方面中,温度控制逻辑82和122可以使用温度传感器80和80'来检测温度并且在初始对齐时段结束时存储温度传感器值。这一温度传感器值可以被存储在分别与MCS 18或SCS 32相关联的存储器中。周期性地,当前温度传感器值可以与所存储的值作比较,并且如果温度改变高于预定义阈值,则主CDR电路54和从CDR电路110被激活并且执行任何需要的重新对齐。来自温度传感器80和80'的新温度值被收集并且可以被存储,可能盖写先前存储的值。定时器/温度逻辑86和126也可与其他校准系统通信。

[0044] 主芯片12和从芯片14可以取决于特定计算设备(诸如计算设备10)的需要被组装成不同配置。图2的主芯片12与图3的从芯片14的组合可导致全双工系统,因为相等数目的数据信道被提供以从主芯片12向从芯片14进行传送以及从从芯片14向主芯片12进行传送。本公开的其他示例性方面提供如在图4-8中探索的替换配置。

[0045] 就此,图4解说了具有示例性非对称的芯片到芯片通信链路的计算设备130的简化框图。图2、图3和图4之间的共同元件以共同元件标号被示出,并且此处将不会重新描述。计算设备130包括由芯片间总线16通信耦合的主芯片132和从芯片134。主芯片132包括MCS 136、主时钟模块138、多个主发射机模块140(0)-140(X-1)、以及多个主接收机模块142(0)-142(Y-1)。主时钟模块138包括PLL 24、复用器48和驱动器58。多个主发射机模块140(0)-140(X-1)是相同的,并且每一者包括相应的主串行化器144和主驱动器146。多个主发射机模块140(0)-140(X-1)类似于图2的主发射机40,但没有任何时钟确定电路系统。多个主接收机模块142(0)-142(Y-1)是相同的,并且每一者包括主可编程端148、主接收机逻辑150、主解串行化器152、主CDR电路154和定时器/温度控制156。在另一示例性方面(未解说)中,多个主接收机模块142(0)-142(Y-1)共享单个主CDR电路154一个以及单个定时器/温度控制156。多个主接收机模块142(0)-142(Y-1)类似于主接收机42。应当领会,X不必等于Y,并且因而可能存在用于主芯片132的非对称数目的发射和接收信道。

[0046] 继续参考图4,从芯片134具有SCS 158、从时钟模块160、多个从接收机模块162(0)-162(X-1)和多个从发射机模块164(0)-164(Y-1)。从时钟模块160包括类似于图3的从时钟确定电路系统的可编程端166和接收机168。多个从接收机模块162(0)-162(X-1)中的每一者包括从可编程端170、从接收机172、从解串行化器174、从CDR电路176和定时器/温度控制178。在另一示例性方面(未解说)中,多个从接收机模块162(0)-162(X-1)共享单个从CDR电路176以及单个定时器/温度控制178。多个从接收机模块162(0)-162(X-1)类似于从接收机92,但没有从接收机92的时钟接收机逻辑100(由于从时钟模块160跨多个从接收机模块162(0)-162(X-1)被共享)。多个从发射机模块164(0)-164(Y-1)中的每一者包括串行

化器180和驱动器182。多个从发射机模块164(0)–164(Y–1)中的每一者类似于从发射机90。

[0047] 通过构造计算设备130,从主芯片132到从芯片134的传输可具有与从从芯片134到主芯片132的传输不同的带宽。这种安排对于其中从输出元件到主机存在很少通信的输出元件(例如,主机到显示器控制器或主机到音频扬声器)或者对于其中从主机到输入元件存在很少通信的输入元件(例如,话筒)可以是恰适的。

[0048] 图5是具有示例性非对称的芯片到芯片通信链路和可选数目的接收或发射信道的计算设备190的简化框图。图4和图5之间的共同元件以共同元件标号被示出,并且此处将不会重新描述。计算设备190包括由芯片间总线16互连的主芯片192和从芯片194。主芯片192包括MCS 196、图4的主时钟模块138、以及多个主收发机模块198(0)–198(X–1)。多个主收发机模块198(0)–198(X–1)中的每一者包括主串行化器200、主驱动器202、主可编程端204、主接收机206、主解串行化器208、主CDR电路210和定时器/温度控制212。在另一未解说方面中,可以在多个主收发机模块198(0)–198(X–1)中的全部之中共享单个主CDR电路210以及单个定时器/温度控制212。主驱动器202和主可编程端204通过公共节点(可以是开关,未解说)耦合到芯片间总线16。MCS 196确定多个主收发机模块198(0)–198(X–1)中的特定收发机模块将作为发射机还是接收机来操作。

[0049] 继续参考图5,从芯片194包括图4的从时钟模块160和多个从收发机模块214(0)–214(X–1)。多个从收发机模块214(0)–214(X–1)中的每一者包括从串行化器216、从驱动器218、从可编程端220、从接收机222、从解串行化器224、从CDR电路226、定时器/温度控制228和SCS 230。在另一未解说方面中,可以在多个从收发机模块214(0)–214(X–1)中的全部之中共享单个从CDR电路226以及单个定时器/温度控制228。从驱动器218和从可编程端220通过公共节点(可以是开关,未解说)耦合到芯片间总线16。SCS 230从MCS 196接收关于多个从收发机模块214(0)–214(X–1)中的哪一个将充当发射机或接收机的指示并且配置多个从收发机模块214(0)–214(X–1)。计算设备190的布置在其中一侧可能比另一侧发送更多数据的情景中可能是恰适的。因而,更活跃侧进行传送,而较不活跃侧进行接收。注意到,这一布置可以动态地改变并且通道可以按需或按期望被重新指派。此外,通道可以按需或按期望在时间上被划分以允许平衡。

[0050] 图6是具有与可选主机的示例性非对称的芯片到芯片通信链路的计算设备240的简化框图。图4、图5和图6之间的共同元件以共同元件标号被示出,并且此处将不会重新描述。就此,计算设备240包括由芯片间总线16通信耦合的第一主芯片242和第二主芯片244。主芯片242和244中的每一者包括MCS 246、图4的多个主发射机模块140(0)–140(X–1)、多个主接收机模块142(0)–142(Y–1)以及主时钟模块248。主时钟模块包括PLL 24、驱动器58、时钟可编程端96、时钟接收机逻辑100和复用器250。驱动器58和时钟可编程端96通过公共节点(可以是开关,未解说)耦合到芯片间总线16。作为图2的复用器48的对比,复用器250在高速时钟信号46、低速时钟信号50、和接收自其他主芯片242或244的时钟信号之间进行选择。

[0051] 在相同芯片被购买并且在制造期间被安装时,计算设备240可以被组装,并且芯片之一被指定为主芯片而另一芯片被指定为从芯片,尽管这两者都能够用作主芯片。这种指定可以通过跨接线、设置连接、使引脚接地等来完成。在另一示例性方面,主芯片242和244协商哪一个将是主芯片而哪一个将是主芯片。在又一示例性方面,芯片242和244可以动态改变哪一个是主芯片而哪一个是从芯片。例如,初始从芯片可以确定它需要以不同于初始

主芯片所使用的频率来发送数据。初始从芯片可以承担后续主芯片状态并且使用不同频率将数据发送到后续从芯片。一旦主芯片被选择,所选从芯片的PLL 24、驱动器58和时钟接收机逻辑100被解除激活或者置于低功率模式。从芯片的复用器250将使用接收自其他主芯片242或244的时钟信号。尽管对于专用电路系统存在某种面积惩罚,但功率节省仍然是可以实现的。同样地,其他示例性方面的快速频率改变也被保留,因为不需要等待被解除激活的PLL稳定。

[0052] 图7是具有与可选主机的示例性非对称的芯片到芯片通信链路和可选数目的接收或发射信道的计算设备260的简化框图。图4、图5、图6和图7之间的共同元件以共同元件标号被示出,并且此处将不会重新描述。类似于图6的计算设备240,计算设备260包括由芯片间总线16互耦合的两个主芯片262和264。主芯片262和264中的每一者包括MCS 266、图5的多个主收发机模块198(0)–198(X–1)以及主时钟模块248。如计算设备240那样,主芯片262和264之一被指定为从芯片并且一个被指定为主芯片。一旦主芯片被选择,所选从芯片的PLL 24、驱动器58和时钟接收机逻辑100被解除激活或者置于低功率模式。从芯片的复用器250将使用接收自其他主芯片262或264的时钟信号。尽管对于专用电路系统存在某种面积惩罚,但功率节省仍然是可以实现的。同样地,其他示例性方面的快速频率改变也被保留,因为不需要等待被解除激活的PLL稳定。此外,可能存在引脚节省,因为多个主收发机模块198(0)–198(X–1)中的每一者与计算设备190中的发射机/接收机对的四个引脚相比仅具有两个引脚。未使用通道可以按需被打开和关闭以节省功率。

[0053] 作为抛弃常规芯片到芯片通信标准(诸如PCIe、通用串行总线(USB)或digRF)的又一益处,本公开的示例性方面允许非标准电压电平被用于芯片间总线16上的信号。即,在具有对可编程端68、96、98、148、166、170、204和220的恰当编程,可以发送相对较低的电压信号。这样的低电压信号进一步降低了芯片间总线16是EMI攻击方的可能性并且相对于现有通信标准提供了进一步的功率节省。

[0054] 尽管本公开的示例性方面提供的功率节省和EMI改进是显著的,但它们是以制作仅能够与被类似设计的其他芯片通信的芯片为代价的。因而,被设计成工作于PCIe、USB、digRF等的芯片将无法与主芯片12、132、192、242或262或者从芯片14、134、194、244或264通信,因为频率跳跃功能将不会存在,或者电压电平将太低而使得基于标准的芯片无法正确地检测和评估。然而,本公开的另一示例性方面提供了双模后向兼容芯片,该双模后向兼容芯片共享总线接口的引脚(或凸起),以使得在第一模式中该芯片使用基于标准的电路系统而在第二模式中该芯片使用基于本公开的电路系统。

[0055] 就此,图8是用于解说本公开的后向兼容性的具有新式和旧式芯片混合的示例性计算设备280的框图。具体地,应用处理器282可以是能够使用本公开的示例性方面以及能够使用PCIe的主芯片。应用处理器282耦合至无线局域网(WLAN)调制解调器284和调制解调器设备调制解调器(MDM) 286。WLAN调制解调器284包括根据本公开的示例性方面的电路系统,而MDM 286严格根据PCIe来操作。应用处理器282和WLAN调制解调器284将本公开的总线接口与旧式标准的总线接口并行放置,以使得任何应用处理器(诸如应用处理器282)可以使用本公开的改进电路系统和方法或者其他芯片使用的任何旧式协议与任何其他芯片通信。如所解说的,芯片间总线16'包括承载根据本公开的示例性方面的信号的第一部分288以及严格根据PCIe操作的第二部分290。尽管本公开的这一方面确实施加面积惩罚,但应用

处理器282和WLAN调制解调器284的灵活性方面的增加可以是可接受的。

[0056] 图9是解说用于适用于本文描述的主芯片和从芯片的频率移位、功率移位和睡眠模式的示例性过程300的流程图。过程300开始于主芯片12 (或其他主芯片) 到印刷电路板 (PCB) 上的安装。在一示例性方面, 主芯片12被焊接到PCB (框302)。主芯片12耦合至芯片间总线16 (框304)。这一耦合可以在安装的同时完成。例如, 将主芯片12焊接到PCB可以与将主芯片12焊接到芯片间总线16并发地完成。一个或多个从芯片 (诸如从芯片14) 耦合至芯片间总线16 (框306)。将从芯片14耦合至芯片间总线16可涉及焊接或类似连接活动。主芯片12可以对从芯片14进行基于标准的操作的测试 (框308)。例如, 主芯片12可以发送符合PCIe的设备并且查看是否接收到响应。替换地, 主芯片12可以被编程为识别要与哪一类别的从芯片14通信耦合。在又一方面, 跨接线、熔丝、或类似翻转或开关可被用于向主芯片12指示操作模式。如果主芯片12检测到从芯片14是基于标准的芯片, 则过程300允许主芯片12根据标准来操作 (框310)。

[0057] 继续参考图9, 过程300继续, 因为如果主芯片12检测到从芯片14不是基于标准的芯片, 则主芯片12可以使用温度传感器80来检测温度并且将信息存储在存储器中。在主PLL 24稳定之后, 主CDR电路54可以被解除激活 (框312)。主芯片12通过向一个或多个从芯片14发送信号以及从一个或多个从芯片14接收信号来开始正常操作。在不同时间, MCS 18可以检测到操作条件已经改变。这种检测可以采用检测改变条件的传感器或者来自控制整个计算设备的中央控制器的指令的形式。例如, 中央控制器可以指令MCS 18蜂窝调制解调器正被激活。MCS 18接着选择恰适于该操作条件的频率 (框314)。继续蜂窝调制解调器示例, 与蜂窝频率间隔开的频率被选择。当频率改变时, MCS 18可以指令可编程端68、96和98改变阻抗以针对新频率匹配阻抗。操作以随着操作条件改变而改变的频率来继续。

[0058] 继续参考图9, 主CDR电路54被唤醒 (周期性地或者基于温度改变) 并且根据新温度创建合适偏移 (框316)。过程300在框312处继续。

[0059] 根据本文中所公开的各方面的用于芯片到芯片通信的系统和方法可被提供到或被集成进任何基于处理器的设备中。不作为限定的示例包括: 机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、智能电话、平板、计算机、便携式计算机、台式计算机、个人数字助理 (PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、汽车、视频播放器、数字视频碟 (DVD) 播放器以及便携式数字视频播放器。

[0060] 就此, 图10解说了能够采用图1-8中解说的主芯片12、132、192、242和262以及从芯片14、134、194、244和264的基于处理器的系统320的示例。在该示例中, 基于处理器的系统320包括一个或多个中央处理单元 (CPU) 322, 其各自包括一个或多个处理器324。(诸) CPU 322可以是主芯片12。(诸) CPU 322可具有耦合至(诸) 处理器324以用于对临时存储的数据快速访问的高速缓存存储器326。(诸) CPU 322被耦合到系统总线328, 且可交互耦合被包括在基于处理器的系统320中的主设备和从设备。系统总线328可以是图1中解说的芯片间总线16。如众所周知的, (诸) CPU 322通过在系统总线328上交换地址、控制、以及数据信息来与这些其他设备通信。例如, (诸) CPU 322可向作为从设备的示例的存储器系统330传达总线事务请求。

[0061] 其他主设备和从设备可被连接到系统总线328。如图10中所解说的, 作为示例, 这

些设备可包括存储器系统330、一个或多个输入设备332、一个或多个输出设备334、一个或多个网络接口设备336、以及一个或多个显示控制器338。(诸)输入设备332可包括任何类型的输入设备,包括但不限于输入键、开关、语音处理器等。(诸)输出设备334可包括任何类型的输出设备,包括但不限于音频、视频、其他视觉指示器等。(诸)网络接口设备336可以是被配置成允许去往和来自网络340的数据交换的任何设备。网络340可以是任何类型的网络,包括但不限于:有线或无线网络、私有或公共网络、局域网(LAN)、WLAN和因特网。(诸)网络接口设备336可被配置成支持所期望的任何类型的通信协议。

[0062] (诸)CPU 322还可被配置成在系统总线328上访问(诸)显示控制器338以控制发送至一个或多个显示器342的信息。(诸)显示控制器338经由一个或多个视频处理器344向(诸)显示器342发送要显示的信息,视频处理器344将要显示的信息处理成适于(诸)显示器342的格式。(诸)显示器342可包括任何类型的显示器,包括但不限于:阴极射线管(CRT)、液晶显示器(LCD)、发光二极管(LED)显示器、等离子显示器等。

[0063] 本领域技术人员将进一步领会,结合本文所公开的诸方面描述的各种解说性逻辑块、模块、电路和算法可被实现为电子硬件、存储在存储器中或另一计算机可读介质中并由处理器或其他处理设备执行的指令、或这两者的组合。作为示例,本文中描述的设备可用在任何电路、硬件组件、IC、或IC芯片中。本文所公开的存储器可以是任何类型和大小的存储器,且可配置成存储所需的任何类型的信息。为清楚地解说这种可互换性,以上已经以其功能性的形式一般地描述了各种解说性组件、框、模块、电路和步骤。此类功能性如何被实现取决于具体应用、设计选择、和/或加诸于整体系统上的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本公开的范围。

[0064] 结合本文中公开的诸方面描述的各种解说性逻辑块、模块、以及电路可用设计成执行本文中描述的功能的处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其任何组合来实现或执行。处理器可以是微处理器,但在替代方案中,处理器可以是任何常规处理器、控制器、微控制器或状态机。处理器还可以被实现为计算设备的组合(例如DSP与微处理器的组合、多个微处理器、与DSP核协作的一个或多个微处理器、或任何其他此类配置)。

[0065] 本文所公开的各方面可被体现为硬件和存储在硬件中的指令,并且可驻留在例如随机存取存储器(RAM)、闪存、只读存储器(ROM)、电可编程ROM(EPROM)、电可擦可编程ROM(EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其它形式的计算机可读介质中。示例性存储介质被耦合到处理器,以使得处理器能从/向该存储介质读取/写入信息。在替换方案中,存储介质可以被整合到处理器。处理器和存储介质可驻留在ASIC中。ASIC可驻留在远程站中。在替换方案中,处理器和存储介质可作为分立组件驻留在远程站、基站或服务中。

[0066] 还注意到,本文任何示例性方面中描述的操作步骤是为了提供示例和讨论而被描述的。所描述的操作可按除了所解说的顺序之外的众多不同顺序来执行。此外,在单个操作步骤中描述的操作实际上可在多个不同步骤中执行。另外,示例性方面中讨论的一个或多个操作步骤可被组合。应理解,如对本领域技术人员显而易见地,在流程图中解说的操作步骤可进行众多不同的修改。本领域技术人员还将理解,可使用各种不同技术中的任何一种

来表示信息和信号。例如,贯穿上面说明始终可能被述及的数据、指令、命令、信息、信号、比特、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0067] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员而言将容易是显而易见的,并且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖特征一致的最广义的范围。

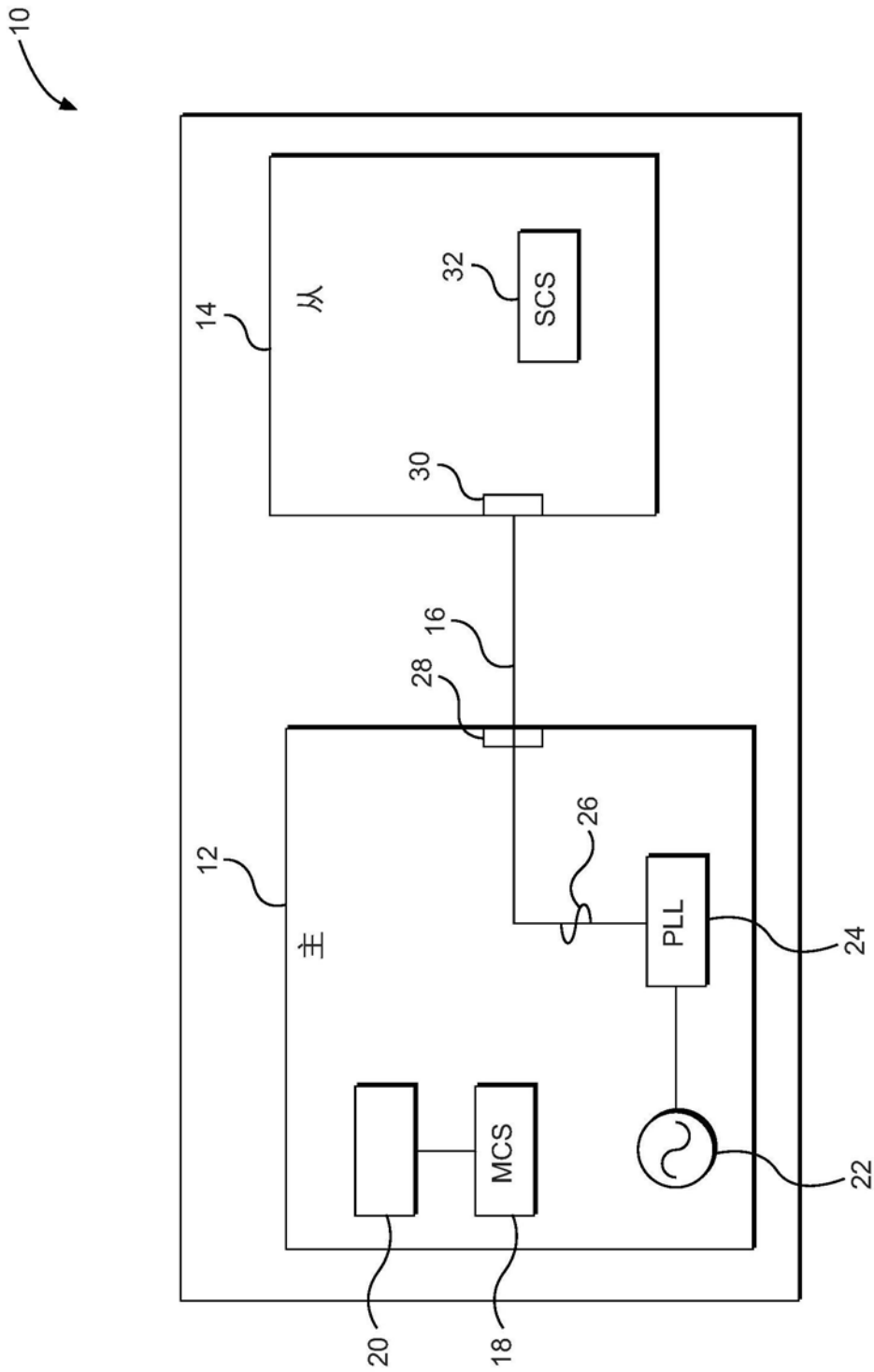


图1

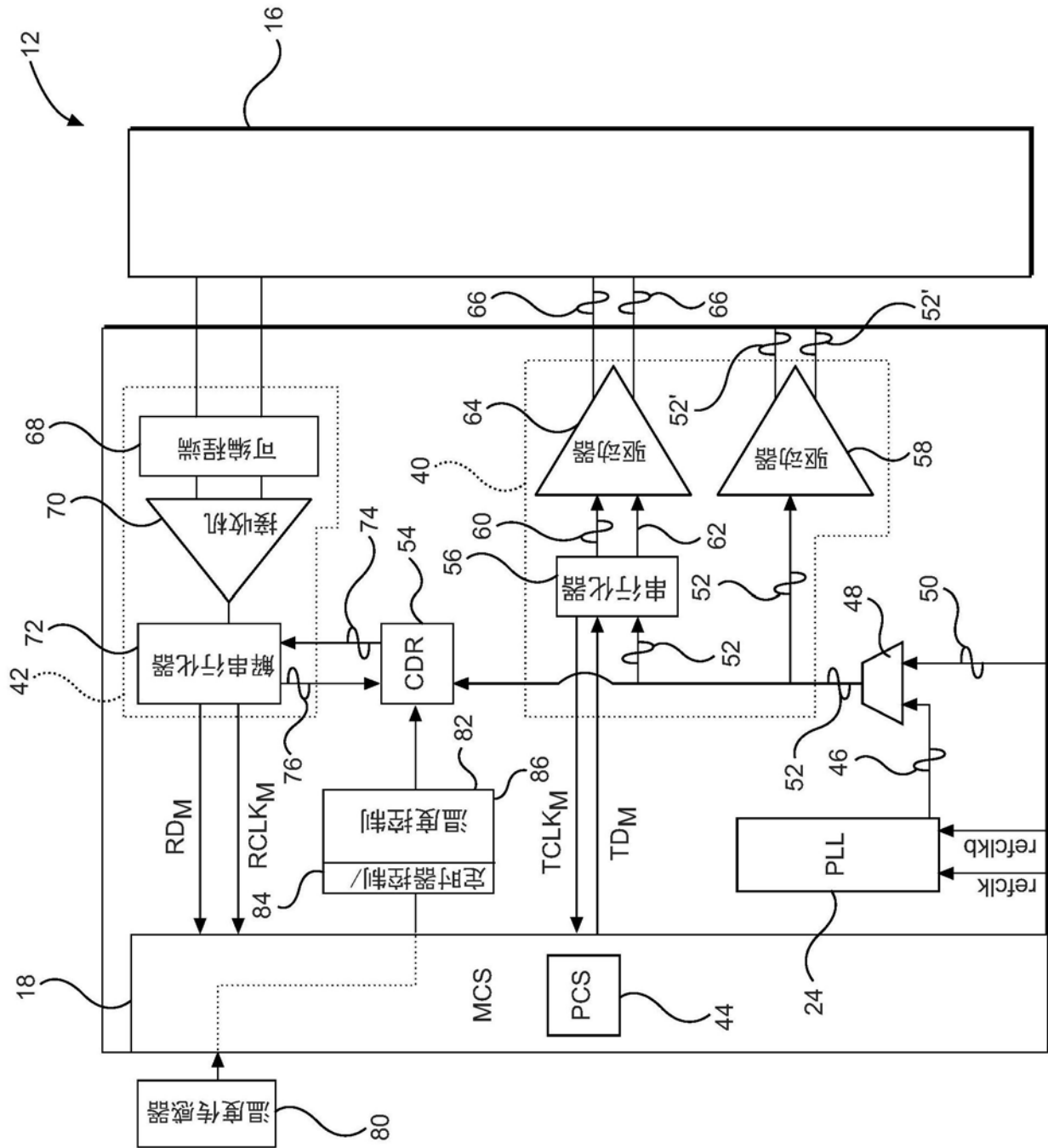


图2

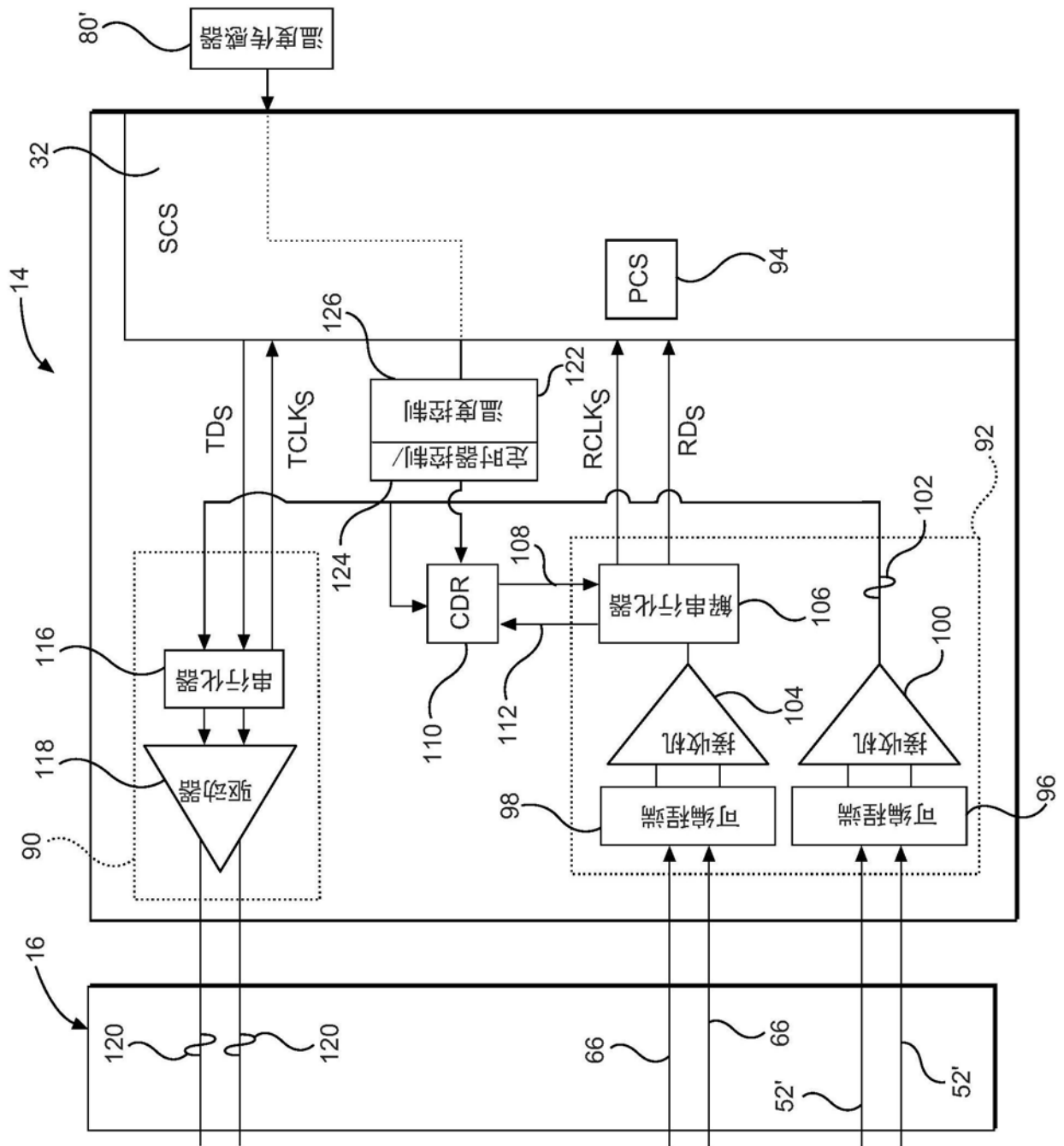


图3

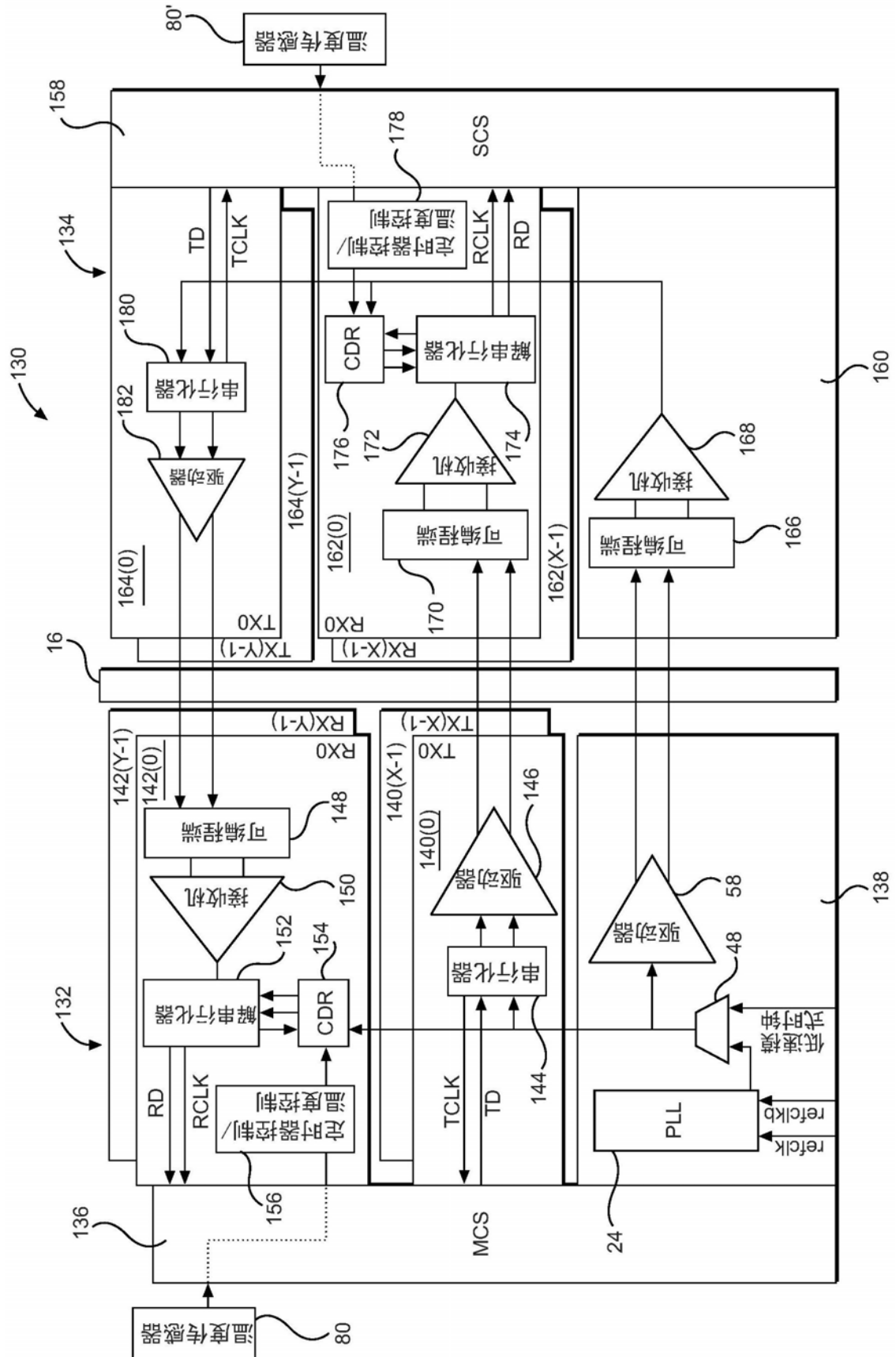


图4

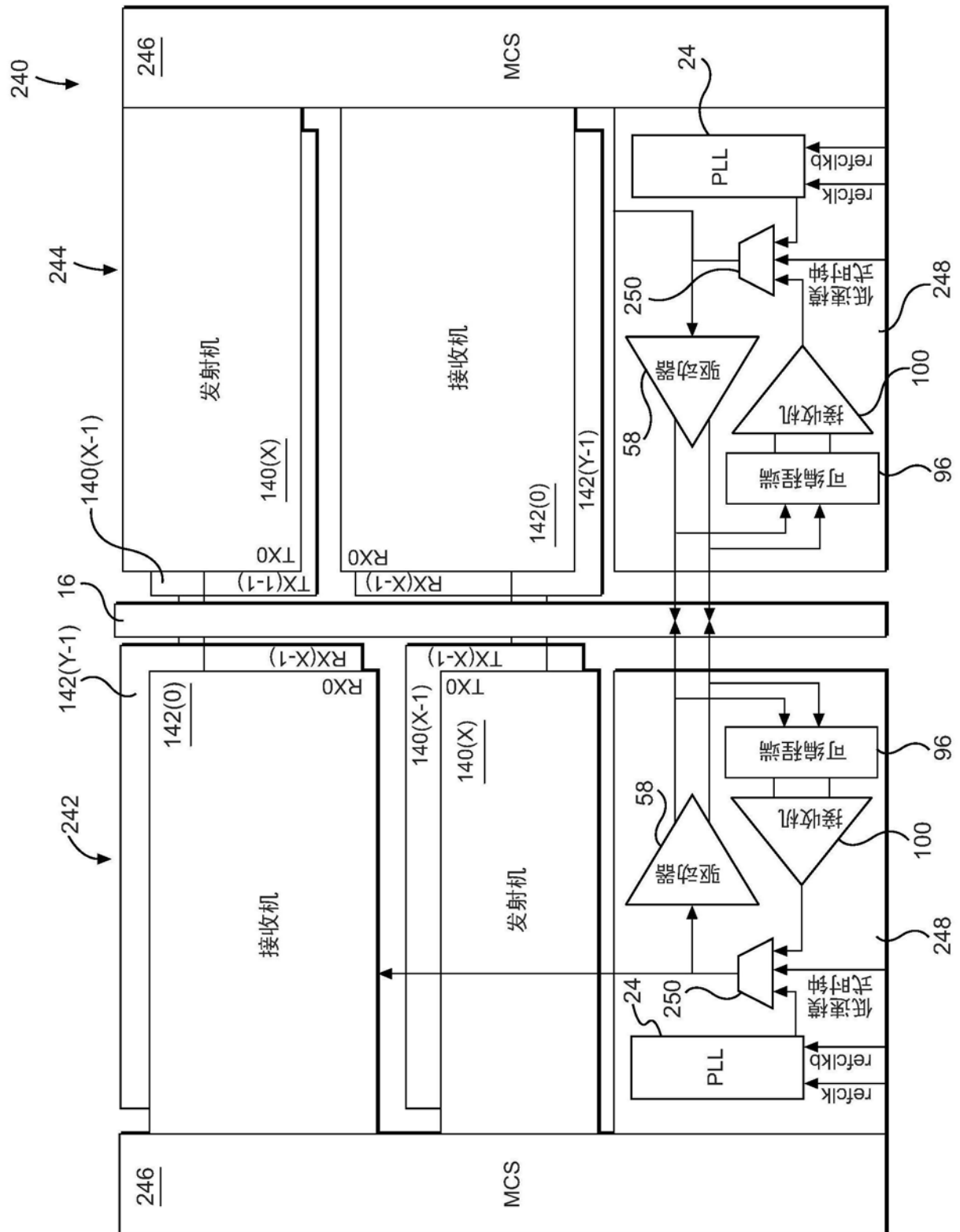


图6

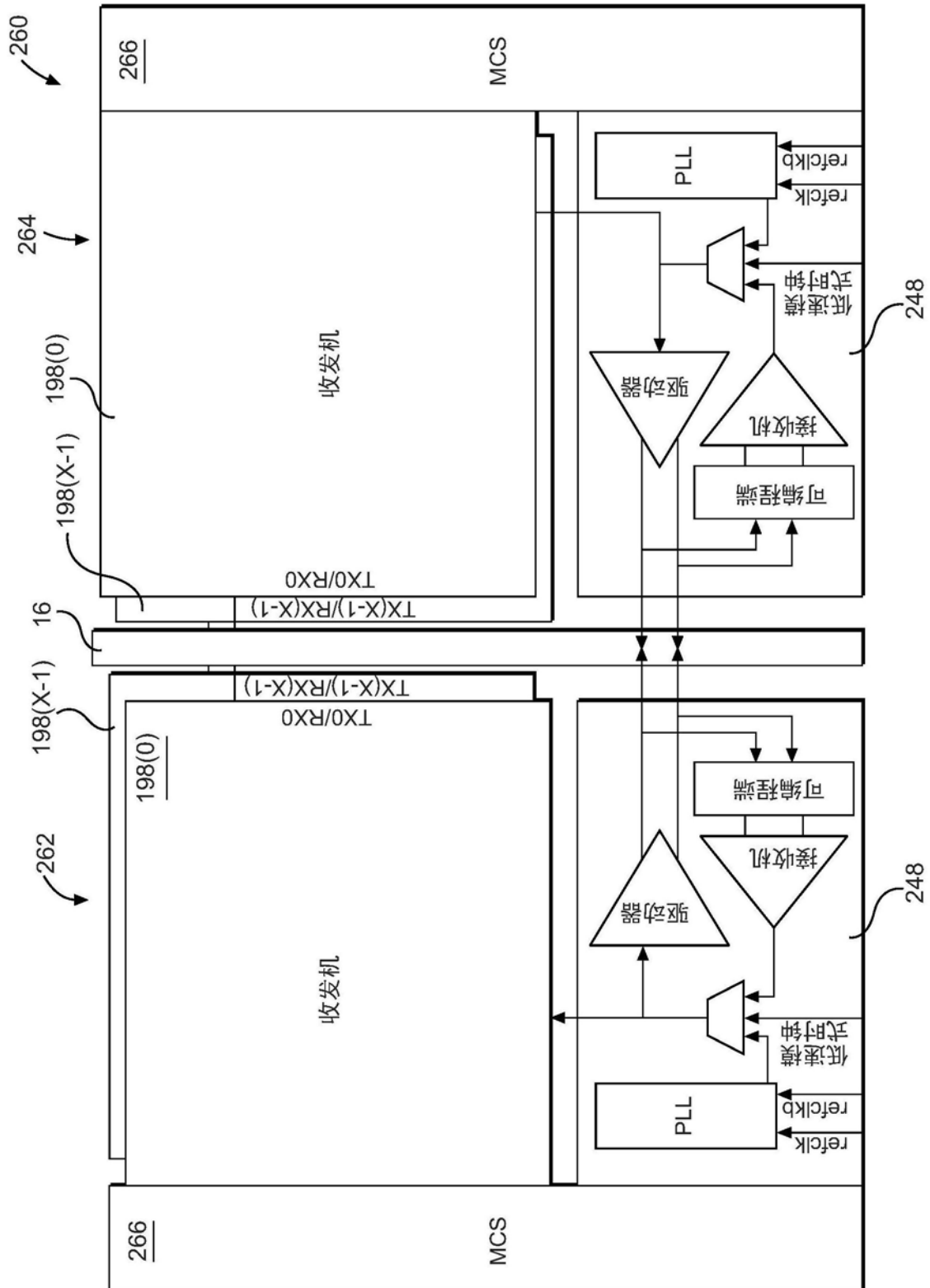


图7

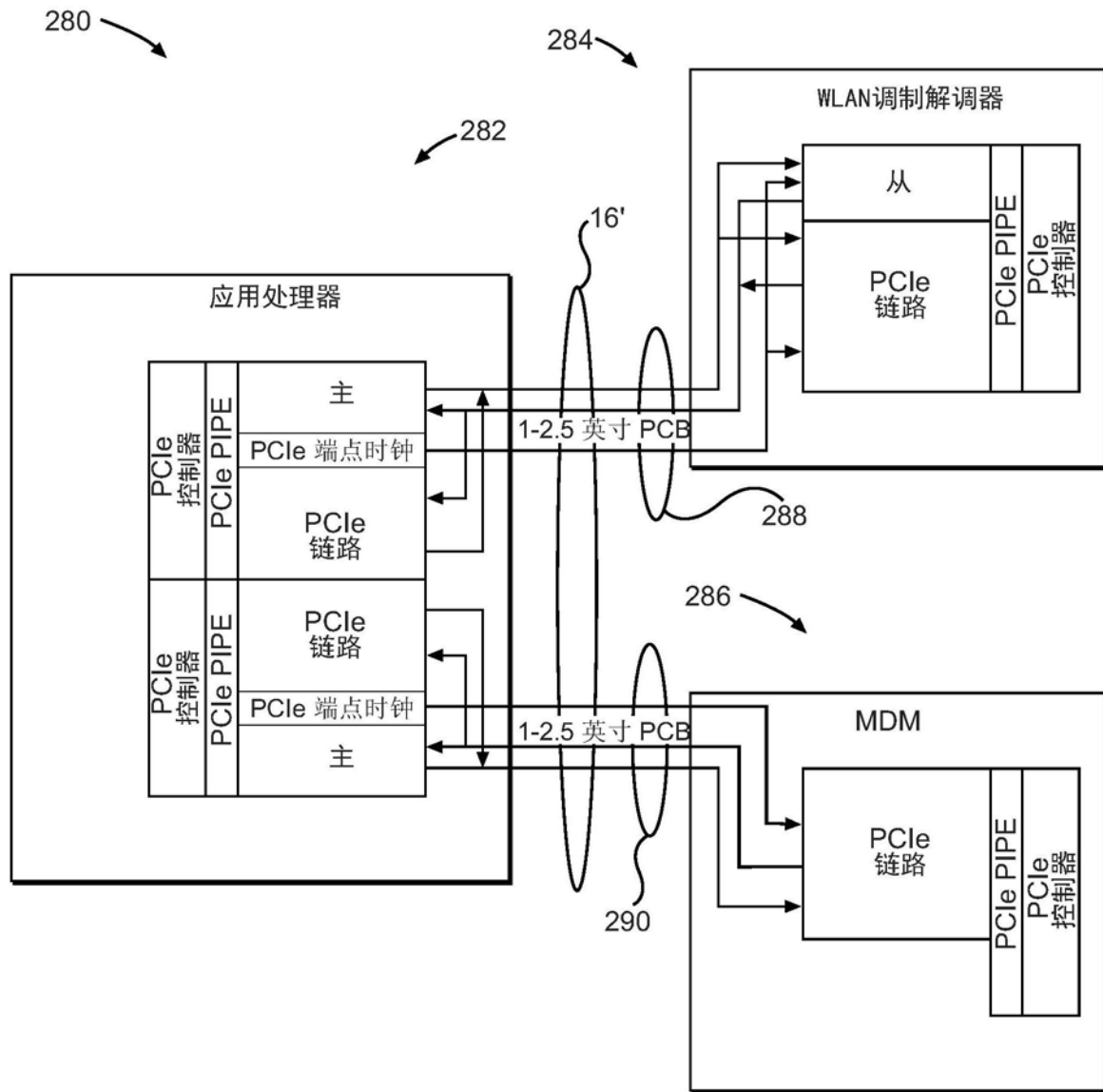


图8

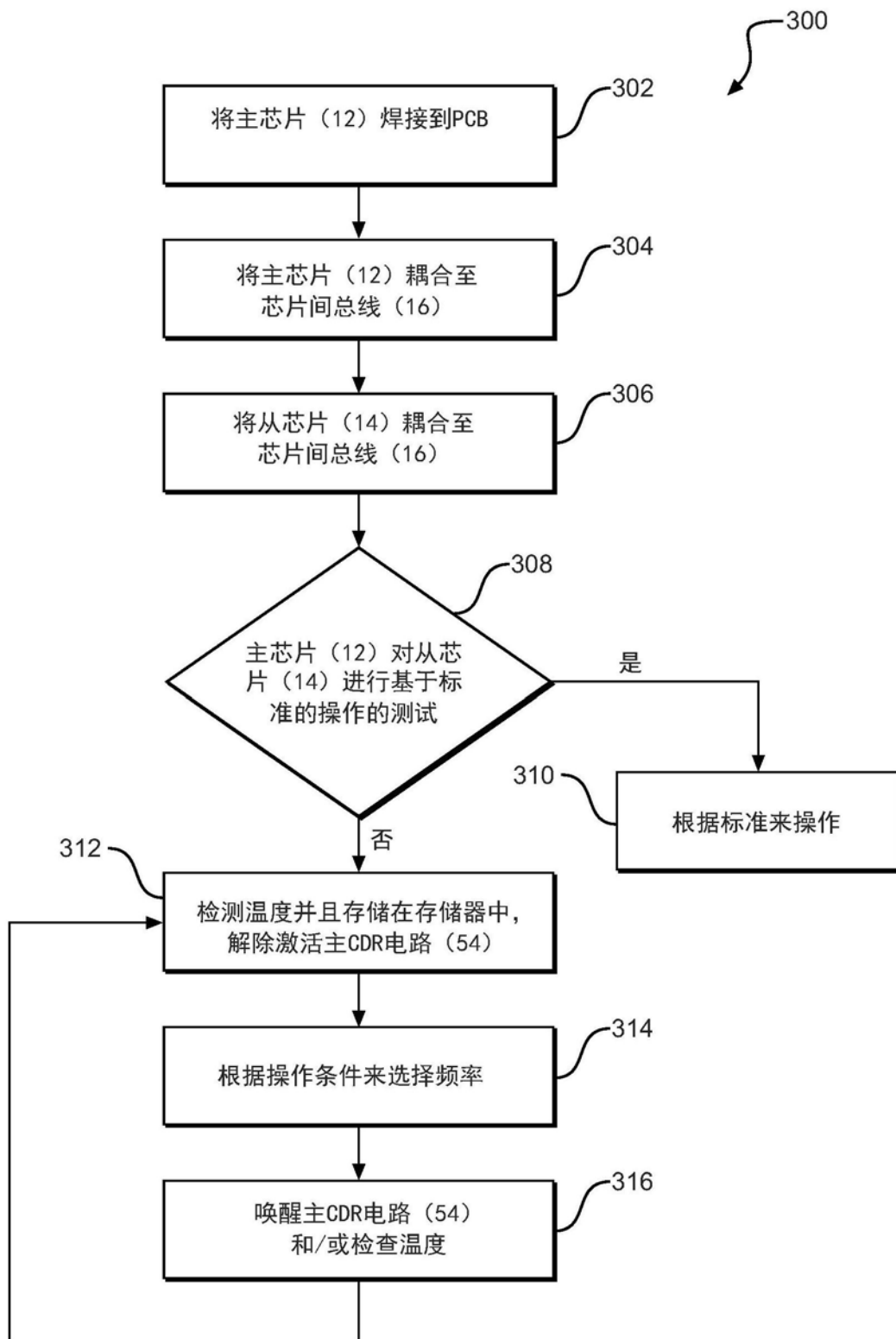


图9

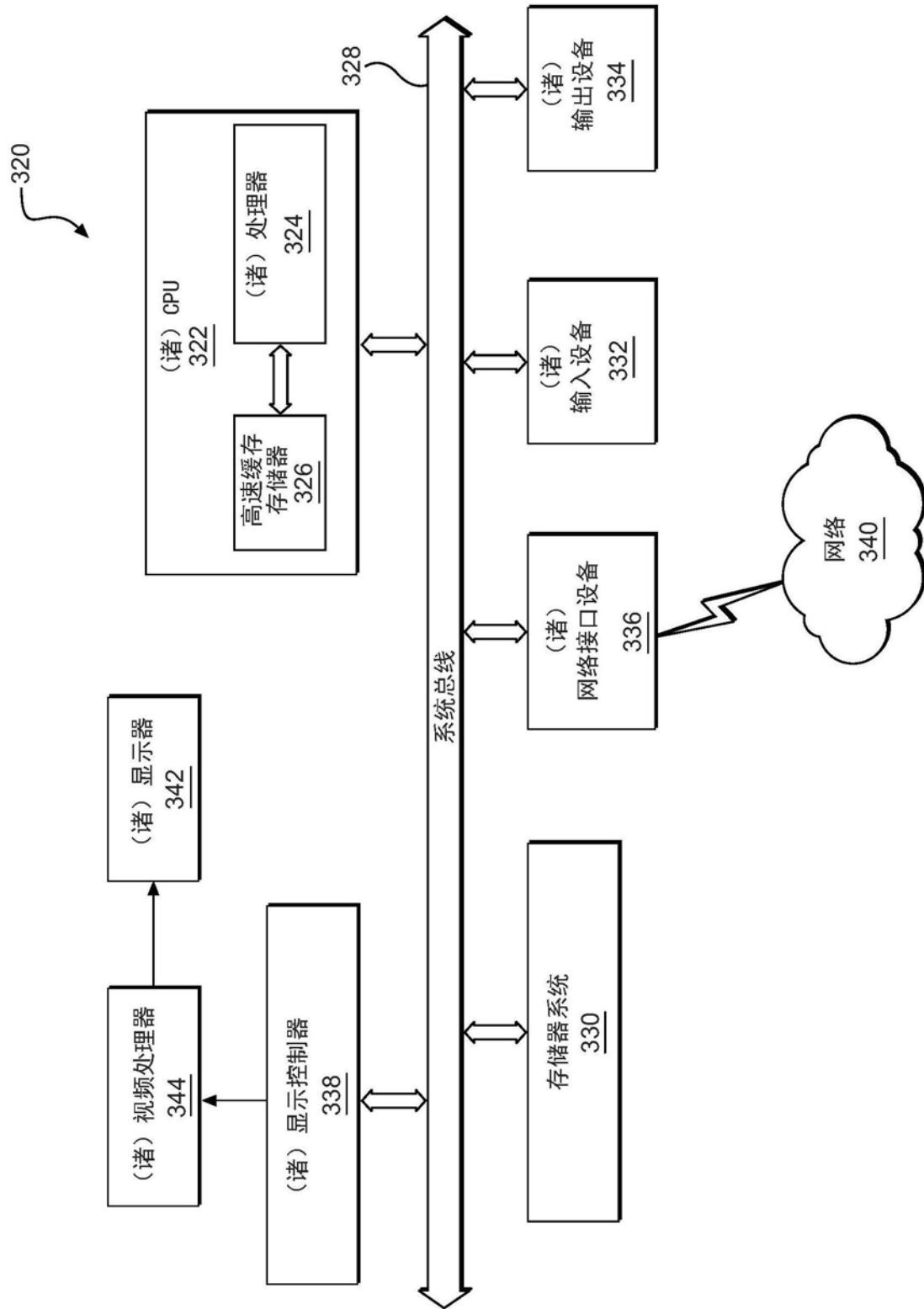


图10