

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年6月16日(2005.6.16)

【公開番号】特開2003-187592(P2003-187592A)

【公開日】平成15年7月4日(2003.7.4)

【出願番号】特願2001-386053(P2001-386053)

【国際特許分類第7版】

G 11 C 29/00

G 11 C 16/06

【F I】

G 11 C 29/00 603K

G 11 C 17/00 639B

【手続補正書】

【提出日】平成16年9月17日(2004.9.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電源電圧のレベルに従って、所定の回路を初期化する第1の回路と、活性化又は非活性化によって、前記第1の回路の出力を制御するための第2の回路と、前記第2の回路の活性化又は非活性化を、外部からの入力に従って行う活性化制御回路と、  
を備えることを特徴とする半導体装置。

【請求項2】

メモリセルアレイにおける第1の領域を第2の領域に置き換えるための置換データを含むヒューズデータを格納するヒューズデータ格納部と、  
前記ヒューズデータ格納部から前記ヒューズデータを読み出すヒューズデータ読み出し部と、

活性化されると、前記ヒューズデータ読み出し部に前記ヒューズデータを読み出させるための制御信号を出力する読み出し制御回路と、

前記読み出し制御回路の活性化又は非活性化を、外部からの入力に従って行う活性化制御回路と、  
を備えることを特徴とする不揮発性半導体記憶装置。

【請求項3】

前記活性化制御回路は、この活性化制御回路に接続されたパッドをさらに有し、  
前記外部からの入力は、前記パッドへの電圧の印加により行われることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】

前記活性化制御回路は、  
電源が投入されて電圧が所定レベルに到達するとパワー・オンリセット信号を出力するパワー・オンリセット回路と、

前記パッドに入力された電圧が第1のレベルにある場合、前記パワー・オンリセット信号が出力されると前記読み出し制御回路を活性化して前記制御信号を出力させ、前記パッドに入力された電圧が第2のレベルにある場合、前記パワー・オンリセット信号が出力されても前記読み出し制御回路を非活性化して前記制御信号を出力させない活性化決定回路と、

をさらに備えることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】

前記活性化制御回路は、

この活性化制御回路に接続されたパッドと、

電源が投入されて電圧が所定レベルに到達するとパワークリセット信号を出力するパワークリセット回路と、

前記パッドに入力された電圧が第1のレベルにある場合、前記パワークリセット信号が出力されると第1の活性化信号を出力し、前記パッドに入力された電圧が第2のレベルにある場合、前記パワークリセット信号が出力されても前記第1の活性化信号を出力しない第1の活性化回路と、

所定のコマンドが入力されると第2の活性化信号を出力し、前記所定のコマンドが入力されないと、前記読み出し制御回路を活性化して前記制御信号を出力させる活性化決定回路と、

前記第1の活性化信号又は前記第2の活性化信号の少なくともいずれか一方が出力されると、前記読み出し制御回路を活性化して前記制御信号を出力させる活性化決定回路と、

を備えることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項6】

所定の回路を初期化するための初期化信号を出力する初期化制御回路と、

電源電圧が第1のレベルを超えると第1のパワークリセット信号を出力する第1のパワークリセット回路と、

前記電源電圧が前記第1のレベルより高い第2のレベルを超えると第2のパワークリセット信号を出力する第2のパワークリセット回路と、

を備え、

前記初期化制御回路は、電源投入後、前記第2のパワークリセット信号が出力されると前記初期化信号を出力し、これ以降は、前記第2のパワークリセット信号が再度出力されても、前記第1のパワークリセット信号が再び出力されない限りは前記初期化信号を出力しないことを特徴とする半導体装置。

【請求項7】

メモリセルアレイにおける第1の領域を第2の領域に置き換えるための置換データを含むヒューズデータを格納するヒューズデータ格納部と、

前記ヒューズデータ格納部から前記ヒューズデータを読み出すヒューズデータ読み出し部と、

活性化されると、前記ヒューズデータ読み出し部に前記ヒューズデータを読み出せるための制御信号を出力する読み出し制御回路と、

前記読み出し制御回路の活性化又は非活性化を制御する活性化制御回路と、

を備え、

前記活性化制御回路は、

電源投入後、所定のコマンドが1回目に入力されたときは、このコマンドを前記ヒューズデータを読み出すコマンドであると解釈して前記読み出し制御回路を活性化し、前記所定のコマンドが2回目以降に入力されたときは、このコマンドを前記ヒューズデータを読み出すコマンドではないと解釈し、前記読み出し制御回路を非活性化することを特徴とする不揮発性半導体記憶装置。