(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2015 年 2 月 12 日 (12.02.2015)

WIPO | PCT

(10) 国际公布号
WO 2015/018141 A1

(51) 国际专利分类号:
G11C 19/28 (2006.01)

(21) 国际申请号: PCT/CN2013/087574

(22) 国际申请日: 2013 年 11 月 21 日 (21.11.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310347123.8 2013 年 8 月 9 日 (09.08.2013) CN

(71) 申请人: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区西区合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: **谭文 (TAN, Wen)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **祁小敬 (QI, Xiaojing)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **北京银龙知识产权代理有限公司 (DRAGON INTELLECTUAL PROPERTY LAW FIRM)**; 中国北京市海淀区西直门北大街 32 号院枫蓝国际中心 2 号楼 10 层, Beijing 100082 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: SHIFT REGISTER UNIT AND DRIVE METHOD THEREFOR, SHIFT REGISTER AND DISPLAY DEVICE

(54) **发明名称** : 移位寄存器单元及其驱动方法、移位寄存器与显示装置

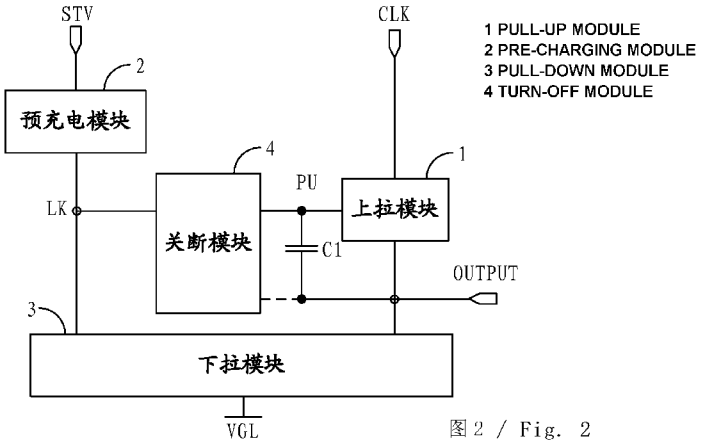

图 2 / Fig. 2

(57) **Abstract**: Provided are a shift register unit and a drive method therefor, a shift register and a display device. By arranging a turn-off module which is used for disconnecting an electric connection between a pull-up (PU) node and a pre-charging module and a pull-down module at a pull-up stage, the problem of excessive electric leakage of a GOA circuit can be solved, thereby effectively solving the problems of reliability and power consumption of a GOA circuit adopting an oxide thin-film transistor.

(57) **摘要**: 本发明提供了一种移位寄存器单元及其驱动方法、移位寄存器与显示装置，通过设置用于在上拉阶段，断开上拉节点 PU 与预充电模块以及下拉模块之间的电连接的关断模块，从而可以解决 GOA 电路的漏电过大问题，有效解决了采用氧化物薄膜晶体管的 GOA 电路的可靠性和功耗问题。

WO 2015/018141 A1

移位寄存器单元及其驱动方法、移位寄存器与显示装置

技术领域

本发明涉及显示领域，尤其涉及一种移位寄存器单元及其驱动方法、移位寄存器与显示装置。

背景技术

氧化物薄膜晶体管（氧化物 TFT）是大尺寸有源矩阵有机发光二极管（AMOLED）显示器/液晶显示器（LCD）的发展方向，因此在现有 GOA（Gate On Array，阵列基板上制作栅极驱动）中，被广泛采用。

氧化物 TFT 特性之一是具有耗尽型的特点，即氧化物 TFT 的阈值电压为负，这导致现有 GOA 实现上一直存在漏电流的问题。

在如附图 1 所示的现有 GOA 典型电路中，在预充电阶段，由于 T14 存在较大漏电情况，因此导致对 T11 栅极的充电效果变差；在上拉阶段，由于 T12、T13 和 T14 的栅极电平最低只能到 VGL，而 T12、T13 和 T14 的源极也为 VGL，则 T12、T13 和 T14 的栅源电压 Vgs 最小为 0，由于氧化物 TFT 的阈值电压小于 0，因此 T12，T13 和 T14 仍处于微导通状态，具有较大的漏电电流，造成 T11 的栅极和源极都趋向 VGL 漏电而影响 GOA 电路的正常上拉和输出，而在下拉阶段，由于 T12、T14 无法正常关断,也会造成在下拉波形的畸变，影响下拉效果，从而影响 GOA 电路的可靠性和功耗。

发明内容

本发明提供一种移位寄存器单元及其驱动方法、移位寄存器与显示装置，从而可以解决 GOA 电路的漏电过大问题，有效解决了采用氧化物薄膜晶体管的 GOA 电路的可靠性和功耗问题。

本发明提供方案如下：

本发明实施例提供了一种移位寄存器单元，包括第一电容、上拉模块、预充电模块和下拉模块，所述第一电容的第一端与所述上拉模块连接于上拉节点，还包括：

关断模块，与所述上拉节点连接，并与处于预充电模块和下拉模块之间的第一节点连接，用于在上拉阶段断开所述上拉节点与所述预充电模块和下拉模块的电连接。

优选的，所述关断模块包括：

第一薄膜晶体管，第一薄膜晶体管的源极与所述第一节点连接，第一薄膜晶体管的栅极与第二时钟信号输入端连接，第一薄膜晶体管的漏极与所述上拉节点连接；

关断控制单元，用于在上拉阶段，通过控制所述第一薄膜晶体管的源极电压使得所述第一薄膜晶体管处于完全截止状态，以断开所述上拉节点与所述预充电模块和下拉模块的电连接。

优选的，所述关断控制单元包括：

反馈电容，所述反馈电容的第一端与所述第一薄膜晶体管的源极连接，反馈电容的第二端，与所述上拉模块和所述下拉模块连接。

优选的，所述关断控制单元还包括：

第二薄膜晶体管，第二薄膜晶体管的源极与所述上拉模块和所述下拉模块连接，第二薄膜晶体管的栅极与第一时钟信号输入端连接，第二薄膜晶体管的漏极与所述第一薄膜晶体管的源极连接。

优选的，所述关断控制单元还包括：

第二薄膜晶体管，第二薄膜晶体管的源极与所述上拉模块和所述下拉模块连接，第二薄膜晶体管的栅极与第二薄膜晶体管的源极连接，第二薄膜晶体管的漏极与所述第一薄膜晶体管的源极连接。

优选的，所述关断模块包括：

第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管；

第一薄膜晶体管的源极与第二薄膜晶体管的漏极、第三薄膜晶体管的漏极连接，第一薄膜晶体管的栅极与第二时钟信号输入端连接，第一薄膜晶体管的漏极与所述上拉节点连接；

第二薄膜晶体管的源极与所述上拉模块和所述下拉模块连接，第二薄膜晶体管的栅极与第一时钟信号输入端连接；

第三薄膜晶体管的源极与所述第一节点连接，第三薄膜晶体管的栅极与

所述第二时钟信号输入端连接。

优选的，所述上拉模块包括：

第四薄膜晶体管，第四薄膜晶体管的源极与第一时钟信号输入端连接，第四薄膜晶体管的栅极与所述上拉节点连接，第四薄膜晶体管的漏极与第一电容的第二端、下拉模块以及信号输出端连接。

优选的，所述上拉模块包括：

第四薄膜晶体管和第五薄膜晶体管；

第四薄膜晶体管的源极和第五薄膜晶体管的源极与第一时钟信号输入端连接；

第四薄膜晶体管的栅极和第五薄膜晶体管的栅极与所述上拉节点连接；

第四薄膜晶体管的漏极，与栅极信号输出端、第一电容的第二端以及下拉模块连接；

第五薄膜晶体管的漏极，与关断模块、下拉模块以及起始信号输出端连接。

优选的，所述预充电模块包括：

第六薄膜晶体管；

第六薄膜晶体管的源极和栅极与起始信号输入端连接，第六薄膜晶体管的漏极与所述关断模块、下拉模块连接。

优选的，所述下拉模块包括：

第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管，以及用于控制所述第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管导通或截止的下拉控制单元；

第七薄膜晶体管的源极与所述预充电模块、关断模块连接，第七薄膜晶体管的栅极与所述控制单元、第八薄膜晶体管的栅极、第九薄膜晶体管的栅极连接于下拉节点，第七薄膜晶体管的漏极与第一电平信号输入端连接；

第八薄膜晶体管的源极与上拉模块、关断模块、起始信号输出端连接，第八薄膜晶体管的漏极与所述第一电平信号输入端连接；

第九薄膜晶体管的源极与上拉模块、第一电容的第二端、栅极信号输出端连接，第九薄膜晶体管的漏极与第二电平信号输入端连接。

优选的，所述第二电平信号输入端输入信号的电位小于零且高于所述第一电平信号输入端输入信号的电位。

本发明实施例还提供了一种移位寄存器单元驱动方法，包括：

在预充电阶段，上拉节点和第一节点的电位被上拉至第一电位，关断模块处于导通状态；

在上拉阶段，上拉节点和第一节点的电位被上拉至高于所述第一电位的第二电位，关断模块处于完全截止状态，上拉节点与预充电模块和下拉模块之间的电连接被断开；

在复位阶段，关断模块处于导通状态，上拉节点和第一节点的电位被下拉至低于所述第一电位的第三电位；

在复位维持阶段，关断模块处于截止状态，上拉节点和第一节点的电位被维持在所述第三电位。

优选的，在预充电阶段，第一时钟信号输入端输入低电平信号，第二时钟信号输入端输入高电平信号，起始信号输入端输入高电平信号；

在上拉阶段，第一时钟信号输入端输入高电平信号，第二时钟信号输入端输入低电平信号，起始信号输入端输入低电平信号；

在复位阶段，第一时钟信号输入端输入低电平信号，第二时钟信号输入端输入高电平信号，起始信号输入端输入低电平信号；

在复位维持阶段，第一时钟信号输入端输入高电平信号，第二时钟信号输入端输入低电平信号，起始信号输入端输入低电平信号。

本发明实施例还提供了一种移位寄存器，该移位寄存器中具体可以包括多级上述本发明实施例所述的移位寄存器单元。

本发明实施例还提供了一种显示装置，改显示装置具体可以包括上述本发明实施例提供的移位寄存器。

从以上所述可以看出，本发明提供的移位寄存器单元及其驱动方法、移位寄存器与显示装置，通过设置用于在上拉阶段，断开所述上拉节点 PU 与所述预充电模块以及下拉模块之间的电连接的关断模块，从而可以解决 GOA 电路的漏电过大问题，有效解决了采用氧化物薄膜晶体管的 GOA 电路的可靠性和功耗问题。

附图说明

图 1 为现有移位寄存器单元结构示意图；

图 2 为本发明实施例提供的移位寄存器单元结构示意图一；

图 3 为本发明实施例提供的移位寄存器单元结构示意图二；

图 4 为本发明实施例提供的移位寄存器单元结构示意图三；

图 5 为本发明实施例提供的移位寄存器适用的信号时序示意图；

图 6 为本发明实施例提供的移位寄存器单元结构示意图四；

图 7 为本发明实施例提供的移位寄存器单元结构示意图五；

图 8 为本发明实施例提供的移位寄存器单元结构示意图六；

图 9 为本发明实施例提供的移位寄存器单元结构示意图七；

图 10 为本发明实施例提供的移位寄存器单元结构示意图八；

图 11 为本发明实施例提供的移位寄存器单元结构示意图九；

图 12 为本发明实施例提供的移位寄存器单元结构示意图十；

图 13 为本发明实施例提供的移位寄存器单元结构示意图十一；

图 14 为本发明实施例提供的下拉控制单元结构示意图一；

图 15 为本发明实施例提供的下拉控制单元结构示意图二；

图 16 为本发明实施例提供的下拉控制单元结构示意图三；

图 17 为本发明实施例提供的移位寄存器单元驱动方法流程示意图；

图 18 为本发明实施例提供的移位寄存器单元结构示意图十二；

图 19 为本发明实施例提供的 GOA 电路与现有 GOA 电路输出波形仿真结果对比图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本发明保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领

域内具有一般技能的人士所理解的通常意义。本发明专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”或者“一”等类似词语也不表示数量限制，而是表示存在至少一个。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也相应地改变。

本发明实施例提供了一种移位寄存器单元，如附图 2 所示，具体可以包括第一电容 C1、上拉模块 1、预充电模块 2 和下拉模块 3，第一电容 C1 的第一端与上拉模块 1 连接于上拉节点 PU；

同时，该移位寄存器单元具体还可以包括：

关断模块 4，与上拉节点 PU 连接，并与处于预充电模块 2 和下拉模块 3 之间的第一节点 LK 连接，用于在上拉阶段断开上拉节点 PU 与预充电模块 2 和下拉模块 3 的电连接。

本发明实施例提供的移位寄存器单元，可以在上拉阶段，完全断开上拉节点 PU 与预充电模块 2 和下拉模块 3 的电连接，从而可以解决 GOA 电路的漏电过大问题，有效解决了采用氧化物薄膜晶体管（TFT）的 GOA 电路的可靠性和功耗问题。

附图 2 中，关断模块 4 与第一电容 C1 第二端之间的虚线，用于表示在不同的实施例中，关断模块 4 与第一电容 C1 第二端存在电连接或不存在电连接的关系。

在本发明一具体实施例中，如附图 3 所示，关断模块 4 具体可以包括：

第一薄膜晶体管 T1 即关断晶体管，第一薄膜晶体管 T1 的源极与第一节点 LK 连接，第一薄膜晶体管 T1 的栅极与第二时钟信号输入端 CLKB 连接，第一薄膜晶体管 T1 的漏极与上拉节点 PU 连接；

关断控制单元 41，用于在上拉阶段，通过控制所述第一薄膜晶体管 T1 的源极电压使得所述第一薄膜晶体管 T1 处于完全截止状态，以断开所述上拉节点 PU 与预充电模块 2 和下拉模块 3 的电连接。

在一具体实施例中，如附图 4 所示，关断控制单元 41 具体可以包括：

反馈电容 C2，反馈电容 C2 的第一端与第一薄膜晶体管 T1 的源极连接，反馈电容 C2 的第二端，与上拉模块 1 和下拉模块 3 连接。

另外，在不同的实施例中，反馈电容 C2 的第二端还可以与第一电容 C1 的第二端、栅极信号输出端 OUTPUT_Gate 连接（具体可如附图 4 所示，所述栅极信号输出端 OUTPUT_Gate 即附图 4 中所示 OUTPUT），或者反馈电容 C2 的第二端还可以与起始信号输出端 OUTPUT_STV 连接（具体可如附图 9 所示）。

那么，当输入信号的时序关系如附图 5 所示时，该实施例提供的移位寄存器单元的具体工作过程可如下所示：

在预充电阶段即 A 阶段，第二时钟信号输入端 CLKB 输入高电平信号，第一薄膜晶体管 T1 处于导通状态即开启，上拉节点 PU 和第一节点 LK 被上拉至高电平电位，第一时钟信号输入端 CLK 输入低电平信号，信号输出端 OUTPUT 输出低电平信号，反馈电容 C2 的第一端即第一节点 LK 处的电压为 V_{GH}-V_{GL}；

在上拉阶段即阶段 B（也可以称之为输出阶段），第二时钟信号输入端 CLKB 输入低电平信号，第一薄膜晶体管 T1 处于截止状态，第一时钟信号输入端 CLK 输入高电平信号，信号输出端 OUTPUT 输出高电平信号，反馈电容 C2 两端电压保持不变，则第一节点 LK 同上拉节点 PU 一样被上拉至更高的电位，此时第一节点 LK 处的电压为 $2V_{GH}$-V_{GL}，则第一薄膜晶体管 T1 的栅源电压 V_{GS}= V_{GL} -($2V_{GH}$-V_{GL})=2 V_{GL} -2 V_{GH} ，由于 V_{GL} 取值约为-8V，V_{GH} 取值约为 5V，而第一薄膜晶体管 T1 的阈值电压 V_{TH} 取值约为-1V，那么此时第一薄膜晶体管 T1 的栅源电压 V_{GS} 约等于-26V<V_{TH}<0，为深度负电压，因此，第一薄膜晶体管 T1 被完全关闭，第一薄膜晶体管 T1 处于完全截止状态，上拉节点 PU 与第一节点 LK 之间的电连接被完全切断，即上拉节点 PU 点与预充电模块 2 和下拉模块 3 之间的电连接被完全切断，解决了由于 TFT 耗尽型特性造成的预充电模块 2 和下拉模块 3 关断不严和漏电流过大，上拉节点 PU 和信号输出端 OUTPUT 输出波形畸变，最终导致 GOA 失效的问题。

在另一具体实施例中，如附图 6 所示，关断控制单元 41 具体还可以包括：

第二薄膜晶体管 T2，第二薄膜晶体管 T2 的源极，与上拉模块 1 和下拉

模块 3 连接，第二薄膜晶体管 T2 的栅极与第一时钟信号输入端 CLK 连接，第二薄膜晶体管 T2 的漏极，与所述第一薄膜晶体管 T1 的源极连接。

另外，在不同的实施例中，第二薄膜晶体管 T2 的源极还可以与第一电容 C1 的第二端、栅极信号输出端 OUTPUT_Gate 连接（具体可如附图 6 所示，所述栅极信号输出端 OUTPUT_Gate 即图 6 中所示的 OUTPUT 端），或者第二薄膜晶体管 T2 的源极还可以与起始信号输出端 OUTPUT_STV 连接（具体可如附图 10 所示 ）。

那么，当输入信号的时序关系同样如附图 5 所示时，该实施例提供的移位寄存器单元的具体工作过程可如下所示：

在预充电阶段即 A 阶段，第二时钟信号输入端 CLKB 输入高电平信号，第一薄膜晶体管 T1 处于导通状态，上拉节点 PU 和第一节点 LK 被上拉至高电平电位，第一时钟信号输入端 CLK 输入低电平信号，第二薄膜晶体管 T2 处于截止状态，信号输出端 OUTPUT 输出低电平信号，第一节点 LK 处的电压为 V_{GH} ；

在上拉阶段即阶段 B，第二时钟信号输入端 CLKB 输入低电平信号，第一薄膜晶体管 T1 处于截止状态，第一时钟信号输入端 CLK 输入高电平信号，第二薄膜晶体管 T2 处于导通状态，信号输出端 OUTPUT 输出高电平信号，由于第二薄膜晶体管 T2 导通，因此，信号输出端 OUTPUT 输出高电平信号被反馈至第一节点 LK 处，则第一节点 LK 处的电压约为 VGH，则第一薄膜晶体管 T1 的栅源电压 $V_{GS}= V_{GL} -V_{GH}$ ，由于 V_{GL} 取值约为-8V，V_{GH} 取值约为 5V，而第一薄膜晶体管 T1 的阈值电压 V_{TH} 取值约为-1V，那么此时第一薄膜晶体管 T1 的栅源电压 V_{GS} 约等于$-13V<V_{TH}<0$，为深度负电压，因此，第一薄膜晶体管 T1 被完全关闭，第一薄膜晶体管 T1 处于完全截止状态，上拉节点 PU 与第一节点 LK 之间的电连接被完全切断，即上拉节点 PU 点与预充电模块 2 和下拉模块 3 之间的电连接被完全切断，解决了由于 TFT 耗尽型特性造成的预充电模块 2 和下拉模块 3 关断不严和漏电流过大，上拉节点 PU 和信号输出端 OUTPUT 输出波形畸变，最终导致 GOA 失效的问题。

由于在如附图 6 所示的电路结构中，第二薄膜晶体管 T2 的栅极与第一时钟信号输入端 CLK 连接，而第二薄膜晶体管 T2 的源极，其实质上与第一时

钟信号输入端 CLK 之间也存在电连接关系，因此，如附图 6 所示的关断控制单元 41 还可以存在另一种替代形式。

具体的，所述替代方式如附图 7 所示：

第二薄膜晶体管 T2 的源极，与上拉模块 1 和下拉模块 3 连接，第二薄膜晶体管 T2 的栅极与第二薄膜晶体管 T2 的源极连接，第二薄膜晶体管 T2 的漏极，与所述第一薄膜晶体管 T1 的源极连接。

同样，在不同的实施例中，第二薄膜晶体管 T2 的源极还可以与第一电容 C1 的第二端、栅极信号输出端 OUTPUT_Gate 连接（具体可如附图 7 所示，所述栅极信号输出端 OUTPUT_Gate 即图 7 中所示的 OUTPUT 端），或者第二薄膜晶体管 T2 的源极还可以与起始信号输出端 OUTPUT_STV 连接（具体可如附图 11 所示 ）。

由于附图 7 所示的移位寄存器的工作过程，与附图 6 所示的移位寄存器类似，即在上拉阶段，第一薄膜晶体管 T1 的栅源电压 VGS 约等于 $-13V<V_{TH}<0$，为深度负电压，因此，在此实施例中，第一薄膜晶体管 T1 也可以被完全关闭，第一薄膜晶体管 T1 处于完全截止状态，上拉节点 PU 与第一节点 LK 之间的电连接也可以被完全切断，即上拉节点 PU 点与预充电模块 2 和下拉模块 3 之间的电连接也可以被完全切断，同样也解决了由于 TFT 耗尽型特性造成的预充电模块 2 和下拉模块 3 关断不严和漏电流过大，上拉节点 PU 和信号输出端 OUTPUT 输出波形畸变，最终导致 GOA 失效的问题。

在一具体实施例中，关断模块 4 还可以以附图 8 所示的电路结构呈现。在该实施例中，关断模块 4 具体可以包括：

第一薄膜晶体管 T1、第二薄膜晶体管 T2 以及第三薄膜晶体管 T3；

第一薄膜晶体管 T1 的源极，与第二薄膜晶体管 T2 的漏极、第三薄膜晶体管 T3 的漏极连接，第一薄膜晶体管 T1 的栅极与第二时钟信号输入端 CLKB 连接，第一薄膜晶体管 T1 的漏极与上拉节点 PU 连接；

第二薄膜晶体管 T2 的源极，与上拉模块 1 和下拉模块 3 连接，第二薄膜晶体管 T2 的栅极与第一时钟信号输入端 CLK 连接，而在不同的实施例中，第二薄膜晶体管 T2 的源极还可以与第一电容 C1 的第二端、栅极信号输出端 OUTPUT_Gate 连接（具体可如附图 8 所示的 OUTPUT 端），或者第二薄膜晶

体管 T2 的源极还可以与起始信号输出端 OUTPUT_STV 连接（具体可如附图 12 所示）。

第三薄膜晶体管 T3 的源极与第一节点 LK 连接，第三薄膜晶体管 T3 的栅极与第二时钟信号输入端 CLKB 连接。

由于附图 8 所示的移位寄存器的工作过程，与附图 6 所示的移位寄存器类似，即在上拉阶段，第一薄膜晶体管 T1 的栅源电压 V_{GS} 约等于-13V<V_{TH}<0，为深度负电压，第一薄膜晶体管 T1 也可以被完全关闭，而且，由于在上拉阶段，第三薄膜晶体管 T3 也处于截止状态，从而使上拉节点 PU 与第一节点 LK 之间的连接链路上，存在两个处于截止状态的晶体管（其中第一薄膜晶体管 T1 处于完全截止状态），从而形成关断的双保险，因此，上拉节点 PU 与第一节点 LK 之间的电连接也可以被完全切断，即上拉节点 PU 点与预充电模块 2 和下拉模块 3 之间的电连接也可以被完全切断，同样也解决了由于 TFT 耗尽型特性造成的预充电模块 2 和下拉模块 3 关断不严和漏电流过大，上拉节点 PU 和信号输出端 OUTPUT 输出波形畸变，最终导致 GOA 失效的问题。

在另一些具体实施例中，本发明实施例所提供的移位寄存器单元的电路结构，还可以如附图 9、10、11、12 所示。

在本发明一具体实施例中，如附图 13 所示，本发明实施例所涉及的上拉模块 1 具体可以包括：

第四薄膜晶体管 T4，其源极与第一时钟信号输入端 CLK 连接，其栅极与上拉节点 PU 连接，其漏极具体可与第一电容 C1 的第二端、下拉模块 3、信号输出端 OUTPUT 连接。

而在另一具体实施例中，如附图 9-12 所示，上拉模块 1 具体可以包括

第四薄膜晶体管 T4，第五薄膜晶体管 T5；

第四薄膜晶体管 T4 的源极和第五薄膜晶体管 T5 的源极，与第一时钟信号输入端 CLK 连接；

第四薄膜晶体管 T4 的栅极和第五薄膜晶体管 T5 的栅极，与上拉节点 PU 连接；

第四薄膜晶体管 T4 的漏极，与栅极信号输出端 OUTPUT_Gate、第一电容 C1 的第二端、下拉模块 3 连接；

第五薄膜晶体管 T5 的漏极，与关断模块 4、下拉模块 3、起始信号输出端 OUTPUT_STV 连接。

如附图 9-12 所示，本发明实施例所涉及的预充电模块 2 具体可以包括：

第六薄膜晶体管 T6；

第六薄膜晶体管 T6 的源极和栅极，与起始信号输入端 STV 连接，第六薄膜晶体管 T6 的漏极与关断模块 4、下拉模块 3 连接于第一节点 LK。

如附图 9-12 所示，本发明实施例所涉及的下拉模块 3 具体可以包括：

第七薄膜晶体管 T7、第八薄膜晶体管 T8、第九薄膜晶体管 T9，以及用于控制第七薄膜晶体管 T7、第八薄膜晶体管 T8、第九薄膜晶体管 T9 导通或截止的下拉控制单元 31；

其中：

第七薄膜晶体管 T7 的源极与第一电平信号输入端 VGL1 连接，第七薄膜晶体管 T7 的栅极，与控制单元 31、第八薄膜晶体管 T8 的栅极、第九薄膜晶体管 T9 的栅极连接于下拉节点 PD，第七薄膜晶体管 T7 的漏极与预充电模块 2、关断模块 4 连接，即连接于第一节点 LK；

第八薄膜晶体管 T8 的源极与第一电平信号输入端 VGL1 连接，第八薄膜晶体管 T8 的漏极，与上拉模块 1、关断模块 4、起始信号输出端 OUTPUT_STV 连接；

第九薄膜晶体管 T9 的源极与第二电平信号输入端 VGL2 连接，第九薄膜晶体管 T9 的漏极，与上拉模块 1、第一电容 C1 的第二端、栅极信号输出端 OUTPUT_Gate 连接。

本发明实施例中，第二电平信号输入端 VGL2 输入信号的电位可以小于零且高于第一电平信号输入端 VGL1 输入信号的电位。

在一具体实施例中，如附图 14 所示，本发明实施例所涉及的下拉控制单元 31 具体可以包括：

第十薄膜晶体管 T10、第十一薄膜晶体管 T11；

第十薄膜晶体管 T10 的源极和栅极，与第二时钟信号输入端 CLKB 连接，第十薄膜晶体管 T10 的漏极与下拉节点 PD 连接；

第十一薄膜晶体管 T11 的漏极与下拉节点 PD 连接，第十一薄膜晶体管

T11 的栅极与起始信号输入端 STV 连接，第十一薄膜晶体管 T11 的源极与第一电平信号输入端 VGL1 连接。

在另一具体实施例中，如附图 15 所示，本发明实施例所涉及的下拉控制单元 31 具体可以包括：

第三电容 C3，第十薄膜晶体管 T10；

第三电容 C3 的第一端与第二时钟信号输入端 CLKB 连接，第三电容 C3 的第二端与下拉节点 PD 连接；

第十薄膜晶体管 T10 的漏极与下拉节点 PD 连接，第十薄膜晶体管 T10 的栅极与起始信号输入端 STV 连接，第十薄膜晶体管 T10 的源极与第一电平信号输入端 VGL 连接。

在另一具体实施例中，如附图 16 所示，本发明实施例所涉及的下拉控制单元 31 具体可以包括：

第十薄膜晶体管 T10、第十一薄膜晶体管 T11、第十二薄膜晶体管 T12、第十三薄膜晶体管 T13；

第十薄膜晶体管 T10 的源极和栅极，与第二时钟信号输入端 CLKB 连接，第十薄膜晶体管 T10 的漏极，与第十一薄膜晶体管 T11 的栅极、第十二薄膜晶体管 T12 的漏极连接；

第十一薄膜晶体管 T11 的源极，与第二时钟信号输入端 CLKB 连接，第十一薄膜晶体管 T11 的漏极与下拉节点 PD 连接；

第十二薄膜晶体管 T12 的栅极，与起始信号输入端 STV、第十三薄膜晶体管 T13 的栅极连接，第十二薄膜晶体管 T12 的源极，与第一电平信号输入端 VGL、第十三薄膜晶体管 T13 的源极连接；

第十三薄膜晶体管 T13 的漏极与下拉节点 PD 连接。

上述本发明实施例所涉及的薄膜晶体管，具体可为 N 型薄膜晶体管。

本发明实施例还提供了一种移位寄存器单元驱动方法，如附图 17 所示，该方法具体可以包括：

步骤 171，在预充电阶段，上拉节点 PU 和第一节点 LK 的电位被上拉至第一电位，关断模块 4 处于导通状态；

步骤 172，在上拉阶段，上拉节点 PU 和第一节点 LK 的电位被上拉至高

于所述第一电位的第二电位，关断模块 4 处于完全截止状态，上拉节点 PU 与预充电模块 2 和下拉模块 3 之间的电连接被断开；

步骤 173，在复位阶段，关断模块 4 处于导通状态，上拉节点 PU 和第一节点 LK 的电位被下拉至低于所述第一电位的第三电位；

步骤 174，在复位维持阶段，关断模块 4 处于截止状态，上拉节点 PU 和第一节点 LK 的电位被维持在所述第三电位。

下面为如附图 18 所示的移位寄存器单元，采用如附图 5 所示的信号时序图为例，对本发明实施例提供的移位寄存器驱动方法的一个具体实现过程进行详细的描述，该过程具体可以包括：

在阶段 A 预充电阶段：第一时钟信号输入端 CLK 输入低电平信号例如 V_{GL}，第二时钟信号时输入端 CLKB 输入高电平信号例如 V_{GH}，起始信号输入端 STV 输入为高电平信号例如 V_{GH}；此时，T1、T6-T11 均处于导通状态，T4 和 T5 处于截止状态，栅极信号输出端 OUTPUT_Gate 输出第二电平信号输入端 VGL2 输入的低电平信号 V_{GL2}，起始信号输出端 OUTPUT_STV 输出第一电平信号输入端 VGL1 输入的低电平信号 V_{GL1}，第一节点 LK 和上拉节点 PU 的电位被上拉至高电平电位，则第一节点 LK 的电压具体可为的 V_{GH}-V_{GL1}，而下拉节点 PD 的电位等于第一电平信号输入端 VGL1 输入的低电平信号 V_{GL1}。

在阶段 B 上拉阶段：第一时钟信号输入端 CLK 输入高电平信号例如 V_{GH}，第二时钟信号输入端 CLKB 输入低电平信号例如 V_{GL}，起始信号输入端 STV 输入为低电平信号例如 V_{GL}，T1、T6-T11 均处于截止状态，T4 和 T5 处于导通状态，栅极信号输出端 OUTPUT_Gate 和起始信号输出端 OUTPUT_STV 均输出高电平信号，第一节点 LK 和上拉节点 PU 的电位被进一步上拉，则第一节点 LK 此时的电压为 2 V_{GH}-V_{GL1}，则 T1 的栅源电压 V_{GS}= V_{GL1} -(2V_{GH}-V_{GL1})=2 V_{GL1} -2 V_{GH}，那么在基于惯用的取值范围，则此时 T1 的栅源电压为深度负电压，远远小于 T1 的阈值电压 V_{TH}，并小于零，即 V_{GS} <V_{TH}<0，因此， T1 被完全关闭， T1 处于完全截止状态。上拉节点 PU 与第一节点 LK 之间的电连接被完全切断，即上拉节点 PU 点与预充电模块 2 和下拉模块 3 之间的电连接被完全切断，从而使上拉节点 PU 不会因为 T6 和 T7 关断不理想，而漏电

流过大，造成上拉节点 PU 失去上拉效果，从而导致信号输出端输出信号的波形畸形，输出不正常。另外，由于下拉节点 PD 即 T9 的栅极电压为 V_{GL1}，而由于 T9 的源极与第二电平信号输入端连接，即 T9 源极电压为 V_{GL2}，由于第二电平信号输入端 VGL2 输入信号 V_{GL2} 的电位可以小于零且高于第一电平信号输入端 VGL1 输入信号 V_{GL1} 的电位，因此，使 T9 的栅源电压也为深度负电压，即 T9 也处于完全截止状态，从而使栅极信号输出端 OUTPUT_Gate 输出的栅极信号也不存在漏电流的影响，确保了栅极信号的稳定输出。

在阶段 C 复位阶段。第一时钟信号输入端 CLK 输入低电平信号，第二时钟信号时输入端 CLKB 输入高电平信号，起始信号输入端 STV 输入为低电平信号；此时，T1、T7-T10 均处于导通状态，T4、 T5、T6、T11 处于截止状态；T1、T7 实现对 C1 和 C2 的放电，将上拉节点 PU 和第一节点 LK 电位下拉至 V_{GL1}；T9 将栅极信号输出端 OUTPUT_Gate 输出信号的电位下拉至 V_{GL2}，T8 将起始信号输出端 OUTPUT_STV 输出信号的电位下拉至 V_{GL1}。

在阶段 D 复位维持阶段。第一时钟信号输入端 CLK 输入高电平信号，第二时钟信号输入端 CLKB 输入低电平信号，起始信号输入端 STV 输入为低电平信号；此时，T1、T6-T11 均处于截止状态，T4、 T5 处于导通状态；上拉节点 PU 和第一节点 LK 维持在低电平电位，栅极信号输出端 OUTPUT_Gate 和起始信号输出端 OUTPUT_STV 输出信号的电位维持不变。

通过以上阶段的实现，本发明实施例所提供的移位寄存器单元驱动方法，可以在上拉阶段，完全断开上拉节点 PU 与预充电模块 2 和下拉模块 3 之间的电连接，从而可以解决 GOA 电路的漏电过大问题，有效解决了采用氧化物薄膜晶体管（TFT）的 GOA 电路的可靠性和功耗问题。

如附图 19 所示的本发明实施例提供的 GOA 电路与现有 GOA 电路输出波形仿真结果对比图可以看出（其中，标识 1 所指为本发明实施例提供的 GOA 电路输出波形仿真示意图，标识 2 所指为现有 GOA 电路输出波形仿真示意图），在预充电和上拉阶段，现有一般 GOA 电路由于薄膜晶体管 TFT 耗尽型特性造成的漏电流过大将上拉节点 PU 和输出波形发生严重消减，造成 GOA 的失效；而本发明实施例提供的 GOA 由于设置了关断模块，使上拉阶段，上拉节点 PU 与预充电模块和下拉模块之间的电连接完全被关断，有效切断了

上拉节点 PU 漏电流，从而从上拉节点 PU 和输出波形正常，GOA 工作正常。

本发明实施例还提供了一种移位寄存器，该移位寄存器中具体可以包括多级上述本发明实施例提供的移位寄存器单元。

在一具体实施例中，除第一级外，一级移位寄存器单元栅极信号输出端 OUTPUT_Gate 输出的信号为上一级移位寄存器单元的复位信号；除最后一级外，一级移位寄存器单元起始信号输出端 OUTPUT_STV 输出的信号为下一级移位寄存器单元输入的起始信号。

本发明实施例还提供了一种显示装置，包括上述本发明实施例提供的移位寄存器。

该显示装置具体可以为液晶面板、液晶电视、液晶显示器、OLED（有机发光二极管）面板、OLED 显示器、等离子显示器或电子纸等显示装置。

本发明实施例所提供的移位寄存器单元、移位寄存器与显示装置特别适合 LTPS（低温多晶硅技术）制程下的 GOA 电路需求，也可适用于非晶硅工艺下的 GOA 电路。

需指出的是，尽管上述实施例中，以单一采用 N 型薄膜晶体管为例进行了说明，然而，上述电路还可以轻易的改成采用单一的 P 型薄膜晶体管或 CMOS（互补金属氧化物半导体）管电路。

通过以上描述可以看出，本发明提供了一种移位寄存器单元及其驱动方法、移位寄存器与显示装置，通过设置用于在上拉阶段，断开所述上拉节点 PU 与所述预充电模块和下拉模块之间电连接的关断模块，从而可以解决 GOA 电路的漏电过大问题，有效解决了采用氧化物薄膜晶体管的 GOA 电路的可靠性和功耗问题。

以上所述仅是本发明的实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权 利 要 求 书

1．一种移位寄存器单元，包括第一电容、上拉模块、预充电模块和下拉模块，所述第一电容的第一端与所述上拉模块连接于上拉节点，其特征在于，还包括：

关断模块，与所述上拉节点连接，并与处于预充电模块和下拉模块之间的第一节点连接，用于在上拉阶段断开所述上拉节点与所述预充电模块和下拉模块的电连接。

2、如权利要求 1 所述的移位寄存器单元，其特征在于，所述关断模块包括：

第一薄膜晶体管，第一薄膜晶体管的源极与所述第一节点连接，第一薄膜晶体管的栅极与第二时钟信号输入端连接，第一薄膜晶体管的漏极与所述上拉节点连接；

关断控制单元，用于在上拉阶段，通过控制所述第一薄膜晶体管的源极电压使得所述第一薄膜晶体管处于完全截止状态，以断开所述上拉节点与所述预充电模块和下拉模块的电连接。

3、如权利要求 2 所述的移位寄存器单元，其特征在于，所述关断控制单元包括：

反馈电容，所述反馈电容的第一端与所述第一薄膜晶体管的源极连接，反馈电容的第二端，与所述上拉模块和所述下拉模块连接。

4、如权利要求 2 或 3 所述的移位寄存器单元，其特征在于，所述关断控制单元还包括：

第二薄膜晶体管，第二薄膜晶体管的源极与所述上拉模块和所述下拉模块连接，第二薄膜晶体管的栅极与第一时钟信号输入端连接，第二薄膜晶体管的漏极与所述第一薄膜晶体管的源极连接。

5、如权利要求 2 或 3 所述的移位寄存器单元，其特征在于，所述关断控制单元还包括：

第二薄膜晶体管，第二薄膜晶体管的源极与所述上拉模块和所述下拉模块连接，第二薄膜晶体管的栅极与第二薄膜晶体管的源极连接，第二薄膜晶

体管的漏极与所述第一薄膜晶体管的源极连接。

6、如权利要求 1 所述的移位寄存器单元，其特征在于，所述关断模块包括：

第一薄膜晶体管、第二薄膜晶体管以及第三薄膜晶体管；

第一薄膜晶体管的源极与第二薄膜晶体管的漏极、第三薄膜晶体管的漏极连接，第一薄膜晶体管的栅极与第二时钟信号输入端连接，第一薄膜晶体管的漏极与所述上拉节点连接；

第二薄膜晶体管的源极与所述上拉模块和所述下拉模块连接，第二薄膜晶体管的栅极与第一时钟信号输入端连接；

第三薄膜晶体管的源极与所述第一节点连接，第三薄膜晶体管的栅极与所述第二时钟信号输入端连接。

7、如权利要求 1 至 6 任一项所述的移位寄存器单元，其特征在于，所述上拉模块包括：

第四薄膜晶体管，第四薄膜晶体管的源极与第一时钟信号输入端连接，第四薄膜晶体管的栅极与所述上拉节点连接，第四薄膜晶体管的漏极与第一电容的第二端、下拉模块以及信号输出端连接。

8、如权利要求 1 至 6 任一项所述的移位寄存器单元，其特征在于，所述上拉模块包括：

第四薄膜晶体管和第五薄膜晶体管；

第四薄膜晶体管的源极和第五薄膜晶体管的源极与第一时钟信号输入端连接；

第四薄膜晶体管的栅极和第五薄膜晶体管的栅极与所述上拉节点连接；

第四薄膜晶体管的漏极，与栅极信号输出端、第一电容的第二端以及下拉模块连接；

第五薄膜晶体管的漏极，与关断模块、下拉模块以及起始信号输出端连接。

9、如权利要求 1 至 8 任一项所述的移位寄存器单元，其特征在于，所述预充电模块包括：

第六薄膜晶体管；

第六薄膜晶体管的源极和栅极与起始信号输入端连接，第六薄膜晶体管的漏极与所述关断模块、下拉模块连接。

10、如权利要求 1 至 9 任一项所述的移位寄存器单元，其特征在于，所述下拉模块包括：

第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管，以及用于控制所述第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管导通或截止的下拉控制单元；

第七薄膜晶体管的源极与所述预充电模块、关断模块连接，第七薄膜晶体管的栅极与所述控制单元、第八薄膜晶体管的栅极、第九薄膜晶体管的栅极连接于下拉节点，第七薄膜晶体管的漏极与第一电平信号输入端连接；

第八薄膜晶体管的源极与上拉模块、关断模块、起始信号输出端连接，第八薄膜晶体管的漏极与所述第一电平信号输入端连接；

第九薄膜晶体管的源极与上拉模块、第一电容的第二端、栅极信号输出端连接，第九薄膜晶体管的漏极与第二电平信号输入端连接。

11、如权利要求 10 所述的移位寄存器单元，其特征在于，所述第二电平信号输入端输入信号的电位小于零且高于所述第一电平信号输入端输入信号的电位。

12、如权利要求 10 或 11 所述的移位寄存器单元，其特征在于，所述下拉控制单元包括：

第十薄膜晶体管、第十一薄膜晶体管，

其中，第十薄膜晶体管的源极和栅极，与第二时钟信号输入端连接，第十薄膜晶体管的漏极与下拉节点连接；

第十一薄膜晶体管的漏极与下拉节点连接，第十一薄膜晶体管的栅极与起始信号输入端连接，第十一薄膜晶体管的源极与第一电平信号输入端连接。

13、如权利要求 10 或 11 所述的移位寄存器单元，其特征在于，所述下拉控制单元包括：

第三电容，第十薄膜晶体管，

其中，第三电容的第一端与第二时钟信号输入端连接，第三电容的第二端与下拉节点连接；

第十薄膜晶体管的漏极与下拉节点连接，第十薄膜晶体管的栅极与起始信号输入端连接，第十薄膜晶体管的源极与第一电平信号输入端连接。

14、如权利要求 10 或 11 所述的移位寄存器单元，其特征在于，所述下拉控制单元包括：

第十薄膜晶体管、第十一薄膜晶体管、第十二薄膜晶体管、第十三薄膜晶体管，

其中，第十薄膜晶体管的源极和栅极与第二时钟信号输入端连接，第十薄膜晶体管的漏极，与第十一薄膜晶体管的栅极、第十二薄膜晶体管的漏极连接；

第十一薄膜晶体管的源极与第二时钟信号输入端连接，第十一薄膜晶体管的漏极与下拉节点连接；

第十二薄膜晶体管的栅极与起始信号输入端、第十三薄膜晶体管的栅极连接，第十二薄膜晶体管的源极与第一电平信号输入端、第十三薄膜晶体管的源极连接；

第十三薄膜晶体管的漏极与下拉节点连接。

15、一种移位寄存器单元驱动方法，其特征在于，包括：

在预充电阶段，上拉节点和第一节点的电位被上拉至第一电位，关断模块处于导通状态；

在上拉阶段，上拉节点和第一节点的电位被上拉至高于所述第一电位的第二电位，关断模块处于完全截止状态，上拉节点与预充电模块和下拉模块之间的电连接被断开；

在复位阶段，关断模块处于导通状态，上拉节点和第一节点的电位被下拉至低于所述第一电位的第三电位；

在复位维持阶段，关断模块处于截止状态，上拉节点和第一节点的电位被维持在所述第三电位。

16、如权利要求 15 所述的驱动方法，其特征在于，在预充电阶段，第一时钟信号输入端输入低电平信号，第二时钟信号输入端输入高电平信号，起始信号输入端输入高电平信号；

在上拉阶段，第一时钟信号输入端输入高电平信号，第二时钟信号输入

端输入低电平信号，起始信号输入端输入低电平信号；

在复位阶段，第一时钟信号输入端输入低电平信号，第二时钟信号输入端输入高电平信号，起始信号输入端输入低电平信号；

在复位维持阶段，第一时钟信号输入端输入高电平信号，第二时钟信号输入端输入低电平信号，起始信号输入端输入低电平信号。

17、一种移位寄存器，其特征在于，包括多级如权利要求 1 至 14 中任一权利要求所述的移位寄存器单元。

18、一种显示装置，其特征在于，包括如权利要求 17 所述的移位寄存器。

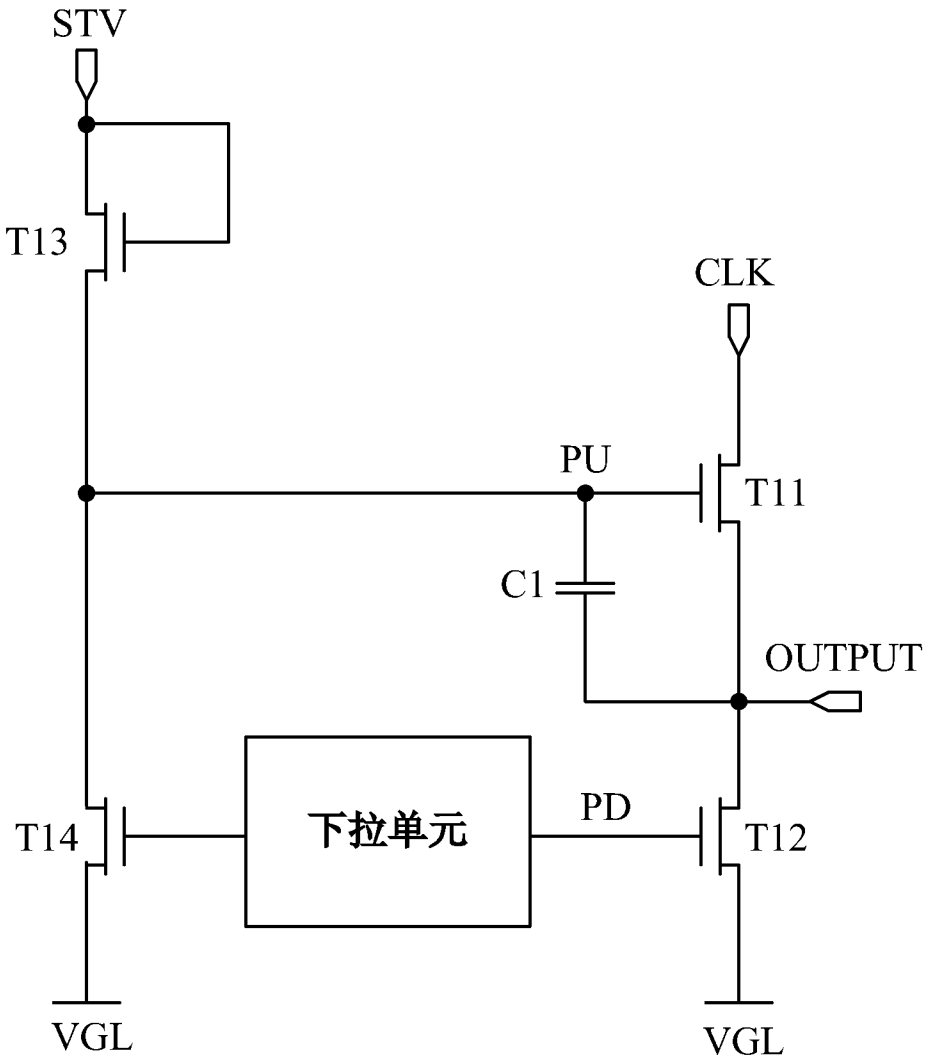

图 1

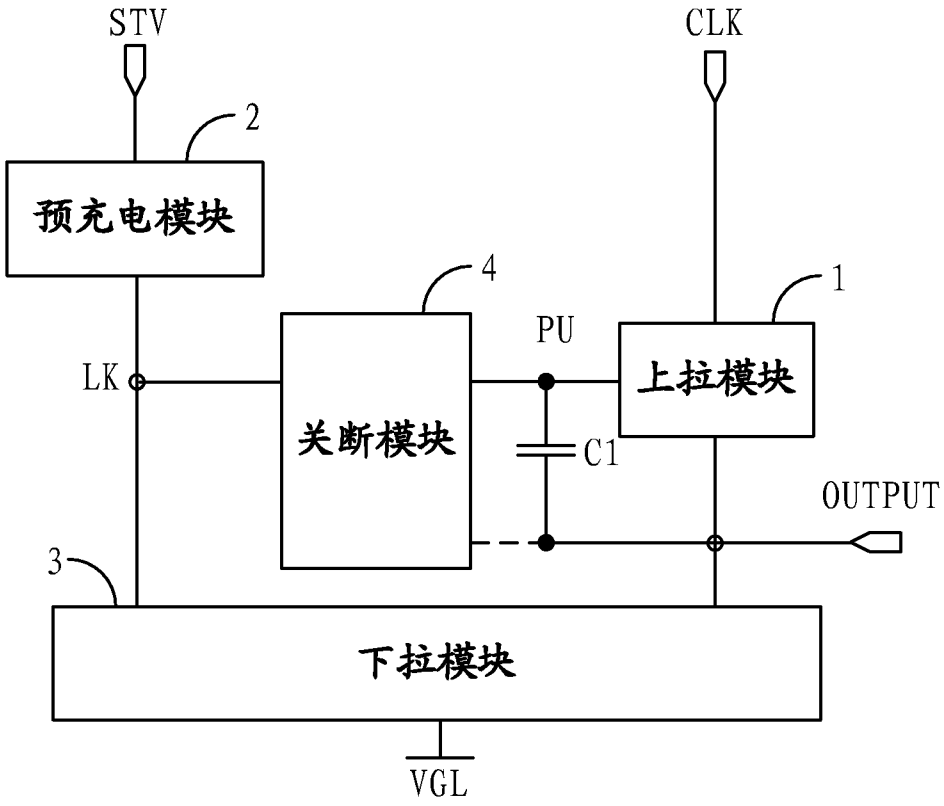

图 2

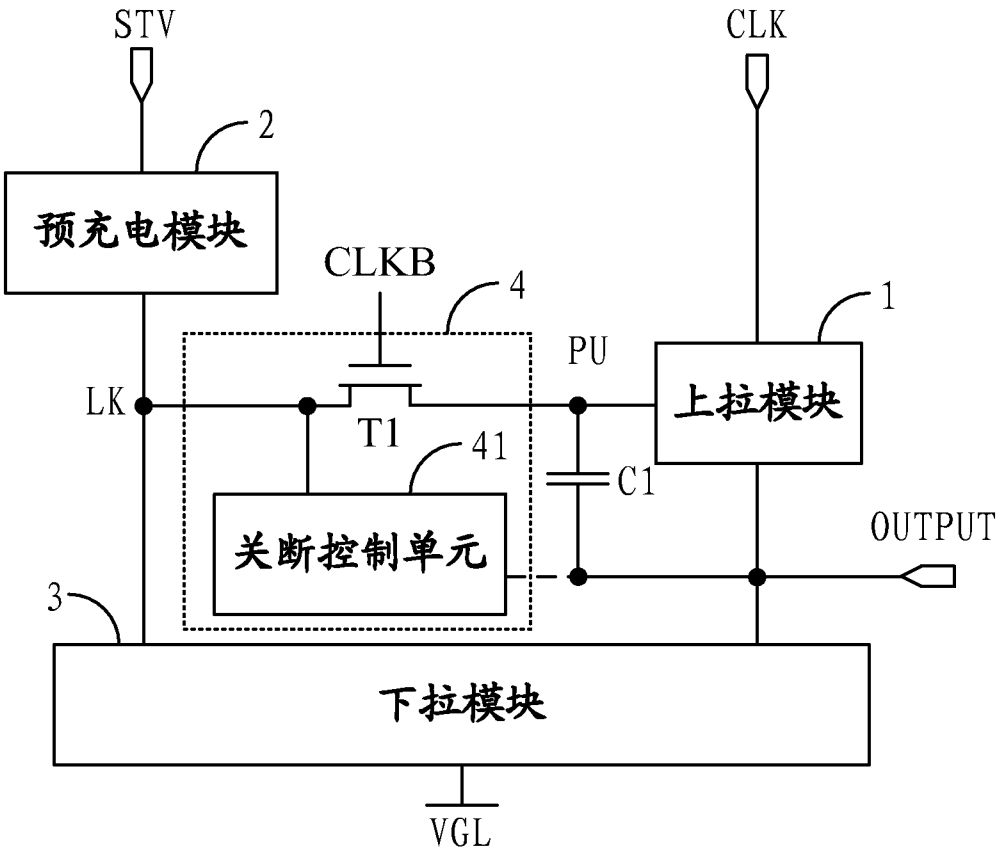
STV
CLK
2
预充电模块
CLKB
4
1
PU
LK
T1
上拉模块
41
C1
关断控制单元
OUTPUT
3
下拉模块
VGL

图 3

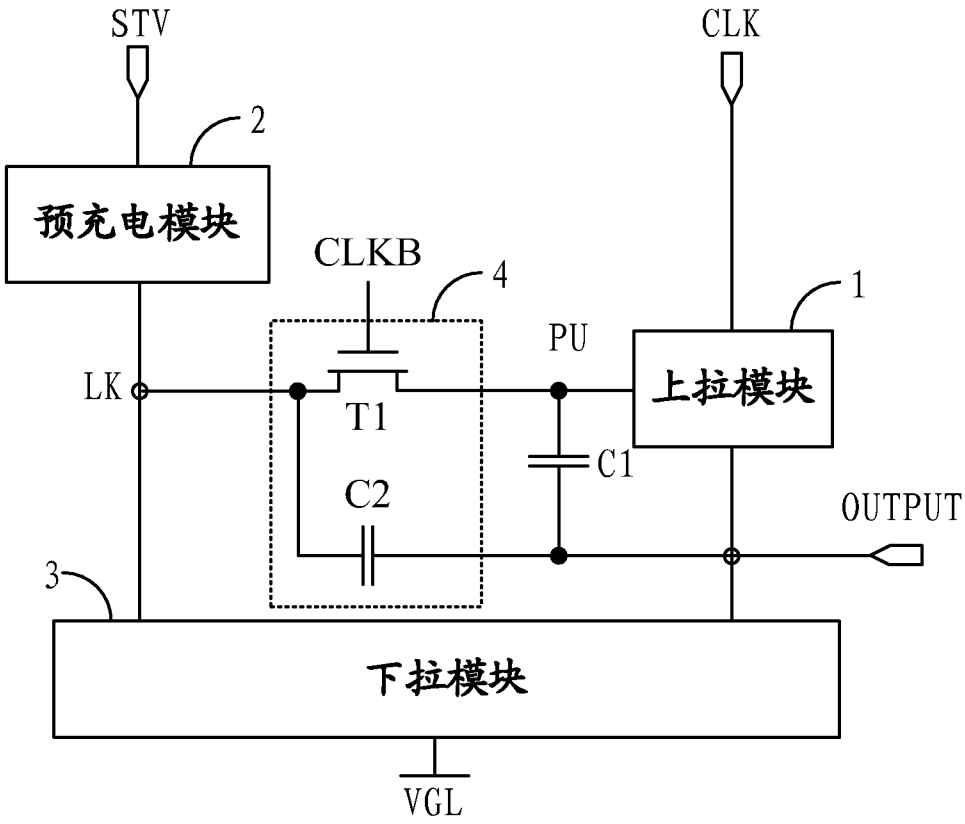

图 4

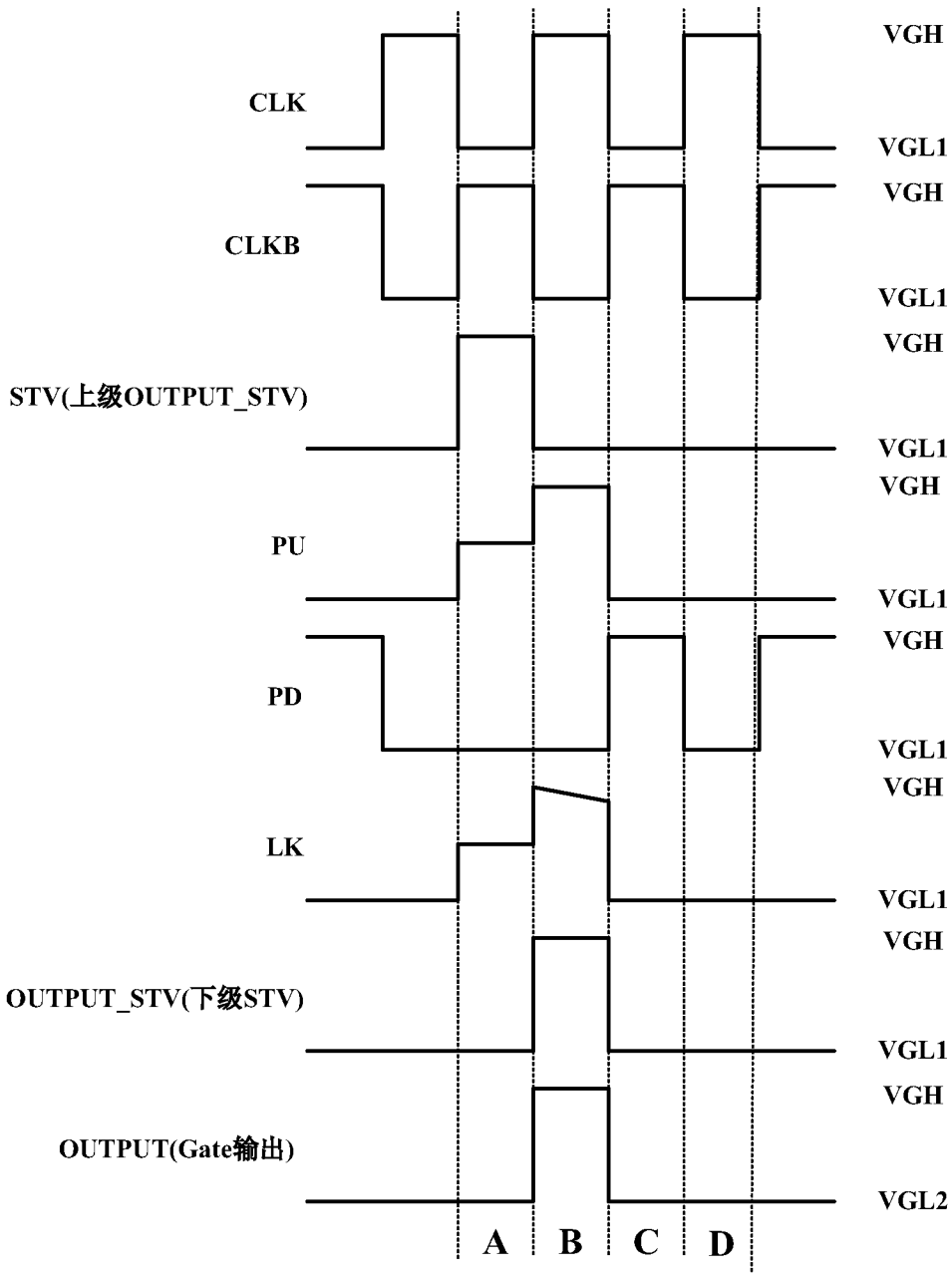
CLK
VGH
VGL1
CLKB
VGH
VGL1
STV(上级OUTPUT_STV)
VGH
VGL1
PU
VGH
VGL1
PD
VGH
VGL1
LK
VGH
VGL1
OUTPUT_STV(下级STV)
VGH
VGL1
OUTPUT(Gate输出)
VGH
VGL2
A
B
C
D

图 5

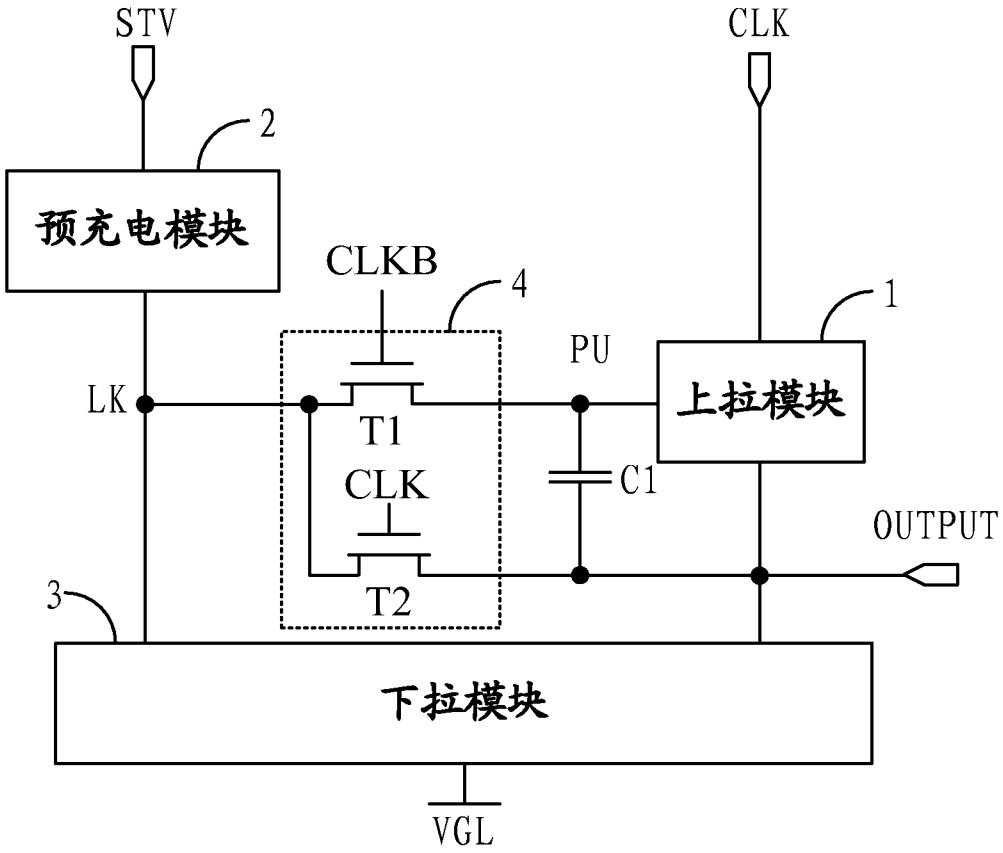

图 6

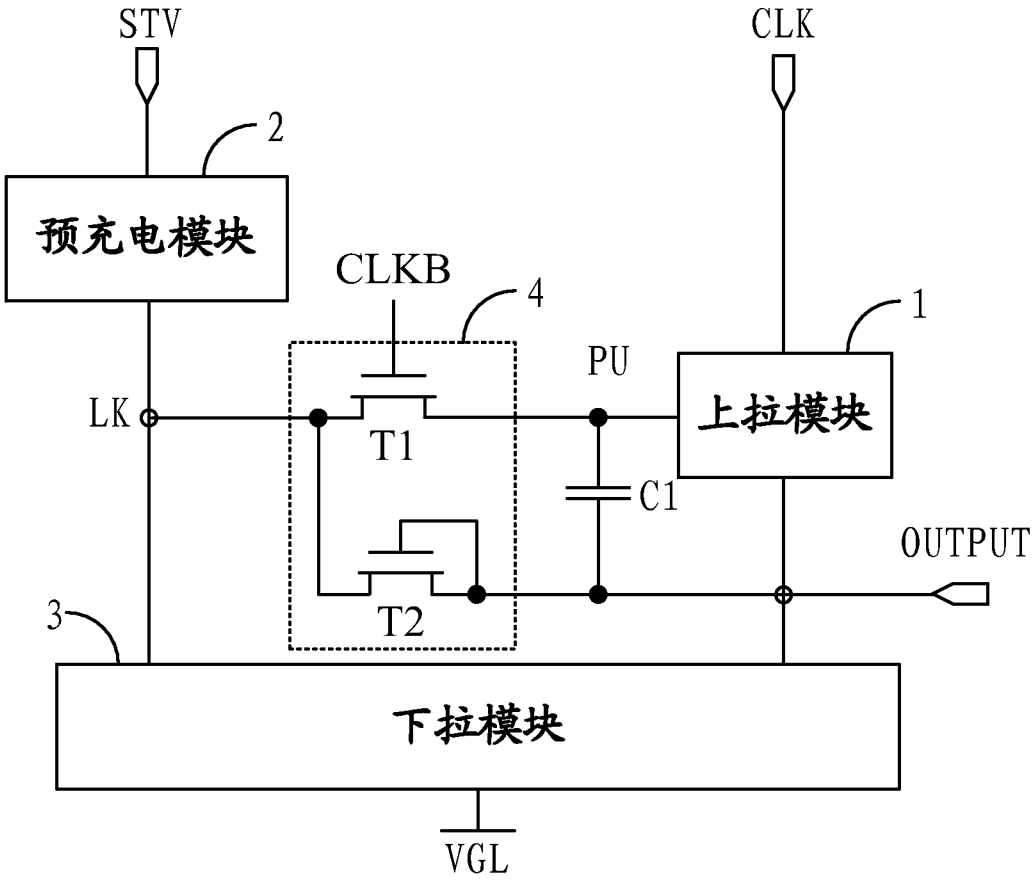

图 7

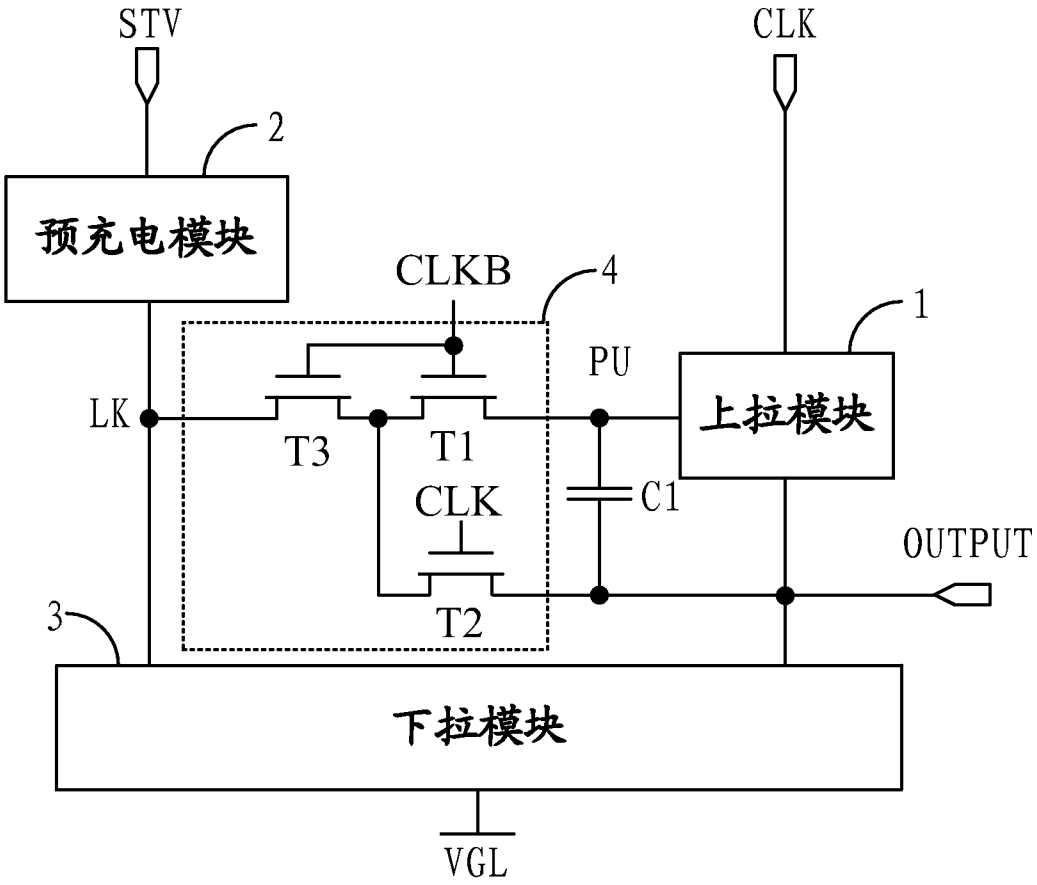
STV
CLK
2
预充电模块
CLKB
4
1
PU
LK
T3
T1
上拉模块
CLK
C1
OUTPUT
T2
3
下拉模块
VGL

图 8

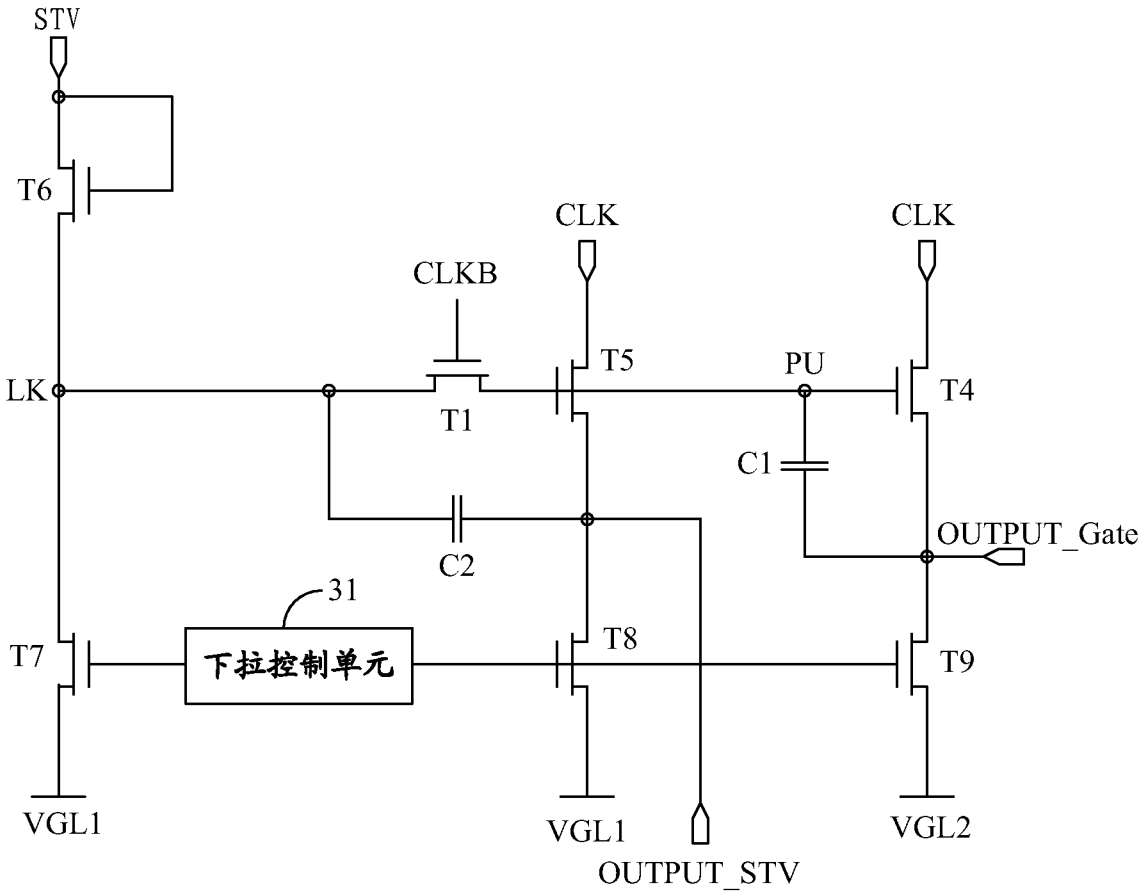
STV
T6
CLK
CLK
CLKB
T5
PU
T4
LK
T1
C1
C2
OUTPUT_Gate
31
T7
下拉控制单元
T8
T9
VGL1
VGL1
VGL2
OUTPUT_STV

图 9

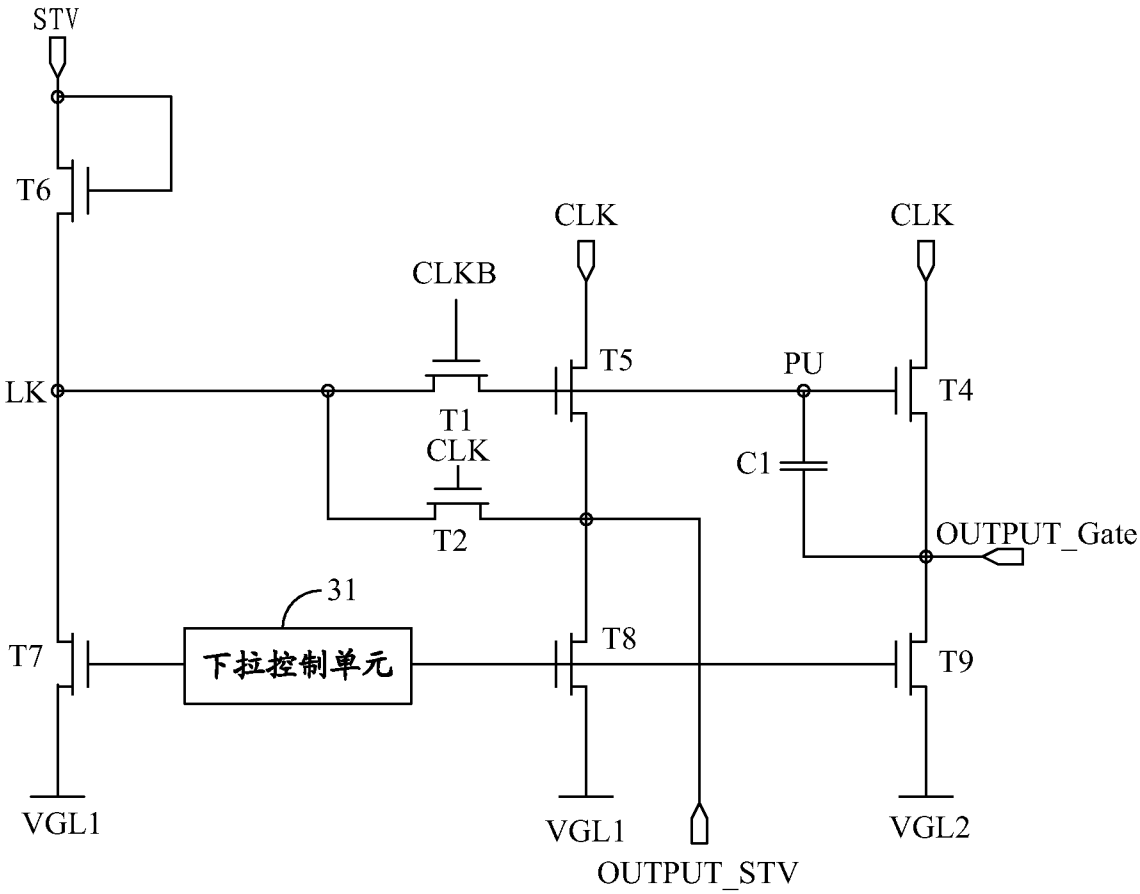
STV
T6
CLK
CLK
CLKB
T5
PU
T4
LK
T1
CLK
C1
T2
OUTPUT_Gate
31
T7
下拉控制单元
T8
T9
VGL1
VGL1
VGL2
OUTPUT_STV

图 10

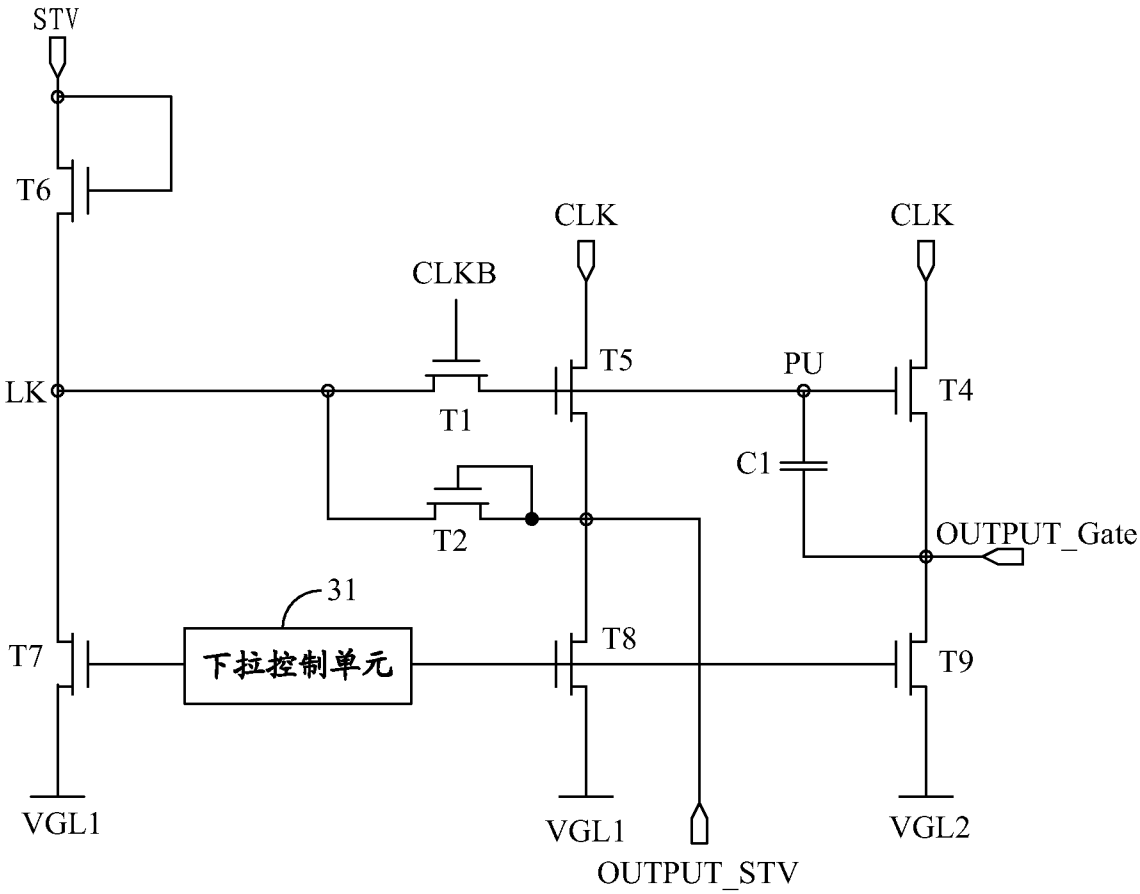
STV
T6
CLK
CLK
CLKB
T5
PU
T4
LK
T1
C1
T2
OUTPUT_Gate
31
T7
下拉控制单元
T8
T9
VGL1
VGL1
VGL2
OUTPUT_STV

图 11

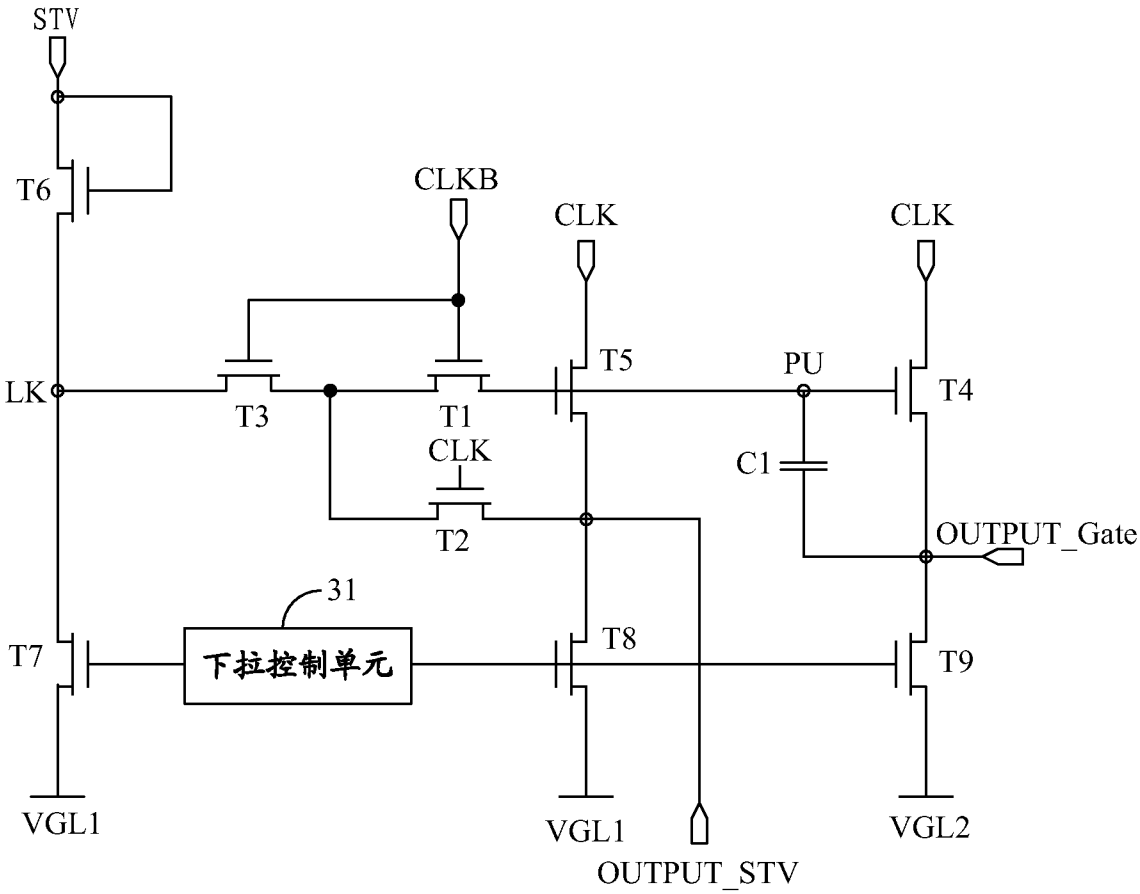
STV
T6
CLKB
CLK
CLK
LK
T3
T1
T5
PU
T4
CLK
C1
T2
OUTPUT_Gate
31
T7
下拉控制单元
T8
T9
VGL1
VGL1
VGL2
OUTPUT_STV

图 12

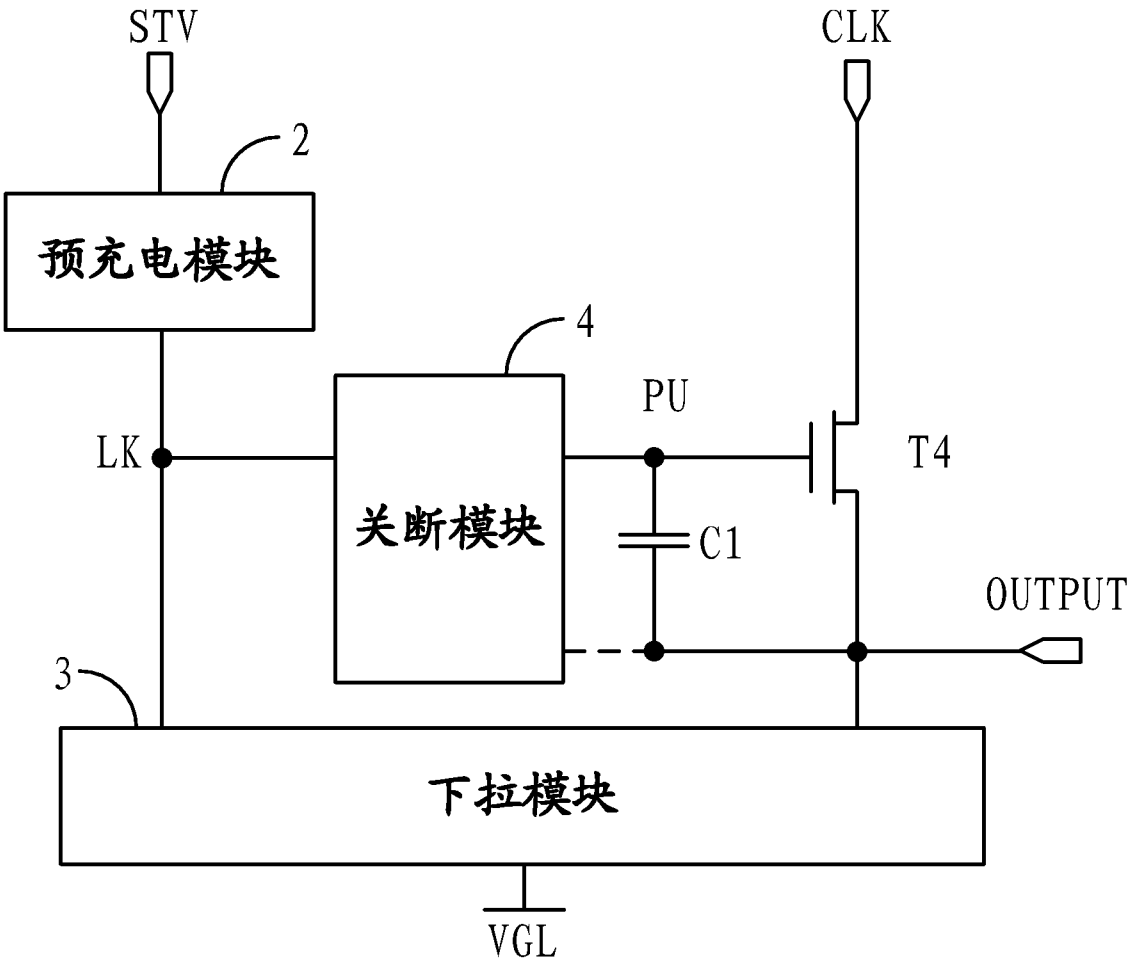

图 13

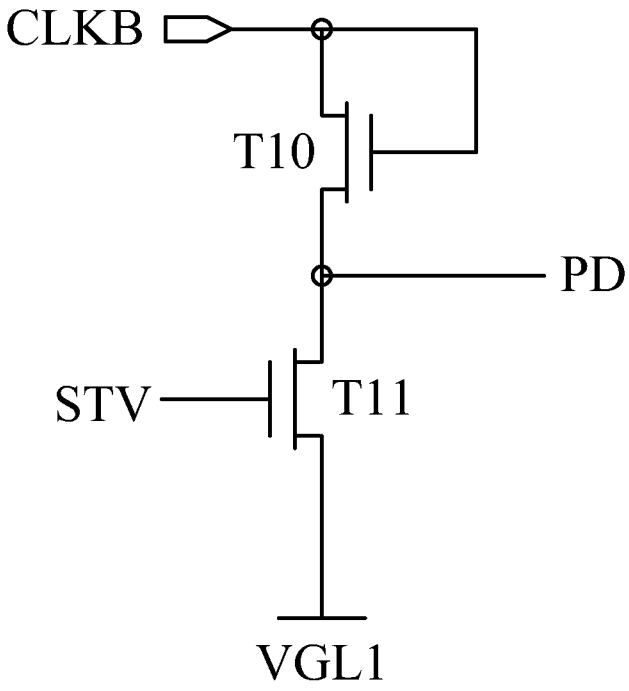

图 14

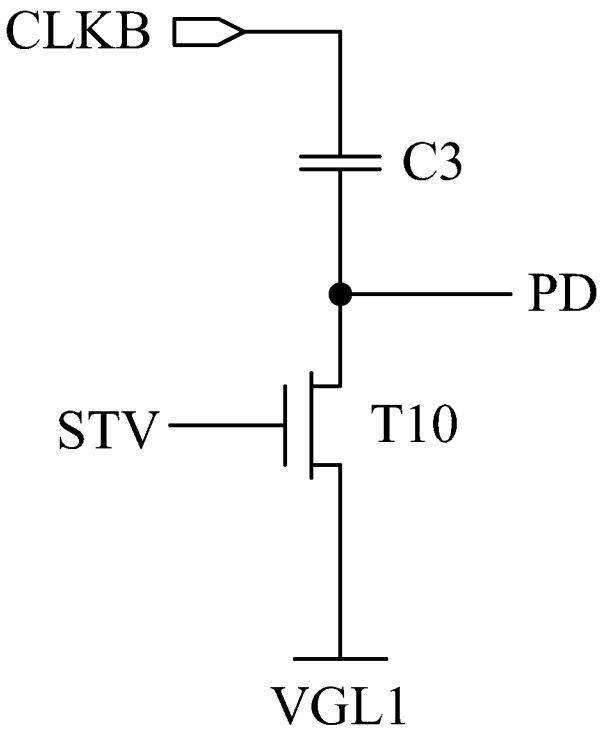

图 15

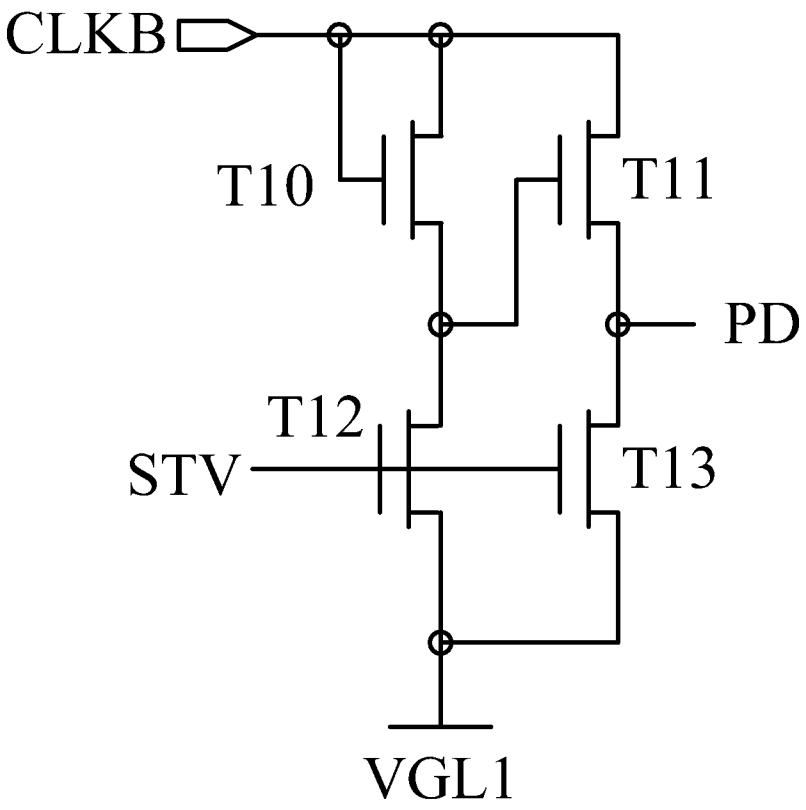

图 16

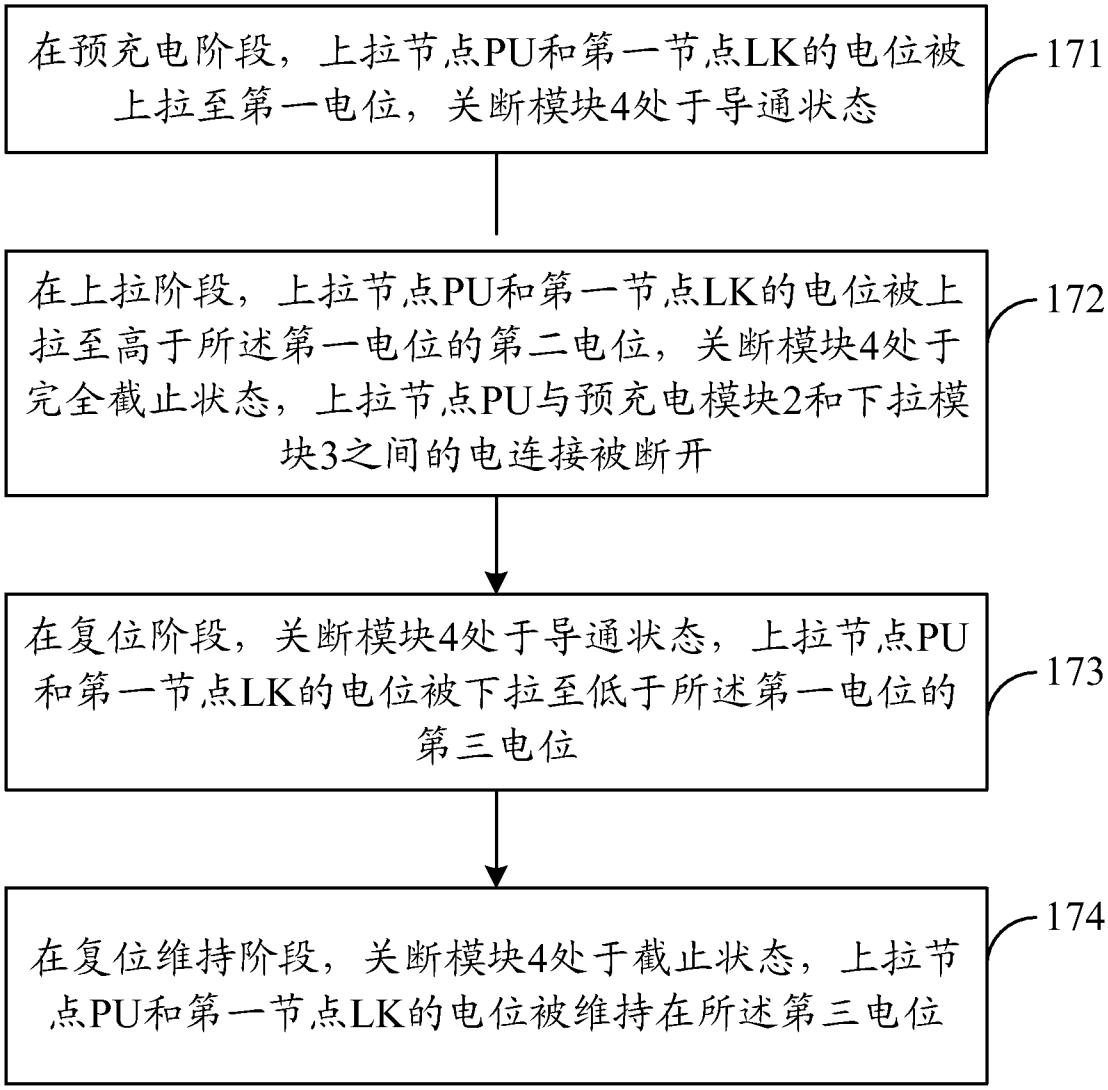
在预充电阶段，上拉节点PU和第一节点LK的电位被上拉至第一电位，关断模块4处于导通状态
171
在上拉阶段，上拉节点PU和第一节点LK的电位被上拉至高于所述第一电位的第二电位，关断模块4处于完全截止状态，上拉节点PU与预充电模块2和下拉模块3之间的电连接被断开
172
在复位阶段，关断模块4处于导通状态，上拉节点PU和第一节点LK的电位被下拉至低于所述第一电位的第三电位
173
在复位维持阶段，关断模块4处于截止状态，上拉节点PU和第一节点LK的电位被维持在所述第三电位
174

图 17

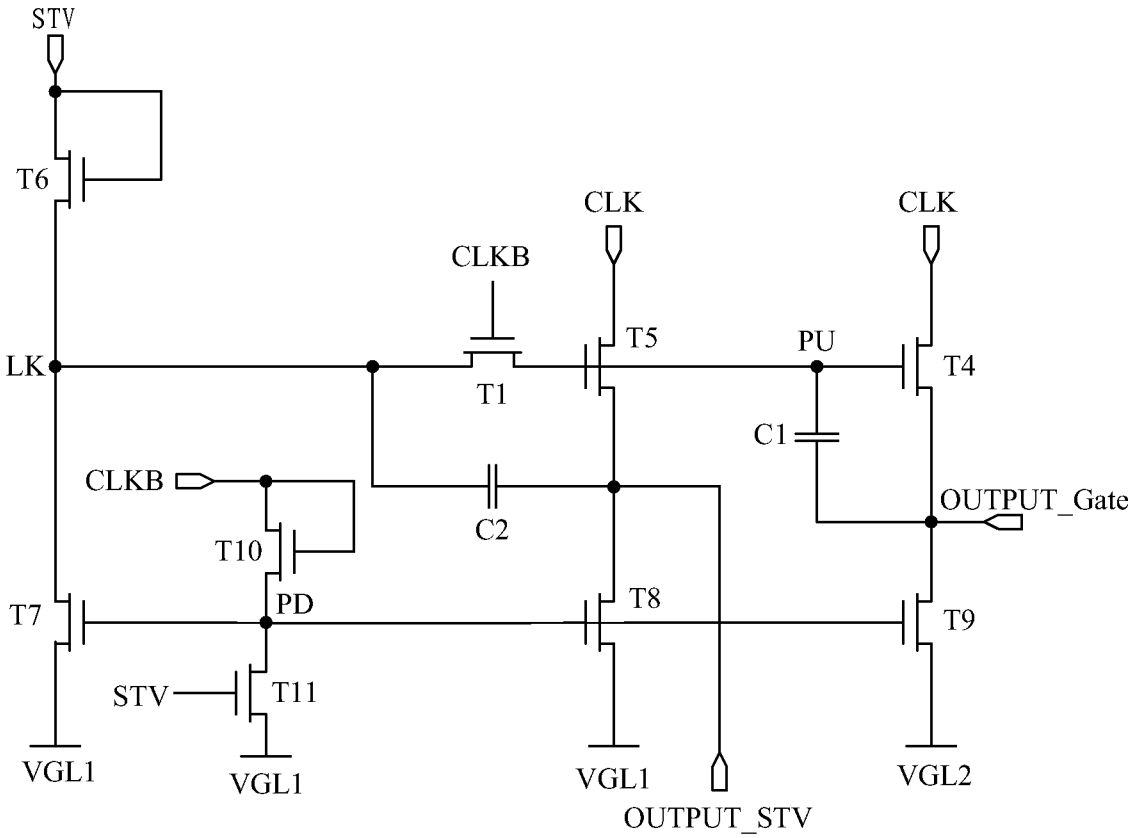
STV
T6
CLK
CLK
CLKB
T5
PU
T4
LK
T1
C1
CLKB
C2
OUTPUT_Gate
T10
T7
PD
T8
T9
STV
T11
VGL1
VGL1
VGL1
VGL2
OUTPUT_STV

图 18

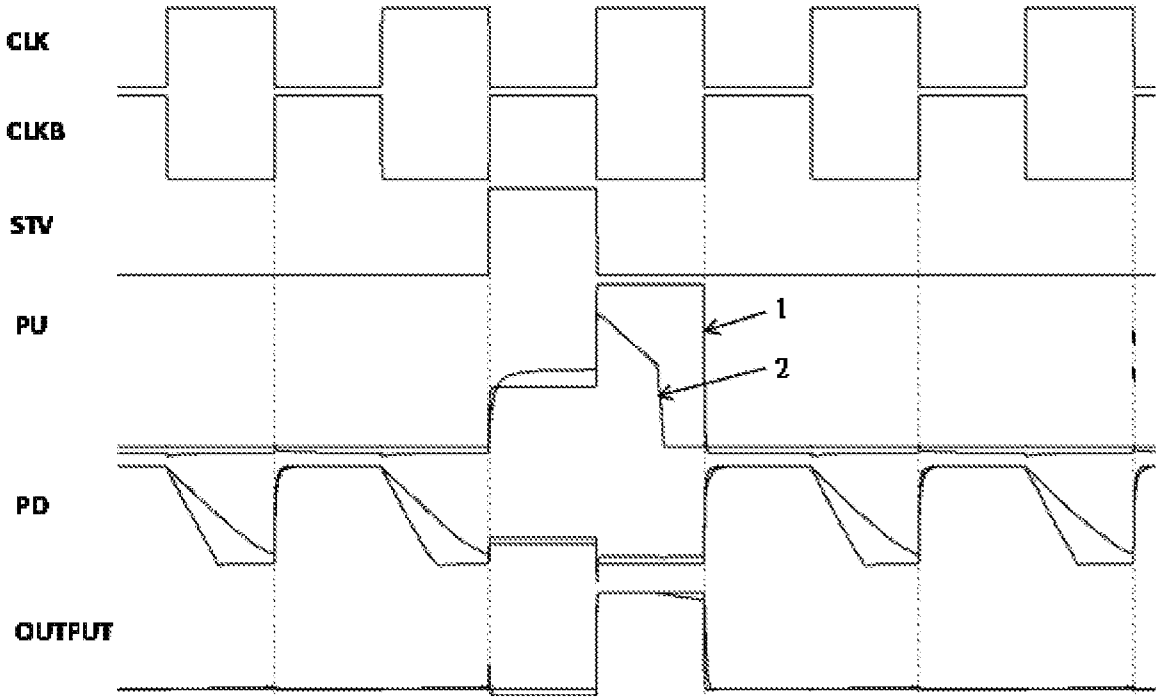

图 19

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/087574

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C 19; G09G 3; G02F 1

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN, USTXT, EPTXT, WOTXT, CATXT, GBTXT: shift, register, gate, driv+, pull+, down, up, pre?charg+, cut+, off, switch, leak+, push, buffer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 203366700 U (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 December 2013 (25.12.2013) claims 1-13, description, paragraphs [0114]-[0139], and figures 14-18	1-18
X	CN 103035218 A (BOE TECHNOLOGY GROUP CO., LTD.) 10 April 2013 (10.04.2013) description, paragraphs [0037], [0040]-[0063], [0078], [0084], [0085], and figures 2,3, 7 and 8	1, 7, 17, 18
Y	CN 103035218 A (BOE TECHNOLOGY GROUP CO., LTD.) 10 April 2013 (10.04.2013) description, paragraphs [0037], [0040]-[0063], [0078], [0084], [0085, and figures 2, 3, 7 and 8	8, 9
Y	CN 103050106 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 April 2013 (17.04.2013) description, paragraphs [0039], [0047], [0059]-[0076], and figure 3	8, 9

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 May 2014	14 May 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer CHEN, Xueyuan Telephone No. (86-10) 62411980

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/087574

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103021360 A (AU OPTRONICS CORP) 03 April 2013 (03.04.2013) description, paragraphs [0003]-[0005], and figure 3	8, 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/087574

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The same or corresponding technical features involved in claims 1 and 15 are: a shift register unit, precharging, a pull-up node, a first node, a cutting-off module switches off the electric connection between a pull-up node and a precharging mode and a pull-down node during pull-up stage. However, disclosed in the document (CN 103035218 A) are that: a shift register unit includes a pull-up module 11, a pull-down module 12, and a control module 13 comprising a clock control submodule 131, the clock control submodule 131 connects to the gate of the seventh transistor T7. When the clock signal CLKn-1 is high, the output signal of the previous stage shift register unit is high, passing to the drain and gate of a transistor T6 in present stage shift register unit by means of a transistor T4 in previous stage shift register unit, a transisor T1 is switched on, a control node Q is high at this point, and the transitor T1 is switched on, and meanwhile, the switching on of transistor T8 makes control node Z low,and thus a transistor T7 is switched off. Therefore, claims 1 and 15 do not have the same or corresponding special technical features that make a contribution over the prior art, and are not so linked as to form a single general inventive concept. The application does not meet the requirement of unity of invention as set out in PCT Rule 13.1.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/087574

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 203366700 U	25 December 2013	None	
CN 103035218 A	10 April 2013	None	
CN 103050106 A	17 April 2013	None	
CN 103021360 A	03 April 2013	US 2014103983 A1	17 April 2014

国际检索报告

国际申请号 PCT/CN2013/087574

A. 主题的分类

G11C 19/28 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C19; G09G3; G02F1

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,CNTXT,VEN,USTXT,EPTXT,WOTXT,CATXT,GBTXT:移位,位移,移向,寄存,暂存,缓存,缓冲,栅,驱动,下拉,拉低,拉降,预充,上拉,提升,拉升,上推,关断,关闭,切断,开关,漏电,shift,register,gate,driv+,pull+,down,up,pre?charg+,cut+,off,switch,leak+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
E	CN 203366700 U ((京东方科技集团股份有限公司 等)) 2013年 12月 25日 (2013-12-25) 权利要求1-13，说明书第[0114]-[0139]段，图14-18	1-18
X	CN 103035218 A ((京东方科技集团股份有限公司)) 2013年 4月 10日 (2013-04-10) 说明书第[0037]、[0040]-[0063]、[0078]、[0084]-[0085]段，图2-3、7-8	1，7，17，18
Y	CN 103035218 A ((京东方科技集团股份有限公司)) 2013年 4月 10日 (2013-04-10) 说明书第[0037]、[0040]-[0063]、[0078]、[0084]-[0085]段，图2-3、7-8	8，9
Y	CN 103050106 A ((京东方科技集团股份有限公司 等)) 2013年 4月 17日 (2013-04-17) 说明书第[0039]、[0047]、[0059]-[0076]段，图3	8，9
Y	CN 103021360 A ((友达光电股份有限公司)) 2013年 4月 03日 (2013-04-03) 说明书第[0003]-[0005]段，图3	8，9

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2014年 5月 04日	2014年 5月 14日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	受权官员 陈学元 电话号码 (86-10)62411980

国际检索报告

国际申请号
PCT/CN2013/087574

第III栏　缺乏发明单一性的意见(续第1页第3项)

本国际检索单位在该国际申请中发现多项发明，即：

[1] 权利要求1和15之间相同或相应的技术特征为：移位寄存器单元，预充电，上拉节点，第一节点，关断模块在上拉阶段断开上拉节点与预充电模块和下拉模块的电连接。然而CN103035218A公开的移位寄存器单元包括上拉模块11、下拉模块12、包括时钟控制子模块131的控制模块13，时钟控制子模块131连接第七晶体管T7的栅极。当时钟信号CLKn-1为高电平时，上一级移位寄存器单元输出信号为高电位，通过上一级移位寄存器单元的晶体管T4传输到本级移位寄存器单元的晶体管T6的漏极和栅极，使晶体管T1打开，此时控制节点Q为高电位，晶体管T1打开，同时晶体管T8打开使控制节点Z为低电位从而关闭晶体管T7。因此权利要求1和15不具有相同或相应的体现对现有技术做出贡献的特定技术特征，不存在技术关联，不属于一个总的发明构思，因此不满足发明单一性要求，不符合PCT细则13.1的规定。

[2]

[3]

1. ☐ 由于申请人按时缴纳了被要求缴纳的全部附加检索费，本国际检索报告涉及全部可作检索的权利要求。

2. ☑ 由于无需付出有理由要求附加费的劳动即能对全部可检索的权利要求进行检索，本单位未通知缴纳任何加费。

3. ☐ 由于申请人仅按时缴纳了部分被要求缴纳的附加检索费，本国际检索报告仅涉及已缴费的那些权利要求具体地说，是权利要求：

4. ☐ 申请人未按时缴纳被要求缴纳的附加检索费。因此，本国际检索报告仅涉及权利要求书中首先提及的发明；包含该发明的权利要求是：

对异议的意见

☐ 申请人缴纳了附加检索费，同时提交了异议书，适用时，缴纳了异议费。

☐ 申请人缴纳了附加检索费，同时提交了异议书，但未在通知书规定的时间期限内缴纳异议费。

☐ 缴纳附加检索费时未提交异议书。

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/087574

检索报告引用的专利文件	公布日（年/月/日）	同族专利	公布日（年/月/日）
CN 203366700 U	2013年 12月 25日	无	
CN 103035218 A	2013年 4月 10日	无	
CN 103050106 A	2013年 4月 17日	无	
CN 103021360 A	2013年 4月 03日	US 2014103983 A1	2014年 4月 17日