

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5221680号
(P5221680)

(45) 発行日 平成25年6月26日(2013.6.26)

(24) 登録日 平成25年3月15日(2013.3.15)

(51) Int.Cl.

F I

G08C 19/02 (2006.01)

G08C 19/02 301

請求項の数 15 (全 10 頁)

(21) 出願番号	特願2010-545873 (P2010-545873)	(73) 特許権者	597115727
(86) (22) 出願日	平成21年2月5日(2009.2.5)		ローズマウント インコーポレイテッド
(65) 公表番号	特表2011-511382 (P2011-511382A)		アメリカ合衆国 55317 ミネソタ州
(43) 公表日	平成23年4月7日(2011.4.7)		、チャナッセン、マーケット・ブルバード 8200
(86) 国際出願番号	PCT/US2009/000735	(74) 代理人	100092093
(87) 国際公開番号	W02009/099624		弁理士 辻居 幸一
(87) 国際公開日	平成21年8月13日(2009.8.13)	(74) 代理人	100082005
審査請求日	平成24年2月6日(2012.2.6)		弁理士 熊倉 禎男
(31) 優先権主張番号	12/069,024	(74) 代理人	100067013
(32) 優先日	平成20年2月6日(2008.2.6)		弁理士 大塚 文昭
(33) 優先権主張国	米国 (US)	(74) 代理人	100086771
			弁理士 西島 孝喜
		(74) 代理人	100109070
			弁理士 須田 洋之

最終頁に続く

(54) 【発明の名称】 デッドタイムが最小のデジタル的に補償されるプロセストランスミッタ

(57) 【特許請求の範囲】

【請求項 1】

プロセスパラメータの関数であるプロセス信号を生成するためのセンサと、
前記プロセス信号がその中でデジタル的に補償される第1の信号経路と、
前記プロセス信号の遅延が前記第1の信号経路よりも少ない第2の信号経路と、
前記第1の信号経路および前記第2の信号経路から受信された信号の関数として、トランスミッタ出力を生成するための出力回路と、を備えるプロセストランスミッタ。

【請求項 2】

前記出力回路が、前記第1の信号経路および前記第2の信号経路から前記信号を送信する、請求項1に記載されるプロセストランスミッタ。

【請求項 3】

前記第2の信号経路がバンドパスフィルタを含む、請求項1に記載されるプロセストランスミッタ。

【請求項 4】

前記バンドパスフィルタのパラメータが、検知された前記パラメータに対する前記トランスミッタ出力のユーザが設定した感度の関数として制御される、請求項3に記載されるプロセストランスミッタ。

【請求項 5】

前記バンドパスフィルタのパラメータが、ユーザ選択可能な減衰の関数として制御される、請求項1に記載されるプロセストランスミッタ。

10

20

【請求項 6】

前記第 2 の信号経路が、前記センサと前記出力回路との間に選択可能に接続できる、請求項 1 に記載されるプロセストランスマッタ。

【請求項 7】

前記プロセス信号をアナログからデジタルに変換するためのアナログ - デジタルコンバータをさらに備える、請求項 1 に記載されるプロセストランスマッタ。

【請求項 8】

前記第 1 および第 2 の信号経路が、前記アナログ - デジタルコンバータと前記出力回路との間に接続され、

前記第 1 の信号経路が、デジタルローパスフィルタおよびデジタルプロセッサを含み
前記デジタルプロセッサが、周囲温度、線形性およびライン圧力のうち少なくとも 1 つについて前記プロセス信号を補償する、請求項 7 に記載されるプロセストランスマッタ。

10

【請求項 9】

前記プロセス信号をデジタル化するためのアナログ - デジタルコンバータと、
前記デジタル化されたプロセス信号をデジタル的に補償するための、前記第 1 の信号経路としてのデジタルプロセッサと、

前記アナログ - デジタルコンバータからの前記デジタル化されたプロセス信号をフィルタリングするための、前記第 2 の信号経路としてのバンドパスフィルタと、
を備える請求項 1 に記載されるプロセストランスマッタ。

【請求項 10】

20

前記出力回路が、前記デジタル的に補償されたプロセス信号と前記フィルタリングされたプロセス信号とを加算する、請求項 9 に記載されるプロセストランスマッタ。

【請求項 11】

前記出力回路が、前記トランスマッタ出力としてアナログ出力信号を生成する、請求項 9 に記載されるプロセストランスマッタ。

【請求項 12】

前記デジタルプロセッサが、前記バンドパスフィルタの 1 つまたは複数のパラメータを制御する、請求項 9 に記載されるプロセストランスマッタ。

【請求項 13】

前記デジタルプロセッサが、検知された前記パラメータに対する前記トランスマッタ出力のユーザが設定した感度の関数として前記バンドパスフィルタのパラメータを制御するか、あるいは、

30

ユーザ選択可能な減衰の関数として前記バンドパスフィルタのパラメータを制御する、請求項 12 に記載されるプロセストランスマッタ。

【請求項 14】

前記デジタルプロセッサが、前記バンドパスフィルタリングされたプロセス信号が前記出力回路に供給されるかどうかを制御する、請求項 9 に記載されるプロセストランスマッタ。

【請求項 15】

前記アナログ - デジタルコンバータと前記デジタルプロセッサとの間に接続されるデシメーションデジタルローパスフィルタをさらに備える、請求項 9 に記載されるプロセストランスマッタ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プロセストランスマッタに関する。具体的には、本発明は、改良された動的性能とともにデジタル補償を特徴とするプロセストランスマッタである。

【背景技術】

【0002】

プロセストランスマッタは、差圧、ゲージ圧、絶対圧、流体流れ、液位、温度、pH な

50

どのような工業的なプロセスパラメータ（またはプロセス変数）を監視するために使用される。最近の高性能のプロセストランスミッタは、全誤差を低くするためにデジタル信号補償を使用する。補償されていないプロセス信号は、アナログ - デジタル（A/D）コンバータを使用してデジタル化され、デジタル補償のためにホストマイクロコントローラに送られる。また、周囲温度情報もデジタル化され、温度補償を目的としてホストコントローラに送られる。工場キャラクライゼーションは、デバイス出力を非常に線形とし、温度補償することができるようにする補正係数を生成し、それにより静的入力条件に対する全誤差が非常に小さくなる。

【0003】

このデジタル補償スキームの1つの結果として、動的性能が犠牲となっていた。デジタル補償プロセスだけでなくA/Dプロセスにより、かなりの量のデッドタイムがトランスミッタに加えられる。デジタル補償を有する典型的なプロセストランスミッタのデッドタイムは、100ミリ秒から500ミリ秒に及ぶことがある。パルプ/ペーパーヘッドヘッドボックス圧力制御のような高速制御ループを必要とするアプリケーションまたは緊急停止アプリケーションについて、デッドタイムが問題となる場合がある。

10

【0004】

プロセストランスミッタは、1970年代まで遡ると、本来全てアナログであった。A/Dコンバータおよびデジタルプロセッサがないので、これらのデバイスは、デッドタイムが実質的になく、動的入力信号に対して非常に迅速に応答した。残念ながら、今日の標準的な性能に比べると、それらの全性能は乏しい。

20

【0005】

デジタル的に補償されるデバイスの静的性能とデッドタイムがない全てアナログのデバイスの動的性能とを提供するプロセストランスミッタが必要である。

【発明の概要】

【0006】

本発明の一態様において、プロセッサトランスミッタは、センサと、第1および第2の信号経路と、第1および第2の信号経路からの信号の関数としてトランスミッタ出力を生成する出力回路とを含む。第1の信号経路は、センサによって生成されたプロセス信号をデジタル的に補償するが、第2の信号経路は、プロセス信号をデジタル的に補償せず、あるいは、前記第1の信号経路よりも遅延が少ないプロセス信号を補償する。

30

【0007】

もう一つの態様では、プロセストランスミッタは、プロセスセンサと、アナログ - デジタルコンバータと、デジタル的に補償されたプロセス信号を生成するデジタル信号プロセッシングと、前記アナログ - デジタルコンバータの出力の一部分を通過させて高速度デジタル信号を生成するためのバンドパスフィルタとを含む。出力回路は、前記デジタルプロセッサからのデジタル的に補償された信号およびバンドパスフィルタからの高速度信号の関数としてトランスミッタ出力を生成する。

【図面の簡単な説明】

【0008】

【図1】先行技術のデジタル的に補償されるプロセストランスミッタのブロック図である。

40

【図2】デジタル補償および拡張された動的性能を有するプロセストランスミッタのブロック図である。

【図3】図1の先行技術のプロセストランスミッタのモデルを示す図である。

【図4】ステップ入力への図3でモデル化された先行技術のトランスミッタの応答を示す時間の関数として標準化された出力のプロットである。

【図5】図2のプロセストランスミッタのモデルを示す図である。

【図6】図5でモデル化されたような図2のトランスミッタに対する時間の関数としての標準化された出力のプロットである。

【図7】図2のプロセストランスミッタに対する周波数の関数としての標準化された応答

50

のグラフである。

【発明を実施するための形態】

【0009】

図1は、典型的なデジタル的に補償されたプロセストランスミッタ10のブロック図を示し、このプロセストランスミッタ10は、プロセスセンサ12、アナログ-デジタル(A/D)シグマデルタ変調器14、デシメーティングデジタルローパスフィルタ16、ホストプロセッサ18、周囲温度センサ20、アナログ-デジタル(A/D)コンバータ22、デジタル-アナログ(D/A)コンバータ24および出力回路26を含む。

【0010】

プロセスセンサ12は、差圧、絶対圧、ゲージ圧、流体温度、液位、流量などのようなプロセス変数の関数として変化するプロセス信号を生成する。プロセスセンサ12からのプロセス信号は、A/Dシグマデルタ変調器14によってデジタル化される。シグマデルタ変調器14の出力は、高速度で低分解能の信号である。たとえば、シグマデルタ変調器14からのデジタル化されたプロセス信号は、高速度の1ビットデータストリームであり得る。

【0011】

デシメーティングデジタルローパスフィルタ16は、シグマデルタ変調器14からのデジタル化されたプロセス信号のデータレートを低減し、信号内に存在するノイズのほとんど全てを除去する。ローパスフィルタリングされたデジタル化されたプロセス信号は、デジタル補償のためにホストプロセッサ18に提供される。

【0012】

ホストプロセッサ18は典型的にはマイクロプロセッサであり、デジタル化されたプロセス信号を線形化し、温度補償するために補正アルゴリズムを実行する。温度補償は、周囲温度センサ20からの周囲温度信号に基づき、この周囲温度信号は、A/Dコンバータ22によってデジタル化され、ホストプロセッサ18に提供される。また、ライン圧力補償も行われる。プロセス信号は、ユーザ較正スパンに適合するように、ホストプロセッサ18によって所望の出力伝達関数に対してスケールリングされる。

【0013】

図1に示されるプロセストランスミッタ10において、ホストプロセッサ18からの補償およびスケールリングされたプロセス信号は、D/Aコンバータ24により、アナログ信号へ変換される。出力回路26は、感知されたプロセス変数の関数であるアナログ出力を提供するために、2ワイヤループを用いてプロセストランスミッタ10とインターフェースする。プロセストランスミッタ10が2ワイヤループに接続される典型的なシステムでは、アナログ出力は、4ミリアンペア(ゼロ)から20ミリアンペア(フルスケール)まで変化することができる。プロセストランスミッタ10によって提供されたデジタル補償により、トランスミッタ出力を、非常に線形にするだけでなく温度補償することができ、それにより、静的入力状態について全誤差が非常に小さくなる。アナログプロセス信号のデジタル信号への変換し、それに続いて、プロセス変数を線形化し、温度補償し、かつ、スケールリングするためのデジタル補償することにより、ある量のデッドタイムが生成される。

【0014】

図2は、プロセストランスミッタ30のブロック図であり、このプロセストランスミッタ30は、拡張された動的性能とともにデジタル補償を提供する。この実施形態では、プロセストランスミッタ30は、プロセスセンサ12、A/Dシグマデルタ変調器14、デシメーティングデジタルローパスフィルタ16、ホストプロセッサ18、周囲温度センサ20、A/Dコンバータ22、D/Aコンバータ24および出力回路26のような、トランスミッタ10と同じ多くのコンポーネントを含む。さらに、トランスミッタ30は、バンドパスフィルタ32を含み、このバンドパスフィルタ32は、A/Dシグマデルタ変調器14の出力と出力回路26との間に配置される。その結果、高速度データに対して追加の信号経路が、A/Dシグマデルタ変調器14(すなわち、デジタル化されたプロセス信

10

20

30

40

50

号)から出力回路26へ提供される。シグマデルタ変調器14からのデジタル化されたプロセス信号はデッドタイムが実質的になく、さらに非常に高速である。プロセスセンサ12として静電容量型圧力センサを用いると、動的プロセス外乱に対するシグマデルタ変調器14の出力時のデジタル化されたプロセス信号の応答時間は、シグマデルタ変調器14ではなく、機械センサシステムの応答時間によって決定することができる。たとえば、静電容量型センサは、20ミリ秒程度の時定数を有することができるが、A/Dシグマデルタ変調器14の時定数は5ミリ秒未満である。

【0015】

バンドパスフィルタ32は、デジタル化されたプロセス信号の一部を、直接、A/Dシグマデルタ変調器14から出力回路26へと通し、それにより、トランスミッタ出力が高速信号に固有の高速応答が引き継がれる。バンドパスフィルタ32の高周波数遮断は、高速信号の所望の部分を通すが、対象となる周波数より上に存在するノイズは遮断するように設定される。バンドパスフィルタ32の低周波数遮断は、プロセストランスミッタ30の周波数応答全体が望ましい範囲になるように設定される。出力回路26は、ホストコンピュータ18およびD/Aコンバータ24からの補償およびスケーリングされたプロセス信号(すなわち「遅い」信号経路)と、バンドパスフィルタ32によってフィルタリングされたデジタル化されたプロセス信号(すなわち「速い」信号経路)との両方の関数として、トランスミッタ出力を生成する。たとえば、出力回路26は、ホストプロセッサ18からの精度の高い低速度情報と、バンドパスフィルタ32からの精度の低い高速度情報とを合計することができる。必要に応じて、この2つの信号経路からの情報に、異なる重みを与えることができる。最終的には、静的精度が優れ、動的応答が優れた(すなわち、デッドタイムが最小で応答が速い)トランスミッタ出力が得られる。

【0016】

いくつかの実施形態では、デジタル補償によって提供された静的性能、またはバンドパスフィルタ32からの高速信号を含むことによって達成される拡張された性能のいずれかを選択する能力を有することが望ましい場合がある。それらの実施形態では、A/Dシグマデルタ変調器14と出力回路26との間(バンドパスフィルタ32の上流または下流のいずれか)の高速つまり速い信号経路中に、スイッチを提供することができる。このスイッチは、ソフトウェア制御の下で、ホストプロセッサ18を介してイネーブルまたはディスイネーブルすることができる。したがって、プロセストランスミッタ30は、バンドパスフィルタ32を含む速い信号経路からの高速信号とホストプロセッサ18を含む遅い信号経路からのデジタル的に補償された信号との両方を使用することによって、デジタル的に補償されるシステムの静的性能または拡張された動的性能を提供するように、ソフトウェア制御の下で構成することができる。

【0017】

バンドパスフィルタ32は、アナログドメインまたはデジタルドメインのいずれかにおいて実施することができる。シグマデルタ変調器14によって生成された高速データについては、変調器14の出力が、アナログ信号とデジタル信号の両方として働く。その結果、バンドパスフィルタ32を用いて、アナログフィルタ手法またはデジタルフィルタ手法のいずれかをとることができる。高速プロセス信号を厳密にデジタルまたは厳密にアナログの性質とすることができるその他の測定システムについては、バンドパスフィルタ32は、高速プロセス信号の性質に適合するように設計される。

【0018】

アナログフィルタは、非常に効率的であり得る。バンドパスフィルタ32に必要とされるバンドパス機能を提供するため必要とされるのは、少数のレジスタおよびキャパシタのみである場合がある。

【0019】

プロセストランスミッタはしばしば、レンジダウン設定能力、すなわち、検知されたプロセスパラメータに対するトランスミッタ出力の感度を設定するためのユーザの能力を含む。プロセストランスミッタ30内にレンジダウン設定能力を提供するためには、拡張さ

10

20

30

40

50

れた動的応答がデジタル的に補償された信号を発生させるために使用される任意のレンジダウンファクタで作動できるように、同様のスケーリング特徴がバンドパスフィルタ32内に含まれなければならない。ホストプロセッサ18は、所望の応答を達成するために、トランスミッタ30のレンジダウンファクタにしたがってバンドパスフィルタ32の利得を設定する。バンドパスフィルタ32内のプログラム可能な利得関数は、バンドパスフィルタ32がアナログタイプのフィルタである場合、たとえば演算増幅器およびその他のサポート回路を用いて実施することができる。デジタルバンドパスフィルタリングを使用する実施形態では、バンドパスフィルタ32は、典型的には、速い信号経路からのアナログの「速い」信号が、遅い信号経路のD/Aコンバータ24からのアナログの遅い信号と出力回路26で結合することができるように、高速度D/Aコンバータとあわせてデジタル

10

【0020】

プロセストランスミッタ30はまた、様々なレベルに設定することができるユーザ選択可能なトランスミッタダンピングを含むことができる。実際には、これにより、遅い信号に関して、補償された経路の時定数を変えることができる。選択可能なダンピングの効果は、ユーザダンピングの関数としてバンドパスフィルタ32の構成を変えることによって適合させることができる。ホストプロセッサ18は、ユーザによって選択されたトランスミッタダンピングの関数として、バンドパスフィルタ32の構成を制御することができる。

20

【0021】

バンドパスフィルタ32を通過するデジタル化されたプロセス信号は、ホストプロセッサ18によって実行されるデジタル補償を迂回するので、バンドパスフィルタ32からの信号の精度が、いくらか損なわれることになる。しかしながら、DCで（またはDCの近くで）バンドパスフィルタ32を通過する信号は全くないので、トランスミッタ30の静的精度が影響を受けることはない。トランスミッタ30に関する基準精度検査および温度影響検査は、動的性能の改良が提供されていないトランスミッタ10のようなデバイスと実質的に同じ性能を与えるべきである。

【0022】

しかしながら、トランスミッタの出力に到達するデジタル化されたプロセス信号の補償されていない部分に起因して、動的信号の精度は損なわれることになる。トランスミッタ出力を統合する応用例では、考慮する必要がある精度上の問題が存在する場合がある。

30

【0023】

多くの場合における高速度デジタル化されたプロセス信号は、比較的ノイズが多い。バンドパスフィルタ32は、このノイズの大部分を除去するが、複合アナログ出力ノイズが増加し得る可能性がある。近年の測定システムは、測定ノイズと応答時間または遅延との間のトレードオフを提供するものが多い。これは、その種のトレードオフのさらに別の例である。

【0024】

高速度経路によって引き起こされる精度またはノイズの劣化が望ましくない場合、次いで、先に記載したスイッチメカニズムを使用して、高速度信号経路をディスエーブルすることができる。次いで、トランスミッタ30は、図1に示された従来のアーキテクチャに戻る。

40

【0025】

コンピュータベースのシミュレーションを使用して、図1のデジタル的に補償されるプロセストランスミッタ10の性能を、図2の拡張された性能のプロセストランスミッタ30と比較した。コンピュータシミュレーションは、Matlab Simulinkを使用して行われた。

【0026】

図3は、図1の先行技術のデジタル的に補償されるプロセストランスミッタ10のモデ

50

ルであるモデル 10 M を示す。モデル 10 M は、ステップブロック 40、デッドタイムブロック 42 およびローパスブロック 44 を含む。

【0027】

モデル 10 M において、入力ステップブロック 40 によって表されるステップであり、時間ゼロにおける初期値が 0 であり、シミュレーションの持続時間の間、値「1」に増える。デッドタイムブロック 42 は、100 ミリ秒の単純な遅延を入力に加える。ローパスブロック 44 は、ローパスフィルタを信号に印加する。この場合、フィルタ時定数 τ は、1.6 Hz のローパス遮断周波数 f_c に対応する 100 ミリ秒に設定される。モデル 10 M の時間ドメイン応答は、図 4 に示される。

【0028】

図 5 に示されるモデル 30 M は、図 2 の拡張されたプロセストランスミッタ 30 のモデルである。モデル 10 M とモデル 30 M に共通するモデル 10 M の要素（ステップ 40、デッドタイム 42 およびローパス 44）が図 5 に示される。これらの要素は、遅い信号経路を形成して、図 5 で「遅い」と記された遅い精度保証された信号を生成する。

【0029】

高速度つまり速い信号経路は、モデル 30 M にも含まれる。図 2 のバンドパスフィルタ 32 は、ローパスブロック 46 およびハイパスブロック 48 によってモデル化される。

【0030】

ローパスブロック 46 の利得は 1.25 であり、時定数 τ は 100 ミリ秒であり、遮断周波数 f_c は 1.6 Hz である。実際には、これは、プロセスセンサ 12 の機械的ダンピングの影響を受けるシグマデルタ変調器 14 の出力となる。

【0031】

ハイパスブロック 48 は、遮断周波数 f_c が 2.12 Hz を上回る信号を通過させる。ハイパスブロック 48 の時定数 τ は 75 ミリ秒である。ハイパスブロック 48 を最適化して、望ましいアナログ出力特性が達成される。

【0032】

ローパスブロック 46 とハイパスブロック 48 は一緒に、中心周波数が 1.8377 Hz であるバンドパスフィルタを生成する。通過帯域利得は 0.5357 であり、Q は 0.4949 である。

【0033】

遅い（すなわち、デジタル的に補償された信号）経路の出力は遅い信号 50 であり、速い（すなわち、高速度の補償されていない）信号経路の出力は速い信号 52 である。加算器 54 は、遅い信号 50 と速い信号 52 を結合させて、アナログ出力 56 を生成する。加算器 54 は、トランスミッタ 30 の出力回路 26 の機能をモデル化する。

【0034】

トランスミッタモデル 30 M のステップ応答が図 6 に示される。遅い信号波形 50 は、図 4 と同じ応答を示す。図 6 に示された速い信号波形 52 は、ローパスフィルタブロック 46 およびハイパスフィルタブロック 48 によってモデル化されるバンドパスフィルタ 32 の応答を示す。速い信号経路にはデッドタイムがないので、速い信号 52 はステップブロック 40 からのステップ入力に直ちに応答する。しかしながら、100 ミリ秒の時点で、バンドパス応答はピークに達し、速い信号 52 は減衰し始める。遅い信号経路のデッドタイムが終了したときに、遅い信号 50 が上昇し始めるように設計される。

【0035】

アナログ出力 56 は、遅い信号 50 と速い信号 52 を合計することによって形成された複合信号である。アナログ出力信号 56 は、0 から 100 ミリ秒までは速い信号 52 に追従し、次いで、速い信号 52 が、約 500 ミリ秒から 700 ミリ秒で減衰するまで速い信号 52 から遅い信号 50 へと遷移する。それに続いて、アナログ出力 56 は遅い信号 50 に追従する。

【0036】

図 7 は、モデル化されたプロセストランスミッタ 30 M の振幅周波数応答を表すグラフ

10

20

30

40

50

である。モデル 30M は線形要素で構成されるので、正弦波入力に対する応答も正弦波となる。図 7 からいくつかの考察が可能である。

【 0037 】

第一に、1.6 Hz の周波数における振幅応答は約 0.7 である。これは、モデル 30M における 1.6 Hz ローパスブロック 44 および 46 に関連する。1.6 Hz 未満では、減衰がほとんどまたは全くない。

【 0038 】

第二に、ピーキングは約 10 Hz で起こる。これは、遅い信号経路のデッドタイム遅延が入力信号の周期に整合する場合である。速い信号経路に対して遅い信号経路において 360 度位相シフトさせると、それにより、2 つの信号が同期して合計される。このピーキングが存在せず、モデル 30M で（したがってトランスミッタ 30 で）使用されるフィルタ構造をさらに詳細にすることによって、ピークが除去されるのが理想的である。

【 0039 】

本発明のプロセストランスミッタは、デッドタイムを低減または除去する改良された動的性能を提供しつつ、デジタル的に補償されるトランスミッタの静的性能を提供する。デジタル的に補償される遅い信号経路だけでなく速い信号経路を提供し、速い信号経路と遅い信号経路の両方からの信号を使用してトランスミッタ出力を発生させることによって、プロセストランスミッタは、従来のアナログプロセストランスミッタの動的性能に近似する動的性能を提供しつつ、デジタル的に補償されるプロセストランスミッタの全性能を維持する。

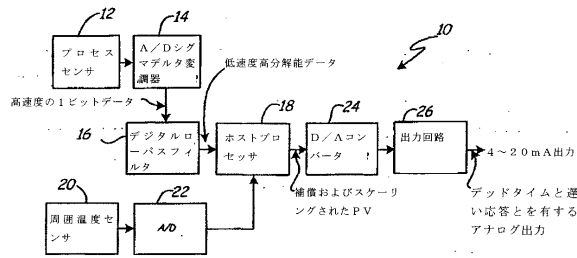
【 0040 】

上記に論じられた諸実施形態では、ハイパスフィルタ 32 のみを含む速い信号経路が示される。他の実施形態では、速い信号経路は、動的精度の劣化を低減するために、速い信号の補償も含んでもよい。この補償は、遅い信号経路で使用するデジタル補償アルゴリズムよりもより容易かつより速く実行される単純な補償アルゴリズムによって提供することができる。たとえば、遅い信号経路よりも 10 倍速いアップデートを生成する速い信号経路について検討されたい。速い信号経路内の信号上でホストプロセッサ 18 によって（たとえば、バンドパスフィルタ 32 によってフィルタリングされた後で）実行される単純な補償アルゴリズムは、動的精度の劣化がより少ない改良された動的性能を提供することができる。

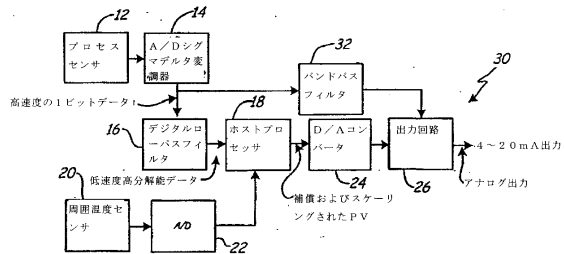
【 0041 】

好ましい諸実施形態を参照して本発明を記載してきたが、本発明の趣旨および／または範囲から逸脱することなく形式的におよび詳細に変更を成し得ることが、当業者は理解するであろう。

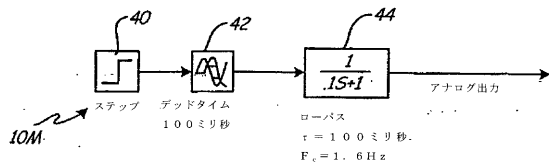
【図 1】



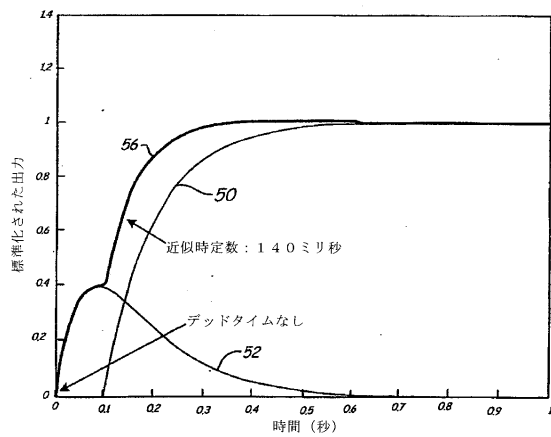
【図 2】



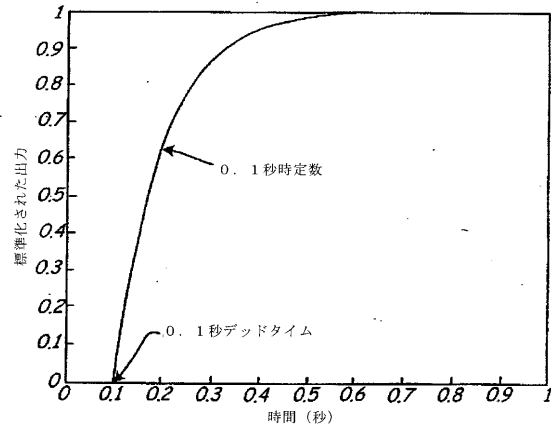
【図 3】



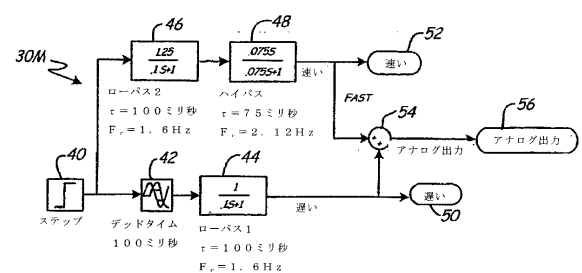
【図 6】



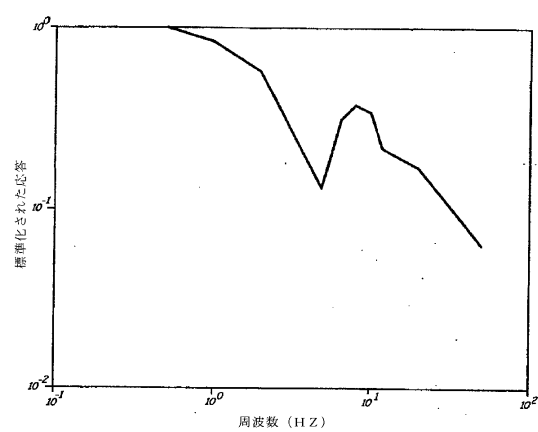
【図 4】



【図 5】



【図 7】



フロントページの続き

(74)代理人 100109335

弁理士 上杉 浩

(74)代理人 100120525

弁理士 近藤 直樹

(72)発明者 シュルテ ジョン ボール

アメリカ合衆国 ミネソタ州 55344-3695 エデン プレイリー テクノロジー ドラ
イヴ 12001 ローズマウント インコーポレイテッド内

(72)発明者 トリンブル スティーヴン リチャード

アメリカ合衆国 ミネソタ州 55344-3695 エデン プレイリー テクノロジー ドラ
イヴ 12001 ローズマウント インコーポレイテッド内

(72)発明者 レラー トロイ マイケル

アメリカ合衆国 ミネソタ州 55344-3695 エデン プレイリー テクノロジー ドラ
イヴ 12001 ローズマウント インコーポレイテッド内

審査官 井上 昌宏

(56)参考文献 米国特許出願公開第2007/0043451(US, A1)

特開昭61-103335(JP, A)

特開2006-171935(JP, A)

特開2007-323450(JP, A)

特開2008-118271(JP, A)

(58)調査した分野(Int.Cl., DB名)

G08C13/00~25/04

H04B7/24~7/26; H04Q7/00~7/04

H04M3/00; 3/16~3/20; 3/38~3/58; 7/00~7/16; 11/0
0~11/10

G06F13/00