



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0067990  
(43) 공개일자 2016년06월14일

(51) 국제특허분류(Int. Cl.)  
**H04L 1/20** (2006.01) **H04L 1/24** (2006.01)  
**H04L 25/02** (2006.01) **H04L 25/49** (2006.01)  
**H04L 5/20** (2006.01) **H04L 7/04** (2006.01)

(52) CPC특허분류  
**H04L 1/205** (2013.01)  
**H04L 1/206** (2013.01)

(21) 출원번호 10-2016-7011742

(22) 출원일자(국제) 2014년10월07일

심사청구일자 없음

(85) 번역문제출일자 2016년05월03일

(86) 국제출원번호 PCT/US2014/059548

(87) 국제공개번호 WO 2015/054297

국제공개일자 2015년04월16일

(30) 우선권주장

61/888,611 2013년10월09일 미국(US)

14/507,702 2014년10월06일 미국(US)

(71) 출원인  
**퀄컴 인코포레이티드**  
 미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

(72) 발명자  
**와일리 조지 앤런**  
 미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
**이 철규**  
 미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

(74) 대리인  
**특허법인코리아나**

전체 청구항 수 : 총 30 항

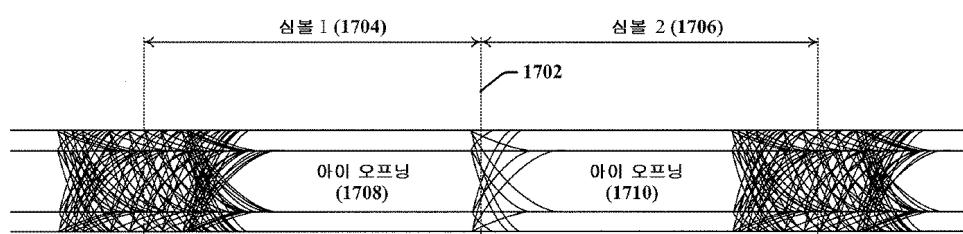
(54) 발명의 명칭 **심볼 트랜지션에 기초한 아이 패턴 트리거링**

### (57) 요 약

멀티 와이어, 멀티 위상 통신 링크들과 관련된 테스트들 및 측정들을 용이하게 하는 시스템, 방법들 및 장치들이 기재된다. 정보는 N-위상 구성 인코딩된 심볼들에서 송신되고, 이 심볼들에 대응하는 아이 패턴은 심볼들을 샘플링하기 위해 사용된 클록 에지에 대응하는 각각의 심볼에 대한 트리거와 정렬되도록 생성된다. 아이 패턴은 통신 링크들에서 충분한 양의 셋업 시간들 및 통신 채널 능력들을 정의하는 다른 특성들을 정의하기 위해 사용될 수도 있다.

### 대 표 도

1700 ↗



(52) CPC특허분류

*HO4L 1/247* (2013.01)

*HO4L 25/0272* (2013.01)

*HO4L 25/0282* (2013.01)

*HO4L 25/0294* (2013.01)

*HO4L 25/0298* (2013.01)

*HO4L 25/4917* (2013.01)

*HO4L 5/20* (2013.01)

*HO4L 7/042* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

통신 링크를 분석하기 위한 방법으로서,

통신 링크로부터 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 발생 트랜지션에 대응하는 트리거를 결정하는 단계; 및

상기 복수의 심볼들의 중첩된 표현들 (superimposed representation) 을 포함하는 이미지를 생성하는 단계로서, 상기 표현들은 상기 복수의 심볼들에 대응하는 트리거들을 시간적으로 정렬하는 것에 의해 상기 이미지에서 서로에 대해 배열되는, 상기 이미지를 생성하는 단계를 포함하고,

상기 트리거들의 각각은 대응 심볼에서 통신되는 데이터를 캡처하기 위해 사용되는 샘플링 클록과 상관되는, 통신 링크를 분석하기 위한 방법.

#### 청구항 2

제 1 항에 있어서,

상기 심볼 경계는 각각의 심볼의 종료 시 발생하는, 통신 링크를 분석하기 위한 방법.

#### 청구항 3

제 1 항에 있어서,

상기 심볼 경계는 각각의 심볼의 시작 시 발생하는, 통신 링크를 분석하기 위한 방법.

#### 청구항 4

제 1 항에 있어서,

상기 이미지를 생성하는 단계는,

순차적 심볼 쌍들의 시리즈에 있어서 각각의 심볼 쌍의 제 1 심볼 및 제 2 심볼 사이에서 발생하는 제 1 신호 제로 크로싱 (zero crossing) 으로부터 도출되는 트리거를 사용하여 상기 순차적 심볼 쌍들의 시리즈의 표현들을 중첩시키는 단계; 및

상기 중첩된 표현들에 기초하여 아이 (eye) 패턴을 생성하는 단계를 포함하는, 통신 링크를 분석하기 위한 방법.

#### 청구항 5

제 1 항에 있어서,

상기 제 1 발생 트랜지션은 상기 통신 링크에서 2 개의 와이어들의 상태들 사이의 차이를 나타내는 차이 신호에서의 제로 크로싱에 대응하는, 통신 링크를 분석하기 위한 방법.

#### 청구항 6

제 5 항에 있어서,

상기 제로 크로싱은 복수의 상이한 신호들에서의 제 1 발생 제로 크로싱이고, 각각의 차이 신호는 상기 통신 링크의 2 개의 와이어들의 상태들 사이에서 측정된 차이를 나타내는, 통신 링크를 분석하기 위한 방법.

#### 청구항 7

제 5 항에 있어서,

상기 통신 링크는 M-와이어, N-위상 통신 링크 또는 N-계승 통신 링크를 포함하는, 통신 링크를 분석하기 위한

방법.

### 청구항 8

제 5 항에 있어서,

상기 통신 링크는 3-와이어, 3-위상 통신 링크를 포함하는, 통신 링크를 분석하기 위한 방법.

### 청구항 9

제 1 항에 있어서,

각각의 트리거는 데이터가 상기 심볼의 지연된 버전에서 샘플링을 위해 이용가능한 샘플 지점과 상관되는, 통신 링크를 분석하기 위한 방법.

### 청구항 10

장치로서,

통신 링크로부터 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 발생 트랜지션에 대응하는 트리거를 결정하는 수단; 및

상기 복수의 심볼들의 중첩된 표현들을 포함하는 이미지를 생성하는 수단으로서, 상기 표현들은 상기 복수의 심볼들에 대응하는 트리거들을 시간적으로 정렬하는 것에 의해 상기 이미지에서 서로에 대해 배열되는, 상기 이미지를 생성하는 수단을 포함하고,

상기 트리거들의 각각은 대응 심볼에서 통신되는 데이터를 캡처하기 위해 사용되는 샘플링 클록과 상관되는, 장치.

### 청구항 11

제 10 항에 있어서,

상기 심볼 경계는 각각의 심볼의 종료 시 발생하는, 장치.

### 청구항 12

제 10 항에 있어서,

상기 이미지를 생성하는 수단은, 순차적 심볼 쌍들의 시리즈에 있어서 각각의 심볼 쌍의 제 1 심볼 및 제 2 심볼 사이에서 발생하는 제 1 신호 제로 크로싱으로부터 도출되는 트리거를 사용하여 상기 순차적 심볼 쌍들의 시리즈의 표현들을 중첩시키도록 구성되는, 장치.

### 청구항 13

제 10 항에 있어서,

상기 제 1 발생 트랜지션은 상기 통신 링크에서 2 개의 와이어들의 상태들 사이의 차이를 나타내는 차이 신호에서의 제로 크로싱에 대응하는, 장치.

### 청구항 14

제 13 항에 있어서,

상기 제로 크로싱은 상기 통신 링크의 와이어들의 상이한 쌍들에 대응하는 복수의 상이한 신호들에서의 제 1 발생 제로 크로싱인, 장치.

### 청구항 15

제 10 항에 있어서,

각각의 트리거는 데이터가 상기 심볼의 지연된 버전에서 샘플링을 위해 이용가능한 샘플 지점과 상관되는, 장치.

## 청구항 16

장치로서,  
프로세싱 회로를 포함하고,  
상기 프로세싱 회로는,

통신 링크로부터 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 발생 트랜지션에 대응하는 트리거를 결정하고; 그리고

상기 복수의 심볼들의 중첩된 표현들을 포함하는 이미지를 생성하는 것으로서, 상기 표현들은 상기 복수의 심볼들에 대응하는 트리거들을 시간적으로 정렬하는 것에 의해 상기 이미지에서 서로에 대해 배열되는, 상기 이미지를 생성하도록 구성되며,

상기 트리거들의 각각은 대응 심볼에서 통신되는 데이터를 캡처하기 위해 사용되는 샘플링 클록과 상관되는, 장치.

## 청구항 17

제 16 항에 있어서,  
상기 심볼 경계는 각각의 심볼의 종료 시 발생하는, 장치.

## 청구항 18

제 16 항에 있어서,  
상기 프로세싱 회로는,

순차적 심볼 쌍들의 시리즈에 있어서 각각의 심볼 쌍의 제 1 심볼 및 제 2 심볼 사이에서 발생하는 제 1 신호 제로 크로싱으로부터 도출되는 트리거를 사용하여 상기 순차적 심볼 쌍들의 시리즈의 표현들을 중첩시키고; 그리고

상기 중첩된 표현들에 기초하여 아이 패턴을 생성하도록 구성되는, 장치.

## 청구항 19

제 16 항에 있어서,  
상기 제 1 발생 트랜지션은 상기 통신 링크에서 2 개의 와이어들의 상태들 사이의 차이를 나타내는 차이 신호에서의 제로 크로싱에 대응하는, 장치.

## 청구항 20

제 19 항에 있어서,  
상기 제로 크로싱은 상기 통신 링크의 와이어들의 상이한 쌍들에 대응하는 복수의 상이한 신호들에서의 제 1 발생 제로 크로싱인, 장치.

## 청구항 21

제 16 항에 있어서,  
각각의 트리거는 데이터가 상기 심볼의 지연된 버전에서 샘플링을 위해 이용가능한 샘플 지점과 상관되는, 장치.

## 청구항 22

하나 이상의 명령들을 갖는 프로세서 판독가능 저장 매체로서,  
상기 명령들은, 적어도 하나의 프로세싱 회로에 의해 실행될 때, 상기 적어도 하나의 프로세싱 회로로 하여금, 통신 링크로부터 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 발생 트랜지션에 대응하는 트리거를

결정하게 하고; 그리고

상기 복수의 심볼들의 중첩된 표현들을 포함하는 이미지를 생성하게 하는 것으로서, 상기 표현들은 상기 복수의 심볼들에 대응하는 트리거들을 시간적으로 정렬하는 것에 의해 상기 이미지에서 서로에 대해 배열되는, 상기 이미지를 생성하게 하며,

상기 트리거들의 각각은 대응 심볼에서 통신되는 데이터를 캡처하기 위해 사용되는 샘플링 클록과 상관되는, 프로세서 판독가능 저장 매체.

### 청구항 23

제 22 항에 있어서,

상기 심볼 경계는 각각의 심볼의 종료 시 발생하는, 프로세서 판독가능 저장 매체.

### 청구항 24

제 22 항에 있어서,

상기 심볼 경계는 각각의 심볼의 시작에서 발생하는, 프로세서 판독가능 저장 매체.

### 청구항 25

제 22 항에 있어서,

상기 명령들은 상기 적어도 하나의 프로세싱 회로로 하여금,

순차적 심볼 쌍들의 시리즈에 있어서 각각의 심볼 쌍의 제 1 심볼 및 제 2 심볼 사이에서 발생하는 제 1 신호 제로 크로싱으로부터 도출되는 트리거를 사용하여 상기 순차적 심볼 쌍들의 시리즈의 표현들을 중첩시키게 하고; 그리고

상기 중첩된 표현들에 기초하여 아이 패턴을 생성하게 하는, 프로세서 판독가능 저장 매체.

### 청구항 26

제 22 항에 있어서,

상기 제 1 발생 트랜지션은 상기 통신 링크에서 2 개의 와이어들의 상태들 사이의 차이를 나타내는 차이 신호에서의 제로 크로싱에 대응하는, 프로세서 판독가능 저장 매체.

### 청구항 27

제 26 항에 있어서,

상기 제로 크로싱은 복수의 상이한 신호들에서의 제 1 발생 제로 크로싱이고, 각각의 차이 신호는 상기 통신 링크의 2 개의 와이어들의 상태들 사이에서 측정된 차이를 나타내는, 프로세서 판독가능 저장 매체.

### 청구항 28

제 26 항에 있어서,

상기 통신 링크는 M-와이어, N-위상 통신 링크 또는 N-계승 통신 링크를 포함하는, 프로세서 판독가능 저장 매체.

### 청구항 29

제 26 항에 있어서,

상기 통신 링크는 3-와이어, 3-위상 통신 링크를 포함하는, 프로세서 판독가능 저장 매체.

### 청구항 30

제 22 항에 있어서,

각각의 트리거는 데이터가 상기 심볼의 지연된 버전에서 샘플링을 위해 이용가능한 샘플 지점과 상관되는, 프로

세서 판독가능 저장 매체.

## 발명의 설명

### 기술 분야

#### [0001] 관련 출원들에 대한 상호 참조

이 출원은 2013년 10월 9일에 출원된 U.S. 특허 출원 제 61/888,611호 및 2014년 10월 6일에 출원된 U.S. 정규 출원 제 14/507,702호에 대한 우선권 및 이익을 주장하며, 이 U.S. 출원들의 전체 내용은 본 명세서에서 참조로서 통합된다.

[0003] 본 개시물은 일반적으로 고속 데이터 통신 인터페이스에 관한 것이고, 특히 멀티 와이어, 멀티 위상 데이터 통신 링크들에서의 시그널링의 분석에 관한 것이다.

## 배경 기술

[0004] 셀룰러 폰들과 같은 모바일 디바이스들의 제조자들은, 상이한 제조자들을 포함한 다양한 소스들로부터 모바일 디바이스들의 컴포넌트들을 획득할 수도 있다. 예를 들어, 셀룰러 폰에서의 어플리케이션 프로세서는 제 1 제조자로부터 획득될 수도 있는 한편, 셀룰러 폰에 대한 디스플레이는 제 2 제조자로부터 획득될 수도 있다.

어플리케이션 프로세서 및 디스플레이 또는 다른 디바이스는 표준 기반 또는 독점 물리 인터페이스를 사용하여 상호접속될 수도 있다. 예를 들어, MIPI (Mobile Industry Processor Interface Alliance)에 의해 특정된 디스플레이 시스템 인터페이스 (DSI) 표준을 따르는 인터페이스를 제공할 수도 있다.

[0005] 멀티 와이어 인터페이스에 있어서, 통신 링크의 최대 속도 및 클록 데이터 복구 (CDR) 회로의 능력은 통신 링크 상에서 반송되는 심볼들 사이의 트랜지션 시간들의 변동성, 통신 링크의 상이한 와이어들로부터 수신된 신호들 사이의 위상 시프트들에 의해 제한될 수도 있다. 멀티 와이어 인터페이스 등에 있어서, 상이한 와이어들 상의 트랜지션들은 신호 트랜지션 시간들의 상이한 변동들을 나타낼 수도 있다. 전형적인 테스트 및 측정 시스템들은 수신기에서 관측된 다중 트랜지션들이 심볼 경계들에서 발생할 때 및 트랜지션 시간들이 시간의 짧은 기간들에 걸쳐 변동가능할 때 통신 링크를 적절히 특징화하는 것이 가능하지 않을 수도 있다. 예를 들어, 멀티 와이어 신호들에서 큰 트랜지션 시간 차이들은 고속 디지털 저장 오실로스코프에 의해 디스플레이된 아이 패턴 (eye pattern)에서의 아이 오픈닝 (eye opening)을 방해할 수도 있다.

## 발명의 내용

### 과제의 해결 수단

[0006] 본 명세서에 개시된 실시형태들은, 멀티 와이어 및/또는 멀티 위상 통신 링크에 대한 채널 특성들의 개선된 테스팅 및 측정을 가능하게 하는 시스템들, 방법들, 및 장치들을 제공한다. 통신 링크는 예를 들어, 다중 반도체 접적 회로 (IC) 디바이스들을 포함하는 모바일 단말기와 같은 장치에서 전개될 수도 있다.

[0007] 개시물의 일 양태에서, 데이터 전송 방법은, 통신 링크로부터 순차적으로 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 트랜지션에 대응하는 트리거 지점을 결정하는 단계, 및 복수의 심볼들의 표현들 (representation)을 겹겹이 중첩시키는 이미지를 제공하는 단계를 포함한다. 표현들은, 복수의 심볼들에 대해 결정된 트리거들을 시간적으로 정렬하는 것에 의해 이미지에서 서로에 대해 배열될 수도 있다. 각각의 트리거는 그 대응 심볼에서 통신되는 데이터를 캡처하기 위해 사용된 샘플링 클록과 상관될 수도 있다.

[0008] 개시물의 일 양태에서, 트리거가 결정되는 심볼 경계는 각각의 심볼의 종료 시 발생한다. 일부 경우들에서, 트리거가 결정되는 심볼 경계는 각각의 심볼의 시작 시 발생할 수도 있다. 제 1 트랜지션은 복수의 차동 수신기들 중 하나에 의해 출력된 신호의 제 1 제로 크로싱 (zero crossing)을 포함할 수도 있다. 제 1 트랜지션은 복수의 차동 프로보들에 의해 생성된 신호의 제 1 제로 크로싱을 포함할 수도 있다. 제 1 트랜지션은 통신 링크의 복수의 와이어들 상에서 관측된 전류 또는 전압 상태로부터 계산된 신호의 제 1 제로 크로싱을 포함할 수도 있다.

[0009] 개시물의 일 양태에서, 통신 링크에서 2개의 와이어들 사이의 상태에 있어서 차이가 결정될 수도 있다. 통신 링크는 M-와이어, N-위상 디코더를 포함할 수도 있다. 일 예에서, 복수의 차동 수신기들은 3-와이어, 3-위상 디코더에 제공되고, 각각의 차동 수신기의 출력은 3개 이상의 전압 상태들 사이의 트랜지션들을 식별할

수도 있다. 통신 링크는 N-계승 디코더를 포함할 수도 있다.

[0010] 개시물의 일 양태에서, 각각의 트리거는 심볼의 지연된 버전으로부터의 정보를 캡처하기 위해 사용되는 샘플링 클록의 에지와 상관된다. 이미지는 아이 패턴을 포함할 수도 있다.

[0011] 개시물의 일 양태에서, 장치는, 통신 링크로부터 순차적으로 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 트랜지션에 대응하는 트리거를 결정하는 수단, 및 복수의 심볼들의 표현들을 겹겹이 중첩시키는 이미지를 제공하는 수단을 포함한다. 표현들은 복수의 심볼들에 대해 결정된 트리거들을 시간적으로 정렬하는 것에 의해 이미지에서 서로에 대해 정렬될 수도 있다. 각각의 트리거는 그 대응 심볼에서 통신되는 데이터를 캡처하기 위해 사용된 샘플링 클록과 상관될 수도 있다.

[0012] 개시물의 일 양태에서, 장치는, 통신 링크로부터 순차적으로 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 트랜지션에 대응하는 트리거를 결정하고, 그리고 복수의 심볼들의 표현들을 겹겹이 중첩시키는 이미지를 제공하도록 구성된 프로세싱 회로를 포함한다. 표현들은 복수의 심볼들에 대해 결정된 트리거들을 시간적으로 정렬하는 것에 의해 이미지에서 서로에 대해 정렬될 수도 있다. 각각의 트리거는 그 대응 심볼에서 통신되는 데이터를 캡처하기 위해 사용된 샘플링 클록과 상관될 수도 있다.

[0013] 개시물의 일 양태에서, 프로세서 판독가능 저장 매체는, 하나 이상의 명령들을 갖거나 유지할 수도 있으며, 명령들은 실행될 때 적어도 하나의 프로세싱 회로로 하여금, 통신 링크로부터 순차적으로 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 트랜지션에 대응하는 트리거를 결정하게 하고, 그리고 복수의 심볼들의 표현들을 겹겹이 중첩시키는 이미지를 제공하게 한다. 표현들은 복수의 심볼들에 대해 결정된 트리거들을 시간적으로 정렬하는 것에 의해 이미지에서 서로에 대해 정렬될 수도 있다. 각각의 트리거는 그 대응 심볼에서 통신되는 데이터를 캡처하기 위해 사용된 샘플링 클록과 상관될 수도 있다.

### 도면의 간단한 설명

[0014] 도 1 은 본 명세서에 개시된 소정의 양태들에 따라, 측정될 수도 있는 IC 디바이스들 사이에 데이터 링크를 채용하는 장치의 일 예를 도시한다.

도 2 는 본 명세서에 개시된 소정의 양태들에 따라, 측정될 수도 있는 IC 디바이스들 사이의 데이터 링크를 채용하는 장치에 대한 시스템 아키텍처를 도시한다.

도 3 은 N-위상 극성 데이터 인코더를 도시한다.

도 4 는 N-위상 극성 인코딩된 인터페이스에서의 시그널링을 도시한다.

도 5 는 N-위상 극성 디코더를 도시한다.

도 6 은 M-와이어, N-위상 극성 디코더에서의 트랜지션 검출을 도시한다.

도 7 은 M-와이어, N-위상 극성 디코더에서의 트랜지션 검출에 대한 신호 상승 시간들의 효과들의 간략화된 예이다.

도 8 은 M-와이어, N-위상 극성 디코더에서의 가용 상태 트랜지션들을 도시하는 상태 다이어그램이다.

도 9 는 트랜지션 및 아이 영역들을 도시하는 아이 패턴의 일 예를 포함한다.

도 10 은 심볼들 사이에서 다중 제로 크로싱들이 발생할 때 N-위상 극성 인코딩에서 심볼 트랜지션 영역들의 변동성을 도시하는 타이밍 차트들을 포함한다.

도 11 은 심볼들 사이에서 단일 제로 크로싱이 발생할 때 N-위상 극성 인코딩에서 심볼 트랜지션 영역들을 도시하는 타이밍 차트들을 포함한다.

도 12 는 M-와이어, N-위상 극성 디코더에서 포텐셜 트랜지션들을 도시하는 아이 패턴이다.

도 13 은 송신 클록이 위상 시프팅 신호로 변조될 때 M-와이어, N-위상 극성 통신 링크와 관련된 심볼 트랜지션 및 아이 영역들을 도시하는 아이 패턴이다.

도 14 는 송신 클록이 위상 시프팅 신호로 변조될 때 M-와이어, N-위상 극성 디코더에서 심볼 트랜지션 및 아이 영역들의 소정의 양태들을 도시하는 아이 패턴이다.

도 15 는 본 명세서에 개시된 소정의 양태들에 따라, 적응된 M-와이어, N-위상 극성 통신 링크에 대한 아이 패

턴의 제 1 예이다.

도 16 은 본 명세서에 개시된 소정의 양태들에 따라, 적응된 M-와이어, N-위상 극성 통신 링크에 대한 아이 패턴의 제 2 예이다.

도 17 은 본 명세서에 개시된 소정의 양태들에 따라, 최적화된 멀티 심볼 아이 패턴에 대한 아이 패턴의 일 예이다.

도 18 은 본 명세서에 개시된 소정의 양태들에 따라, 적응될 수도 있는 프로세싱 회로를 채용하는 장치의 일 예를 도시하는 블록 다이어그램이다.

도 19 는 본 명세서에 개시된 소정의 양태들에 따라, M-와이어 N-위상 신호를 기술하는 아이 패턴을 생성하기 위한 방법의 플로우챠트이다.

도 20 은 본 명세서에 개시된 소정의 양태들에 따라, 아이 패턴을 생성하도록 구성된 장치의 일 예를 도시한다.

도 21 은 본 명세서에 개시된 소정의 양태들에 따라, 아이 패턴을 생성하도록 구성된 테스트 장치의 일 예를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0015]

이제 다양한 양태들이 도면들을 참조하여 기재된다. 다음의 기재에 있어서, 설명을 목적으로, 많은 특정 상세들이 하나 이상의 양태들의 철저한 이해를 제공하기 위해서 기술된다. 하지만, 그러한 양태(들)은 이들 특정 상세들 없이도 실시될 수도 있다는 것이 자명할 수도 있다.

[0016]

이 출원에서 사용된 바와 같이, 용어들 "컴포넌트들", "모듈", "시스템" 등은 컴퓨터 관련 엔티티, 예컨대 하드웨어, 펌웨어, 하드웨어 및 소프트웨어의 조합, 소프트웨어, 또는 실행에서의 소프트웨어를 포함하지만 이에 제한되지 않는 것으로 의도된다. 예를 들어, 컴포넌트는 프로세서 상에서 작동하는 프로세스, 프로세서, 오브젝트, 실행가능물, 실행의 스레드, 프로그램 및/또는 컴퓨터일 수도 있지만 이에 제한되지 않는다. 예시로서, 컴퓨팅 디바이스 상에서 작동하는 어플리케이션 및 컴퓨팅 디바이스의 양자는 컴포넌트일 수도 있다. 하나 이상의 컴포넌트들은 프로세스 및/또는 실행의 스레드 내에 상주할 수도 있고, 컴포넌트가 하나의 컴퓨터 상에서 로컬화될 수도 있고, 및/또는 2 이상의 컴퓨터들 사이에서 분산될 수도 있다. 부가적으로, 이들 컴포넌트들은 다양한 데이터 구조들이 저장된 다양한 컴퓨터 판독가능 매체로부터 실행할 수도 있다. 컴포넌트들은, 예컨대 하나 이상의 데이터 패킷들, 예컨대 로컬 시스템, 분산 시스템에서, 및/또는 신호에 의해 다른 시스템들과 인터넷과 같은 네트워크를 통해 다른 컴포넌트와 상호작용하는 하나의 컴포넌트로부터의 데이터와 같은, 하나 이상의 데이터 패킷들을 갖는 신호에 따라, 로컬 및/또는 원격 프로세스들에 의해 통신할 수도 있다.

[0017]

또한, 용어 "또는"은 배타적 "또는"이기 보다는 포괄적 "또는"을 의미하는 것으로 의도된다. 즉, 달리 특정되거나 컨택스트로부터 명확하지 않으면, 구절 "X 는 A 또는 B 를 채용한다"는 당연한 포괄적 치환들 중 어느 것을 의미하는 것으로 의도된다. 즉, 구절 "X 는 A 또는 B 를 채용한다"는 다음의 경우들 중 어느 것에 의해 만족된다: X 는 A 를 채용한다; X 는 B 를 채용한다; 또는 X 는 A 및 B 의 양자를 채용한다. 부가적으로, 이 출원 및 첨부된 청구항들에서 사용되는 바와 같이, 관사 "a" 및 "an"은 달리 특정되거나 단일 형태로 지향되도록 컨택스트로부터 명확하지 않으면, 일반적으로 "하나 이상"을 의미하도록 해석되어야 한다.

[0018]

발명의 소정의 양태들은 전화기, 모바일 컴퓨팅 디바이스, 얼라이언스, 자동차 일렉트로닉스, 항공 전자 시스템 등과 같은 장치의 컴포넌트들을 포함할 수도 있는 전자 디바이스들 사이에서 전개되는 통신 링크들에 적용가능 할 수도 있다. 도 1 은 IC 디바이스들 사이에서 통신 링크를 사용하는 장치의 간략화된 예를 도시한다. 장치 (100)는 프로세싱 회로 (102)에 동작가능하게 커플링된 통신 트랜시버 (106)를 포함할 수도 있다. 일 예에서, 장치 (100)는 무선 액세스 네트워크 (RAN), 코어 액세스 네트워크, 인터넷 및/또는 다른 네트워크와 RF 트랜시버 (106)를 통해 통신하는 무선 통신 디바이스를 포함할 수도 있다. 프로세싱 회로 (102)는 주문형 IC (ASIC)(108) 및/또는 하나 이상의 다른 IC 디바이스들을 포함할 수도 있다. ASIC (108)은 하나 이상의 프로세싱 디바이스들, 로직 회로들 등을 포함할 수도 있다. 프로세싱 회로 (102)는 프로세싱 회로 (102)의 프로세스에 의해 실행될 수 있는 명령들, 및 프로세싱 회로 (102)에 의해 조정될 수도 있는 데이터를 유지할 수도 있는 메모리 (112)와 같은 프로세서 판독가능 스토리지를 포함할 수도 있고 및/또는 이 스토리지에 커플링될 수도 있다. 프로세싱 회로 (102)의 소정의 기능들은 메모리 디바이스 (112)와 같은, 저장 매체에 상주하는 소프트웨어 모듈의 실행을 지원 및 가능하게 하는 어플리케이션 프로그래밍 인터페이스

(API)(110) 및 동작 시스템 중 하나 이상에 의해 제어될 수도 있다. 메모리 디바이스 (112)는 리드 온리 메모리 (ROM), 랜덤 액세스 메모리 (RAM), 전기적 소거가능 프로그램가능 ROM (EEPROM), 플래시 메모리 카드들, 또는 프로세싱 시스템들 및 컴퓨팅 플랫폼들에서 사용될 수 있는 임의의 메모리 디바이스를 포함할 수도 있다.

프로세싱 회로 (102)는 장치 (100)를 구성하고 동작하기 위해 사용되는 동작 파라미터들 및 다른 정보를 유지하도록 구성될 수도 있는 로컬 데이터베이스 (114)에 대한 액세스를 가질 수도 있고 또는 이를 포함할 수도 있다. 로컬 데이터베이스 (114)는 데이터베이스 모듈, 플래시 메모리, 자기 매체들, EEPROM, 광학 매체들, 테이프, 소프트 또는 하드 디스크 등 중 하나 이상을 사용하여 구현될 수도 있다. 프로세싱 회로 (102)는 또한 외부 디바이스들, 예컨대 안테나 (122), 디스플레이 (124), 오퍼레이터 제어들, 예컨대 키패드 (126), 버튼, 로커, 또는 슬라이더 스위치 (128), 및/또는 다른 컴포넌트들에 동작가능하게 커플링될 수도 있다.

[0019] 도 2는 무선 모바일 디바이스, 모바일 전화기, 모바일 컴퓨팅 시스템, 무선 전화기, 노트북 컴퓨터, 테블릿 컴퓨팅 디바이스, 미디어 플레이어, 게이밍 디바이스, 어플라이언스, 웨어러블 컴퓨팅 디바이스 등과 같은 장치 (200)의 소정의 양태들을 도시하는 블록 개략 다이어그램이다. 장치 (200)는 통신 링크 (220)를 통해 데이터를 교환하고 정보를 제어하는 복수의 IC 디바이스들 (202 및 230)을 포함할 수도 있다. 통신 링크 (220)는, IC 디바이스들 (202, 230)이 서로 가까이 근접하여 위치되든, 또는 장치 (200)의 물리적으로 상이한 부분들에 위치되든, IC 디바이스들 (202 및 230)을 접속시키기 위해 사용될 수도 있다. 일 예에서, 통신 링크 (220)는 IC 디바이스들 (202 및 230)을 수용하는 칩 캐리어, 기판 또는 회로 보드 상에 제공될 수도 있다. 다른 예에서, 제 1 IC 디바이스 (202)는 플립 폰의 키패드 섹션에 위치될 수도 있는 한편, 제 2 IC 디바이스 (230)는 플립 폰의 디스플레이 섹션에 위치될 수도 있다. 다른 예에서, 통신 링크 (220)의 일부는 케이블 또는 광학 접속을 포함할 수도 있다.

[0020] 통신 링크 (220)는 다중 채널들 (222, 224, 및 226)을 포함할 수도 있다. 하나 이상의 채널 (226)은 양방향성일 수도 있고, 절반 듀플렉스 모드 및/또는 전체 듀플렉스 모드에서 동작할 수도 있다. 하나 이상의 채널들 (222 및/또는 224)은 단방향성일 수도 있다. 통신 링크 (220)는 비대칭이어서, 일 방향에서 더 높은 대역폭을 제공할 수도 있다. 일 예에서, 제 1 통신 채널 (222)는 순방향 링크 (222)로서 지정될 수도 있는 한편, 제 2 통신 채널 (224)는 역방향 링크 (224)로서 지정될 수도 있다. 양자의 IC 디바이스들 (202 및 230)이 통신 링크 (222) 상에서 송신하고 수신하도록 구성되더라도, 제 1 IC 디바이스 (202)는 호스트 시스템 또는 송신기로서 지정될 수도 있는 한편, 제 2 IC 디바이스 (230)는 클라이언트 시스템 또는 수신기로서 지정될 수도 있다. 일 예에서, 순방향 링크 (222)는 제 1 IC 디바이스 (202)로부터 제 2 IC 디바이스 (230)로 데이터를 통신할 때 더 높은 데이터 레이트에서 동작할 수도 있는 한편, 역방향 링크 (224)는 제 2 IC 디바이스 (230)로부터 제 1 IC 디바이스 (202)로 데이터를 통신할 때 더 낮은 데이터 레이트에서 동작할 수도 있다.

[0021] IC 디바이스들 (202 및 230)은, 프로세싱 회로, 컴퓨팅 회로, 또는 다른 회로에 제공될 수도 있는 프로세서 (206, 236)을 각각 포함할 수도 있다. 일 예에서, 제 1 IC 디바이스 (202)는 무선 트랜시버 (204) 및 안테나 (214)를 통해 무선 통신을 유지하는 것을 포함하는 장치 (200)의 코어 기능들을 수행하도록 구성될 수도 있는 한편, 제 2 IC 디바이스 (230)는 디스플레이 제어기 (232)를 관리하거나 동작시키는 사용자 인터페이스를 지원하도록 구성될 수도 있고, 카메라 제어기 (234)를 사용하여 카메라 또는 비디오 입력 디바이스의 동작들을 제어할 수도 있다. IC 디바이스들 (202 및 230) 중 하나 이상에 의해 지원되는 다른 편의들은 키보드, 음성 인식 컴포넌트, 글로벌 포지셔닝 시스템들, 생체 인식 시스템들, 모션 센서들, 및 다른 입력 또는 출력 디바이스들을 포함할 수도 있다. 디스플레이 제어기 (232)는 액정 디스플레이 (LCD) 패널, 터치 스크린 디스플레이, 표시기 등과 같은 디스플레이들을 지원하는 소프트웨어 드라이버들 및 회로들을 포함할 수도 있다. 저장 매체 (208 및 238)는 각각의 프로세서들 (206 및 236), 및/또는 IC 디바이스들 (202 및 230)의 다른 컴포넌트들에 의해 사용되는 명령들 및 데이터를 유지하도록 구성된 일시적 및/또는 비일시적 저장 디바이스들을 포함할 수도 있다. 각각의 프로세서 (206, 236) 및 그 대응 저장 매체들 (208 및 238)과 다른 모듈들 및 회로들 사이의 통신은 하나 이상의 버스 (212 및 242)에 의해 용이하게 될 수도 있다.

[0022] 역방향 링크 (224)는 순방향 링크 (222)와 동일한 방식으로 동작될 수도 있고, 순방향 링크 (222) 및 역방향 링크 (224)는 비교가능한 속도들에서 또는 상이한 속도들에서 송신하는 것을 가능하게 할 수도 있으며, 여기서 속도는 데이터 레이트 (또는 데이터 전송 레이트) 및/또는 송신기 클록 레이트로서 표현될 수도 있다. 순방향 및 역방향 데이터 레이트들은 실질적으로 동일할 수도 있고, 또는 어플리케이션에 의존하여, 규모에 따라 상이할 수도 있다. 일부 어플리케이션들에 있어서, 단일 양방향 링크 (226)는 제 1 IC 디바이스 (202)와 제 2 IC 디바이스 (230) 사이의 통신들을 지원할 수도 있다. 순방향 링크 (222) 및/또는 역방향 링크 (224)

는, 예를 들어 순방향 및 역방향 링크들 (222 및 224) 이 동일한 물리 접속들을 공유하고 절반 듀플렉스 방식으로 동작할 때, 양방향 모드에서 동작하도록 구성 가능할 수도 있다. 일 예에서, 통신 링크 (220) 는 산업 또는 다른 표준에 따라 제 1 IC 디바이스 (202) 와 제 2 IC 디바이스 (230) 사이에서 데이터, 제어, 커맨드 및 다른 정보를 통신하도록 동작될 수도 있다.

[0023] 산업 표준들은 어플리케이션 특정일 수도 있다. 일 예에서, MIPI 표준은 모바일 디바이스에서 카메라 또는 디스플레이를 지원하는, 어플리케이션 프로세서 IC 디바이스 (202) 및 IC 디바이스 (230) 사이의 동기 인터페이스 사양 (D-PHY) 을 포함하는 물리 계층 인터페이스들을 정의한다. D-PHY 사양은 모바일 디바이스들에 대한 MIPI 사양들을 따르는 제품들의 동작 특성들을 지배한다. D-PHY 인터페이스는 모바일 디바이스 내의 컴포넌트들 (202 및 230) 사이에서 상호접속하는 가요성, 저비용, 고속 직렬 인터페이스를 사용하여 데이터 전송들을 지원할 수도 있다. 이를 인터페이스들은 전자기 간섭 (EMI) 이슈들을 회피하기 위해서 느린 에지들을 갖는 상대적으로 낮은 비트 레이트들을 제공하는 상보형 금속 산화물 반도체 (CMOS) 병렬 버스들을 포함할 수도 있다.

[0024] 도 2 의 통신 링크 (220) 는 복수의 신호 와이어들 (M 와이어들로서 지정됨) 을 포함하는 유선 버스로서 구현될 수도 있다. M 와이어들은 디스플레이 인터페이스와 같은, 고속 디지털 인터페이스에서 N-위상 인코딩된 데이터를 반송하도록 구성될 수도 있다. M 와이어들은 채널들 (222, 224 및/또는 226) 중 하나 이상에 대한 N-위상 극성 인코딩을 용이하게 할 수도 있다. 물리 계층 드라이버들 (210 및 240) 은 통신 링크 (220) 상의 송신을 위해 N-위상 극성 인코딩된 데이터를 생성하도록, 및/또는 통신 링크 (220) 로부터 수신된 N-위상 극성 인코딩된 데이터 심볼들을 디코딩하도록 구성되거나 적응될 수도 있다. N-위상 극성 인코딩의 사용은 고속 데이터 전송을 제공하고 다른 인터페이스들의 전력의 절반 이하를 소모할 수도 있는데, 이는 예를 들어, 더 적은 드라이버들이 N-위상 극성 인코딩된 데이터 링크들 (220) 에서 활성이기 때문이다.

[0025] N-위상 극성 인코딩 디바이스들 (210 및/또는 240) 은 통상적으로 통신 링크 (220) 상의 트랜지션 마다 다중 비트들을 인코딩할 수도 있다. 일 예에 있어서, 3-위상 인코딩 및 극성 인코딩의 조합은, 디스플레이 리프레시를 위해 810 Mbps 에서 팩셀 데이터를 전달하는, 프레임 버퍼가 없는 제 2 LCD 드라이버 IC 마다 와이드 비디오 그래픽스 어레이 (WVGA) 80 프레임들을 지원하기 위해 사용될 수도 있다.

[0026] 도 3 은 도 2 에 도시된 통신 링크 (220) 의 소정의 양태들을 구현하기 위해 사용될 수도 있는 M-와이어, N-위상 극성 인코더 (300) 의 간략화된 예를 도시하는 블록 개략 다이어그램이다. 이 예에서, M-와이어, N-위상 극성 인코더 (300) 는 M=3 와이어들 및 N=3 위상 시그널링을 사용하여 정보를 송신하도록 구성된다. 3-와이어, 3-위상 인코딩의 예는 단지 발명의 소정 양태들의 기재들을 간략화하기 위해서만 선택된다. 3-와이어들, 3-위상 인코더들에 대해 개시된 원리들 및 기법들은 M-와이어, N-위상 극성 인코더들 및 디코더들의 다른 구성에 적용될 수 있다.

[0027] M-와이어, N-위상 극성 인코딩 스킴에 있어서 M 와이어들의 각각에 대해 정의된 시그널링 상태들은 비구동 상태, 포지티브 구동 상태 및 네거티브 구동 상태를 포함할 수도 있다. M-와이어, N-위상 극성 인코딩 스킴에 있어서, 포지티브 구동 상태 및 네거티브 구동 상태는 2 개의 신호 와이어들 (310a, 310b 및/또는 310c) 에서 상이한 방향들로 전류가 흐르도록 직렬로 접속된 신호 와이어들 (310a, 310b 및/또는 310c) 중 2 개를 통해 전류를 구동하는 것에 의해 전압을 제공함으로써 획득될 수도 있다. 일 예에서, 비구동 상태는 고 임피던스 모드에서 신호 와이어 (310a, 310b 또는 310c) 의 드라이버의 출력을 배치함으로써 실현될 수도 있다. 다른 예에서, 비구동 상태는 구동된 신호 와이어들 (310a, 310b 및/또는 310c) 에 제공된 포지티브 및 네거티브 전압 레벨들 사이에서 실질적으로 중간에 놓이는 전압 레벨을 가정하기 위해 "비구동" 신호 와이어 (310a, 310b, 또는 310c) 를 수동적으로 또는 능동적으로 야기시킴으로써 신호 와이어 (310a, 310b 또는 310c) 상에서 획득될 수도 있다. 통상적으로, 비구동 신호 와이어 (310a, 310b 또는 310c) 을 통해 유의 (significant) 전류가 흐르지 않는다. 3-와이어, 3-위상 극성 인코딩 스킴에 대해 정의된 시그널링 상태들은, 전압 또는 전류 상태들을 나타낼 수도 있는 3 개의 시그널링 상태들 {+1, 0, -1} 를 사용하여 지시될 수도 있다. 일 예에서, 3 개의 상태들 {+1, 0, -1} 은 3 개의 전압 레벨들 +V, 0, -V 를 의미할 수도 있다. 다른 예에서, 3 개의 상태들 {+1, 0, -1} 은 3 개의 전압 레벨들 +V, +V/2, 0 을 의미할 수도 있다. 다른 예에서, 3 개의 상태들 {+1, 0, -1} 은 전류들 I, 0, -I 를 의미할 수도 있다.

[0028] 3-와이어, 3-위상, 극성 인코더는 커넥터들/와이어들 (310a, 310b 및 310c) 의 시그널링 상태를 제어하기 위해 드라이버들 (308) 의 세트를 채용할 수도 있다. 드라이버들 (308) 은 단위 레벨 전류 모드 또는 전압 모드 드라이버들로서 구현될 수도 있다. 각각의 드라이버 (308) 는 대응 커넥터 (310a, 310b 또는 310c) 의 시그

널링 상태를 결정하는 신호들 (316a, 316b 또는 316c) 의 세트를 수신할 수도 있다. 도시된 예에서, 드라이버들 (308) 의 각각은 대응 커넥터 (310a, 310b 또는 310c) 에 대해 4 개의 가능한 상태들을 정의하는 신호들 (316a, 316b, 또는 316c) 를 수신한다. 다른 예에서, 각각의 드라이버 (308) 는 대응 커넥터 (310a, 310b 또는 310c) 에 대해 8 개의 가능한 상태들을 정의하는 3 개의 신호들의 세트를 수신할 수도 있다.

[0029]

M-와이어, N-위상 극성 인코딩 스킴에서 각각의 송신된 심볼 간격에 대하여, 적어도 하나의 신호 와이어 (310a, 310b 또는 310c) 는 비구동 상태 (0 시그널링 상태) 에 있는 한편, 포지티브 구동 (+1 시그널링 상태) 신호 와이어들 (310a, 310b 또는 310c) 의 수는 네거티브 구동 (-1 시그널링 상태) 신호 와이어들 (310a, 310b, 또는 310c) 의 수와 같아서, 수신기로 흐르는 전류의 합이 0 이다. 각각의 심볼 트랜지션에서, 이전에 송신된 심볼과 다음 송신된 심볼 사이에서, 적어도 하나의 신호 와이어 (310a, 310b 또는 310c) 의 시그널링 상태가 변화한다. 적어도 하나의 신호 와이어 (310a, 310b 및/또는 310c) 의 시그널링 상태가 연속적인 심볼들의 각 쌍 사이에서 변화할 때, 수신기는 트랜지션들에 기초하여 수신 클록을 신뢰성 있게 생성할 수 있다.

[0030]

동작에 있어서, 매퍼 (302) 는 입력 데이터 (310) 를 수신하고 이를 심볼들 (312) 의 세트로 매핑할 수도 있다. 도시된 3-와이어, 3-위상 예에 있어서, 심볼들의 세트는 7 개의 3-비트 심볼들을 포함하고, 입력 데이터 (310) 의 16-비트 워드는 심볼들의 각각의 세트에서 인코딩될 수도 있다. 3-비트 심볼의 각각의 비트는 하나의 심볼 간격에 대한 신호 와이어들 (310a, 310b 및 310c) 중 하나의 상태를 정의한다. 심볼들 (312) 의 시퀀스는 심볼들 (314) 의 타이밍된 시퀀스를 제공하는 병렬-직렬 컨버터들 (304) 를 사용하여 직렬화될 수도 있으며, 각각의 심볼은 3-와이어들 (310a, 310b 및 310c) 의 시그널링 상태를 정의한다. 심볼들 (314) 의 시퀀스는 통상적으로 송신 클록을 사용하여 심볼 간격들을 기술하며, 이에 의해 단일 심볼이 각각의 심볼 간격에서 송신된다. 3-와이어 위상 인코더 (306) 는 한번에 하나의 심볼로 매퍼에 의해 생성된 7 개의 심볼들 (314) 의 시퀀스를 수신하고 각각의 심볼 간격들에 대해 각각의 신호 와이어 (310a, 310b 및 310c) 의 상태를 컴퓨팅한다. 3-와이어 인코더 (306) 는 신호 와이어들 (310a, 310b, 및 310c) 의 이전 상태들 및 현재 입력 심볼 (314) 에 기초하여 신호 와이어들 (310a, 310b 및 310c) 의 상태들을 선택한다.

[0031]

M-와이어, N-위상 인코딩의 사용은 복수의 심볼들에서 인코딩될 비트들의 수를 허용한다. 데이터 비트들의 비정수는 각각의 심볼에서 인코딩될 수도 있다. 3-와이어, 3-위상 시스템의 예에 있어서, 동시에 구동될 수도 있는 2 개의 와이어들의 3 개의 가용 조합들 및 구동되는 와이어들의 쌍에 대한 극성의 2 개의 가능한 조합들이 있어서, 6 개의 가능한 상태들을 산출한다. 신호 와이어들 (310a, 310b 및 310c) 의 시그널링 상태는 심볼들 사이의 각각의 트랜지션에서 변화하며, 이에 따라, 6 개의 상태들 중 5 개의 상태들이 모든 트랜지션에서 이용가능하다. 즉, 적어도 하나의 와이어의 상태는 각각의 트랜지션에서 변화하여 수신기가 신뢰성 있는 수신 클록을 생성하는 것을 허용하며, 현재 시그널링 상태가 주어지면, 각각의 트랜지션에서 이용가능한 5 개의 가능한 시그널링 상태들이 존재한다. 5 개의 상태들로,  $\log_2(5) \cong 2.32$  비트들이 심볼마다 인코딩될 수도 있다. 따라서, 매퍼는 16 비트 워드를 수용하고 그것을 7 개의 심볼들로 컨버팅할 수도 있는데, 이는 심볼마다 2.32 비트를 반송하는 7 개의 심볼이 16.24 비트를 인코딩할 수 있기 때문이다. 즉, 5 개의 상태들을 인코딩하는 7 개의 심볼들의 조합은  $5^7$  (78,125) 순열을 갖는다. 따라서, 7 개의 심볼들은 16 이진 비트의  $2^{16}$  (65,536) 순열을 디코딩하기 위해 사용될 수도 있다.

[0032]

도 4 는 3-위상 변조 데이터 인코딩 스킴을 사용하여 인코딩된 신호들에 대한 타이밍 챕트 (400) 의 일 예를 포함하는 다이어그램이다. 데이터 인코딩 스킴은 원형 상태 다이어그램 (450) 에 의해 도시된다. 정보는, 예를 들어 각각의 와이어 또는 커넥터 (310a, 310b, 310c) 의 시그널링 상태가 상태 다이어그램 (450) 에 의해 정의된 3 개의 위상 상태들 ( $S_1$ ,  $S_2$ ,  $S_3$ ) 중 하나와 일치하는 시그널링 상태들의 시퀀스로 인코딩될 수도 있다.

각각의 상태는  $120^\circ$  위상 시프트 만큼 다른 상태들로부터 분리될 수도 있다. 일 예에서, 데이터는 심볼들 사이의 각각의 트랜지션에서 와이어 또는 커넥터 (310a, 310b, 310c) 상의 위상 상태들의 회전 방향으로 인코딩될 수도 있다. 신호에서의 위상 상태들은 시계 방향 (452, 452') 또는 반시계 방향 (454, 454') 으로 회전할 수도 있다. 시계 방향 (452, 452') 에서, 예를 들어 위상 상태들은  $S_1$  부터  $S_2$  까지,  $S_2$  부터  $S_3$  까지, 및  $S_3$  부터  $S_1$  까지의 트랜지션들 중 하나 이상을 포함하는 시퀀스로 진행할 수도 있다. 반시계 방향 (454, 454') 에서, 위상 상태들은  $S_1$  부터  $S_3$  까지,  $S_3$  부터  $S_2$  까지, 및  $S_2$  부터  $S_1$  까지의 트랜지션들 중 하나 이상을 포함하는 시퀀스로 진행할 수도 있다. 3 개의 와이어들 (310a, 310b 및 310c) 는 서로에 대해  $120^\circ$  만큼 버전들이 위상 시프트되는, 동일한 신호의 상이한 위상 시프트 버전들을 반송한다. 각각의 시그널링 상태는 와이어 또는 커넥터를 통해 현재 플로우의 방향 및/또는 와이어 또는 커넥터 상의 상이한 전압 레벨로서

표현될 수도 있다. 3-와이어 시스템에서 시그널링 상태들의 각각의 시퀀스 동안, 각각의 와이어 (310a, 310b 및 310c)는 다른 와이어들과 상이한 시그널링 상태에 있다. 3 개 보다 많은 와이어들 (310a, 310b 및 310c)이 3-위상 인코딩 시스템에 사용될 때, 2 이상의 와이어들 (310a, 310b 및/또는 310c)은, 각각의 상태가 모든 시그널링 간격에서 적어도 하나의 와이어 (310a, 310b 및/또는 310c)에 존재하더라도, 각각의 시그널링 간격에서 동일한 시그널링 상태에 있을 수 있다.

[0033] 정보는 각각의 위상 트랜지션 (410)에서 회전의 방향으로 인코딩될 수도 있고, 3-위상 신호는 각각의 시그널링 상태에 대한 방향을 변화시킬 수도 있다. 회전의 방향은 위상 트랜지션 전후에 어느 와이어들 (310a, 310b 및/또는 310c)이 '0' 상태 (예를 들어, 비구동 상태)에 있는지를 고려함으로써 결정될 수도 있는데, 이는 비구동 와이어 (310a, 310b 및/또는 310c)가 회전의 방향에 관계 없이, 3-위상 신호의 회전에서의 모든 시그널링 상태에서 변화하기 때문이다.

[0034] 인코딩 스킴은 또한 능동적으로 구동되는 2 개의 도체들 (310a, 310b 및/또는 210c)의 극성 (408)에서의 정보를 인코딩할 수도 있다. 3-와이어 구현에서의 임의의 시간에서, 정확하게 도체들 (310a, 310b, 310) 중 2 개는 반대 방향들에서의 전류에 의해 및/또는 전압 차이에 의해 구동된다. 간단한 구현에 있어서, 데이터 (412)는 2 개의 비트 값들 (412)을 사용하여 인코딩될 수도 있으며, 여기서 일 비트는 위상 트랜지션들 (410)의 방향에서 인코딩되고 제 2 비트는 현재 상태의 극성 (408)에서 인코딩된다.

[0035] 타이밍 차트 (400)는 위상 회전 방향 및 극성의 양자 모두를 사용하여 인코딩하는 데이터를 도시한다. 곡선들 (402, 404 및 406)은 다중 위상 상태들 동안, 각각 3 개의 와이어들 (310a, 310b, 및 310c) 상에서 반송된 신호들과 관련된다. 초기에, 위상 트랜지션들 (410)은 시계 방향에 있고, 최대 유의 비트는, 최대 유의 비트의 이진 '0'에 의해 표현되는 바와 같이, 위상 트랜지션들 (410)의 회전이 시간 (414)에서 반시계 방향으로 스위칭할 때까지, 이진 '1'로 설정된다. 최소 유의 비트는 각각의 상태에서 신호의 극성 (408)을 반영한다.

[0036] 일부 경우들에서, 인코딩 스킴은 2 개의 능동적으로 구동된 도체들 (310a, 310b 및/또는 310c)의 극성 (408)에서의 변화들의 정보를 인코딩할 수도 있다. 일 예에서, "1"의 값을 갖는 비트는 2 개의 심볼 간격들 사이의 극성 (408)의 변화로서 인코딩될 수도 있는 한편, "0"의 값을 갖는 비트는 2 개의 심볼 간격들 사이의 극성 (408)에서 변화가 없는 것으로서 인코딩될 수도 있다. 디코더는 회전의 방향에서의 변화들 및 극성에서의 변화들을 검출하는 것에 의해 심볼들 사이의 경계들에서 데이터를 디코딩하도록 구성될 수도 있다. 도 4의 예에서 2 개의 심볼 간격들 사이의 극성의 변화들에서 데이터가 인코딩되는 경우, 인코딩된 값들 (412)의 도시된 시퀀스는 시퀀스 {11, 10, 10, 11, 10, 01, 01, 01, 01, 01}로 대체될 수 있다.

[0037] 본 명세서에 개시된 소정의 양태들에 따라, 데이터의 일 비트는 3-와이어, 3-위상 인코딩 시스템에서의 회전 또는 위상 변화에서 인코딩될 수도 있고, 부가 비트는 2 개의 구동된 와이어들의 극성에서 또는 이전 와이어 상태에서 사용된 극성과 비교하여 구동된 와이어들의 극성의 변화에서 인코딩될 수도 있다. 부가 정보는 현재 상태로부터 가능한 상태들 중 어느 것으로의 트랜지션을 허용하는 것에 의해 3-와이어, 3-위상 인코딩 시스템의 각각의 트랜지션에서 인코딩될 수도 있다. 각각의 위상에 대해 3 개의 회전 위상들 및 2 개의 극성들이 주어지면, 6 개의 상태들이 3-와이어, 3-위상 인코딩 시스템에서 이용가능하다. 따라서, 5 개의 상태들이 임의의 현재 상태로부터의 트랜지션을 위해 이용가능하다. 따라서, 심볼 당 인코딩된  $\log_2(5) \cong 2.32$  비트들 (트랜지션)이 있을 수도 있으며, 이는 매퍼 (302)가 16 비트 워드를 허용하고 이를 7 개의 심볼들의 시퀀스에서 인코딩하는 것을 허용한다.

[0038] N-위상 데이터 전송은, 버스와 같은 통신 매체에서 제공된 3 개 보다 많은 와이어들을 사용할 수도 있다. 동시에 구동될 수 있는 부가 신호 와이어들의 사용은 상태들 및 극성들의 많은 조합들을 제공하고 상태들 사이의 각 트랜지션에서 인코딩될 데이터의 많은 비트들을 허용한다. 이것은 시스템의 쓰루풋을 상당히 개선할 수 있고, 증가된 대역폭을 제공하면서, 데이터 비트들을 송신하기 위해 다중 차동 쌍들을 사용하는 접근법을 보다 전력 소모를 감소시킬 수 있다.

[0039] 일 예에서, 인코더는 각각의 상태에 대해 구동된 2 쌍의 와이어들을 갖는 6 개의 와이어들을 사용하여 심볼들을 송신할 수도 있다. 6 개의 와이어들은 A 내지 F로 라벨링될 수도 있어서, 일 상태에서, 와이어들 (A 및 F)가 포지티브 구동되고, 와이어들 (B 및 E)는 네거티브 구동되며, C 및 D는 구동되지 않는다 (또는 전류 반송이 없음). 6 개의 와이어들에 대하여,

$$C(6,4) = \frac{6!}{(6-4)! \cdot 4!} = 15$$

[0040]

[0041] 의 능동적으로 구동된 와이어들의 가능한 조합들이 있을 수도 있으며,

$$C(4,2) = \frac{4!}{(4-2)! \cdot 2!} = 6$$

[0042]

[0043] 의 각각의 위상 상태에 대한 극성의 상이한 조합들이 있다.

[0044]

능동적으로 구동된 와이어들의 15 개의 상이한 조합들은,

|         |         |         |         |         |
|---------|---------|---------|---------|---------|
| A B C D | A B C E | A B C F | A B D E | A B D F |
| A B E F | A C D E | A C D F | A C E F | A D E F |
| B C D E | B C D F | B C E F | B D E F | C D E F |

[0045]

[0046] 를 포함할 수도 있다.

[0047] 구동된 4 개의 와이어들 중, 2 개의 와이어들의 가능한 조합들은 포지티브 구동되었다 (그리고, 다른 2 개는 네거티브이어야 한다). 극성의 조합들은,

[0048]

$$+ + - - \quad + - + + \quad + - + - \quad - + + + \quad - - + +$$

[0049] 를 포함할 수도 있다.

[0050] 따라서, 상이한 상태들의 총 수는  $15 \times 6 = 90$  으로서 계산될 수도 있다. 심볼들 사이의 트랜지션을 보장하기 위해서, 89 상태들이 임의의 전류 상태로부터 이용가능하고, 각각의 심볼에서 인코딩될 수 있는 비트들의 수는 심볼당  $\log_2(89) \cong 6.47$  비트들로서 계산될 수도 있다. 이 예에서,  $5 \times 6.47 = 32.35$  비트인 것이 주어지면, 32 비트 워드는 5 개의 심볼들로 매퍼에 의해 인코딩될 수 있다.

[0051]

버스에서의 와이어들의 개수 및 동시에 구동되는 와이어들의 개수의 함수로서, 임의의 사이즈의 버스에 대해 구동될 수도 있는 와이어들의 조합들의 개수에 대한 일반적인 방정식은,

[0052]

$$C(N_{wires}, N_{driven}) = \frac{N_{wires}!}{(N_{wires} - N_{driven})! \cdot N_{driven}!}$$

[0053] 이다.

[0054] 구동될 와이어들에 대한 극성의 조합들의 개수에 대한 방정식은,

[0055]

$$C\left(N_{driven}, \frac{N_{driven}}{2}\right) = \frac{N_{driven}!}{\left(\left(\frac{N_{driven}}{2}\right)!\right)^2}$$

[0056] 이다.

[0057] 심볼당 비트들의 수는:

[0058]

$$\log_2 \left( C(N_{wires}, N_{driven}) \cdot C\left(N_{driven}, \frac{N_{driven}}{2}\right) - 1 \right)$$

[0059] 이다.

[0060] 도 5 는 3-와이어, 3-위상 디코더의 간략화된 예의 소정의 양태들을 도시하는 블록 개략 다이어그램 (500)이다. 차동 수신기들 (502) 및 와이어 상태 디코더 (504)는 서로에 대해 3 개의 신호 와이어들 (310a, 310b 및 310c)의 상태의 디지털 표현을 제공하고, 선행 심볼 기간에서 3 개의 신호 와이어들 (310a, 310b 및

310c) 의 시그널링 상태와 비교하여 3 개의 신호 와이어들 (310a, 310b 및 310c) 의 시그널링 상태에서의 변화들을 검출하도록 구성된다. 심볼 기간 동안 3 개의 신호 와이어들 (310a, 310b 및 310c) 의 시그널링 상태의 디지털 표현은 원 (raw) 심볼로서 지칭될 수도 있다. 7 개의 연속적인 원 심볼들 (514) 의 시퀀스는 디매퍼 (508) 에 의해 프로세싱될 7 개의 심볼들 (516) 의 세트를 획득하기 위해 직렬-병렬 컨버터들 (506) 에 의해 어셈블링된다. 디매퍼 (508) 는 출력 데이터 (520) 를 제공하기 위해 FIFO (510) 에서 버퍼링될 수도 있는 출력 데이터 (518) 의 16 비트들을 생성한다.

[0061] 동작에 있어서, 와이어 상태 디코더 (504) 는 와이어들 (310a, 310b 및 310c) 상에서 수신된 신호들로부터 심볼들의 시퀀스를 추출할 수도 있다. 심볼들 (514) 은 본 명세서에서 개시된 바와 같이, 와이어들 (310a, 310b 및 310c) 상에서 수신된 신호들의 극성에서의 변화들, 또는 위상 회전 및 극성의 조합으로서 표현될 수도 있는 시그널링 상태들에 기초하여 디코딩된다. 와이어 상태 디코더는 CDR (524) 를 포함할 수도 있으며, 이는 와이어들 (310a, 310b 및 310c) 로부터 심볼들을 신뢰성있게 캡처하기 위해서 사용될 수 있는 클록 (526) 을 추출한다. CDR (524) 은 연속적인 심볼 간격들 사이의 각각의 경계에서 3 개의 와이어들 (310a, 310b 및 310c) 중 적어도 하나에 대한 트랜지션의 발생에 기초하여 클록 (526) 을 생성하도록 구성될 수도 있다. CDR (524) 은 모든 와이어들 (310a, 310b 및 310c) 에 대한 시간을 허용하기 위해 클록 (526) 의 에지를 자연시켜서 안정화하며, 이로써 현재 심볼이 디코딩 목적들을 위해 신뢰성 있게 캡처하는 것을 보장한다.

[0062] CDR (524) 에 의해 사용된 자연은 동일한 심볼 경계에서 다중 에지들의 영향을 마스킹하기에 충분한 시간의 기간을 허용하도록 구성될 수도 있으며, 여기서 다중 에지들은 차동 수신기들 (502) 중 상이한 수신기들에 의해 상이한 시간들에서 생성된다. 이들 다중 에지들은, 소정의 상태 트랜지션들이 상이한 차동 수신기들 (502) 로 하여금 서로에 대해 시간에서 분리되는 에지를 생성하게 할 때 발생할 수 있다. CDR (524) 은 모든 가능한 에지들이 발생하였을 때의 시간까지 심볼 경계에서 제 1 발생 에지에 응답하여 자연하는 자연 엘리먼트를 포함할 수도 있다. CDR (524) 은 심볼 경계에서의 제 1 발생 에지에 응답하고, 심볼 경계에서의 자연 기간을 개시하며, 자연 기간이 경과할 때까지 심볼 경계 후에 발생하는 임의의 다른 에지들을 무시할 수도 있다.

[0063] CDR (524) 의 컴포넌트들의 성능에서의 변동들은 다중 에지들 사이의 자연들에 영향을 미치는 것이 예상될 수도 있다. CDR (524) 에서의 컴포넌트들의 성능에서의 이러한 변동들은 최악의 경우 조건들을 설명하는 CDR (524) 에 대한 자연을 구성하는 것에 의해 수용될 수 있다. 성능에서의 변동들은, 예를 들어 전력, 전압 및 온도 (PVT) 조건들에서의 변화들에 의해 야기될 수도 있다. 자연의 지속기간은 통신 링크의 성능에 영향을 미칠 수도 있고 통신 링크에서 사용될 수 있는 최대 주파수를 제한할 수도 있다. 구성된 자연이 너무 짧으면, 다중 클록 펄스들은 단일 심볼에 대해 생성될 수도 있으며, 이는 송신기와 수신기 사이의 동기화의 손실을 야기할 수도 있다. 자연이 너무 긴 경우, 심볼 시간들이 오버랩할 수도 있고, 이로써 클록 복구 회로의 오작동 또는 2 개의 심볼 간격들 동안 단일 펄스의 생성을 유발한다.

[0064] 도 6 은 3-와이어, 3-위상 디코더에서, 클록 생성의 소정의 양태들을 도시하는 블록 개략 다이어그램 (600) 을 포함한다. 차동 수신기들 (602a, 602b, 및 602c) 의 세트는 3 개의 신호 와이어들 (310a, 310b 및 310c) 의 각각의 시그널링 상태를 3 개의 와이어들 (310a, 310b 및 310c) 의 다른 것의 시그널링 상태와 비교한다. 도시된 예에서, 제 1 차동 수신기 (602a) 는 와이어들 (310a 및 310b) 의 시그널링 상태들을 비교하고, 제 2 차동 수신기 (602b) 는 와이어들 (310b 및 310c) 의 상태들을 비교하며, 제 3 차동 수신기 (602c) 는 와이어들 (310a 및 310c) 의 상태들을 비교한다. 본 명세서에 기재된 바와 같이, 와이어들 (310a, 310b 및 310c) 중 적어도 하나의 시그널링 상태는 각각의 심볼 경계에서 변화한다. 따라서, 상태 변화 검출 회로 (604) 는, 차동 수신기들 (602a, 602b 및 602c) 중 적어도 하나의 출력이 각각의 심볼 간격의 종료 시 변화할 때, 시그널링 상태에서의 변화의 발생을 검출할 수 있다.

[0065] 소정의 시그널링 상태 트랜지션들은 단일 차동 수신기 (602a, 602b 또는 602c) 에 의해 검출가능할 수도 있는 한편, 다른 시그널링 상태 트랜지션들은 차동 수신기들 (602a, 602b 및/또는 602c) 중 2 개 이상에 의해 검출될 수도 있다. 일 예에서, 2 개의 와이어들의 시그널링 상태들은 심볼 트랜지션 후에 변경되지 않을 수도 있고, 대응 차동 수신기 (602a, 602b 또는 602c) 의 출력이 또한 심볼 트랜지션 후에 변경되지 않을 수도 있다.

다른 예에서, 와이어들 (602a, 602b 또는 602c) 의 쌍에서의 양자의 와이어들은 제 1 시간 간격에서 동일한 제 1 상태에 있을 수도 있고, 양자의 와이어들은 제 2 시간 간격에서 동일한 제 2 상태에 있을 수도 있어서, 대응 차동 수신기 (602a, 602b 또는 602c) 는 위상 트랜지션 후에 변경되지 않을 수도 있다. 따라서, 클록 생성 회로 (606) 는, 시그널링 상태 트랜지션이 발생하였을 때를 결정하기 위해서, 모든 차동 수신기들 (602a, 602b 또는 602c) 의 출력들을 모니터링하는 시그널링 상태 변화 검출 회로들 및 로직 (604) 을 포함할 수도 있

다. 클록 생성 회로는 검출된 시그널링 상태 트랜지션들에 기초하여 수신 클록 (608) 을 생성할 수도 있다.

[0066] 상이한 와이어들 (310a, 310b 및/또는 310c) 에 대한 시그널링 상태들에서의 변화들은 상이한 시간에서 발생하거나 검출될 수도 있다. 시그널링 상태 변화들의 검출의 타이밍은 발생된 시그널링 상태 변화의 타입에 따라 달라질 수도 있다. 이러한 변동성의 결과는 도 6 에 제공된 간략화된 타이밍 다이어그램 (650) 에서도 시된다. 시그널링 상태 변화 검출 회로 (604) 및/또는 차동 수신기들 (602a, 602b 또는 602c) 의 출력들을 표현하는 마커들 (622, 624 및 626) 은 단지 도시의 명확성만을 위해 상이한 높이들을 할당받는다. 마커들 (622, 624 및 626) 의 상대적 높이들은 클록 생성 또는 데이터 디코딩을 위해 사용된 전압 또는 전류 레벨들, 극성 또는 가중 값들에 대해 특별한 관계가 없다. 타이밍 챕트 (650) 는 3 개의 와이어들 (310a, 310b 및 310c) 상에서 송신된 심볼들과 연관된 트랜지션들의 타이밍의 효과를 도시한다. 타이밍 챕트 (650) 에서, 일부 심볼들 사이의 트랜지션들은 심볼들이 신뢰성있게 캡처될 수 있는 동안 변동성 캡처 윈도우들 (630a, 630b, 630c, 630d, 630e, 630f 및/또는 630g)(포괄적으로, 심볼 캡처 윈도우 (630)) 을 유발할 수도 있다. 검출된 시그널링 상태 변화들의 수 및 그 상대적 타이밍은 클록 신호 (608) 상에서 지터를 유발할 수 있다.

[0067] 심볼 캡처 윈도우 (630) 의 사이즈들에서의 변동성 및 연관된 지터는 도 7 에 도시된 간단한 예 (700) 에서 예시된 바와 같이, 와이어들 (310a, 310b 및 310c) 의 전기적 특성들에 의해 부분적으로 야기될 수도 있다. 트랜지션 시간들은 제조 프로세스 허용 오차, 전압 및 전류 소스들의 변동 및 안정성, 그리고 동작 온도에 의해 야기되는 검출 회로들에서의 변동성 및/또는 신호 상승 또는 하강 시간들에서의 변동성에 의해 영향을 받을 수도 있다. 트랜지션 시간들에서의 큰 변동성은 3-위상 시그널링에서 상이한 전압 또는 전류 레벨들의 존재 때문이다. 간략화된 "전압-레벨" 예가 도 7 에 도시되며, 도 7 은 단일 와이어 (310a, 310b, 또는 310c) 에서 트랜지션 시간들을 예시한다. 제 1 심볼 ( $Sym_n$ ) (702) 은 시간 (722) 에서 종료하는 심볼 간격에서 송신될 수도 있고, 제 2 심볼 ( $Sym_{n+1}$ ) 은 시간 (724) 에서 종료하는 심볼 간격에서 송신될 수도 있으며, 제 3 심볼 ( $Sym_{n+2}$ ) (706) 은 제 4 심볼 ( $Sym_{n+3}$ ) (708) 의 송신이 시작할 때, 시간 (726) 에서 종료하는 심볼 간격에서 송신될 수도 있다. 제 1 심볼 (702) 에 의해 결정된 상태로부터 제 2 심볼 (704) 에 대응하는 상태로의 트랜지션은, 임계 전압 (718 및/또는 720) 에 도달하기 위해 와이어들 (310a, 310b, 310c) 에서의 전압에 대해 취해진 시간 때문인 제 1 지연 (712) 후에 검출될 수도 있다. 임계 전압들은 와이어들 (310a, 310b, 또는 310c) 의 상태를 결정하기 위해 사용될 수도 있다. 제 2 심볼 (704) 에 의해 결정된 상태로부터 제 3 심볼 (706) 에 대한 상태로의 트랜지션은, 임계 전압들 (718 및/또는 720) 중 하나에 도달하기 위해 와이어들 (310a, 310b, 또는 310c) 에서의 전압에 대해 취해진 시간 때문인 제 2 지연 (714) 후에 검출될 수도 있다. 제 3 심볼 (706) 에 의해 결정된 상태로부터 제 4 심볼 (708) 에 대한 상태로의 트랜지션은, 임계 전압들 (718 및/또는 720) 에 도달하기 위해 와이어들 (310a, 310b, 또는 310c) 에서의 전압에 대해 취해진 시간 때문인 제 3 지연 (716) 후에 검출될 수도 있다.

[0068] 도시된 바와 같이, 제 3 지연 (716) 은 제 1 지연 (712) 보다 더 짧을 수도 있고, 제 2 지연은 지연이 가장 길 수도 있다. 제 2 지연 (714) 이 가장 긴 지연일 수도 있는데, 이는 상태 0 이 비구동 상태이고, 와이어들 (310a, 310b 또는 310c) 에서의 전압이 임계 (720) 쪽으로 느리게 드리프트할 수도 있는 반면, 제 1 지연 (712) 및 제 2 지연 (716) 은 와이어들 (310a, 310b 또는 310c) 가 능동적으로 -1 및 +1 상태들로 각각 풀링되는 트랜지션들과 연관되기 때문이다.

[0069] 도 8 은 3-와이어, 3-위상 통신 링크의 일 예에 있어서 6 개의 가능한 위상-극성 상태들 및 3 개의 가능한 상태 트랜지션들을 도시하는 상태 다이어그램 (800) 이다. 상태 다이어그램 (800) 에 있어서 가능한 상태들 (802, 804, 806, 812, 814 및 816) 은 도 4 의 다이어그램 (450) 에 나타낸 상태들을 포함한다. 예시의 상태 엘리먼트 (820) 에서 나타낸 바와 같이, 상태 다이어그램 (800) 에서의 각각의 상태 (802, 804, 806, 812, 814 및 816) 는 와이어들 (310a, 310b 및 310c) 상에서 각각 송신된 신호들 (A, B 및 C) 의 시그널링 상태를 나타내는 필드 (822), 및 차동 수신기들 (예컨대, 도 6 에 도시된 차동 수신기들 (602a, 602b, 602c)) 에 의한 와이어 전압들의 감산의 결과를 나타내는 필드 (824) 을 포함한다. 예를 들어, 상태 (802) (+x) 와이어 A= +1, 와이어 B = -1 및 와이어 C= 0 에 있어서, 차동 수신기 (602a) 의 산출 출력 (A-B) = +2, 차동 수신기 (602b) 의 산출 출력 (B-C) = -1 그리고 차동 수신기 (602c) 의 산출 출력 (C-A) = +1. 상태 다이어그램에 의해 도시된 바와 같이, 상태 변화 검출 회로 (604) 에 의해 취해진 트랜지션 결정들은, -2, -1, 0, +1 및 +2 전압 상태들을 포함하는 차동 수신기들 (602a, 602b 및 602c) 에 의해 생성된 5 개의 가능한 레벨들에 기초한다.

[0070] 아이 패턴, 또는 아이 다이어그램은, 오버랩된 방식으로 많은 데이터 간격 파형들이 디스플레이되는 디지털 테

이터 신호의 시간 도메인 디스플레이이다. 트리거는 디스플레이된 신호의 시작 지점으로서 작용하고, 심볼 송신 시간에 대응할 수도 있는 데이터의 하나의 단위 간격 (UI) 과 연관된 주파수와 동등한 고정 반복 시간 기간에서 트리거가 발생할 수도 있다. 하나의 UI 를 포함하는 각각의 오버랩된 신호 부분의 시작 지점이 통상적으로 트리거에 의해 제어된다. 아이 패턴은 수신될 기저 대역 신호에 대한 채널 노이즈 및 심볼간 간섭 (ISD) 의 효과를 평가하기 위한 유용한 툴을 제공한다.

[0071] 도 9 는 단일 UI 에 대응하는 심볼 간격 (902) 을 포함하는, 다중 심볼 간격들의 오버레이로서 생성된 아이 패턴 (900) 을 도시한다. 신호 트랜지션 영역 (904) 은 가변 신호 상승 시간들이 신뢰성있는 디코딩을 방지하는 2 개의 심볼들 사이의 경계에서 불확실성의 시간 기간을 나타낸다. 상태 정보는 심볼이 안정적이고 신뢰성있게 수신되고 디코딩될 수 있는 시간 기간을 나타내는 "아이 오프닝" 내에서 아이 마스크 (906) 에 의해 정의된 영역에서 신뢰성있게 결정될 수도 있다. 아이 마스크 (906) 는 제로 크로싱이 발생하지 않는 영역을 마스크 오프하고, 이 아이 마스크는 제 1 신호 제로 크로싱 다음의 UI 경계에서의 후속 제로 크로싱들의 효과들에 기인하는 다중 클록킹을 방지하기 위해서 디코더에 의해 사용된다.

[0072] 신호의 주기적인 샘플링 및 디스플레이는, 수신된 데이터에서 나타나는 주파수 트랜지션들을 사용하여 수신된 데이터 타이밍 신호를 재생성하는 클록 데이터 복수 회로를 사용하는 시스템들의 설계, 적용 및 구성 동안 유용하다. 직렬화기/직렬화 해제기 (Serializer/Deserializer)(SERDES) 기술에 기초한 통신 시스템은, 아이 패턴 (900) 이 아이 패턴 (900) 에서 "아이" 의 오프닝에 기초하여 신뢰성있게 데이터를 복구하는 능력을 판단하기 위한 기반으로서 활용될 수 있다.

[0073] 종래 아이 패턴 (900) 에 대한 트리거 지점 (910) 은, 이상적인 심볼 경계 시간에 대한 모든 로우-하이 및 하이-로우 트랜지션들의 상대적 시간 오프셋 (908) 을 나타내는 뷰를 디스플레이하기 위해서 모든 캡처된 파형들이 오버랩하도록 캡처되고 디스플레이되는 각각의 파형의 시작 시간을 정의할 수도 있다. 이상적인 심볼 경계들은 제로 송신 클록 지터 및 제로 ISI 를 갖는 수신된 신호에 대한 중간 지점 (908) 의 교차점으로서 정의될 수도 있다. 이상적인 심볼 경계 지점들은 "1 UI" 간격 (902) 의 종점들이다.

[0074] 3-와이어, 3-위상 인코더와 같은 M-와이어 N-위상 인코딩 시스템은 모든 심볼 경계에서 적어도 하나의 트랜지션을 갖는 신호를 인코딩할 수도 있고, 수신기는 그러한 보장된 트랜지션들을 사용하여 클록을 복구할 수도 있다.

수신기는 심볼 경계에서 제 1 신호 트랜지션 직전에 신뢰성있는 데이터를 필요로 할 수도 있고, 또한 동일한 심볼 경계와 상관되는 다중 트랜지션들의 임의의 발생들을 신뢰성있게 마스킹하는 것이 가능하여야 한다. 다중 수신기 트랜지션들은 M-와이어들 (예를 들어, 와이어들의 트리오) 상에서 반송된 신호들 사이의 상승 및 하강 시간에서의 약간의 차이로 인하여 그리고 수신된 신호 쌍들의 조합들 (예를 들어, 도 6의 차동 수신기들 (602a, 602b 및 602c) 의 A-B, B-C 및 C-A 출력들) 사이의 신호 전파 시간들에서의 약간의 차이로 인하여 발생할 수도 있다.

[0075] 도 10 및 도 11 은 시그널링 성능을 개선하기 위해 적용될 수도 있는 타이밍 조정들 및 제 1 상태로부터 제 2 상태로의 트랜지션들의 간략화된 예들을 나타내는 타이밍 차트들 (1000 및 1100) 을 제공한다. 타이밍 차트들 (1000 및 1100) 은 3-와이어, 3-위상 통신 링크의 예와 관련되며, 여기서 다중 수신기 출력 트랜지션들은 와이어들의 트리오의 3 개의 신호들 사이의 상승 및 하강 시간에서의 약간의 차이로 인하여 그리고 수신된 신호 쌍들의 조합들 (예를 들어, A-B, B-C, 및 C-A) 사이의 신호 전파 시간들에서의 약간의 차이로 인하여 각각의 UI 경계에서 발생할 수도 있다. 이러한 기재를 위하여, 도 10 및 도 11 에 도시된 신호들은 위상 지터 또는 ISI 가 없는 것으로 가정된다. 와이어의 초기 상태는 구동 상태일 수도 있으며, 다른 구동 상태 또는 비구동 상태로의 가능한 트랜지션들이 가능하다. 와이어의 초기 상태는 비구동 상태일 수도 있으며, 구동 상태로의 트랜지션들이 가능하다.

[0076] 도 10 과 관련하여, 타이밍 차트들 (1002, 1012 및 1022) 는 차트들 (1050) 의 세트에 나타낸 신호 트랜지션들 전후에 차동 수신기들 (602a, 602b 및 602c) 에서 측정가능한 신호 와이어들 (310a, 310b 및 310c)(각각 신호들 A, B 및 C) 사이의 차이들을 도시한다. 도 10 및 도 11 에 도시된 예들에서, -1 상태는 0 볼트의 전압 레벨로 나타내고, +1 상태는 포지티브 전압 (+V) 으로 나타내어, 제로 크로싱이 +V/2 볼트에서 발생한다. 많은 경우들에서, 차동 수신기들 (602a, 602b 및 602c) 의 세트는 2 개의 신호 와이어들 (310a, 310b 및 310c) 에 대한 상이한 조합들을 비교하는 것에 의해 트랜지션들을 캡처하도록 구성될 수도 있다. 일 예에서, 이들 차동 수신기들 (602a, 602b 및 602c) 은 그 각각의 입력 전압들의 차이들을 결정하는 것에 의해 (예를 들어, 감산에 의해) 출력들을 생성하도록 구성될 수도 있다. 클록은 차동 수신기들 (602a, 602b 및 602c) 중 하나 이상의 출력들의 제로 크로싱들에 기초하여 생성될 수도 있다. 제로 크로싱은 +1 상태를 나타내는 전압과

-1 상태를 나타내는 전압 사이의 전압 범위에 있어서 중간 지점의 전압에 의해 나타낸 0 상태를 통해 신호가 트랜지션할 때 발생할 수도 있다. 일 예에서, 제로 크로싱은 -1 상태가 네거티브 전압 (-V)으로 나타내고 +1 상태는 포지티브 전압 (+V)으로 나타낼 때 0 볼트에서 발생한다.

[0077] 도 10 을 참조하면, 타이밍 채트들 (1002 및 1052) 은, 신호 (A) 가 +1 상태로부터 -1 상태로 트랜지션하고, 신호 (B) 가 -1 상태로부터 +1 상태로 트랜지션하며, 신호 (C) 가 0 상태에서 유지되는, 심볼 (+x)(802)로부터 심볼 (-x)(812)(도 8 참조) 로의 트랜지션과 관련된다. 따라서, 차동 수신기 (602a) 는 AB 트랜지션 (1006) 전의 +2 차이 및 AB 트랜지션 (1006) 후의 -2 차이를 측정할 수도 있고, 차동 수신기들 (602a 및 602c) 는 BC 및 CA 트랜지션들 (1004) 전의 -1 차이 및 BC 및 CA 트랜지션들 (1004) 후의 +1 차이를 각각 측정할 수도 있다. 이 예에서, BC 및 CA 트랜지션들 (1004 및 1006) 의 양자는 제로 크로싱들을 갖는다. 제로 크로싱은, 양자의 트랜지션들이 구동 상태들을 향하기 때문에 시간적으로 가까이 근접 (1010) 하여 발생할 수도 있다.

[0078] 타이밍 채트들 (1012 및 1054) 는, 신호 (A) 가 +1 상태로부터 0 상태로 트랜지션하고, 신호 (B) 가 -1 상태로부터 +1 상태로 트랜지션하며, 신호 (C) 가 0 상태로부터 -1 상태로 트랜지션하는, 심볼 (+x)(802)로부터 심볼 (+y)(804) 로의 트랜지션과 관련된다. 따라서, 차동 수신기 (602a) 는 AB 트랜지션 (1016) 전의 +2 차이 및 AB 트랜지션 (1016) 후의 -1 차이를 측정할 수도 있고, 차동 수신기 (602b) 는 BC 트랜지션 (1014) 전의 -1 차이 및 BC 트랜지션 (1014) 후의 +2 차이를 측정할 수도 있으며, 차동 수신기 (602c) 는 CA "비트랜지션" (1018) 을 통해 -1 차이에서 유지될 수도 있다. 이 예에서, BC 및 AB 트랜지션들 (1014 및 1016) 의 양자는 제로 크로싱들을 갖는다. 이들 제로 크로싱들은 유의 시간 간격 (1020) 으로 분리될 수도 있다. 이 차이는 BC 트랜지션 (1014) 이 최종 구동 상태를 갖는 2 개의 신호들을 수반하는 한편 AB 트랜지션 (1016) 은 최종 비구동 상태를 갖는 하나의 신호와 관련되기 때문에 발생할 수도 있다.

[0079] 타이밍 채트들 (1022 및 1056) 은, 신호 (A) 가 +1 상태로부터 -1 상태로 트랜지션하고, 신호 (B) 가 -1 상태로부터 0 상태로 트랜지션하며, 신호 (C) 가 0 상태로부터 +1 상태로 트랜지션하는, 심볼 (+x)(802)로부터 심볼 (+z)(806) 으로의 트랜지션과 관련된다. 따라서, 차동 수신기 (602a) 는 AB 트랜지션 (1026) 전의 +2 차이 및 AB 트랜지션 (1026) 후의 -1 차이를 측정할 수도 있고, 차동 수신기 (602b) 는 BC 비트랜지션 (1028) 전후의 -1 차이를 측정할 수도 있으며, 차동 수신기 (602c) 는 CA 트랜지션 (1024) 전의 -1 차이 및 CA 트랜지션 (1024) 후의 +2 차이를 측정할 수도 있다. 이 예에서, CA 및 AB 트랜지션들 (1024 및 1026) 은 제로 크로싱들을 갖는다. 이들 제로 크로싱들은 시간의 유의 기간 (1030) 으로 분리될 수도 있으며, 여기서 차이는 양자 모두가 최종 비구동 상태를 갖는 신호들 (A 및 C) 를 수반하는 CA 트랜지션 (1024) 에 기인한 것일 수도 있는 한편 AB 트랜지션 (1026) 은 최종 비구동 상태를 갖는 하나의 신호 (B 신호) 를 수반한다.

[0080] 제로 크로싱들 사이의 시간 간격들 (1010, 1020 및 1030) 은 상태들의 상이한 조합들 사이에서 트랜지션 시간들의 차이들로부터 발생할 수도 있다. 통상적으로, 구동 상태로의 트랜지션들을 위한 트랜지션 시간들은 비구동 상태로의 트랜지션들보다 더 짧다. 상승 시간들에서의 증가된 또는 감소된 차이들을 생성하는 다른 회로 구현들이 채용될 수도 있다. 예를 들어, 차동 수신기들 (602a, 602b 및 602c) 에서 신호들의 상대적 시간 관계는, 0 상태가 비구동 레벨이기보다 구동 레벨일 때, 또는 비구동 신호 와이어가 풀업 및/또는 풀다운 저항 기들에 의해 종료되는 경우 영향을 받을 수도 있다. 따라서, 상이한 타이밍 관계들은 수신기 입력들에서 수신된 신호들에 대해 예상될 수 있다.

[0081] 도 10 에 도시된 예들은 +x 에서 -x, +x 에서 +y 및 +x 에서 +z 로의 3 상태 트랜지션들에 대한 트랜지션들의 정렬을 기재하며, 타이밍 채트들 (1052, 1054 및 1056) 에 나타낸 바와 같이, 제로 크로싱들은 신호 와이어들 (310a, 310b 및 310c) 중 적어도 2 개에서 발생한다. 이들 3 상태 트랜지션들에서 발생하는 조건들은 도 8 에 나타낸 30 개의 가능한 상태 트랜지션들 중 18 개에서 존재할 수도 있다.

[0082] 도 11 의 타이밍 채트들 (1102 및 1152) 은, 신호 (A) 가 +1 상태로부터 0 상태로 (예를 들어, 비구동 상태로), 신호 (B) 가 트랜지션을 통해 -1 상태에서 변화되지 않으며, 신호 (C) 가 0 상태에서 +1 상태로 트랜지션하는, 제 1 심볼 (+x)(802)로부터 제 2 심볼 (-y)(814) 로의 트랜지션과 관련된다. 따라서, 차동 수신기 (602a) 는 AB 트랜지션 (1104) 전의 +2 차이 및 AB 트랜지션 (1104) 후의 +1 차이를 측정할 수도 있고, 차동 수신기 (602b) 는 BC 트랜지션 (1110) 전의 -1 차이 및 BC 트랜지션 (1110) 후의 -2 차이를 측정할 수도 있으며, 차동 수신기 (602c) 는 CA 트랜지션 (1106) 전의 -1 차이 및 CA 트랜지션 (1106) 후의 +1 차이를 측정할 수도 있다. 이 예에서, 단지 하나의 차동 수신기 (602c) 만이 제로 크로싱을 갖는 출력을 생성한다.

[0083] 타이밍 채트들 (1122 및 1154) 은, 신호 (A) 가 +1 상태에서 유지되고, 신호 (B) 가 -1 상태로부터 0 상태로 트

랜지션하며, 신호 (C) 가 0 상태로부터 -1 상태로 트랜지션하는, 제 1 심볼 (+x)(802)로부터 제 2 심볼 (-z)(816) 로의 트랜지션과 관련된다. 따라서, 차동 수신기 (602a) 는 AB 트랜지션 (1124) 전의 +2 차이 및 AB 트랜지션 (1124) 후의 +1 차이를 측정할 수도 있고, 차동 수신기 (602b) 는 BC 트랜지션 (1126) 전의 -1 차이 및 BC 트랜지션 (1126) 후의 -1 차이를 측정할 수도 있으며, 차동 수신기 (602c) 는 CA 트랜지션 (1130) 전의 -1 차이 및 CA 트랜지션 (1130) 후의 -2 차이를 측정할 수도 있다. 이 예에서, 단지 하나의 차동 수신기 (602b) 만이 제로 크로싱을 갖는 출력을 생성한다.

[0084] 도 12 는 3-위상 신호에 대해 생성된 아이 패턴 (1200) 의 일 예를 도시한다. 아이 패턴 (1200) 은 다중 심볼 간격들 (1202) 의 오버레이로부터 생성될 수도 있다. 아이 패턴 (1200) 은 고정 및/또는 심볼 의존 트리거 (1230) 를 사용하여 생성될 수도 있다. 아이 패턴 (1200) 은 통상적인 N-위상 드라이버 회로에 의해 채용된 다중 전압 레벨에 기인한 것일 수도 있는 전압 레벨들 (1220, 1222, 1224, 1226, 1228) 의 증가된 수를 포함한다. 이 예에서, 아이 패턴 (1200) 은 차동 수신기들 (602a, 602b 및 602c) 에 제공된 3-와이어, 3-위상 인코딩된 신호들에서 가능한 트랜지션들을 나타낸다. 3 개의 전압 레벨들은 차동 수신기들 (602a, 602b 및 602c) 이 포지티브 및 네거티브 극성을 양자 모두에 대해 강 레벨들 (1226, 1228) 및 약 레벨들 (1222, 1224) 을 생성하게 할 수도 있다. 통상적으로, 단지 하나의 와이어 (310a, 310b 및 310c) 만이 임의의 심볼에서 비구동되고, 차동 수신기들 (602a, 602b 및 602c) 은 0 상태 (여기서, 0 볼트) 출력을 생성하지 않는다. 강 및 약 레벨들과 연관된 전압들은 0 볼트 레벨에 관하여 균등하게 이격될 필요는 없다. 예를 들어, 약 레벨들 (1222, 1224) 은 비구동 신호 와이어 (310a, 310b 및 310c) 에 의해 도달된 전압 레벨을 포함할 수도 있는 전압들의 비교를 나타낸다. 아이 패턴 (1200) 은 차동 수신기들 (602a, 602b 및 602c) 에 의해 생성된 파형들을 오버랩하기 위해 일반적으로 유용한 종래 접근법을 반영하는데, 이는 신호들의 3 쌍 모두가 수신 디바이스에서 데이터가 캡처될 때 동시에 고려되기 때문이다. 차동 수신기들 (602a, 602b 및 602c) 에 의해 생성된 파형들은 신호들의 쌍들 (A-B, B-C 및 C-A) 의 3 개의 비교들을 나타낸다.

[0085] 3-위상 디코더에서 사용된 드라이버들, 수신기들 및 다른 디바이스들은 3 개의 와이어들로부터 수신된 신호들 사이의 상대적 지연들을 도입할 수 있는 상이한 스위칭 특성들을 나타낼 수도 있다. 다중 수신기 출력 트랜지션들은 와이어들 (310a, 310b, 310c) 의 트리오의 신호들 사이의 상승 및 하강 시간에서의 약간의 차이들로 인하여, 그리고 수신된 신호들 (310a, 310b, 310c) 의 쌍들의 조합들 사이의 신호 전파에서의 약간의 차이로 인하여 각각의 UI 경계 (1208 및/또는 1214) 에서 관측될 수도 있다. 아이 패턴 (1200) 은 각각의 UI 경계 (1208 및 1214) 근방의 트랜지션들에서의 상대적 지연 (1206) 으로서 상승 및 하강 시간들에서의 변동들을 캡처할 수도 있다. 상승 및 하강 시간들에서의 변동들은 3-위상 드라이버들의 상이한 특성들에 기인할 수도 있다. 상승 및 하강 시간들에서의 차이들은 또한 심볼 간격 시간 (1202) 의 효과적인 단축 및 증가를 초래할 수도 있다.

[0086] 신호 트랜지션 영역 (1204) 은, 가변 신호 상승 시간들이 신뢰성있는 디코딩을 방지하는 불확실성의 시간 기간을 나타낸다. 상태 정보는, 심볼이 안정적이고 신뢰성있게 수신되고 디코딩될 수 있는 시간 기간을 나타내는 "아이 오프닝" (1206) 에서 신뢰성있게 결정될 수도 있다. 일 예에서, 아이 오프닝 (1206) 은 신호 트랜지션 영역 (1204) 의 종료 (1212) 시 시작하고, 심볼 간격 (1203) 의 종료 (1214) 시 종료한다. 도 12 에 도시된 예에 있어서, 아이 오프닝 (1206) 은 신호 트랜지션 영역 (1204) 의 종료 (1212) 시 시작하고, 커넥터들 (310a, 310b, 310c) 의 시그널링 상태 및/또는 3 개의 차동 수신기들 (602a, 602b 및 602c) 의 출력들이 다음 심볼을 반영하기 위해 변화하기 시작할 때, 시간 (1216) 에서 종료한다.

[0087] N-위상 인코딩을 위해 구성된 통신 링크 (220) 의 최대 속도는 수신된 신호 아이 오프닝 (1206) 과 비교하여 신호 트랜지션 영역 (1204) 의 지속기간으로 제한될 수도 있다. 심볼 간격 (1202) 을 위한 최소 기간은 도 5 에 도시된 디코더 (500) 에서 CDR 회로 (524) 와 연관된 엄격한 설계 마진들에 의해, 또는 예를 들어 도 6 의 클록 생성 회로 (606) 에서 제약될 수도 있다. 상이한 시그널링 상태 트랜지션들은 2 이상의 와이어들 (310a, 310b 및/또는 310c) 에 대응하는 신호 트랜지션 시간들에서의 상이한 변동들과 연관될 수도 있으며, 이로써 수신 디바이스에서의 차동 수신기들 (602a, 602b 및 602c) 의 출력들이 심볼 경계 (1208) 에 대해 상이한 시간들 및/또는 레이트들로 변화하게 하며, 여기서 차동 수신기들 (602a, 602b 및 602c) 의 입력들 (310a, 310b, 310c) 은 변화하기 시작한다. 지연 엘리먼트는 차동 수신기들 (602a, 602b 및 602c) 중 2 이상의 차동 수신기들의 출력들에서 수신된 신호 트랜지션 시간들에서의 가능한 큰 변화들을 수용하기 위해서 CDR 회로 (524) 에 제공될 수도 있다. 지연 엘리먼트는 도 6 에 나타낸 상태 변화 검출 회로 (604) 및/또는 클록 생성 회로 (606) 중 하나 이상에 제공될 수도 있다. 일 예에서, 지연 엘리먼트는 트랜지션 영역 시간 (1204) 을 초과하는 최소 지연 기간을 가질 수도 있다. 이러한 지연 엘리먼트에 의해 제공된 최대 지연 시간은 아

이 오프닝 (1206) 의 클로징 에지 (1216) 를 너머 연장하지 않을 수도 있다. 일부 경우들에서, 지연 엘리먼트에 의해 제공된 최대 지연 시간은 시간 (1214) 에서 다음 심볼 간격의 개시를 너머 연장하지 않을 수도 있다. 더 빠른 데이터 레이트들에서, 아이 오프닝 (1206) 은 심볼 간격 (1202) 와 비교하여 작아질 수도 있고, 심볼 트랜지션 변동성의 효과는 최대 심볼 트랜지션 레이트에 대해 결정적일 수도 있다.

[0088] 임의의 단일 트랜지션의 지속기간은 신호 트랜지션 영역 ( $t_{AJ}$ ) (1204) 의 전체 범위에 걸치기 쉽지 않은데, 이는 최소 가능 신호 트랜지션 시간 및 최대 가능 트랜지션 시간이 단일 심볼 트랜지션 동안 발생하는 것이 쉽지 않기 때문이다. 일 예에서, 신호 트랜지션 영역 (1204) 은 차동 수신기 (602a, 602b 또는 602c) 의 출력에서 검출된 제 1 제로 크로싱 (1210) 의 시간, 및 모든 가능한 심볼 트랜지션들을 위해, 차동 수신기들 (602a, 602b 및 602c) 의 출력에서 검출된 마지막 제로 크로싱 (1212) 의 시간에 의해 바운딩될 수도 있다. 차동 수신기들 (602a, 602b 및 602c) 의 출력들에서 관측된 트랜지션 시간들은, 송신기에서 드라이버들 (308) 의 하나 이상의 입력들에서의 변화 후에 시그널링 상태에 도달하기 위해 커넥터들 및/또는 와이어들 (310a, 310b, 또는 310c) 에서의 전압 동안 취해진 시간들에 대응할 수도 있다.

[0089] 최장 가능 트랜지션 시간은 신호 와이어 및/또는 커넥터들 (310a, 310b 또는 310c) 의 특성들 및 수반된 상태 트랜지션의 타입에 의해 결정될 수도 있다. 일 예에서, 최장 가능 트랜지션 시간은 하나 이상의 신호들의 상승 또는 하강 시간에 의해 결정될 수도 있다. 상승 및 하강 시간들은 원래 및/또는 최종 상태들의 성질 및 전압 레벨들에 의해 결정될 수도 있다. 통상적으로, 최장 가능 트랜지션 시간은 능동적으로 구동된 상태 및 비구동 상태 사이의 트랜지션에 대응한다.

[0090] 심볼 간격 (1202) 에 관한 트랜지션 영역 (1204) 에 대한  $t_{AJ}$  의 높은 값은 CDR 회로 (524) 또는 클록 생성 회로 (606) 와 연관된 증가된 설계 어려움을 초래할 수 있다. 예를 들어, 클록 생성 회로 (606) 는 3 개의 차동 수신기 출력들 (602a, 602b 및 602c) 의 제 1 제로 크로싱에 의해 트리거되는 타이머 또는 지연 엘리먼트를 채용할 수도 있다. 3 개의 차동 수신기들 (602a, 602b 및 602c) 모두의 출력들의 상태는, 모든 차동 수신기들 (602a, 602b 및 602c) 이 트랜지션 영역의 종료 (1212) 에 의해 정의될 수도 있는 그 최종 상태에 도달할 때 까지, 안정하게 샘플링되지 않을 수도 있다. 따라서, 타이머는 바람직하게, 클록 생성 회로 (606) 가 3 개의 차동 수신기들 (602a, 602b 및 602c) 의 출력들을 샘플링하기 위해 사용되는 클록 에지를 출력할 수도 있는 시간에서, 트랜지션 영역 (1204) 의 종료 (1212) 후에 짧게 만료할 수도 있다.

[0091] 일부 디바이스들에서, CDR 회로 (524) 에서의 지연 엘리먼트들은 제조 프로세스, 회로 공급 전압, 및 다이 온도 (PVT 변동) 에 의해 악영향을 받을 수 있고, 현저하게 변화하는 지연들을 생성할 수도 있다. 그러한 시스템들에서, CDR 회로 (524) 의 공정 동작 조건은 일반적으로, 최악의 경우 PVD 영향들 하에서도, 트랜지션 영역 (1204) 의 종료 (1212) 후에 그리고 다음 심볼로의 트랜지션 영역의 개시 (1216) 전에 클록 에지가 발생하는 것을 보장하기 위해서, 아이 오프닝 (1206) 의 중간 어느 곳에서 클록 에지를 생성하기 위한 설계로 설정된다.

어려움은 트랜지션 영역 (1204) 이 아이 오프닝 (1206) 에 비해 클 때 아이 오프닝 (1206) 내에서 클록 에지를 보장하는 CDR 회로 (524) 의 설계 시 발생할 수도 있다. 예를 들어, 통상적인 지연 엘리먼트는 모든 PVD 조건들을 통해 2 의 팩터 만큼 변화하는 지연 값을 생성할 수도 있으며, 아이 오프닝 (1206) 은 조정불가능한 지연 값이 선택될 수 있도록 하기 위해서 트랜지션 영역 (1204) 보다 더 커야 한다.

[0092] 일부 경우들에서, 트랜지션 영역 (1204) 의 지속기간은 송신 회로 (도 3 참조) 의 하나 이상의 드라이버들 (308) 로의 입력에서의 변화와 수신기 (도 5 참조) 에서의 차동 수신기들 (502) 의 출력들에서 관측되거나 예상되는 대응 트랜지션들 사이의 최대 타이밍에 기초하여 계산될 수도 있다. 다른 경우들에서, 수정된 트랜지션 영역 (1216) 은 수신기들 (502) 중 하나의 수신기의 출력에서 제 1 트랜지션의 시간 (1218) 과 모든 심볼 트랜지션들에 대하여, 다른 수신기들 (502) 의 출력에서 마지막 트랜지션의 시간 (1214) 사이의 최대 차이로서 수신기들 (502) 의 출력들에서 결정될 수도 있다.

[0093] 도 13 은 고정 트리거 지점 (1310) 을 사용하여 캡처된 3-와이어, 3-위상 신호에 대한 종래의 아이 패턴 (1304) 에 대한 위상 지터의 효과를 도시하는 다이어그램 (1300) 이다. 수신기에서 수신된 제 1 심볼 ( $n=6$ ) (1302) 에 대한 아이 패턴 (1302) 은 "1 UI" 심볼 간격 (1314) 을 가질 수도 있다. 이전 심볼에 대한 샘플링 지점 (1306) 은 제 1 심볼 (1302) 로의 트랜지션의 시작과 관련하여 정의될 수도 있다. 위상 변동들의 효과는 심볼들의 시리즈 ( $n=0$  내지  $n=12$ ) (1312) 에서 관측될 수 있다. 하나의 UI 로부터 다음으로의 트랜지션 지점들의 이동은, 예를 들어 클록 송신 지터로 인한 UI 의 길이에서의 작은 변화들에 기인한 것일 수도 있다. 도시된 예에서, 위상 시프트는 일반적으로 사인 곡선으로 특징화되고, 심볼들의 조합된 시리즈 (1312) 에 대한 아이 패턴 (1304) 은 각각의 심볼에 대한 가용 아이 오프닝 (1310) 에 대해 현저하게 감소된 아이 오프닝 (1316)

을 나타낸다.

[0094] 도시된 예에서, 아이 패턴 (1304)에 대한 랜덤 지터의 영향은 UI 레이트의 주파수 1/24에서 변조되는 링크 송신 클록 주파수로부터 도출한다. UI (1314)에서의 최대 차이는 변조의 전체 사이클에서 UI를 (1314)의 개수 및 평균 (A)으로부터 편차의 진폭으로서 결정될 수도 있다. 일 예에서, 최대 편차는

$$\text{peak\_deviation\_in\_one\_UI} = A * \sin(2\pi/\text{UI\_per\_cycle})$$

[0095] 와 같이 계산될 수도 있다.

[0096] [0097] 도 13에 나타낸 예에서, UI (1314)의 지속기간은 대략적으로 8.25 센티미터의 거리로서 그래프될 수 있는 한편, 사이클에서의 피크 편차는 대략적으로 1.75 센티미터에서 그래프된다. 변동의 각 사이클에는 24 개의 UI들이 있으며,  $A = 1.75/8.25 = 0.2121$  UI.

$$\text{peak deviation in one UI} = 0.2121 * \sin(2\pi/24) = 0.0549.$$

[0098] [0099] 따라서, 이 예에서, 심볼 사이의 피크 편차는 UI 1314의 약 5.5%이다. 이상적인 트리거 지점 (1310)에 관한 사이클에서 사이클로의 UI (1314)의 시작 (1308) 및 종료 (1308')의 위상에서의 이러한 변화의 누적 효과는 아이 오프닝 (1316)이 가용 심볼 당 아이 오프닝 (1310)에 관한 유의 양만큼 가까워지게 한다. 가용 심볼 당 아이 오프닝 (1310)은 클록 신호에서의 지터로 인하여 종래 아이 패턴에서 제시된 오프닝 (1316) 보다 각각의 심볼 (1312)에 대해 상당히 클 수도 있다. M-와이어, N-위상 통신 링크에서의 클록 에지들은 각각의 심볼 (1312)에 대해 독립적으로 생성될 수도 있고, 샘플 포인트 (1306)는 전체 심볼 당 아이 오프닝 (1310)을 이용하는 방식으로 그러한 독립적으로 생성된 클록으로부터 도출될 수도 있다. 이 예에서, 데이터는 심볼 트랜지션 (1308 및/또는 1308')에서 검출된 제 1 에지의 발생 전에 짧게 제공된 샘플 포인트 (1306)에서 샘플링될 수도 있다.

[0100] [0101] 동작에 있어서 3-위상 수신기가 신호를 신뢰성있게 캡처하기 위해 심볼 당 아이 오프닝 (1310)에서 충분한 타이밍 마진 보다 큰 타이밍 마진을 가질 수도 있더라도, 각각의 UI 경계 (1308 및 1308') 근방의 다중 수신기 트랜지션들의 개념이 송신기 클록 및 ISI의 위상 지터와 결합될 때, 그 후 아이 오프닝 (1316)은, 거의 또는 심지어 완전히 근접하게 나타날 수 있다. 실제 타이밍 마진이 통상적으로 심볼 (1302)과 관련되지 않은 트리거 (1310)에 기초하지 않지만, 심볼 당 아이 오프닝 (1310)에 대한 사이클 투 사이클 효과들만이 상당하도록 모든 심볼 경계 (1308 및 1308')에서 신호 트랜지션들로부터 도출되는 3-위상 복구 클록에 기초할 수도 있다.

[0102] [0103] 도 14는 N-위상 디코더에 의해 생성된 데이터 캡처 지점 (1410)에서 또는 그 근방에서 트리거된 3-위상 아이 패턴을 도시하는 타이밍 차트 (1400)를 제공한다. 데이터 캡처 지점 (1410)은 수신기에 의해 검출된 UI 경계 (1408')에서 제 1 트랜지션 이전의 시간에서 동시에 발생한다. 3-위상 아이 패턴은 차동 수신기들 (602a, 602b 및 602c)의 3 개의 파형들 (A-B, B-C 및 C-A) 중 어느 것의 제 1 제로 크로싱에 기초하여 결정되는 데이터 캡처 지점 (1410)에 정렬되고 및/또는 동기화될 수도 있으며, 여기서 제로 크로싱들은 UI 경계 (1408 및/또는 1408')에서 발생한다. 도시된 바와 같이, 트리거 지점 (1410)은 도 10에 나타낸  $t_{\Delta J}$  간격들 (1010, 1020 및 1030)의 좌측의 좌측 상에 있다.

UI (1402)는 차동 제로 신호 레벨 (제로 크로싱)을 통과하는 하나 이상의 차동 신호 트랜지션들에 의한 시작 및 종료 시 바운딩된다. 3-위상 시스템에서, 이를 차동 파형들, A-B, B-C 및 C-A가 모두 함께 고려된다. 시간 윈도우 ( $W_{-1}$ ) (1404)는 UI (1402)의 시작에서 제로 크로싱 (즉, 중간 지점 (1410)과 교차)을 갖는 영역을 정의하고, 시간 윈도우 ( $W_0$ ) (1406)는 신호 차이들이 UI (1402)의 종료 시 제로 크로싱을 갖는 영역이다. 시간 윈도우 ( $W_0$ ) (1406)에서 제로 크로싱을 갖는 그룹 (A-B, B-C 및 C-A)의 제 1 신호 차이는 트리거 지점 (1410)을 정의한다. 아이 패턴은, 모든 파형들의 트리거 지점들 (1410)이 디스플레이된 아이 패턴의 시간에 있어서 동일 지점에서 정렬되는 다중 UI 기간들의 시간 도메인 파형들을 오버랩하는 것에 의해 생성된다. 트리거 지점은 차동 수신기들 (602a, 602b 및 602c)의 출력의 제 1 제로 크로싱, 제 1 검출 트랜지션 및/또는 데이터 샘플링 지점으로서 설정될 수도 있다.

[0104] 통상적으로, N-위상 클록 복구 및 데이터 샘플링 회로는 단지 사이클 투 사이클 이벤트들에만 민감하고, 허위 (misleading) 정보를 제공하는 종래 아이 패턴 디스플레이에 대해 가능하다. 예를 들어, 데이터 신호의 UI (1402) 또는 각각의 개별 사이클이 UI 경계 (1408 및/또는 1408')를 마킹하는 데이터 신호의 제 1 트랜지션 바로 전에 데이터를 샘플링하기 위해 많은 양의 타이밍 마진을 가질 때에도, 아이는 완전히 근접하여 보일 수도

있다. 3-위상 클록 복구 회로 및 데이터 캡처 회로는 대부분 이 아이 클로저에 의해 영향을 받지 않는데, 이는 클록 복구 회로가 UI 경계 (1408 및/또는 1408') 근방의 제 1 트랜지션 바로 전에 캡처 지점 (1410)을 초래하는 샘플 클록을 생성할 수도 있기 때문이다. SERDES-기반 시스템을 위한 종래 데이터 캡처 회로는 클록을 복구하기 위해 PLL을 사용할 수도 있고 일반적으로 아이 오프닝의 중간에서 캡처가 발생하는 것을 필요로 할 수도 있다. 하지만, 3-위상 데이터 캡처 회로 및 데이터 샘플링 회로는, 데이터 캡처 회로에 대해 크고 죄적화된 데이터 셋업 시간을 야기하는, 이상적인 순간에 수신된 데이터를 샘플링하기 위해서, 모든 UI 경계 (1408 및 1408')에서 샘플링 지점 (1410)을 조정할 수 있다. 복구 회로는 단지 UI 경계 (1408 및/또는 1408')에서 제 1 에지만을 검출하고 지연 회로를 트리거하여 동일한 UI 경계 (1408 및/또는 1408') 근방에서 임의의 후속 수신기 트랜지션들을 마스킹하여야 한다.

[0104] 본 명세서에 개시된 N-위상 아이 패턴은 N-위상 신호들의 클록 복구 마진 및 데이터 샘플링의 관측을 위해 사용될 수도 있다. 개시된 N-위상 아이 패턴은, 클록 복구 회로에서 타이밍 마스크를 위해 필요한 지연의 양 및 데이터 샘플링 회로에 이용가능한 타이밍 마진을 관측하기 위해서 클록 복구 및 데이터 캡처 회로의 거동을 모방한다. 이러한 개시된 N-위상 아이 패턴 정의는, 장비 사용자가 보고 해석할 수도 있는, 아이 패턴의 새로운 유형을 디스플레이하기 위해 N-위상 테스트 장비에 의해 사용될 수 있다. 이러한 개시물의 목적을 위해, 개시된 N-위상 아이 패턴의 소정의 양태들은 3-위상 인코딩된 통신 링크에 관하여 기재된다. 3 보다 많은 와이어들을 사용하는 통신 링크에 대응하기 위한 N-위상 아이 패턴은 아이 패턴에서 4 보다 큰 레벨을 가질 수도 있다. 하지만, UI 경계에서 제 1 제로 크로싱 트랜지션의 캡처 및 타이밍, 그리고 트리거로서의 제 1 제로 크로싱의 사용과 관련된 그러한 원리들 및 양태들을 포함하는, 본 명세서에 기재된 소정의 원리들 및 양태들은 3 보다 많은 와이어들을 사용하는 통신 링크에서 동등하게 적용가능하다.

[0105] 도 15 는 본 명세서에 개시된 소정의 양태들에 따른 3-위상 아이 패턴 (1504)의 일 예 (1500)를 도시한다. 아이 패턴 (1504)은 도 13에서 종래 아이 패턴 (1304)과 같이 플로팅되었던 동일한 과형에 대응한다. 아이 패턴 (1504)은 본 명세서에 기재된 3-위상 아이 패턴 알고리즘을 사용하여 플로팅되고 실질적으로 큰 아이 오프팅 (1508)을 드러낸다. 예 (1500)에서, 아이 패턴 (1504)은, UI (1514)의 종료 시 제 1 트랜지션의 발생 전에 약간 생성될 수도 있는, N-위상 디코더에 의해 채용된 샘플링 클록 (1506)을 트리거로서 사용하여 생성될 수도 있다. 일부 예들에서, 아이 패턴 (1504)은 샘플링 지점 (1506)에서 보다는, UI (1514)의 종료시 제 1 트랜지션 (1510) 상에 정렬될 수도 있다. 샘플링 지점 (1506)에 기초한 트리거링은, 데이터 캡처 회로의 동작을 고려할 때 편리한 시간 레퍼런스를 제공할 수 있기 때문에, 도 15에 도시된다. 아이 패턴 (1504)은 N-위상 수신기에서 데이터 샘플링 회로에 제시되는 데이터 셋업 시간의 사실적인 표현을 제공한다.

[0106] 도 16은 본 명세서에 개시된 소정의 양태들에 따라 생성된 3-위상 아이 패턴 (1604)의 일 예를 도시하는 다이어그램 (1600)이다. 아이 패턴 (1604)은 UI (1614)의 시작에서 제 1 신호 제로 크로싱 (1610)으로부터 도출되는 트리거를 사용하여 심볼들의 시리즈 (1612)에 대한 심볼 간격들 (1614)을 중첩시킬 수도 있고, 과형의 나머지 부분은 트리거 지점 다음에 디스플레이된다. 일부 예들에서, 아이 패턴 (1604)은 이전 UI에서 데이터를 샘플링하기 위해 계산되거나 그렇지 않으면 생성되는 샘플링 지점 (1606)으로부터 도출되는 트리거를 사용하여 심볼들의 시리즈 (1612)에 대해 심볼 간격들 (1614)을 중첩시킬 수도 있다. 디스플레이의 이러한 형태에서, 클록 복구회로에서 클록 지연 마스크를 위해 아이 오프닝 (1608)에 의해 제공된 시간 마진을 관측하는 것이 가능하다. 이러한 클록 지연은 제 1 신호 제로 크로싱 (1610) 다음의 UI 경계에서의 후속 제로 크로싱들의 효과를 마스킹하는 것에 의해 다중 클록을 방지하기 위해 사용될 수도 있다.

[0107] 도 17은 본 명세서에 개시된 소정의 양태들에 따라 생성된 다중 심볼 3-위상 아이 패턴 (1700)의 일 예를 도시한다. 3-위상 아이 패턴 (1700)의 다중 심볼은 각각의 심볼 쌍의 제 1 심볼 (1704) 및 제 2 심볼 (1706) 사이의 제 1 신호 제로 크로싱 (1702)로부터 도출되는 트리거를 사용하여 순차적 심볼 쌍들의 시리즈에 대해 심볼 간격들을 중첩시킬 수도 있다. 다중 심볼 3-위상 아이 패턴 (1700)은 도 15 및 도 16에 나타낸 아이 패턴들의 2 가지 형태들을 결합한다. 따라서, 트리거 지점 (1702) 전의 아이 오프닝 (1708) 및 트리거 지점 (1702) 다음의 아이 오프닝 (1710)은 동시에 관측될 수도 있다. 이러한 듀얼 아이 구성은 "선글라스 패턴"으로서 지칭될 수도 있다.

[0108] 본 개시물에 제시된 예들은 주로 3-와이어, 3-위상 통신 링크들과 관련되는 한편, 기재된 기법들, 알고리즘들, 회로들 및 방법들은 다른 인코딩 스킵들에 적용가능하고, 아이 패턴들은 예를 들어, M-와이어, N 위상 및 N 계승 (N!)에 대해 생성될 수도 있다. 일부 경우들에서, 알고리즘들은 이를 상이한 인코딩 스킵들을 위해 사용된 클록 생성 및 데이터 샘플링 회로들을 매칭하기 위해서 확장될 수도 있고 및/또는 적용될 수도 있다.

예를 들어, 이 개시물의 소정의 양태들에 따른 알고리즘들 및 회로들은 과형에서 더 큰 수의 레벨 강도들의 존재 시 트리거 지점들 정의하는 제 1 신호 제로 크로싱을 식별하기 위해 적응될 수도 있다. 일 예에서, 알고리즘들 및 회로들은 N-위상 과형에서 강 ±1 상태들의 다중 버전, 약 ± 상태들의 다중 버전 뿐만 아니라, 약 0 상태들 및 강 0 상태들을 수용하기 위해 적응될 수도 있다.

[0109] 도 18 은 본 명세서에 개시된 하나 이상의 기능들을 수행하도록 구성될 수도 있는 프로세싱 회로 (1802) 를 채용하는 장치를 위한 하드웨어 구현의 간략화된 예를 도시하는 개념적 다이어그램 (1800) 이다. 개시물의 다양한 양태들에 따라, 본 명세서에 개시된 바와 같이, 엘리먼트, 또는 엘리먼트의 임의의 부분, 또는 엘리먼트들의 임의의 조합이 프로세싱 회로 (1802) 를 사용하여 구현될 수도 있다. 프로세싱 회로 (1802) 는 하드웨어 또는 소프트웨어 모듈들의 일부 조합에 의해 제어되는 하나 이상의 프로세서들 (1804) 을 포함할 수도 있다.

프로세서들 (1804) 의 예들은 마이크로프로세서들, 마이크로제어기들, 디지털 신호 프로세서들 (DSP), 필드 프로그램가능 게이트 어레이 (FPGA), 프로그램가능 로직 디바이스들 (PLD), 상태 머신들, 시퀀서들, 게이트형 로직, 이산 하드웨어 회로들, 및 본 개시물 전체에 걸쳐 기재된 다양한 기능들을 수행하도록 구성된 다른 적절한 하드웨어를 포함한다. 하나 이상의 프로세서들 (1804) 은 특정 기능들을 수행하고, 소프트웨어 모듈들 (1816) 중 하나에 의해 구성되거나, 증가되거나, 또는 제어될 수도 있는 특수 프로세서들을 포함할 수도 있다.

하나 이상의 프로세서들 (1804) 은 초기화 동안 로딩된 소프트웨어들의 조합을 통해 구성될 수도 있고, 추가로 동작 동안 하나 이상의 소프트웨어 모듈들 (1816) 을 로딩하거나 언로딩하는 것에 의해 구성될 수도 있다.

[0110] 도시된 예에서, 프로세싱 회로 (1802) 는 버스 (1810) 에 의해 일반적으로 나타낸, 버스 아키텍처로 구현될 수도 있다. 버스 (1810) 는 프로세싱 회로 (1802) 의 특정 어플리케이션 및 전체 설계 제약들에 의존하여 임의의 수의 상호접속 버스들 및 브리지들을 포함할 수도 있다. 버스 (1810) 는 하나 이상의 프로세서들 (1804), 및 스토리지 (1806) 을 포함한 다양한 회로들과 함께 링크한다. 스토리지 (1806) 는 메모리 디바이스들 및 대용량 저장 디바이스들을 포함할 수도 있고, 본 명세서에서 컴퓨터 판독가능 매체 및/또는 프로세서 판독가능 매체로 지칭될 수도 있다. 버스 (1810) 는 또한, 타이밍 소스들, 타이머들, 주변 장치들, 전압 레귤레이터들, 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크할 수도 있다. 버스 인터페이스 (1808) 는 버스 (1810) 와 하나 이상의 트랜시버들 (1812) 사이의 인터페이스를 제공할 수도 있다. 트랜시버 (1812) 는 프로세싱 회로에 의해 지원되는 각각의 네트워킹 기술을 위해 제공될 수도 있다. 일부 경우들에서, 다중 네트워킹 기술들은 트랜시버 (1812) 에서 발견된 회로 또는 프로세싱 모듈들의 일부 또는 모두를 공유할 수도 있다. 각각의 트랜시버 (1812) 는 송신 매체를 통해 다양한 다른 장치와 통신하기 위한 수단을 제공한다. 장치의 성질에 의존하여, 사용자 인터페이스 (1818) (예를 들어, 키패드, 디스플레이, 스피커, 마이크로폰, 조이스틱) 가 또한 제공될 수도 있고 버스 (1810) 에 직접 또는 버스 인터페이스 (1818) 를 통해 통신 가능하게 커플링될 수도 있다.

[0111] 프로세서 (1804) 는 스토리지 (1806) 를 포함할 수도 있는 컴퓨터 판독가능 매체에 저장된 소프트웨어의 실행을 포함할 수도 있는 일반적인 프로세싱 및 버스 (1810) 관리를 담당할 수도 있다. 이와 관련하여, 프로세서 (1804) 를 포함하는 프로세싱 회로 (1802) 는, 본 명세서에 개시된 방법들, 기능들 및 기법들 중 어느 것을 구현하기 위해 사용될 수도 있다. 스토리지 (1806) 는 소프트웨어를 실행할 때 프로세서 (1804) 에 의해 조종되는 데이터를 저장하기 위해 사용될 수도 있고, 본 명세서에 기재된 방법들 중 어느 하나를 구현하도록 구성될 수도 있다.

[0112] 프로세싱 회로 (1802) 에서 하나 이상의 프로세서들은 소프트웨어를 실행할 수도 있다. 소프트웨어는, 소프트웨어, 펌웨어, 미들웨어, 마이크로코드, 하드웨어 디스크립션 언어 또는 다른 어떤 어떤 것으로 지칭되든, 넓게는 명령들, 명령 세트들, 코드, 코드 세그먼트들, 프로그램 코드, 프로그램들, 서브프로그램들, 소프트웨어 모듈들, 어플리케이션들, 소프트웨어 어플리케이션들, 소프트웨어 패키지들, 루틴들, 서브루틴들, 오브젝트들, 실행가능물들, 실행의 스레드들, 절차들, 기능들, 알고리즘들 등을 의미하도록 해석될 것이다. 소프트웨어는 외부 컴퓨터 판독가능 매체에 또는 스토리지 (1806) 에 컴퓨터 판독가능 형태로 상주할 수도 있다. 외부 컴퓨터 판독가능 매체 및/또는 스토리지 (1806) 은 비일시적 컴퓨터 판독가능 매체를 포함할 수도 있다. 비일시적 컴퓨터 판독가능 매체는, 예시로서, 자기 저장 디바이스 (예를 들어, 하드 디스크, 플로피 디스크, 자기 스트립), 광학 디스크 (예를 들어, 컴팩 디스크 (CD) 또는 디지털 다기능 디스크 (DVD)), 스마트 카드, 플래시 메모리 디바이스 (예를 들어, "플래시 드라이브", 카드, 스틱, 또는 키 드라이브), 랜덤 액세스 메모리 (RAM), 리드 온리 메모리 (ROM), 프로그램가능 ROM (PROM), 소거가능 PROM (EPROM), 전기적 소거가능 PROM (EEPROM), 레지스터, 탈착가능 디스크, 및 컴퓨터에 의해 액세스되고 판독될 수도 있는 소프트웨어 및/또는 명령들을 저장하기 위한 임의의 다른 적절한 매체를 포함한다. 컴퓨터 판독가능 매체 및/또는 스토리지 (1806) 는 또한,

예시로서, 반송파, 송신 라인, 및 컴퓨터에 의해 액세스되고 판독될 수도 있는 소프트웨어 및/또는 명령들을 송신하기 위한 임의의 다른 적절한 매체를 포함할 수도 있다. 컴퓨터 판독가능 매체 및/또는 다른 스토리지 (1806) 는 프로세싱 회로 (1802) 외부의, 프로세서 (1804) 에서 프로세싱 회로 (1802) 에 상주할 수도 있고, 또는 프로세싱 회로 (1802) 를 포함하는 다중 엔티티들을 통해 분산될 수도 있다. 컴퓨터 판독가능 매체 및/또는 스토리지 (1806) 는 컴퓨터 프로그램 제품에서 구현될 수도 있다. 예시로서, 컴퓨터 프로그램 제품은 패키징 재료들에 있어서 컴퓨터 판독가능 매체를 포함할 수도 있다. 당업자는, 전체 시스템에 부과된 전체 설계 제약들 및 특정 어플리케이션에 의존하여 이 개시물 전체에 걸쳐 제시된 기재된 기능을 구현하는 최상의 방법을 인식할 것이다.

[0113] 스토리지 (1806) 는, 소프트웨어 모듈 (1816) 로서 본 명세서에서 지칭될 수도 있는, 로딩가능 코드 세그먼트들, 모듈들, 어플리케이션들, 프로그램들 등에서 유지되고 및/또는 조직화된 소프트웨어를 유지할 수도 있다. 소프트웨어 모듈들 (1816) 의 각각은, 프로세싱 회로 (1802) 상에 설치되거나 로딩되고, 하나 이상의 프로세서들 (1804) 에 의해 실행될 때, 하나 이상의 프로세서들 (1804) 의 동작을 제어하는 런-타임 이미지 (1814) 에 기여하는, 명령들 및 데이터를 포함할 수도 있다. 실행될 때, 소정의 명령들은 프로세싱 회로 (1802) 로 하여금 본 명세서에 기재된 소정의 방법들, 알고리즘들, 및 프로세스들에 따라 기능들을 수행하게 할 수도 있다.

[0114] 소프트웨어 모듈들 (1816) 의 일부는 프로세싱 회로 (1802) 의 초기화 동안 로딩될 수도 있고, 이들 소프트웨어 모듈 (1816) 은 본 명세서에 개시된 다양한 기능들의 성능을 가능하게 하도록 프로세싱 회로 (1802) 를 구성할 수도 있다. 예를 들어, 일부 소프트웨어 모듈들 (1816) 은 프로세서 (1804) 의 내부 디바이스들 및/또는 로직 회로들 (1822) 를 구성할 수도 있고, 외부 디바이스들, 예컨대 트랜시버 (1812), 버스 인터페이스 (1808), 사용자 인터페이스 (1818), 타이머들, 수학적 코프로세서들 등을 구성할 수도 있다. 소프트웨어 모듈들 (1816) 은 인터프리터 핸들러들 및 디바이스 드라이버들과 상호작용하고 프로세싱 회로 (1802) 에 의해 제공된 다양한 리소스들에 대한 액세스들을 제어하는 제어 프로그램 및/또는 오퍼레이팅 시스템을 포함할 수도 있다.

리소스들은 메모리, 프로세싱 시간, 트랜시버 (1812) 로의 액세스, 사용자 인터페이스 (1818) 등을 포함할 수도 있다.

[0115] 프로세싱 회로 (1802) 의 하나 이상의 프로세서들 (1804) 은 다기능적일 수도 있고, 이에 의해 소프트웨어 모듈들 (1816) 의 일부는 상이한 기능들 또는 동일한 기능의 상이한 경우들을 수행하도록 로딩되고 구성된다. 하나 이상의 프로세서들 (1804) 은 부가적으로, 예를 들어 사용자 인터페이스 (1818), 트랜시버 (1812), 및 디바이스 드라이버들로부터의 입력들에 응답하여 개시되는 배경 태스크들을 관리하도록 적응될 수도 있다. 다중 기능들의 성능을 지원하기 위해서, 하나 이상의 프로세서들 (1804) 은 멀티태스킹 환경을 제공하도록 구성될 수도 있으며, 이에 의해 복수의 기능들의 각각은 필요하거나 원하는 바에 따라 하나 이상의 프로세서들 (1804) 에 의해 서비스되는 태스크들의 세트로서 구현된다. 일 예에서, 멀티태스킹 환경은 상이한 태스크들 사이에서 프로세서 (1804) 의 제어를 패스하는 시간공유 프로그램 (1820) 를 사용하여 구현될 수도 있으며, 이에 의해 각각의 태스크는 하나 이상의 프로세서들의 제어를 임의의 두드러진 동작들의 완료 시 및/또는 인터럽트와 같은 입력에 응답하여 시간공유 프로그램 (1820) 으로 리턴시킨다. 태스크가 하나 이상의 프로세서들 (1804) 의 제어를 가질 때, 프로세싱 회로는 제어 태스크와 연관된 기능에 의해 어드레싱되기 위해서 효과적으로 특수화된다. 시간공유 프로그램 (1820) 은 동작 시스템, 라운드-로빈 (round-robin) 기반의 제어를 전송하는 메인 루프, 기능들의 우선순위화에 따른 하나 이상의 프로세서들 (1804) 의 제어를 할당하는 기능, 및/또는 핸들링 기능에 하나 이상의 프로세서들 (1804) 의 제어를 제공하는 것에 의해 외부 이벤트들에 응답하는 인터럽트 구동 메인 루프를 포함할 수도 있다.

[0116] 도 19 는 발명의 소정의 양태들에 따른 인코딩 방법을 도시하는 플로우차트이다. 방법은 진단 또는 테스트 디바이스에 의해 수행될 수도 있다. 단계 (1902) 에서, 통신 링크로부터 순차적으로 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 트랜지션에 대응하는 트리거를 결정할 수도 있다.

[0117] 단계 (1904) 에서, 디바이스는 복수의 심볼들의 표현들을 겹겹이 중첩시키는 이미지를 제공할 수도 있다. 표현들은 복수의 심볼들에 대해 결정된 트리거들을 시간적으로 정렬하는 것에 의해 이미지에서 서로에 대해 배열될 수도 있다. 각각의 트리거는 대응 심볼에서 통신되는 데이터를 캡처하기 위해 사용된 샘플링 클록과 상관될 수도 있다.

[0118] 개시물의 양태에서, 심볼 경계는 각각의 심볼의 종료 시 발생한다. 심볼 경계는 대안으로 각각의 심볼의 시작 시 발생할 수도 있다. 제 1 트랜지션은 수신기에서 복수의 차동 수신기들 중 하나에 의해 출력되도록 계

산되거나 이에 대응하는 신호의 제 1 제로 크로싱을 포함할 수도 있다. 신호의 제 1 제로 크로싱은 회로들 또는 차동 프로브들에 의해 추정되거나, 계산되거나, 생성될 수도 있다. 신호들은 3 이상의 전압 상태들 사이에서 트랜지션할 수도 있다. 통신 링크에 있어서 2 개의 와이어들 사이의 상태에 있어서 차이가 결정될 수도 있다. 통신 링크는 M-와이어, N-위상 디코더, 예컨대 3-와이어, 3-위상 디코더, 또는 N-계승 디코더를 포함할 수도 있다.

[0119] 개시물의 양태에서, 각각의 트리거는 심볼의 지연된 버전으로부터 정보를 캡처하기 위해 사용되는 샘플링 클록의 에지와 상관될 수도 있다. 이미지는 아이 패턴을 포함할 수도 있다.

[0120] 도 20 은 프로세싱 회로 (2002) 를 채용하는 장치 (2000) 를 위한 하드웨어 구현의 일 예를 도시하는 개념적 다이어그램이다. 이 예에서, 프로세싱 회로 (2002) 는 일반적으로 버스 (2016) 로 나타낸, 버스 아키텍처로 구현될 수도 있다. 버스 (2016) 는 프로세싱 회로 (2002) 의 특정 어플리케이션 및 전체 설계 제약들에 의존하여 임의의 수의 상호접속 버스들 및 브리지들을 포함할 수도 있다. 버스 (2016) 는 일반적으로 프로세서 (2012) 로 나타낸 하나 이상의 프로세서들, 및 일반적으로 프로세서 판독가능 저장 매체 (2014) 로 나타낸 컴퓨터 판독가능 매체를 포함하는 다양한 회로들을 함께 링크시킨다. 버스 (2016) 는 또한 타이밍 소스들, 타이머들, 주변 장치들, 전압 조정기들, 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크시킬 수도 있다. 버스 인터페이스 (2018) 는 버스 (2016) 와 사용자 인터페이스 (2022) 사이에 인터페이스를 제공할 수도 있다. 장치의 성질에 의존하여, 사용자 인터페이스 (2022) 는 키패드, 디스플레이, 스피커, 마이크로폰, 조이스틱, 및 사용자 디바이스들 및/또는 시스템들과 통신하는 것을 지원하고 및/또는 가능하게 할 수도 있다. 일부 실시형태들에서, 트랜시버 (2020) 는 버스 (2016) 에 직접, 또는 버스 인터페이스 (2018) 을 통해 커플링될 수도 있다. 트랜시버 (2020) 는 송신 매체를 통해 다양한 다른 장치와 통신하기 위한 수단을 제공하는 인터페이스를 포함할 수도 있다. 하나 이상의 클록 생성 회로들 또는 모듈들이 프로세싱 회로 (2002) 내에 제공될 수도 있고 또는 프로세싱 회로 (2002) 및/또는 하나 이상의 프로세서들 (2012) 에 의해 제어될 수도 있다. 일 예에서, 클록 생성 회로들 또는 모듈들은 하나 이상의 수정 발진기들, 하나 이상의 위상 동기 루프 디바이스들, 및/도는 다른 그러한 디바이스들 또는 회로들을 포함할 수도 있다.

[0121] 프로세서 (2012) 는 프로세서 판독가능 저장 매체 (2014) 상에 저장된 소프트웨어의 실행을 포함한, 일반적인 프로세싱 및 버스 (2016) 를 관리하는 것을 담당한다. 소프트웨어는, 프로세서 (2012) 에 의해 실행될 때, 프로세싱 회로 (2002) 로 하여금 임의의 특정 장치에 대해 위에서 기재된 다양한 기능들을 수행하게 한다. 프로세서 판독가능 저장 매체 (2014) 는 소프트웨어를 실행할 때 프로세서 (2012) 에 의해 조종되는 데이터를 저장하기 위해 사용될 수도 있다.

[0122] 일 구성에 있어서, 프로세싱 회로 (2001) 는 통신 링크로부터 순차적으로 수신된 복수의 심볼들의 각각에 대한 심볼 경계에서 제 1 트랜지션에 대응하는 트리거를 결정하기 위한 모듈들 및/또는 회로들 (2004), 아이 패턴에서 복수의 심볼들의 표현들을 겹겹이 중첩시키는 이미지를 생성하고 제공하기 위한 모듈들 및/또는 회로들 (2006), 및 이미지를 디스플레이하기 위한 프레젠테이션 모듈들 및/또는 회로들 (2008) 을 포함할 수도 있다. 장치 (2000) 는 커넥터들 또는 와이어들 (2024) 의 세트로부터 수신된 신호들을 수신, 모니터링, 및/또는 프로세싱하도록 구성되거나 적응되는 모듈 및/또는 회로들 (2010) 이 부가적으로 제공될 수도 있다. 일 예에서, 신호들을 수신, 모니터링 및/또는 프로세싱하기 위한 모듈들 및/또는 회로들 (2010) 은, 예를 들어 도 6 에 도시된 클록 생성 회로에 도시된 바와 같이 커넥터들 또는 와이어들 (2024) 의 세트로부터 수신된 신호들의 조합들 사이의 차이를 결정하도록 구성된 비교 회로들을 포함할 수도 있다.

[0123] 일 예에서, 위에서 언급된 프로세싱 회로는, 프로세싱 회로 (2002) 의 하나 이상의 프로세서들 (2012) 에 의해 실행될 수도 있는 소프트웨어 모듈들을 더 포함할 수도 있는 고속 디지털 저장 오실로스코프에 제공될 수도 있다. 하나 이상의 프로세서들 (2012) 에 의해 실행될 때, 소프트웨어 모듈들은 프로세싱 회로로 하여금 하나 이상의 아이 패턴들 (1504, 1604, 1700) 을 생성하게 할 수도 있다. 예를 들어, 하나의 아이 패턴 (1604) 을 생성하기 위해서, 고속 디지털 저장 오실로스코프는 고속 파형 스토리지에서 와이어들 (310a, 310b, 310c) 에 대해 측정된 전압들 (A, B, 및 C) 의 많은 샘플들을 캡처하고 저장할 수도 있다. 고속 디지털 저장 오실로스코프는 A-B, B-C 및 C-A 를 컴퓨팅하고 각각의 UI 경계에서 제 1 제로 크로싱을 발견하도록 구성될 수도 있다. 아이 패턴 (1504, 1604, 및/또는 1700) 은 시간에서 정렬된 트리거 지점들과의 오버랩으로서 A-B, B-C 및 C-A 파형들의 각각의 세그먼트를 디스플레이하는 것에 의해 생성될 수도 있다.

[0124] 도 21 은 본 명세서에 개시된 소정의 양태들에 따라 N-위상 통신 신호들을 위한 아이 패턴을 생성하고 디스플레이하도록 구성될 수도 있는 고속 디지털 저장 오실로스코프와 같은 테스트 및/또는 측정 장치의 간략화된 예를

도시하는 블록 다이어그램 (2100) 이다. 장치는 다중 트랜지션들이 수신기에서 관측될 때 종래 테스트 및 측정 시스템들 보다 통신 링크들 및 채널들의 개선된 특성들을 제공할 수 있다.

[0125] 테스트 및/또는 측정 장치는 프로세싱 회로 (2102) 를 포함할 수도 있다. 프로세싱 회로 (2102) 는 일반적으로 버스 (2120) 로 나타낸, 버스 아키텍처로 구현될 수도 있다. 버스 (2120) 는 프로세싱 회로 (2102) 의 특정 어플리케이션 및 전체 설계 계약들에 의존하여 임의의 수의 상호접속 버스들 및 브리지들을 포함할 수도 있다. 버스 (2120) 는 프로세서 (2116), 고속 샘플 메모리 (2106), 하나 이상의 모듈들 또는 회로들 (2108), 라인 입력 회로들 (2112) 및 컴퓨터 관독가능 저장 매체 (2118) 로 나타낸, 하나 이상의 프로세서들 및/또는 하드웨어 모듈들을 포함한 다양한 회로들을 함께 링크한다. 버스 (2120) 는 또한, 타이밍 소스들, 주변 장치들, 전압 레귤레이터들, 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크할 수도 있으며, 이들은 종래에 잘 알려져 있으므로, 추가적으로 더 기재되지 않을 것이다.

[0126] 프로세서 (2116) 는 마이크로프로세서, 제어기, 디지털 신호 프로세서, 시퀀서, 상태 머신 등을 포함할 수도 있다. 프로세서 (2116) 는 컴퓨터 관독가능 저장 매체 (2116) 상에 저장된 소프트웨어의 실행을 포함한 일반적인 프로세싱을 담당한다. 소프트웨어는, 프로세서 (2116) 에 의해 실행될 때, 프로세싱 회로 (2102) 로 하여금 임의의 특정 장치에 대해 위에서 기재된 다양한 기능들을 수행하게 한다. 컴퓨터 관독가능 저장 매체 (2118) 는 또한 소프트웨어를 실행할 때 프로세서 (2116) 에 의해 조종되는 데이터를 저장하기 위해 사용될 수도 있다. 프로세싱 회로 (2102) 는 모듈들 (2106 및 2108) 중 적어도 하나를 더 포함한다. 하나 이상의 모듈들 (2108) 은 컴퓨터 관독가능 저장 매체 (2118) 에 상주/저장되는 프로세서 (2116) 에서 작동하는 소프트웨어 모듈들, 프로세서 (2116) 에 커플링된 하드웨어 모듈들, 또는 그 일부 조합일 수도 있다.

[0127] 일 구성에 있어서, 라인 입력 회로들 (2112) 은 통신 링크 (2104) 로부터 신호들을 수신하고 프로세싱할 수도 있다. 입력들은 2 이상의 와이어들에 대한 차이 신호들을 생성하는 차동 프로브들을 사용하여 수신될 수도 있다. 라인 입력 회로들 (2112) 은 통신 링크 (2104) 의 와이어들의 전압들 또는 전류들을 디지털화하고 및/또는 측정할 수도 있다. 프로세싱 회로는 와이어들의 쌍들 사이의 차이 전압들을 포함한, 와이어들의 다양한 특성들을 계산하도록 구성될 수도 있다. 심볼 경계에서의 제 1 트랜지션에 대응하는 트리거는 통신 링크로부터 순차적으로 수신된 복수의 심볼들의 각각에 대해 결정될 수도 있다. 프로세싱 회로는 아이 패턴에서 겹겹이 복수의 심볼들의 표현들을 중첩시키는 이미지를 생성하고 제공하기 위한 수단 (2108) 을 포함할 수도 있다. 디스플레이 및/또는 인쇄 관리 모듈 또는 회로들 (2108) 은 현재 심볼을 선행하거나 중단시키는 제 1 트랜지션 또는 샘플 지점 상에 이미지를 선택적으로 생성할 수도 있다. 디스플레이 및/또는 인쇄 관리 모듈 또는 회로들 (2108) 은, 예를 들어 도 17 에 도시된 바와 같은 선글라스 이미지를 선택적으로 생성할 수도 있다.

[0128] 일 예에서, 고속 디지털 저장 오실로스코프는 하나 이상의 아이 패턴들 (1504, 1604, 1700) 을 생성하도록 구성된 하드웨어 및 소프트웨어 모듈들의 조합을 포함할 수도 있다. 예를 들어, 하나의 아이 패턴 (1604) 을 생성하기 위해서, 고속 디지털 저장 오실로스코프는 고속 파형 스토리지에 있어서 와이어들 (310a, 310b, 310c) (도 6 참조) 에 대해 측정된 전압들 (A, B 및 C) 의 많은 샘플들을 캡처하고 저장할 수도 있다. 고속 디지털 저장 오실로스코프는 A-B, B-C 및 C-A 값들을 컴퓨팅하고 각각의 UI 경계에서 제 1 제로 크로싱을 발견하도록 구성될 수도 있다. 아이 패턴 (1504, 1604 및/또는 1700) 은 시간에 정렬된 트리거 지점들과의 오버랩으로서 A-B, B-C 및 C-A 의 각각의 세그먼트를 디스플레이하는 것에 의해 생성될 수도 있다.

[0129] 개시된 프로세스들에서의 단계들의 특정 순서 또는 계층은 예시적인 접근법들의 예시이다. 설계 선호도에 기초하여, 프로세스들에서의 단계들의 특정 순서 또는 계층은 재배열될 수도 있다는 것을 이해한다. 첨부의 방법 청구항들은 샘플 순서에 있어서 다양한 단계들의 엘리먼트들을 제시하며, 제시된 특정 순서 또는 계층에 제한되는 것을 의미하지 않는다.

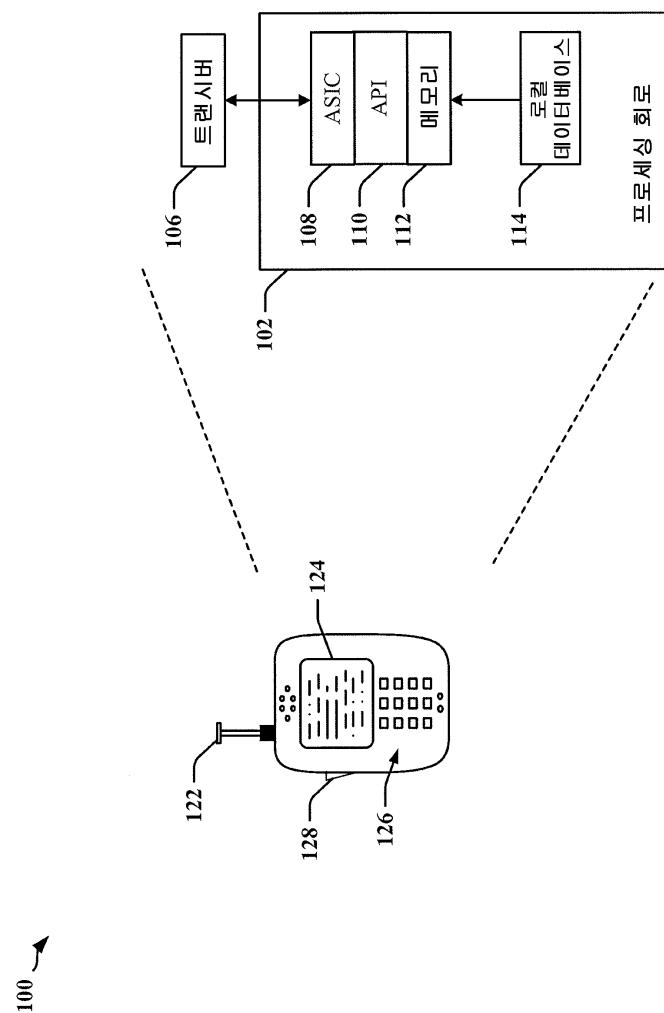
[0130] 앞의 기재는 당업자가 본 명세서에 기재된 다양한 양태들을 실시하는 것을 가능하게 하기 위해 제공된다. 이들 양태들에 대한 다양한 수정들이 당업자에게 쉽게 자명할 것이고, 본 명세서에서 정의된 일반적인 원리들은 다른 양태들에 적용될 수도 있다. 따라서, 청구항들은 본 명세서에 나타낸 양태들에 제한하려고 의도되는 것이 아니라, 청구항들의 언어와 일치하는 전체 범위에 부합되는 것이며, 단수의 엘리먼트에 대한 언급은 그렇게 특별히 언급되지 않으면 "하나 및 단 하나" 를 의미하도록 의도되는 것이 아니라 "하나 이상" 을 의미한다.

달리 특별히 언급되지 않으면, 용어 "일부" 는 하나 이상을 지칭한다. 당업자에게 알려진 또는 나중에 알려지게 될 이 개시물 전체에 걸쳐 기재된 다양한 양태들의 엘리먼트들에 대한 모든 구조적 및 기능적 등가물들은 참조로서 본 명세서에 명백히 통합되고 청구항들에 의해 포함되도록 의도된다. 또한, 본 명세서에 개

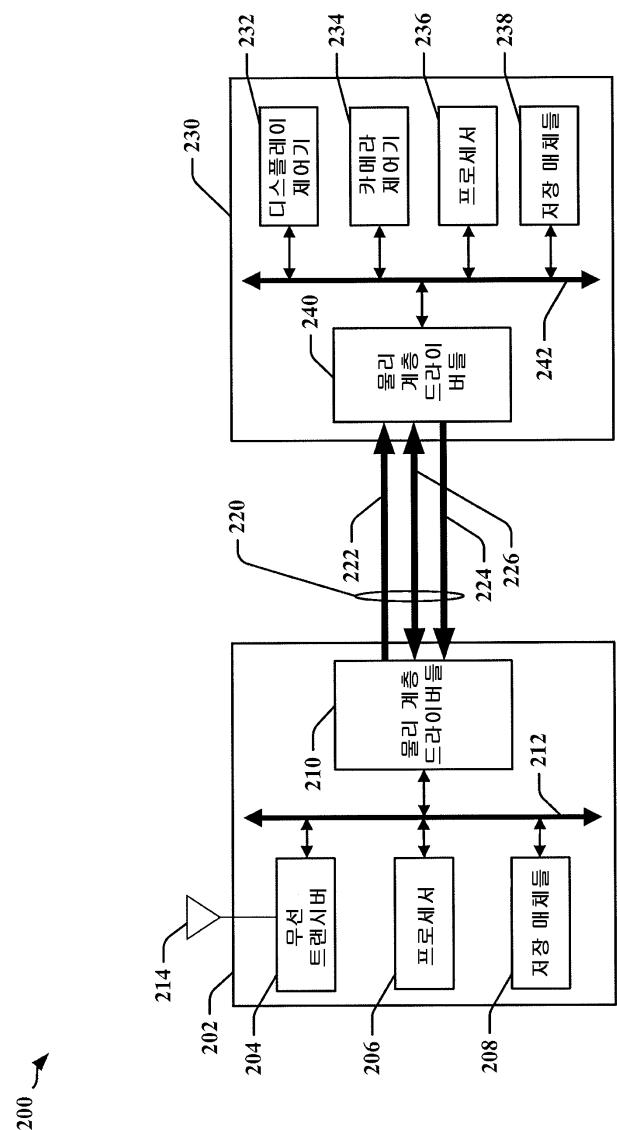
시된 어떤 것도 그러한 개시물이 청구항들에서 명시적으로 인용되는지 여부에 관계없이 공중에 전용되도록 의도되는 것은 없다. 청구항 엘리먼트는, 그 엘리먼트가 구절 "하기 위한 수단" 을 사용하여 명백히 기재되지 않으면 수단 풀러스 기능으로서 해석되지 않아야 한다.

## 도면

### 도면1

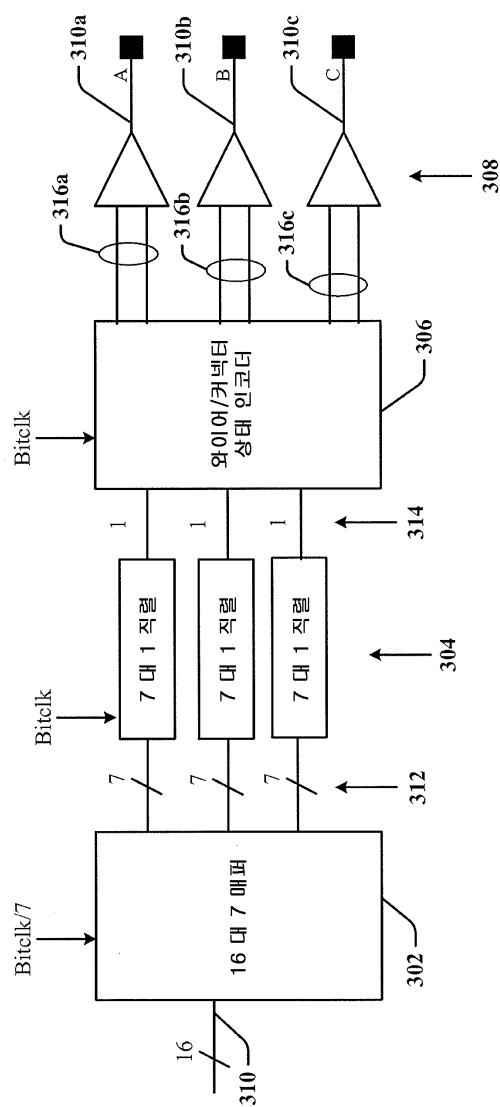


## 도면2

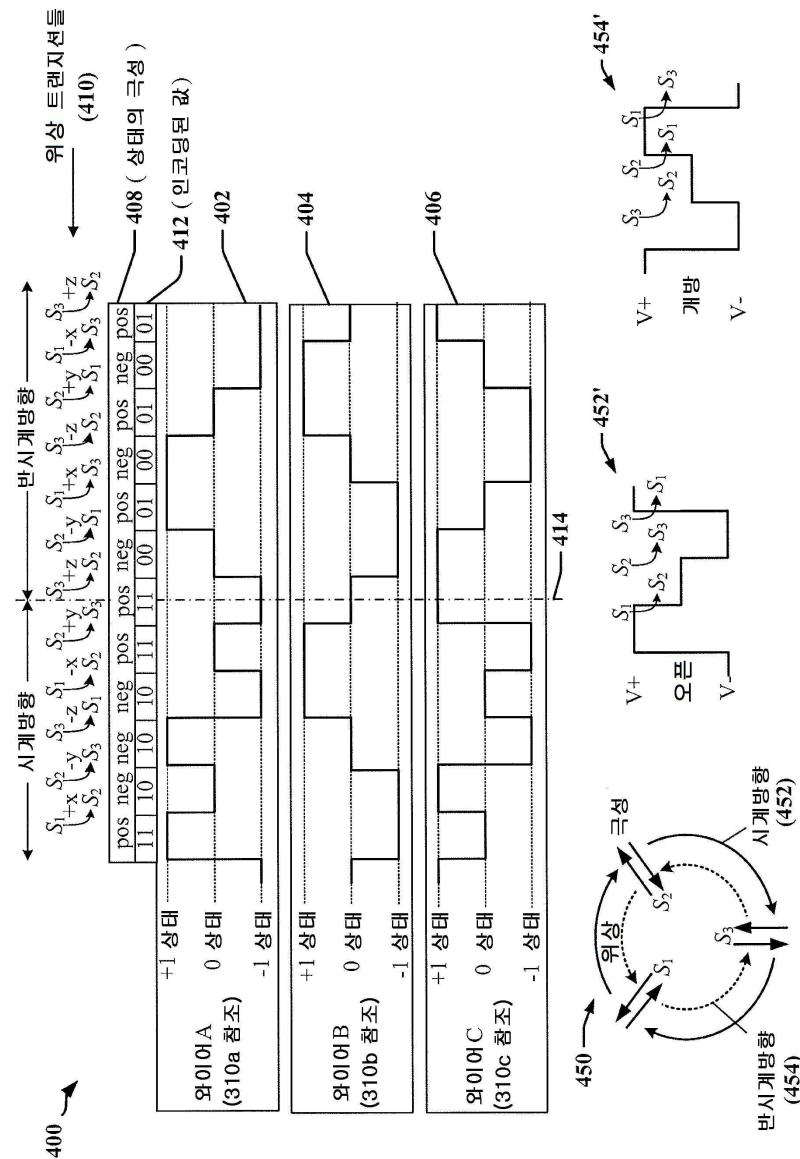


도면3

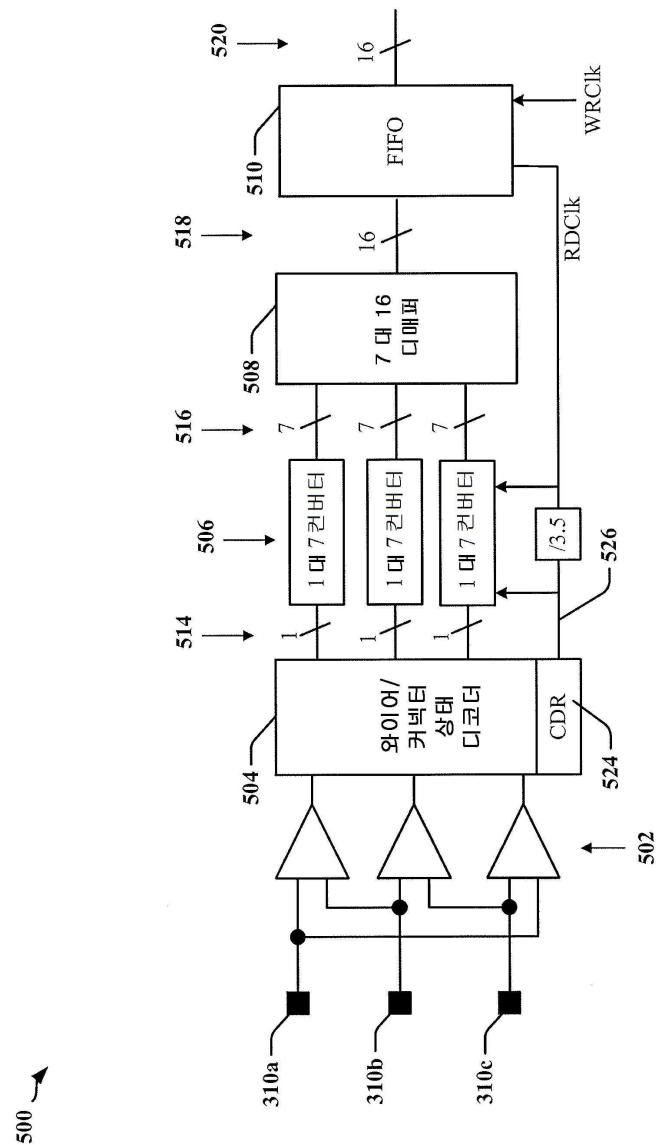
300 ↗



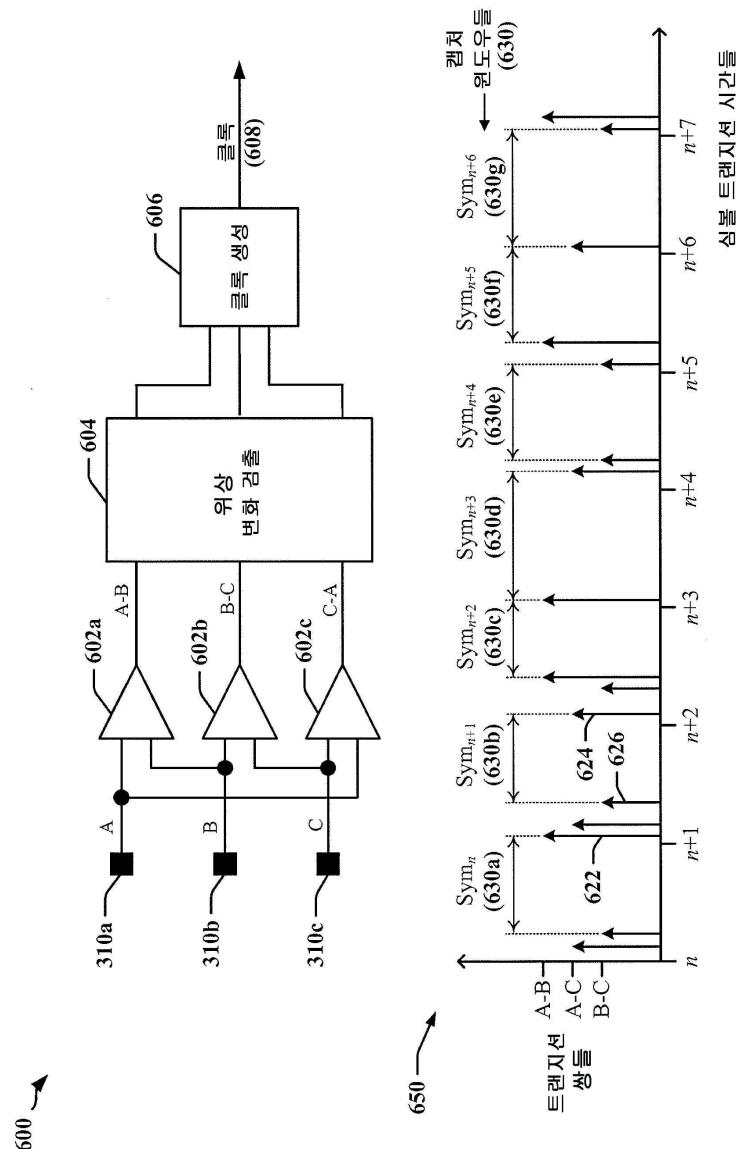
## 도면4



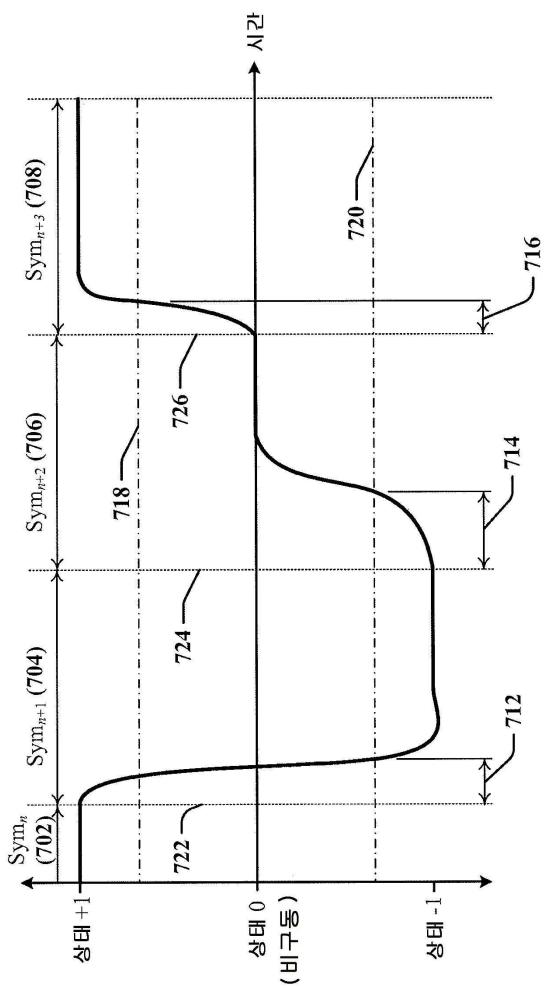
## 도면5



도면6

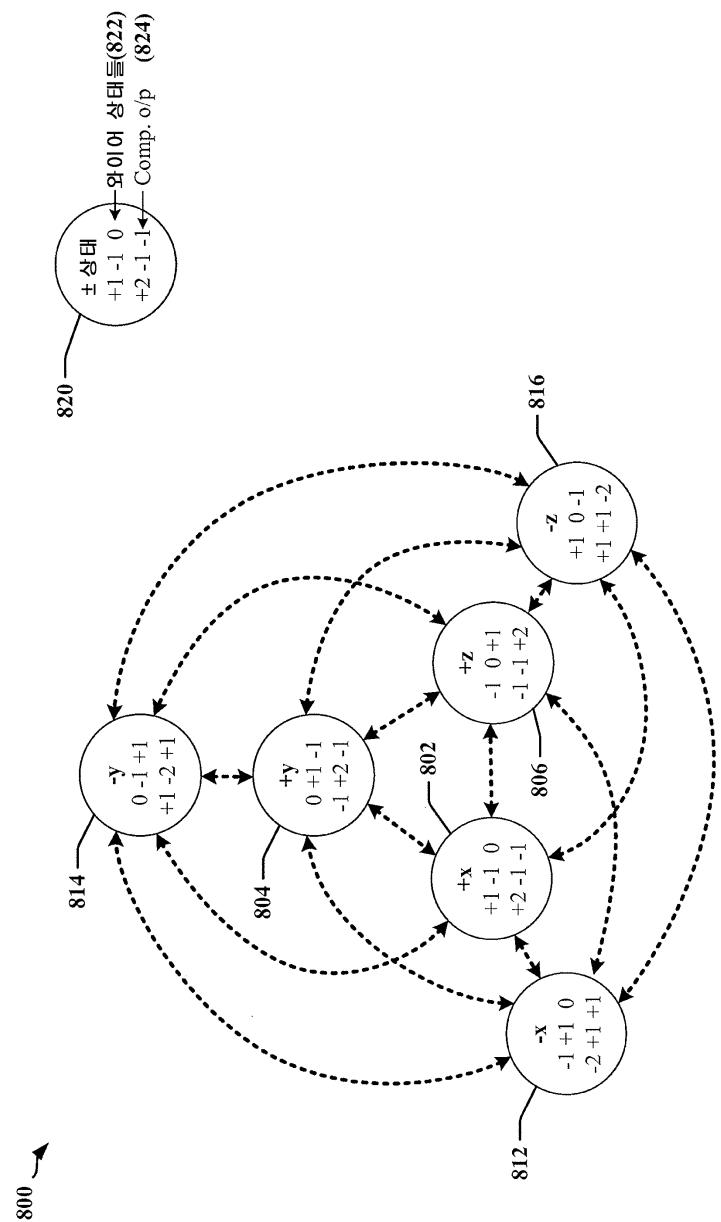


## 도면7

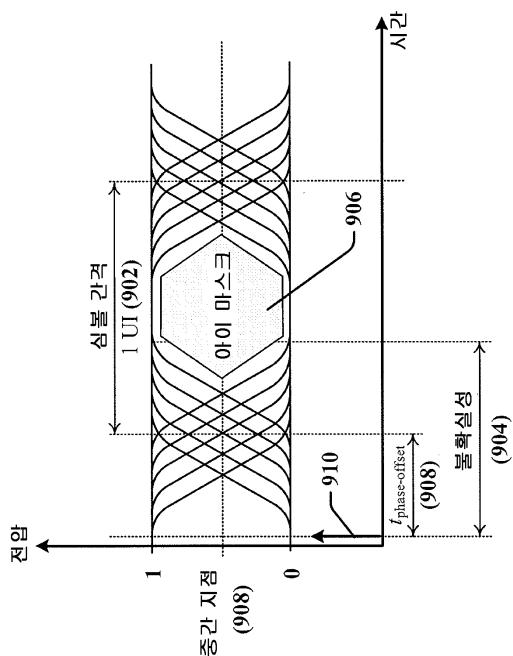


700 

도면8

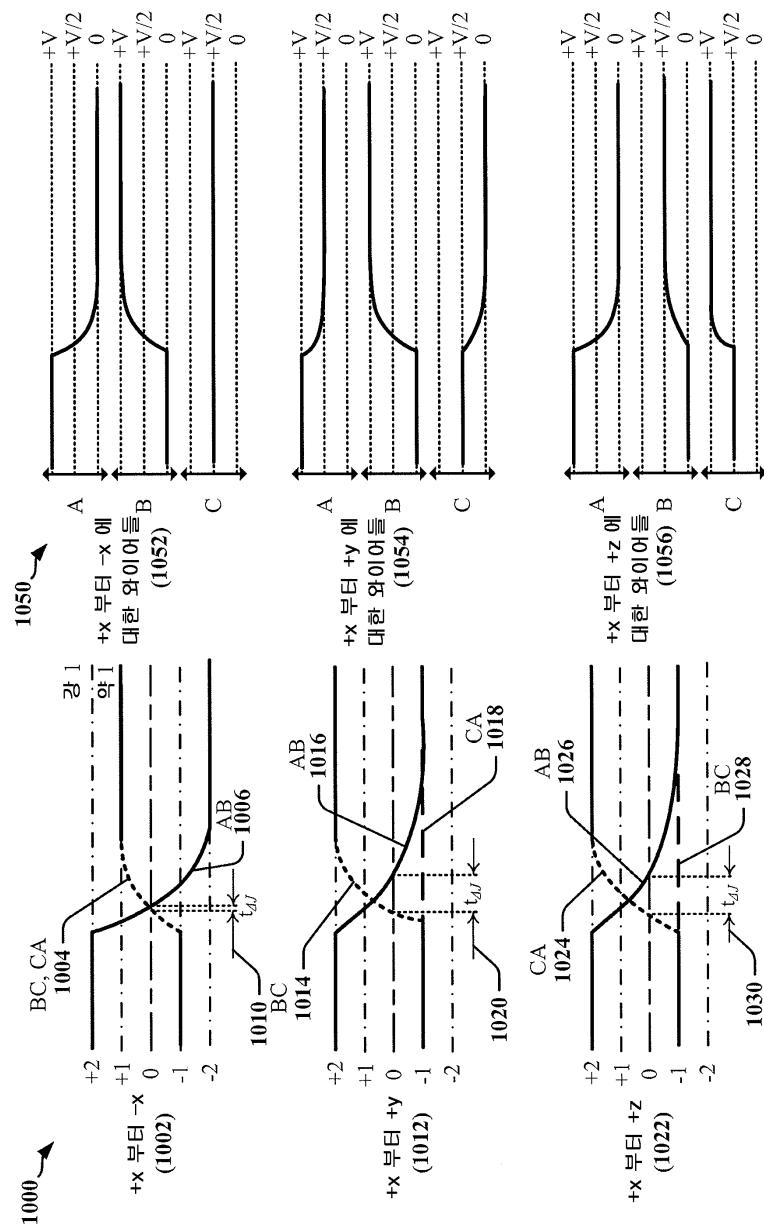


도면9

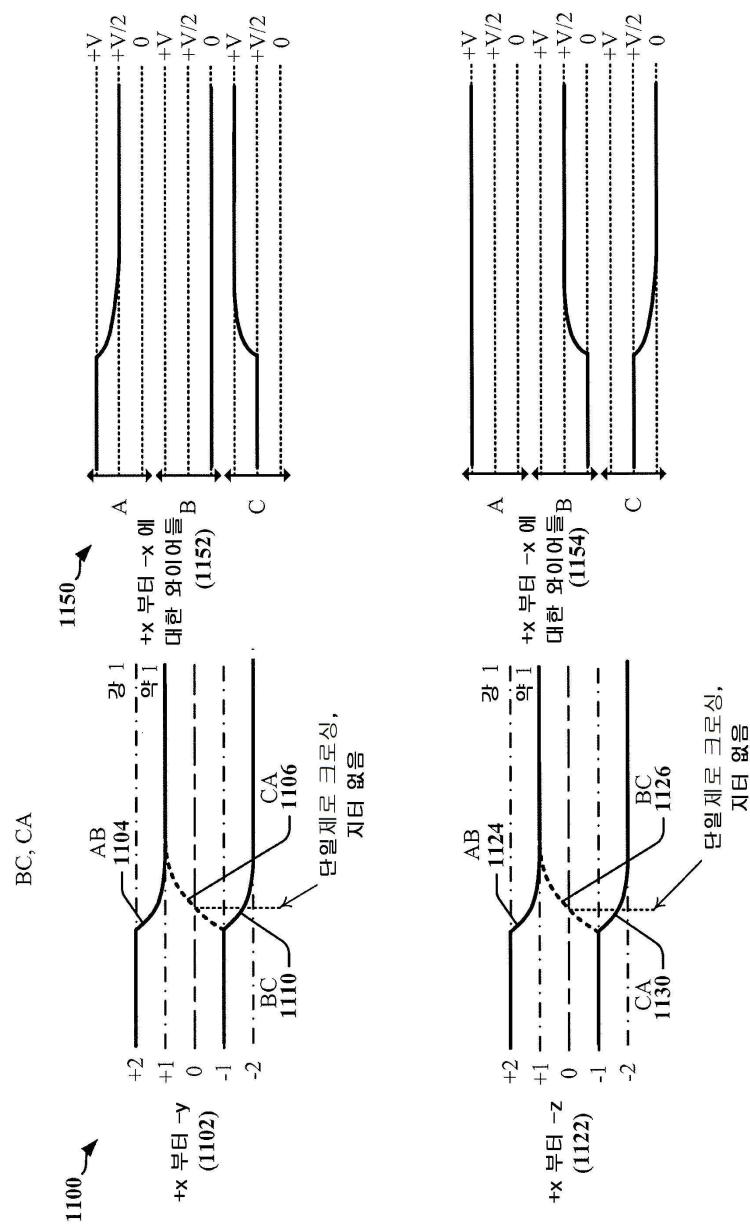


900 ↗

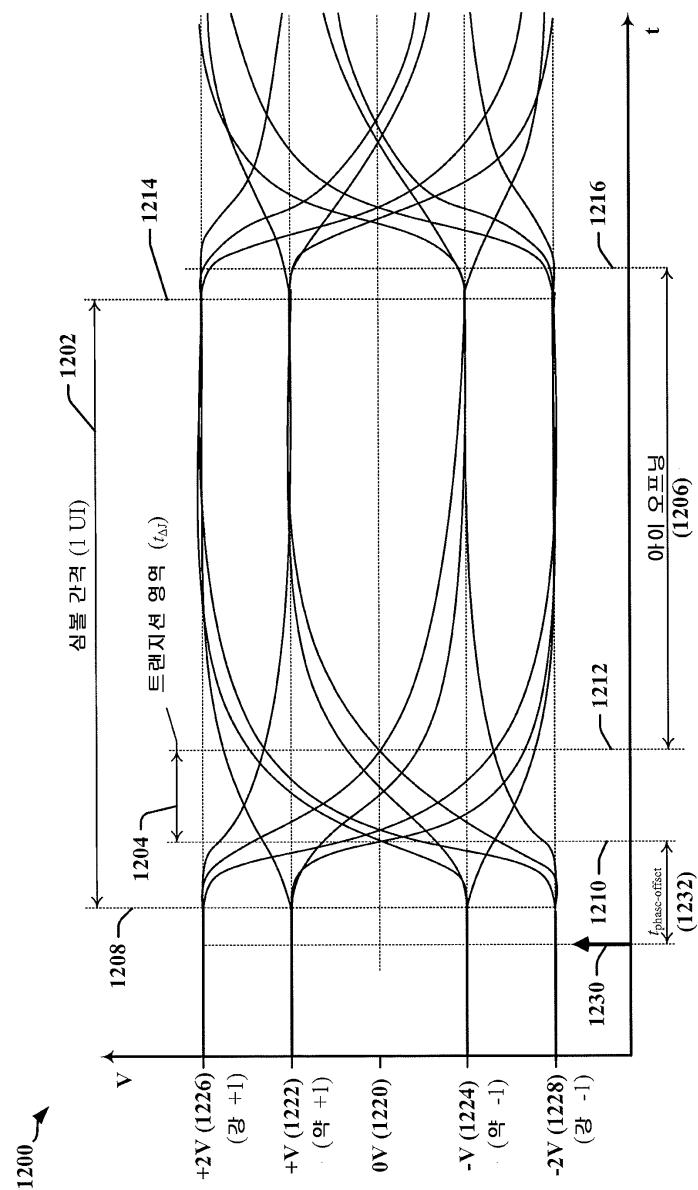
## 도면10



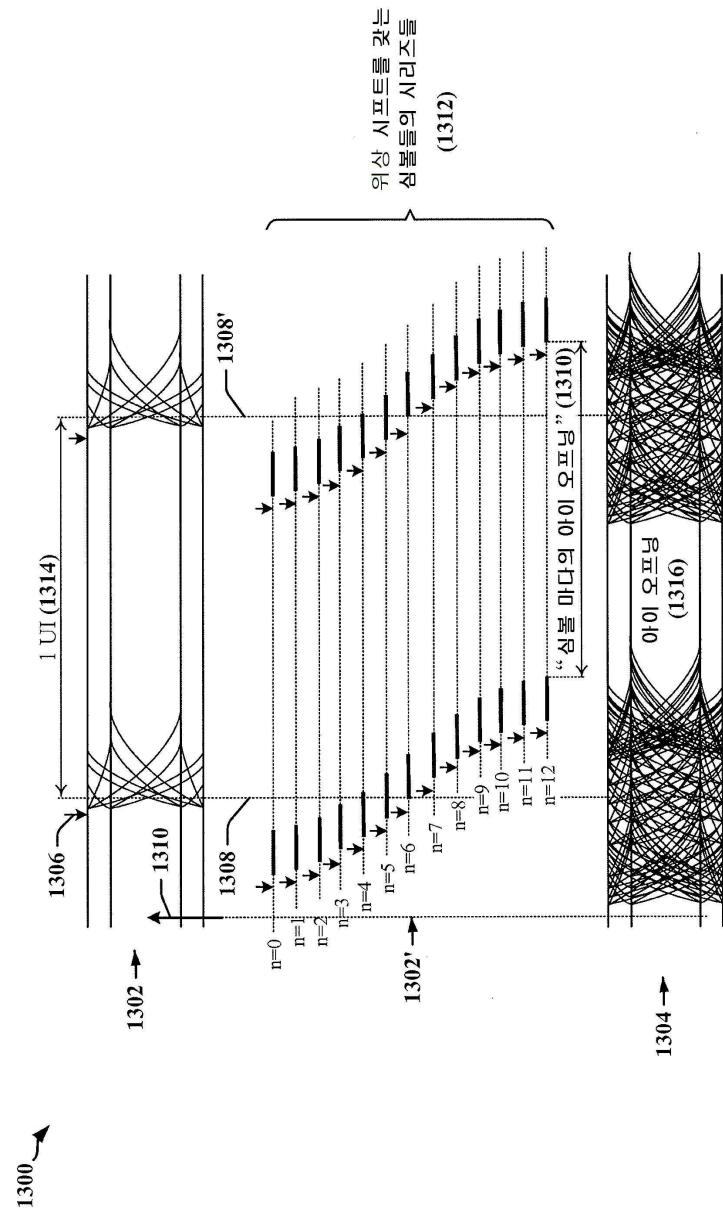
## 도면11



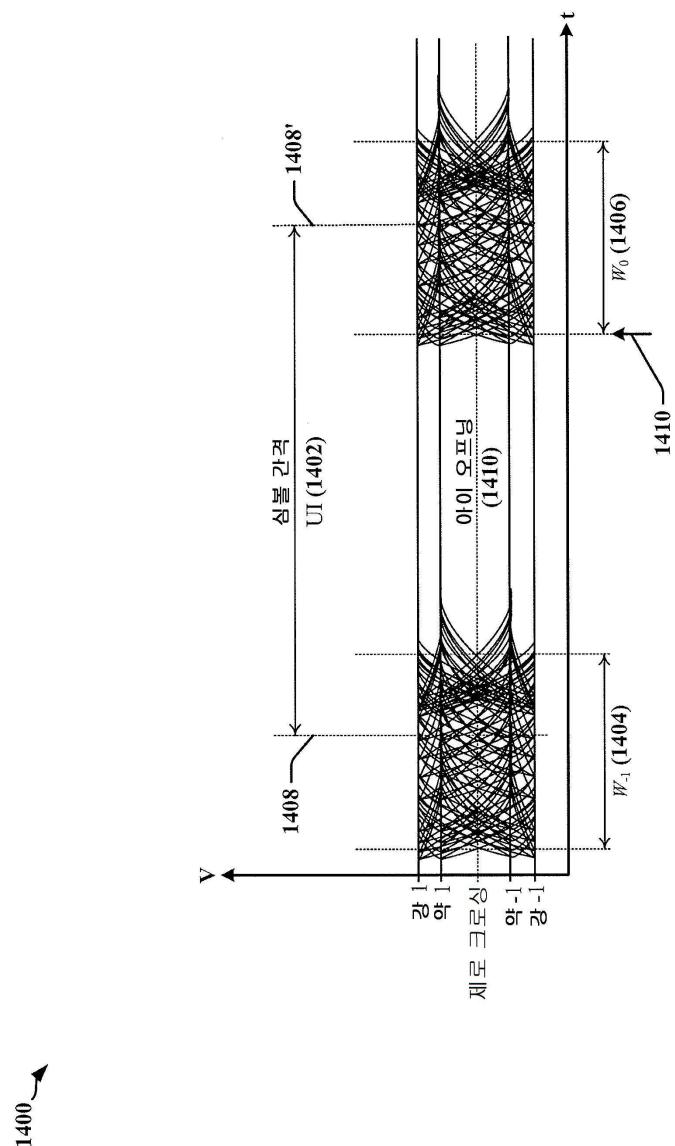
도면12



## 도면13

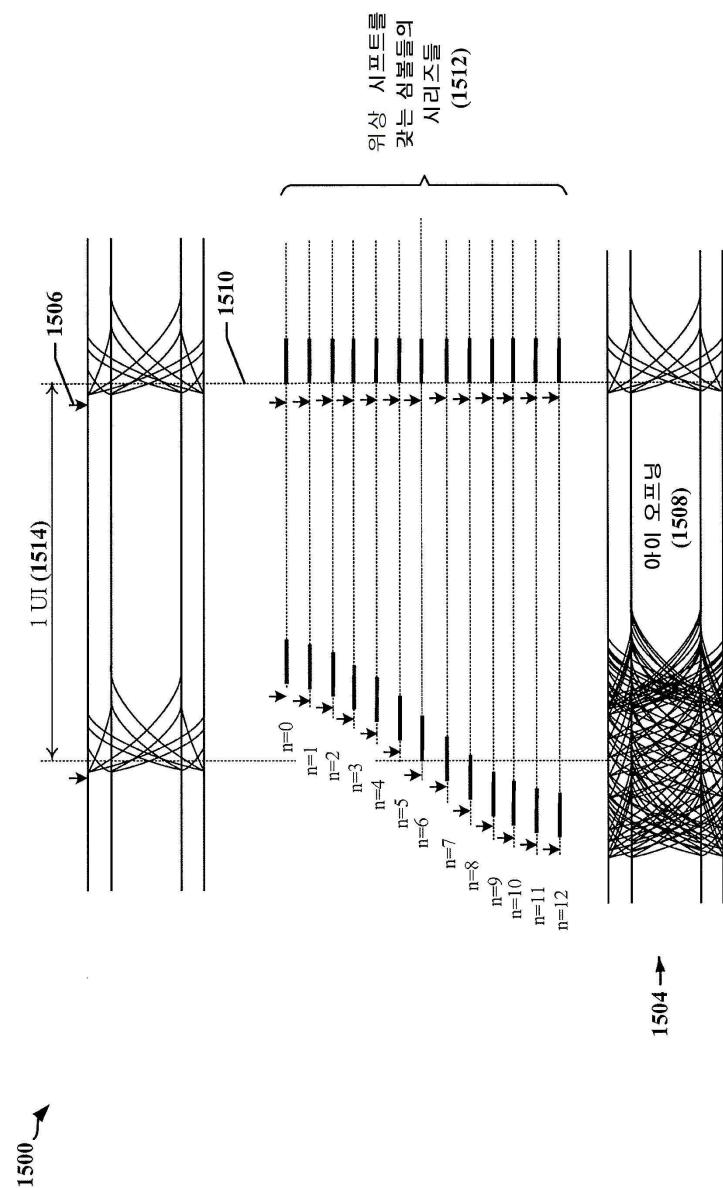


도면14

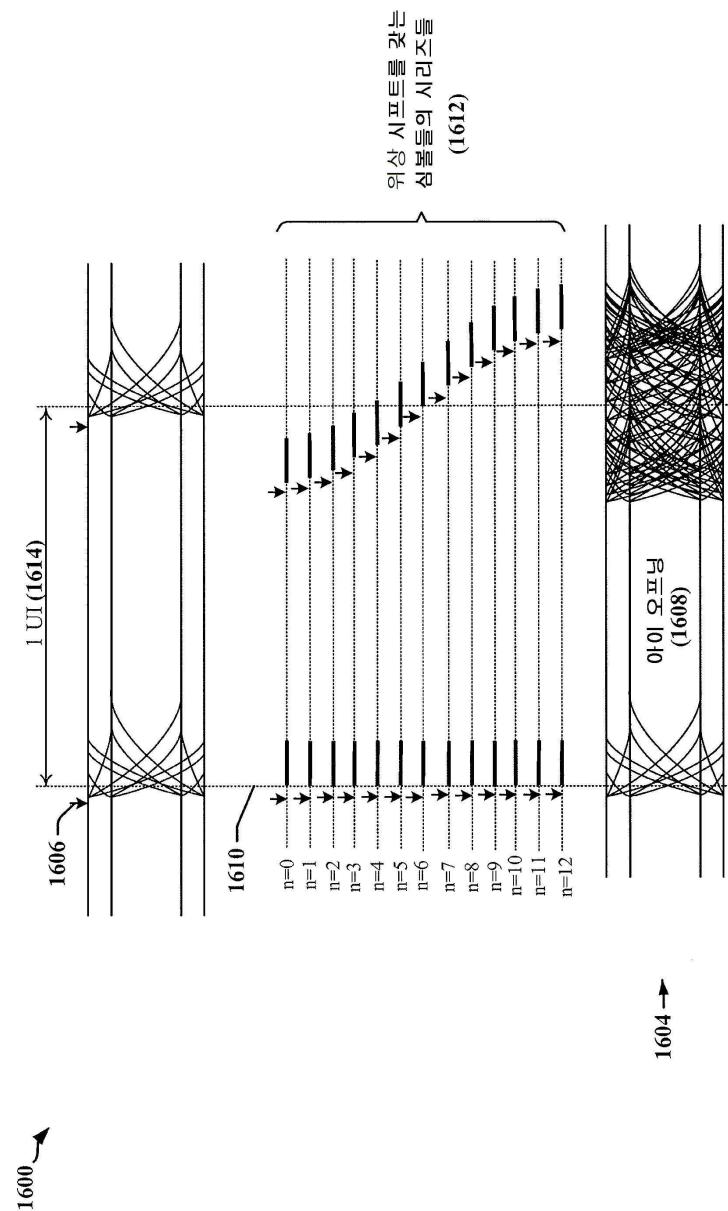


1400 ↗

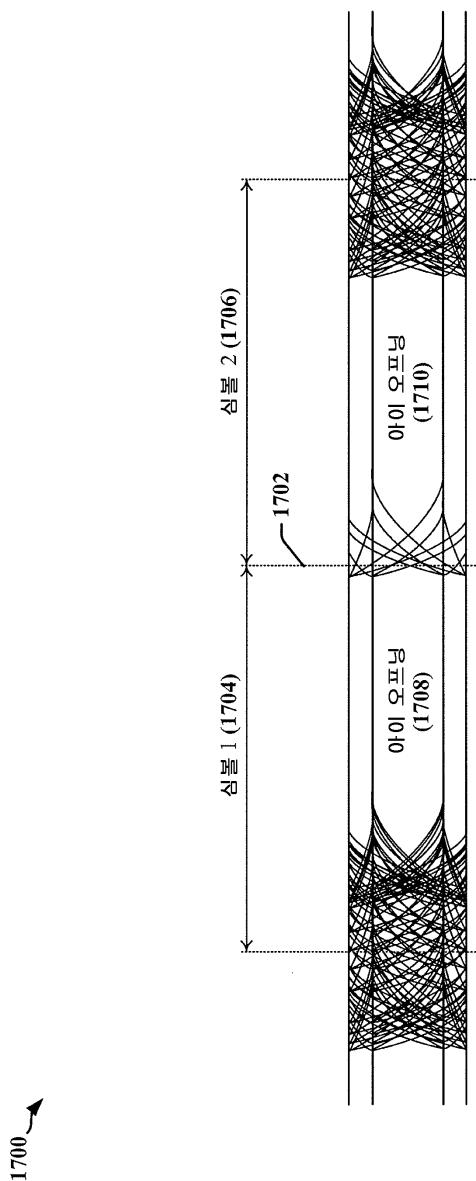
도면15



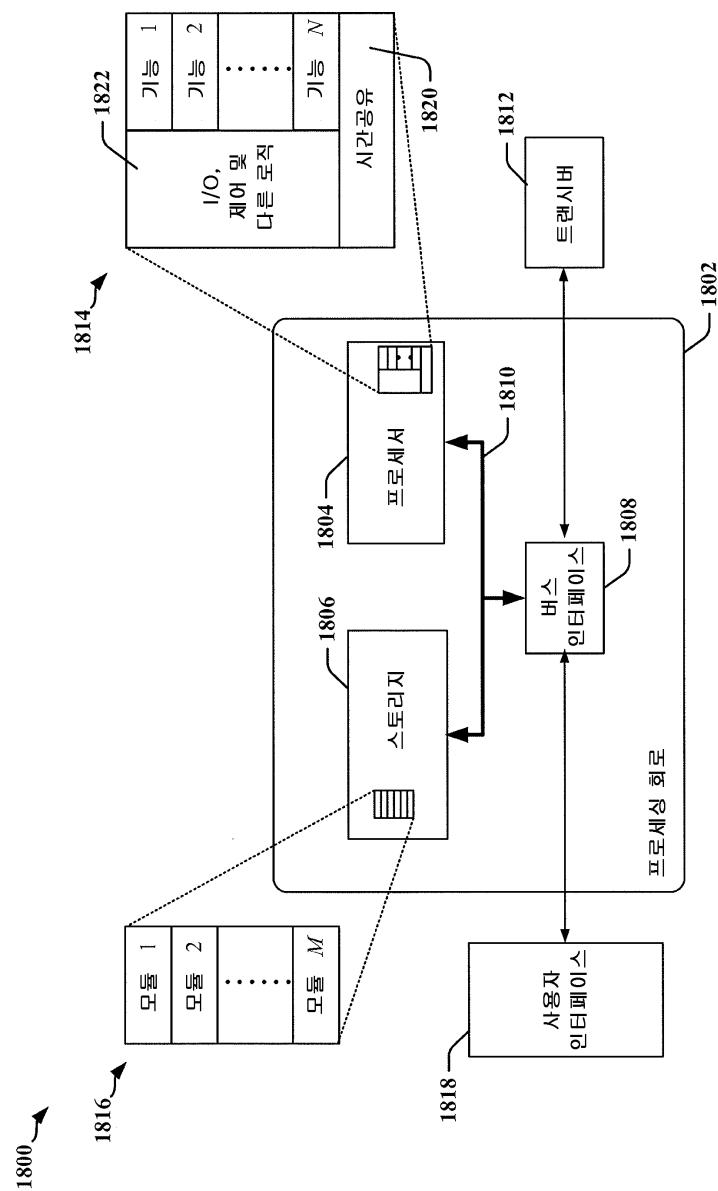
## 도면16



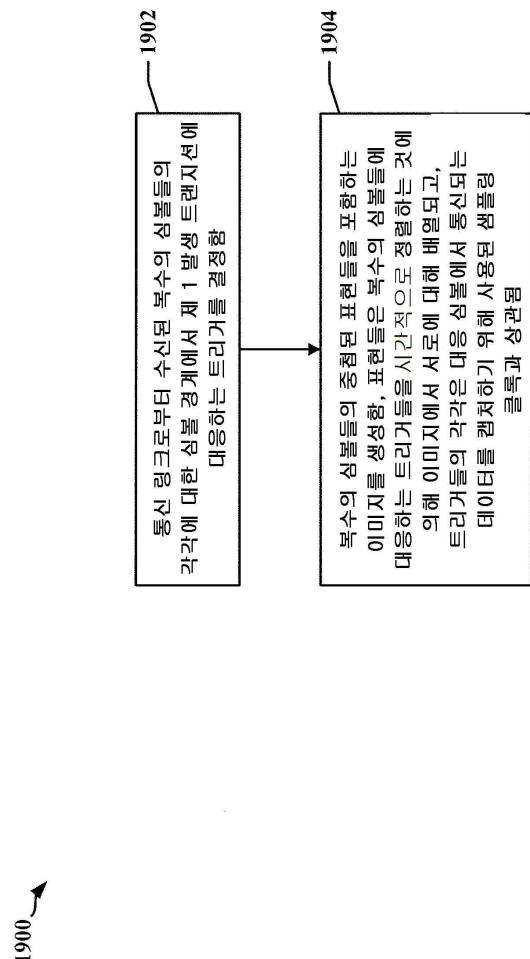
도면17



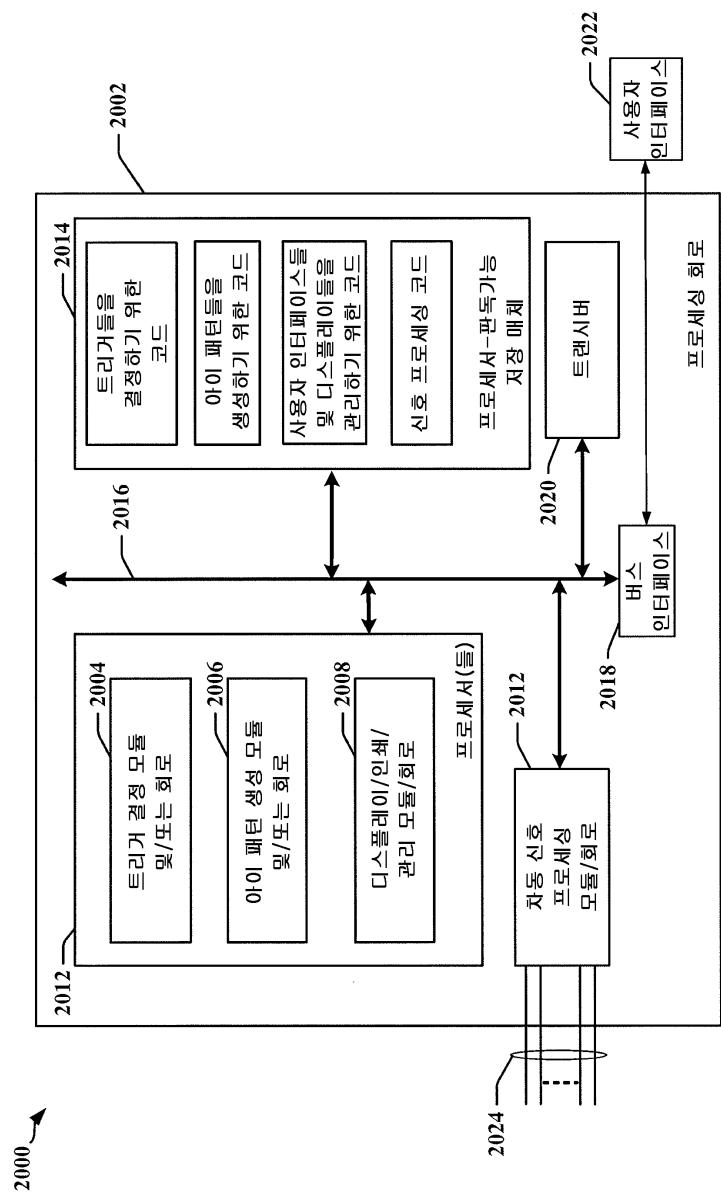
도면18



## 도면19



## 도면20



도면21

