

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6566902号
(P6566902)

(45) 発行日 令和1年8月28日 (2019.8.28)

(24) 登録日 令和1年8月9日 (2019.8.9)

(51) Int.Cl.

F I

H O 1 L 21/822 (2006.01)

H O 1 L 27/04 M

H O 1 L 27/04 (2006.01)

G O 6 F 13/00 3 O 1 J

G O 6 F 13/00 (2006.01)

G O 9 G 3/36

G O 9 G 3/36 (2006.01)

G O 9 G 3/20 6 7 O E

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 2 2 A

請求項の数 11 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2016-64290 (P2016-64290)
 (22) 出願日 平成28年3月28日 (2016.3.28)
 (65) 公開番号 特開2017-183352 (P2017-183352A)
 (43) 公開日 平成29年10月5日 (2017.10.5)
 審査請求日 平成30年9月19日 (2018.9.19)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110002147
 特許業務法人酒井国際特許事務所
 (72) 発明者 伊藤 拓也
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 (72) 発明者 清水 公司
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の半導体デバイスで構成され、

前記半導体デバイスは、

当該半導体デバイスによって実現する複数種の機能を監視し、該機能が正常であるか否
 かを示す複数種の状態監視信号を出力する状態監視部と、

複数種の前記状態監視信号に基づき、前記各機能の異常判定を行う異常判定部と、
 を備え、

複数の前記半導体デバイスのうち、何れか1つの半導体デバイスに備えられた前記異常
 判定部は、自身の異常判定結果と、他の半導体デバイスに備えられた前記異常判定部にお
 ける異常判定結果とに基づき、複数の前記半導体デバイスにおける1以上の前記機能が異
 常であることを検知した場合に、当該複数の前記半導体デバイスにおける1以上の前記機
 能が異常であることを検知した前記異常判定部から複数の前記半導体デバイスに対して異
 常検知信号が出力され、

前記半導体デバイスは、

前記異常検知信号に基づき所定の異常時処理を行う異常時処理部を備える、

半導体装置。

【請求項2】

前記異常時処理部は、複数の前記半導体デバイスにおいて同種の前記異常時処理を行う

請求項 1 に記載の半導体装置。

【請求項 3】

複数の前記半導体デバイスは、

前記異常検知信号を出力する半導体デバイスと前記異常検知信号が入力される他の半導体デバイスとを切り替える切替手段を有する、

請求項 2 に記載の半導体装置。

【請求項 4】

前記半導体デバイスは、

前記機能の異常が所定時間続いた場合に、前記異常検知信号を通過させる第 1 フィルタ部を備える、

請求項 1 乃至請求項 3 の何れか一項に記載の半導体装置。

【請求項 5】

前記第 1 フィルタ部は、ローパスフィルタを含む、

請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 フィルタ部は、タイマカウンタを含む、

請求項 4 に記載の半導体装置。

【請求項 7】

前記半導体デバイスは、

前記各機能におけるパラメータ値が格納されるレジスタ部を備え、

前記異常判定部は、

前記異常時処理として、前記レジスタ部におけるパラメータ値を初期化する、

請求項 1 乃至請求項 6 の何れか一項に記載の半導体装置。

【請求項 8】

前記半導体デバイスは、

前記レジスタ部における前記パラメータ値の設定データを格納するデータ格納部と、

前記異常検知信号に基づき、前記レジスタ部における前記パラメータ値を、前記データ格納部に格納された前記設定データに書き換えるレジスタ回復部と、

前記機能の異常が所定時間続いた場合に、前記異常時処理部に入力される前記異常検知信号を通過させる第 2 フィルタ部と、

を備える、

請求項 7 に記載の半導体装置。

【請求項 9】

前記異常検知信号を出力する前記半導体デバイスに備えられた前記レジスタ回復部は、

前記異常検知信号に基づき、複数の前記半導体デバイスに備えられた前記レジスタ部における前記パラメータ値を、前記異常検知信号を出力する半導体デバイスに備えられた前記データ格納部に格納された前記設定データに書き換える、

請求項 8 に記載の半導体装置。

【請求項 10】

前記第 2 フィルタ部は、ローパスフィルタを含む、

請求項 8 又は請求項 9 に記載の半導体装置。

【請求項 11】

前記第 2 フィルタ部は、タイマカウンタを含む、

請求項 8 又は請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び表示装置に関する。

【背景技術】

【0002】

10

20

30

40

50

例えば、1つの表示デバイスの画像表示を行うための同一あるいは同種の機能を有するI C（半導体デバイス）を複数設けたマルチドライバ構成の表示装置がある（例えば、特許文献1）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平7-5841号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

一般に、例えば表示装置の画像表示を行う半導体デバイスは、I C内部の故障や誤動作等の異常診断や、異常状態からの復帰を行う機能の搭載が要求される。上記したように、同一あるいは同種の機能を有する複数の半導体デバイスを用いて1つの表示デバイスの画像表示を行うマルチドライバ構成とした場合、各々の半導体デバイスで異常診断を行って異常状態からの復帰を行う構成では、複数の半導体デバイス間で動作の不整合が生じ、例えば、一部の表示領域が表示されない状態が継続する等の所謂「Dead lock」状態となり、外部から全ての半導体デバイスに対してリセットしない限り不具合が解消しない状態に陥る可能性がある。

【0005】

本発明は、1あるいは複数の半導体デバイスの機能不全によって生じる複数の半導体デバイス間の不整合を解消可能な半導体装置及び表示装置を提供することを目的とする。

20

【課題を解決するための手段】

【0006】

本発明の一態様に係る半導体装置は、複数の半導体デバイスで構成され、半導体デバイスは、当該半導体デバイスによって実現する複数種の機能を監視し、該機能が正常であるか否かを示す複数種の状態監視信号を出力する状態監視部と、複数種の状態監視信号に基づき、各機能の異常判定を行う異常判定部と、を備え、複数の半導体デバイスのうち、何れか1つの半導体デバイスに備えられた異常判定部は、自身の異常判定結果と、他の半導体デバイスに備えられた異常判定部における異常判定結果とに基づき、複数の半導体デバイスにおける1以上の機能が異常であることを検知した場合に、当該複数の前記半導体デバイスにおける1以上の前記機能が異常であることを検知した前記異常判定部から複数の前記半導体デバイスに対して異常検知信号が出力される。

30

【0007】

本発明の一態様に係る表示装置は、第1領域及び第2領域に分割された1つの表示領域と、第1領域の画像表示を行うマスターデバイス及び第2領域の画像表示を行うスレーブデバイスが1つの基板上に構成された半導体装置と、を含み、マスターデバイスは、自らの異常あるいはスレーブデバイスの異常を検知して、自らの異常時処理を行うと共に、スレーブデバイスに異常検知信号を出力し、スレーブデバイスは、異常検知信号に基づき、自らの異常時処理を行う。

【図面の簡単な説明】

40

【0008】

【図1】図1は、実施形態1に係る半導体装置を適用した表示システムの概略構成の一例を示す図である。

【図2】図2は、実施形態1に係る半導体装置を適用した表示装置のブロック構成の一例を示す図である。

【図3】図3は、実施形態1に係る半導体装置を構成するドライバI Cの内部構成の一例を示す図である。

【図4】図4は、状態監視部の一例を示す図である。

【図5】図5は、実施形態1に係る半導体装置を構成するドライバI Cの異常判定部の内部ロジック構成の一例を示す図である。

50

【図6】図6は、ドライバIC（MASTER）及びドライバIC（SLAVE）における全ての機能が正常である場合の異常判定部（MASTER）の各部ロジックの状態を示す図である。

【図7】図7は、ドライバIC（MASTER）及びドライバIC（SLAVE）における全ての機能が正常である場合の異常判定部（SLAVE）の各部ロジックの状態を示す図である。

【図8】図8は、ドライバIC（MASTER）における全ての機能が正常であり、ドライバIC（SLAVE）における1以上の機能が異常である場合の異常判定部（MASTER）の各部ロジックの状態を示す図である。

【図9】図9は、ドライバIC（MASTER）における全ての機能が正常であり、ドライバIC（SLAVE）における1以上の機能が異常である場合の異常判定部（SLAVE）の各部ロジックの状態を示す図である。

10

【図10】図10は、ドライバIC（MASTER）における1以上の機能が異常であり、ドライバIC（SLAVE）における全ての機能が正常である場合の異常判定部（MASTER）の各部ロジックの状態を示す図である。

【図11】図11は、ドライバIC（MASTER）における1以上の機能が異常であり、ドライバIC（SLAVE）における全ての機能が正常である場合の異常判定部（SLAVE）の各部ロジックの状態を示す図である。

【図12】図12は、ドライバIC（MASTER）における1以上の機能が異常であり、且つ、ドライバIC（SLAVE）における1以上の機能が異常である場合の異常判定部（MASTER）の各部ロジックの状態を示す図である。

20

【図13】図13は、ドライバIC（MASTER）における1以上の機能が異常であり、且つ、ドライバIC（SLAVE）における1以上の機能が異常である場合の異常判定部（SLAVE）の各部ロジックの状態を示す図である。

【図14】図14は、実施形態1に係る半導体装置の実装形態の一例を示す図である。

【図15】図15は、実施形態1に係る半導体装置を構成するドライバIC（SLAVE）を2以上の複数設けた場合の実装形態の一例を示す図である。

【図16】図16は、実施形態1に係る半導体装置のドライバIC（MASTER）とドライバIC（SLAVE）との間のBRSSO端子とBRSSI端子とを中継基板上で接続した例を示す図である。

30

【図17】図17は、実施形態1に係る半導体装置のドライバICの対向する2辺にそれぞれBRSSO端子及びBRSSI端子を設けた例を示す図である。

【図18】図18は、実施形態2に係る半導体装置を構成するドライバICの異常判定部の内部ロジック構成の一例を示す図である。

【図19】図19は、第1フィルタ部の一構成例及び動作例を示す図である。

【図20】図20は、図19に示すフィルタ回路の入出力特性の一例を示す図である。

【図21】図21は、第1フィルタ部の図19とは異なる一構成例及び動作例を示す図である。

【図22】図22は、図21に示すフィルタ回路の入出力特性の一例を示す図である。

【図23】図23は、実施形態3に係る半導体装置を構成するドライバICの内部構成の一例を示す図である。

40

【図24】図24は、第2フィルタ部の一構成例を示す図である。

【図25】図25は、第2フィルタ部の入出力特性の一例を示す図である。

【図26】図26は、第2フィルタ部の図24は異なる一構成例を示す図である。

【図27】図27は、図26に示すフィルタ回路の入出力特性の一例を示す図である。

【図28】図28は、実施形態3に係る半導体装置を構成するドライバICの図23とは異なる内部構成の一例を示す図である。

【発明を実施するための形態】

【0009】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。以下の実

50

施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0010】

10

(実施形態1)

図1は、実施形態1に係る半導体装置を適用した表示システムの概略構成の一例を示す図である。図1に示す表示システム100は、表示装置1と、上位制御装置(Host)2とを含み構成される。

【0011】

表示装置1は、例えば液晶表示装置であり、ガラス基板11上に、ドライバ回路部3と、表示部4と、を備え、ドライバ回路部3と上位制御装置2との間が、例えばフレキシブルプリント基板(FPC:Flexible Printed Circuit)等で構成される中継基板12を介して接続され、表示システム100を構成している。なお、表示装置1は、有機発光ダイオード(OLED:Organic Light Emitting Diode)等の有機ELであっても良い。

20

【0012】

上位制御装置2は、例えば、CPU(Central Processing Unit)及びメモリ等の記憶装置を含み構成され、これらハードウェア資源を用いてプログラムを実行することにより、表示装置1における各種機能を実現することができる。上位制御装置2は、プログラムの実行結果に応じて、表示装置1の表示領域21に表示させる画像をドライバ回路部3が画像入力階調の情報として扱えるように制御すると共に、表示装置1の表示動作が正常でない、すなわち、表示装置1の表示動作が異常である場合に、所定の処理を行う機能を有している。本実施形態において、表示装置1の表示動作が異常であるか否かについては、後述するドライバICの機能ブロックである異常判定部によって判定される。上位制御装置2は、ドライバICの異常判定部によって表示装置1の表示動作が異常であると判定された場合に、その判定結果を受けて、所定の処理を行う。なお、表示装置1の表示動作が異常である場合に、上位制御装置2によって実施される所定の処理としては、例えば、ドライバ回路3を強制的にリセットする、あるいは、ドライバ回路3を起動不能にする等の処理が考えられるが、この上位制御装置2によって実施される処理によって本発明が限定されるものではない。

30

【0013】

図2は、実施形態1に係る半導体装置を適用した表示装置のブロック構成の一例を示す図である。表示装置1は、ドライバ回路部3と、表示部4と、を備えている。

【0014】

40

ドライバ回路部3は、複数(ここでは、2)のドライバIC(半導体デバイス)6を備えている。本実施形態において、複数のドライバIC6は、同一あるいは同種の機能を有する半導体デバイスであり、本実施形態に係る半導体装置5を構成する。すなわち、本実施形態における表示装置1は、所謂マルチドライバ構成の液晶表示装置である。

【0015】

複数のドライバIC6は、2値(「L」または「H」)の選択信号SEL SIGによってマスターデバイスとスレーブデバイスとが設定される。本実施形態では、選択信号SEL SIGが「L」である方のドライバIC6をマスターデバイス(MASTER)とし、選択信号SEL SIGが「H」である方のドライバIC6をスレーブデバイス(SLAVE)とする。以下、マスターデバイスとして設定されたドライバIC及びその構成部に「

50

（MASTER）」を付記し、スレーブデバイスとして設定されたドライバIC及びその構成部に「（SLAVE）」を付記する。また、マスターデバイスとスレーブデバイスとを特段に区別する必要がない場合には、「（MASTER）」、「（SLAVE）」の記載を省略する。

【0016】

図2に示す例において、ドライバIC（MASTER）6は、表示部4の表示領域21の左半分の領域A（第1領域）の画像表示を行い、ドライバIC（SLAVE）6は、表示部4の表示領域21の右半分の領域B（第2領域）の画像表示を行う。なお、図2に示す例において、表示装置1が例えば液晶表示装置である場合、液晶表示装置におけるゲートドライバ、ソースドライバ、表示制御回路、及び電圧生成回路等の機能ブロックは、ドライバIC6に含まれるものとするが、これに限るものではない。

10

【0017】

ドライバIC（MASTER）6は、表示部4の表示領域21の左半分の領域Aの画像表示を行うための各種信号SIG1を出力する。ドライバIC（SLAVE）6は、表示部4の表示領域21の右半分の領域Bの画像表示を行うための各種信号SIG2を出力する。各種信号SIGは、表示装置1が例えば液晶表示装置である場合、ソース信号、ゲート信号、タイミングパルス信号等を含むものとする。なお、図2に示すドライバ回路部3の各信号及び各部の動作の詳細については後述する。

【0018】

図3は、実施形態1に係る半導体装置を構成するドライバICの内部構成の一例を示す図である。

20

【0019】

ドライバIC6は、上述したように、外部からMSSEL端子に入力される2値（「L」または「H」）の選択信号SELSIGによって、マスターデバイスとスレーブデバイスとが設定される。

【0020】

ドライバIC6は、状態監視部61、異常判定部62、異常時処理部63、及びレジスタ部64を含み構成される。

【0021】

レジスタ部64は、ドライバIC6の各機能における動作パラメータ値が格納されている。異常時処理部63は、異常判定部62から出力される異常時処理要求信号REQに基づき、所定の異常時処理を行う。この異常時処理部63は、ドライバIC（MASTER）6とドライバIC（SLAVE）6とで、同種の異常時処理を行う。異常時処理部63における所定の異常時処理として、本実施形態では、例えば、レジスタ部64に格納されている動作パラメータ値の初期化を行う。なお、異常発生時における表示システム100としての処理は、上述した上位制御装置2によって実施される。従って、異常時処理部63における異常時処理としては、上述したように、例えば、レジスタ部64に格納されている動作パラメータ値の初期化等を行うことによって、表示装置1における異常状態からの復帰を試みる。上位制御装置2は、例えば、異常時処理部63による異常時処理によって正常復帰しなかった場合に、ドライバ回路3を強制的にリセットする、あるいは、ドライバ回路3を起動不能にする等の所定の処理を行っても良いし、異常時処理部63による異常時処理回数に制限を設けて、所定回数以上、異常時処理部63による異常時処理によって正常復帰しなかった場合に、所定の処理を行っても良い。

30

40

【0022】

図4は、状態監視部の一例を示す図である。ドライバIC6は、上述したように、ゲートドライバ、ソースドライバ、表示制御回路、及び電圧生成回路等の各機能ブロックを有しており、本実施形態では、これら各機能ブロックの動作に必要な信号や各機能ブロック自体を監視し、各機能ブロックにおける動作の異常を検出するための監視部を設けている。以下、ドライバIC6における各機能ブロックによって実現される機能を、単に「機能」ともいう。

50

【0023】

状態監視部61は、ゲートドライバ状態監視部611、VSYNC状態監視部612、HSYNC状態監視部613、内部電源電圧状態監視部614、入力CLK状態監視部615、ソース出力状態監視部616、信号極性反転状態監視部61n等の各状態監視部で構成される。

【0024】

ゲートドライバ状態監視部611は、例えば、ゲートドライバの動作が正常であるか否かを監視する。

【0025】

VSYNC状態監視部612は、例えば、表示制御回路に入力されるVSYNC信号が正常であるか否かを監視する。

10

【0026】

HSYNC状態監視部613は、例えば、表示制御回路に入力されるHSYNC信号が正常であるか否かを監視する。

【0027】

内部電源電圧状態監視部614は、例えば、電圧生成回路への入力電圧値や、電圧生成回路で生成されてドライバIC6内で用いられる電源電圧値が正常であるか否かを監視する。

【0028】

入力CLK状態監視部615は、例えば、表示制御回路に入力されるクロック信号が正常であるか否かを監視する。

20

【0029】

ソース出力状態監視部616は、例えば、ソースドライバから出力されるソース信号が正常であるか否かを監視する。

【0030】

信号極性反転状態監視部61nは、例えば、水平周期毎に反転する共通電圧が正常であるか否かを監視する。

【0031】

これら各状態監視部611, ..., 61nは、それぞれ各機能が正常であるか否かを示す各状態監視信号ERTSIG1, ..., ERTSIGnを出力する。以下、各状態監視部611, ..., 61nを、「複数の状態監視部61」として総称し、各状態監視信号ERTSIG1, ..., ERTSIGnを、「状態監視信号ERTSIG」として総称する。

30

【0032】

ここで、本実施形態における状態監視信号ERTSIGは、2値（「L」または「H」）の矩形波信号である。複数の状態監視部61は、監視対象である各機能が正常であるとき、状態監視信号ERTSIGを「L」として出力し、監視対象である機能が異常であるとき、状態監視信号ERTSIGを「H」として出力とする。

【0033】

図2、図3に戻り、異常判定部(MASTER)62には、ドライバIC(MASTER)6のBR SI端子に入力された異常判定部(SLAVE)62からの異常検知信号ERRDET(SLAVE)が入力されると共に、状態監視部(MASTER)61から複数の状態監視信号ERTSIGが入力される。なお、本実施形態において、異常検知信号ERRDETは、2値（「L」または「H」）の矩形波信号である。

40

【0034】

同様に、異常判定部(SLAVE)62には、ドライバIC(SLAVE)6のBR SI端子に入力された異常判定部(MASTER)62からの異常検知信号ERRDET(MASTER)が入力されると共に、状態監視部(SLAVE)61から複数の状態監視信号ERTSIGが入力される。

【0035】

50

異常判定部62は、状態監視部61から入力される複数の状態監視信号ERTSIG、例えば、ゲートドライバ状態監視部611におけるゲートドライバ監視信号ERTSIG1、VSYNC状態監視部612におけるVSYNC信号監視信号ERTSIG2、HSYNC状態監視部613におけるHSYNC信号監視信号ERTSIG3、内部電源電圧状態監視部614における内部電源電圧監視信号ERTSIG4、入力CLK状態監視部615におけるクロック信号監視信号ERTSIG5、ソース出力状態監視部616におけるソース信号監視信号ERTSIG6、信号極性反転状態監視部61nにおける監視信号ERTSIGn等に基づき、ドライバIC6の各機能の異常判定を行う。

【0036】

異常判定部(SLAVE)62は、状態監視部(SLAVE)61から入力される複数の状態監視信号ERTSIGに基づき、ドライバIC(SLAVE)6における各機能、例えば、ゲートドライバ、ソースドライバ、表示制御回路、及び電圧生成回路等の各機能ブロックの異常判定を行い、当該異常判定結果を、異常検知信号ERRDET(SLAVE)として、ドライバIC(SLAVE)6のBRISO端子からドライバIC(MASTER)6のBRISI端子に出力する。ここで、異常判定部(SLAVE)62は、ドライバIC(SLAVE)6の各機能のうち、1以上の機能が異常であることを検知した場合に、異常検知信号ERRDET(SLAVE)を「L」として出力する。

【0037】

一方、異常判定部(MASTER)62は、状態監視部(MASTER)61から入力される複数の状態監視信号ERTSIGに基づき、ドライバIC(MASTER)6における各機能、例えば、ゲートドライバ、ソースドライバ、表示制御回路、及び電圧生成回路等の各機能ブロックの異常判定を行い、当該異常判定結果と、異常判定部(SLAVE)62における異常判定結果、すなわち、ドライバIC(MASTER)6のBRISI端子に入力された異常検知信号ERRDET(SLAVE)とに基づき、ドライバIC(MASTER)6及びドライバIC(SLAVE)6における各機能、すなわち、半導体装置5における全ての機能の異常判定を行い、当該異常判定結果を、異常検知信号ERRDET(MASTER)として出力する。ここで、異常判定部(MASTER)62は、ドライバIC(MASTER)6における各機能、及び、ドライバIC(SLAVE)6における各機能のうち、1以上の機能が異常であることを検知した場合に、異常検知信号ERRDET(MASTER)を「L」として出力する。

【0038】

異常判定部(MASTER)62は、異常検知信号ERRDET(MASTER)を、異常時処理部(MASTER)63に対する異常時処理要求信号REQとして、異常時処理部(MASTER)63に出力する。

【0039】

一方、異常判定部(SLAVE)62は、ドライバIC(MASTER)6のBRISO端子から出力された異常検知信号ERRDET(MASTER)を、異常時処理部(SLAVE)63に対する異常時処理要求信号REQとして、異常時処理部(SLAVE)63に出力する。

【0040】

すなわち、異常時処理部(MASTER)63に対する異常時処理要求信号REQと、異常時処理部(SLAVE)63に対する異常時処理要求信号REQとは、実質的に同一のロジックを示す2値(「L」または「H」)の矩形波信号である。

【0041】

なお、異常検知信号ERRDET(MASTER)は、上位制御装置2にも出力される。上位制御装置2は、異常検知信号ERRDET(MASTER)が「L」であることを検知して、所定の処理を行う。例えば、上位制御装置2は、異常検知信号ERRDET(MASTER)「L」を複数回検知した場合に、異常時処理部63による異常時処理によって正常復帰しなかったものとして、ドライバ回路3を強制的にリセットする、あるいは、ドライバ回路3を起動不能にする等の所定の処理を行っても良い。

10

20

30

40

50

【0042】

図5は、実施形態1に係る半導体装置を構成するドライバICの異常判定部の内部ロジック構成の一例を示す図である。図6は、ドライバIC(MASTER)及びドライバIC(SLAVE)における全ての機能が正常である場合の異常判定部(MASTER)の各部ロジックの状態を示す図である。図7は、ドライバIC(MASTER)及びドライバIC(SLAVE)における全ての機能が正常である場合の異常判定部(SLAVE)の各部ロジックの状態を示す図である。図8は、ドライバIC(MASTER)における全ての機能が正常であり、ドライバIC(SLAVE)における1以上の機能が異常である場合の異常判定部(MASTER)の各部ロジックの状態を示す図である。図9は、ドライバIC(MASTER)における全ての機能が正常であり、ドライバIC(SLAVE)における1以上の機能が異常である場合の異常判定部(SLAVE)の各部ロジックの状態を示す図である。図10は、ドライバIC(MASTER)における1以上の機能が異常であり、ドライバIC(SLAVE)における全ての機能が正常である場合の異常判定部(MASTER)の各部ロジックの状態を示す図である。図11は、ドライバIC(MASTER)における1以上の機能が異常であり、ドライバIC(SLAVE)における全ての機能が正常である場合の異常判定部(SLAVE)の各部ロジックの状態を示す図である。図12は、ドライバIC(MASTER)における1以上の機能が異常であり、且つ、ドライバIC(SLAVE)における1以上の機能が異常である場合の異常判定部(MASTER)の各部ロジックの状態を示す図である。図13は、ドライバIC(MASTER)における1以上の機能が異常であり、且つ、ドライバIC(SLAVE)における1以上の機能が異常である場合の異常判定部(SLAVE)の各部ロジックの状態を示す図である。

10

20

【0043】

図5に示す異常判定部62の内部ロジック構成において、ドライバIC(MASTER)6及びドライバIC(SLAVE)6における全ての機能が正常、すなわち、ドライバIC(MASTER)6における各状態監視信号ERTSIG1, ..., ERTSIGn及びドライバIC(SLAVE)6における各状態監視信号ERTSIG1, ..., ERTSIGnが全て「L」である場合には、異常時処理部(MASTER)63に対する異常時処理要求信号REQ及び異常時処理部(SLAVE)63に対する異常時処理要求信号REQが「H」となる(図6、図7参照)。

30

【0044】

また、図5に示す異常判定部62の内部ロジック構成において、ドライバIC(MASTER)6における全ての機能が正常、すなわち、ドライバIC(MASTER)6における各状態監視信号ERTSIG1, ..., ERTSIGnが全て「L」であり、ドライバIC(SLAVE)6における1以上の機能が異常、すなわち、ドライバIC(SLAVE)6における各状態監視信号ERTSIG1, ..., ERTSIGnの何れか1以上が「H」である場合には、異常時処理部(MASTER)63に対する異常時処理要求信号REQ及び異常時処理部(SLAVE)63に対する異常時処理要求信号REQが「L」となる(図8、図9参照)。

40

【0045】

また、図5に示す異常判定部62の内部ロジック構成において、ドライバIC(MASTER)6における1以上の機能が異常、すなわち、ドライバIC(MASTER)6における各状態監視信号ERTSIG1, ..., ERTSIGnの何れか1以上が「H」であり、ドライバIC(SLAVE)6における全ての機能が正常、すなわち、ドライバIC(SLAVE)6における各状態監視信号ERTSIG1, ..., ERTSIGnが全て「L」である場合には、異常時処理部(MASTER)63に対する異常時処理要求信号REQ及び異常時処理部(SLAVE)63に対する異常時処理要求信号REQが「L」となる(図10、図11参照)。

【0046】

また、図5に示す異常判定部62の内部ロジック構成において、ドライバIC(MAS

50

TER) 6 及びドライバ I C (S L A V E) 6 における 1 以上の機能が異常、すなわち、ドライバ I C (M A S T E R) 6 における各状態監視信号 E R T S I G 1 , . . . , E R T S I G n、及び、ドライバ I C (S L A V E) 6 における各状態監視信号 E R T S I G 1 , . . . , E R T S I G n の何れか 1 以上が「H」である場合には、異常時処理部 (M A S T E R) 6 3 に対する異常時処理要求信号 R E Q 及び異常時処理部 (S L A V E) 6 3 に対する異常時処理要求信号 R E Q が「L」となる (図 1 2、図 1 3 参照) 。

【 0 0 4 7 】

このように、本実施形態に係る半導体装置 5 では、スレーブデバイスとして設定されたドライバ I C (S L A V E) 6 の異常判定部 (S L A V E) 6 2 は、マスターデバイスとして設定されたドライバ I C (M A S T E R) 6 の異常判定部 (M A S T E R) 6 2 に対し、状態監視部 (S L A V E) 6 1 から入力される複数の状態監視信号 E R T S I G に基づく異常判定結果を異常検知信号 E R R D E T (S L A V E) として出力する。異常判定部 (M A S T E R) 6 2 は、状態監視部 (M A S T E R) 6 1 から入力される複数の状態監視信号 E R T S I G に基づく異常判定結果と、異常判定部 (S L A V E) 6 2 における異常判定結果である異常検知信号 E R R D E T (S L A V E) とに基づき、ドライバ I C (M A S T E R) 6 及びドライバ I C (S L A V E) 6 における各機能、すなわち、半導体装置 5 における全ての機能の異常判定を行い、異常検知信号 E R R D E T (M A S T E R) を出力する。そして、異常判定部 (M A S T E R) 6 2 は、異常検知信号 E R R D E T (M A S T E R) を異常時処理部 (M A S T E R) 6 3 に対する異常時処理要求信号 R E Q として、異常時処理部 (M A S T E R) 6 3 に出力し、異常判定部 (S L A V E) 6 2 は、異常検知信号 E R R D E T (M A S T E R) を異常時処理部 (S L A V E) 6 3 に対する異常時処理要求信号 R E Q として、異常時処理部 (S L A V E) 6 3 に出力する。これにより、複数のドライバ I C 6 で構成される半導体装置 5 において、何れかのドライバ I C 6 で機能の異常が発生した場合でも、複数の各ドライバ I C 6 に対し、同じタイミングで異常時処理を実施することができ、ドライバ I C (M A S T E R) 6 あるいはドライバ I C (S L A V E) 6 の機能不全によって生じる各ドライバ I C 6 間の不整合を解消することができる。

【 0 0 4 8 】

なお、実施形態 1 に係る半導体装置 5 を構成するドライバ I C 6 における異常判定部 6 2 の内部ロジック構成は、図 5 乃至図 1 3 に示した構成に限るものではなく、異常時処理部 (M A S T E R) 6 3 に対する異常時処理要求信号 R E Q と、異常時処理部 (S L A V E) 6 3 に対する異常時処理要求信号 R E Q とが実質的に同一のロジックとなる構成であれば、どのような内部ロジック構成であっても良い。この半導体装置 5 を構成するドライバ I C 6 における異常判定部 6 2 の内部ロジック構成によって、本発明が限定されるものではない。

【 0 0 4 9 】

図 1 4 は、実施形態 1 に係る半導体装置の実装形態の一例を示す図である。

【 0 0 5 0 】

図 1 4 に示す例では、ガラス基板 1 1 上に、半導体装置 5 を構成するドライバ I C (M A S T E R) 6 とドライバ I C (S L A V E) 6 とを並べて配置した例を示している。

【 0 0 5 1 】

また、図 1 4 に示す例では、ドライバ I C (M A S T E R) 6 の M S S E L 端子をドライバ I C 6 に G N D 電位を与える G N D 端子に接続し、ドライバ I C (M A S T E R) 6 の M S S E L 端子に選択信号 S E L S I G 「L」を与える例を示している。また、図 1 4 に示す例では、ドライバ I C (S L A V E) 6 の M S S E L 端子をドライバ I C 6 に V D D 電源を供給する V D D 端子に接続し、ドライバ I C (S L A V E) 6 の M S S E L 端子に選択信号 S E L S I G 「H」を与える例を示している。

【 0 0 5 2 】

なお、ドライバ I C (M A S T E R) 6 の M S S E L 端子に選択信号 S E L S I G 「L」を与える構成、及び、ドライバ I C (S L A V E) 6 の M S S E L 端子に選択信号 S E

L S I G「H」を与える構成については、これに限るものではなく、例えば、上位制御装置（H o s t）2からドライバI C（M A S T E R）6のM S S E L端子に選択信号S E L S I G「L」を与える構成であっても良いし、同様に、上位制御装置（H o s t）2からドライバI C（S L A V E）6のM S S E L端子に選択信号S E L S I G「H」を与える構成であっても良い。

【0053】

また、図14に示す例では、異常検知信号E R R D E T（M A S T E R）を上位制御装置（H o s t）2に供給する構成としているが、さらに、異常検知信号E R R D E T（S L A V E）を上位制御装置（H o s t）2に供給可能な構成としても良い。例えば、上位制御装置（H o s t）2から選択信号S E L S I GをドライバI C（M A S T E R）6のM S S E L端子及びドライバI C（S L A V E）6のM S S E L端子に与える構成とし、異常検知信号E R R D E T（M A S T E R）及び異常検知信号E R R D E T（S L A V E）を上位制御装置（H o s t）2に供給可能な構成とすることで、上位制御装置（H o s t）2側からマスターデバイスとなるドライバI C 6及びスレーブデバイスとなるドライバI C 6を設定可能となる。これにより、基板設計等のハードウェア設計に対する柔軟性を向上させることができる。

【0054】

図15は、実施形態1に係る半導体装置を構成するドライバI C（S L A V E）を2以上の複数設けた場合の実装形態の一例を示す図である。

【0055】

本実施形態に係る半導体装置5は、図15に示すように、ドライバI C（S L A V E）6を2以上の複数設けた構成であっても対応可能である。これにより、例えば、ドライバI C 6の品種を変えることなく、4Kあるいはそれ以上の高解像度の表示装置にも適用可能な半導体装置5を得ることができる。

【0056】

図16は、実施形態1に係る半導体装置のドライバI C（M A S T E R）とドライバI C（S L A V E）との間のB R S O端子とB R S I端子とを中継基板上で接続した例を示す図である。

【0057】

図16に示すように、ドライバI C（M A S T E R）6とドライバI C（S L A V E）6との間のB R S O端子とB R S I端子とを、例えばフレキシブルプリント基板（F P C：F l e x i b l e P r i n t e d C i r c u i t）等で構成される中継基板12上で接続する構成とすれば、ガラス基板11上における配線面積を縮小することができ、表示装置1の小型化に貢献することができる。

【0058】

図17は、実施形態1に係る半導体装置のドライバI Cの対向する2辺にそれぞれB R S O端子及びB R S I端子を設けた例を示す図である。図17に示す例では、ドライバI C 6内において、対向する2辺間で2つのB R S O端子が接続され、同様に、対向する2辺間で2つのB R S I端子が接続されている。

【0059】

ドライバI C 6の対向する2辺にそれぞれB R S O端子及びB R S I端子を設けることで、図17に示すように、複数のドライバI C 6を一行に並べてガラス基板11上に配置する際のドライバI C（M A S T E R）6のB R S O端子とドライバI C（S L A V E）6のB R S I端子との配線経路、及び、複数のドライバI C（S L A V E）6のB R S O端子間並びにB R S I端子間の配線経路を短縮することができるので、ガラス基板11上においてドライバ回路部3が占める面積を縮小することができ、表示装置1の小型化に貢献することができる。

【0060】

以上説明したように、実施形態1に係る半導体装置5によれば、スレーブデバイスとして設定されたドライバI C（S L A V E）6の異常判定部（S L A V E）62は、マスタ

10

20

30

40

50

ードバイスとして設定されたドライバ I C (M A S T E R) 6 の異常判定部 (M A S T E R) 6 2 に対し、状態監視部 (S L A V E) 6 1 から入力される複数の状態監視信号 E R T S I G に基づく異常判定結果を異常検知信号 E R R D E T (S L A V E) として出力する。異常判定部 (M A S T E R) 6 2 は、状態監視部 (M A S T E R) 6 1 から入力される複数の状態監視信号 E R T S I G に基づく異常判定結果と、異常判定部 (S L A V E) 6 2 における異常判定結果である異常検知信号 E R R D E T (S L A V E) とに基づき、ドライバ I C (M A S T E R) 6 及びドライバ I C (S L A V E) 6 における各機能、すなわち、半導体装置 5 における全ての機能の異常判定を行い、異常検知信号 E R R D E T (M A S T E R) を出力する。そして、異常判定部 (M A S T E R) 6 2 は、異常検知信号 E R R D E T (M A S T E R) を異常時処理部 (M A S T E R) 6 3 に対する異常時処理要求信号 R E Q として、異常時処理部 (M A S T E R) 6 3 に出し、異常判定部 (S L A V E) 6 2 は、異常検知信号 E R R D E T (M A S T E R) を異常時処理部 (S L A V E) 6 3 に対する異常時処理要求信号 R E Q として、異常時処理部 (S L A V E) 6 3 に出し、これにより、複数のドライバ I C 6 で構成される半導体装置 5 において、何れかのドライバ I C 6 で機能の異常が発生した場合でも、複数の各ドライバ I C 6 に対し、同じタイミングで所定の異常時処理を実施することができ、ドライバ I C (M A S T E R) 6 あるいはドライバ I C (S L A V E) 6 の機能不全によって生じる各ドライバ I C 6 間の不整合を解消することができる。

【0061】

本実施形態により、1 あるいは複数のドライバ I C (半導体デバイス) 6 の機能不全によって生じる複数のドライバ I C (半導体デバイス) 6 間の不整合を解消可能な半導体装置 5 を提供することができる。

【0062】

(実施形態 2)

図 1 8 は、実施形態 2 に係る半導体装置を構成するドライバ I C の異常判定部の内部ロジック構成の一例を示す図である。なお、実施形態 2 に係る半導体装置を適用した表示システムの概略構成、表示装置のブロック構成、ドライバ I C の内部構成、及び状態監視部については、上述した実施形態 1 と同様であるので、ここでの重複する説明は省略する。

【0063】

図 1 8 に示すように、本実施形態に係る半導体装置 5 を構成するドライバ I C 6 の異常判定部 6 2 a は、実施形態 1 の構成に加え、所定時間異常が続いた場合に、異常検知信号 E R R D E T (M A S T E R) を通過させる第 1 フィルタ部 6 2 1 を備えている。

【0064】

図 1 9 は、第 1 フィルタ部の一構成例及び動作例を示す図である。図 1 9 (a) は、第 1 フィルタ部 6 2 1 の一構成例を示し、図 1 9 (b) は、第 1 フィルタ部 6 2 1 が設けられたドライバ I C 6 がマスターデバイス (ドライバ I C (M A S T E R) 6) である場合の動作例を示し、図 1 9 (c) は、第 1 フィルタ部 6 2 1 が設けられたドライバ I C 6 がスレーブデバイス (ドライバ I C (S L A V E) 6) である場合の動作例を示している。

【0065】

図 1 9 に示す例において、第 1 フィルタ部 6 2 1 は、フィルタ回路 6 2 2 と、スイッチ回路 6 2 3、6 2 4 とを含み構成されている。

【0066】

フィルタ回路 6 2 2 は、L P F (ローパスフィルタ) 6 2 2 1 と、比較器 6 2 2 2 とを含み構成される。

【0067】

第 1 フィルタ部 6 2 1 が設けられたドライバ I C 6 がマスターデバイス (ドライバ I C (M A S T E R) 6) である場合には、フィルタ回路 6 2 2 を経由する経路が選択され (図 1 9 (b))、第 1 フィルタ部 6 2 1 が設けられたドライバ I C 6 がスレーブデバイス (ドライバ I C (S L A V E) 6) である場合には、フィルタ回路 6 2 2 をスルーする経路が選択される (図 1 9 (c))。

【0068】

この第1遅延フィルタ部621を設けることにより、所定時間異常が続いた場合に、異常検知信号ERRDET(MASTER)を通過させることができる。すなわち、異常時処理部(MASTER)63に対する異常時処理要求信号REQ及び異常時処理部(SLAVE)63に対する異常時処理要求信号REQを遅延させることができる。

【0069】

図20は、図19に示すフィルタ回路の入出力特性の一例を示す図である。図20に示す例では、時刻t0においてフィルタ回路622の入力(INPUT)が「H」から「L」に切り替わった例を示している。また、図20において、Thは、LPF6221の出力(INT)に対する閾値を示している。

10

【0070】

図20に示すように、フィルタ回路622の入力(INPUT)が「H」から「L」に切り替わった時刻t0に対し、LPF6221の時定数によってLPF6221の出力(INT)が閾値Thを下回った時刻t1において、比較器6222の出力、すなわちフィルタ回路622の出力(OUTPUT)が「H」から「L」に切り替わる。これにより、フィルタ回路622の入力(INPUT)が「H」から「L」に切り替わった時刻t0に対し、異常時処理部63により所定の異常時処理が実行される時刻t1を遅らせることができる。

【0071】

(変形例)

20

図21は、第1フィルタ部の図19とは異なる一構成例及び動作例を示す図である。図21(a)は、第1フィルタ部621aの一構成例を示し、図21(b)は、第1フィルタ部621aが設けられたドライバIC6がマスターデバイス(ドライバIC(MASTER)6)である場合の動作例を示し、図21(c)は、第1フィルタ部621aが設けられたドライバIC6がスレーブデバイス(ドライバIC(SLAVE)6)である場合の動作例を示している。

【0072】

図21に示す例において、第1フィルタ部621aは、フィルタ回路622aを含み構成されている。

【0073】

30

フィルタ回路622aは、タイマカウンタ6223を含み構成される。

【0074】

第1フィルタ部621aが設けられたドライバIC6がマスターデバイス(ドライバIC(MASTER)6)である場合には、フィルタ回路622aを経由する経路が選択され(図21(b))、第1フィルタ部621aが設けられたドライバIC6がスレーブデバイス(ドライバIC(SLAVE)6)である場合には、フィルタ回路622aをスルーする経路が選択される(図21(c))。

【0075】

これにより、所定時間異常が続いた場合に、異常検知信号ERRDET(MASTER)を通過させることができる。すなわち、異常時処理部(MASTER)63に対する異常時処理要求信号REQ及び異常時処理部(SLAVE)63に対する異常時処理要求信号REQを遅延させることができる。

40

【0076】

図22は、図21に示すフィルタ回路の入出力特性の一例を示す図である。図22に示す例では、時刻t0においてフィルタ回路622aの入力(INPUT)が「H」から「L」に切り替わった例を示している。また、図22において、Ctは、タイマカウンタ6223におけるカウント値を示している。

【0077】

図22に示すように、フィルタ回路622aの入力(INPUT)が「H」から「L」に切り替わった時刻t0に対し、タイマカウンタ6223で設定されたカウント値Ct、

50

例えば、時刻 t_0 から表示装置 1 における水平周期 H を n 回カウントした時間 Δt ($= nH$) が経過した時刻 t_1 において、タイマカウンタ 6223 の出力、すなわちフィルタ回路 622 の出力 (OUTPUT) が「H」から「L」に切り替わる。これにより、フィルタ回路 622a の入力 (INPUT) が「H」から「L」に切り替わった時刻 t_0 に対し、異常時処理部 63 によって所定の異常時処理が実行される時刻 t_1 を遅らせることができる。

【0078】

以上説明したように、実施形態 2 に係る半導体装置 5 によれば、所定時間異常が続いた場合に、異常検知信号 ERRDET (MASTER) を通過させる第 1 フィルタ部 621 を備える構成とすることで、異常時処理部 63 により所定の異常時処理が実行される時刻 t_1 を実施形態 1 よりも遅らせることができる。このため、例えば、異常時処理要求信号 REQ に混入した高調波ノイズ等によって異常時処理部 63 が誤作動することを防止することができる。また、例えば、異常が発生してから所定時間経過する前に、半導体装置 5 の各機能、すなわち、ドライバ IC (MASTER) 6 及びドライバ IC (SLAVE) 6 の各機能の異常が解消した場合に、異常時処理部 63 による所定の異常時処理の実行を回避することができる。

10

【0079】

本実施形態により、1 あるいは複数のドライバ IC (半導体デバイス) 6 の機能不全によって生じる複数のドライバ IC (半導体デバイス) 6 間の不整合を解消可能な半導体装置 5 を提供することができる。

20

【0080】

(実施形態 3)

図 23 は、実施形態 3 に係る半導体装置を構成するドライバ IC の内部構成の一例を示す図である。なお、実施形態 3 に係る半導体装置を適用した表示システムの概略構成、表示装置のブロック構成、状態監視部、及び異常判定部の内部ロジック構成については、上述した実施形態 1 あるいは実施形態 2 と同様であるので、ここでの重複する説明は省略する。

【0081】

上述した実施形態 1, 2 の構成では、複数のドライバ IC 6 で構成される半導体装置 5 において、何れかのドライバ IC 6 で機能の異常が発生した場合には、例えば、レジスタ部 64 に格納されている動作パラメータ値の初期化等の異常時処理が実施される構成であるが、例えば、レジスタ部 64 における動作パラメータ値のデータ化け等によって機能異常が発生している場合には、レジスタ部 64 における各動作パラメータ値を設定データで上書き (以下、「リフレッシュ」ともいう) することで、異常時処理部 63 による異常時処理によって、表示装置 1 の画像表示制御を停止することなく、半導体装置 5 の各機能、すなわち、ドライバ IC (MASTER) 6 及びドライバ IC (SLAVE) 6 の各機能の異常が解消する可能性がある。

30

【0082】

図 23 に示すように、実施形態 3 に係る半導体装置 5 におけるドライバ IC 6a は、実施形態 1 あるいは実施形態 2 の構成に加え、データ格納部 65、レジスタ回復部 66、及び第 2 フィルタ部 67 を含み構成される。

40

【0083】

データ格納部 65 は、レジスタ部 64 における各動作パラメータ値、すなわち、ドライバ IC 6 の各機能における動作パラメータ値の設定データを格納する。

【0084】

レジスタ回復部 66 は、異常検知信号 ERRDET (MASTER) に基づき、レジスタ部 64 における各動作パラメータ値を、データ格納部 65 に格納された設定データに書き換える。

【0085】

第 2 フィルタ部 67 は、所定時間異常が続いた場合に、異常時処理要求信号 REQ を通

50

過させた異常時処理要求信号 R E Q ' を出力する。

【0086】

図24は、第2フィルタ部の一構成例を示す図である。図24に示す例において、第2フィルタ部67は、フィルタ回路671を含み構成されている。

【0087】

フィルタ回路671は、L P F（ローパスフィルタ）6711と、比較器6712とを含み構成される。

【0088】

この第2フィルタ部67を設けることにより、レジスタ回復部66には、異常時処理要求信号 R E Q が出力され、異常時処理部63には、所定時間異常が続いた場合に、異常時処理要求信号 R E Q を通過させた異常時処理要求信号 R E Q ' が出力される。これにより、異常時処理部63によって所定の異常時処理が行われる前に、レジスタ回復部66によって、レジスタ部64における各動作パラメータ値のリフレッシュが実行される。

10

【0089】

図25は、図24に示すフィルタ回路の入出力特性の一例を示す図である。図25に示す例では、時刻 t 0 において、フィルタ回路671の入力（I N P U T）、すなわち異常時処理要求信号 R E Q が「H」から「L」に切り替わった例を示している。また、図25において、T h 1 は、L P F 6711の出力（I N T）に対する閾値を示している。

【0090】

図25に示すように、フィルタ回路671の入力（I N P U T）、すなわち異常時処理要求信号 R E Q が「H」から「L」に切り替わり、レジスタ回復部66によってレジスタ部64における各動作パラメータ値のリフレッシュが実行される時刻 t 0 に対し、L P F 6711の特定数によって L P F 6711 の出力（I N T）が閾値 T h 1 を下回った時刻 t 2 において、比較器6712の出力、すなわちフィルタ回路671の出力（O U T P U T）が「H」から「L」に切り替わる。これにより、フィルタ回路671の入力（I N P U T）、すなわち異常時処理要求信号 R E Q が「H」から「L」に切り替わり、レジスタ回復部66によってレジスタ部64における各動作パラメータ値のリフレッシュが実行される時刻 t 0 に対し、異常時処理部63によって所定の異常時処理が実行される時刻 t 2 を遅らせることができる。

20

【0091】

（変形例）

図26は、第2フィルタ部の図24とは異なる一構成例を示す図である。図26に示す例において、第2フィルタ部67aは、フィルタ回路671aを含み構成されている。

30

【0092】

フィルタ回路671aは、タイマカウンタ6713を含み構成される。

【0093】

これにより、レジスタ回復部66には、異常時処理要求信号 R E Q が出力され、異常時処理部63には、所定時間異常が続いた場合に、異常時処理要求信号 R E Q を通過させた異常時処理要求信号 R E Q ' が出力される。これにより、異常時処理部63によって所定の異常時処理が行われる前に、レジスタ回復部66によって、レジスタ部64における各動作パラメータ値のリフレッシュが実行される。

40

【0094】

図27は、図26に示すフィルタ回路の入出力特性の一例を示す図である。図27に示す例では、時刻 t 0 においてフィルタ回路671aの入力（I N P U T）が「H」から「L」に切り替わった例を示している。また、図27において、C t 1 は、タイマカウンタ6713におけるカウント値を示している。

【0095】

図27に示すように、フィルタ回路671の入力（I N P U T）、すなわち異常時処理要求信号 R E Q が「H」から「L」に切り替わり、レジスタ回復部66によるレジスタ部64における各動作パラメータ値のリフレッシュが実行される時刻 t 0 に対し、タイマカ

50

ウンタ6713で設定されたカウント値Ct1、例えば、時刻t0から表示装置1における水平周期Hをm回カウントした時間 $\Delta t'$ (=mH)が経過した時刻t2において、タイマカウンタ6713の出力、すなわちフィルタ回路671の出力(OUTPUT)が「H」から「L」に切り替わる。これにより、フィルタ回路671の入力(INPUT)、すなわち異常時処理要求信号REQが「H」から「L」に切り替わり、レジスタ回復部66によるレジスタ部64における各動作パラメータ値のリフレッシュが実行される時刻t0に対し、異常時処理部63によって所定の異常時処理が実行される時刻t2を遅らせることができる。

【0096】

すなわち、図26に示す構成とすることで、異常時処理部63によって所定の異常時処理が実行される前に、レジスタ回復部66によってレジスタ部64における各動作パラメータ値のリフレッシュを実行することができる。これにより、半導体装置5の各機能、すなわち、ドライバIC(MASTER)6a及びドライバIC(SLAVE)6aの各機能の異常が解消した場合には、異常時処理部63による所定の異常時処理の実行を回避することができる。すなわち、異常時処理部63による所定の異常時処理によって表示装置1の画像表示制御を停止することなく、半導体装置5の各機能の異常を解消することができる。

【0097】

図28は、実施形態3に係る半導体装置を構成するドライバICの図23とは異なる内部構成の一例を示す図である。

【0098】

図28に示す例では、ドライバIC6bにシリアルバスインターフェースを設け、各ドライバIC6b間をシリアルバス8で接続する例を示している。シリアルバス8は、例えば、シリアルデータ信号、シリアルクロック信号、チップセレクト信号を含む各信号を伝送するバスラインで構成される。

【0099】

図28に示す構成では、異常時処理部63によって所定の異常時処理が行われる前に、マスターデバイスとなるドライバIC(MASTER)6bに備えられたレジスタ回復部66によって、シリアルバス8を介して、ドライバIC(MASTER)6bを含む複数の各ドライバIC6bに備えられたレジスタ部64における各動作パラメータ値のリフレッシュが実行される。このような構成としても、図23に示す構成と同様に、異常時処理部63によって所定の異常時処理が実行される前に、レジスタ回復部66によってレジスタ部64における各動作パラメータ値のリフレッシュを実行することができる。これにより、半導体装置5の各機能、すなわち、ドライバIC(MASTER)6b及びドライバIC(SLAVE)6bの各機能の異常が解消した場合には、異常時処理部63による所定の異常時処理の実行を回避することができる。すなわち、異常時処理部63による所定の異常時処理によって表示装置1の画像表示制御を停止することなく、半導体装置5の各機能の異常を解消することができる。

【0100】

以上説明したように、実施形態3に係る半導体装置5によれば、レジスタ部64における各動作パラメータ値の設定データを格納するデータ格納部65と、異常検知信号ERRDETに基づき、レジスタ部64における各動作パラメータ値を、データ格納部65に格納された設定データに書き換えるレジスタ回復部66と、所定時間異常が続いた場合に、異常時処理部63に入力される異常検知信号ERRDET(MASTER)を通過させる第2フィルタ部67を備える構成とし、異常時処理部63によって所定の異常時処理が実行される前に、レジスタ回復部66によってレジスタ部64における各動作パラメータ値のリフレッシュを実行する。これにより、半導体装置5の各機能、すなわち、ドライバIC(MASTER)6b及びドライバIC(SLAVE)6bの各機能の異常が解消した場合に、異常時処理部63による所定の異常時処理の実行を回避することができる。すなわち、異常時処理部63による所定の異常時処理によって表示装置1の画像表示制御を停

10

20

30

40

50

止することなく、半導体装置 5 の各機能の異常を解消することができる。

【0101】

本実施形態により、1 あるいは複数のドライバ I C（半導体デバイス）6 a，6 b の機能不全によって生じる複数のドライバ I C（半導体デバイス）6 a，6 b 間の不整合を解消可能な半導体装置 5 を提供することができる。

【0102】

以上、実施形態について説明したが、上述した内容により本発明が限定されるものではない。また、上述した本発明の構成要素には、当業者が容易に想定できるもの、実質的に同一のもの、いわゆる均等の範囲のものが含まれる。さらに、上述した構成要素は適宜組み合わせることが可能である。また、本発明の要旨を逸脱しない範囲で構成要素の種々の省略、置換及び変更を行うことができる。

10

【符号の説明】

【0103】

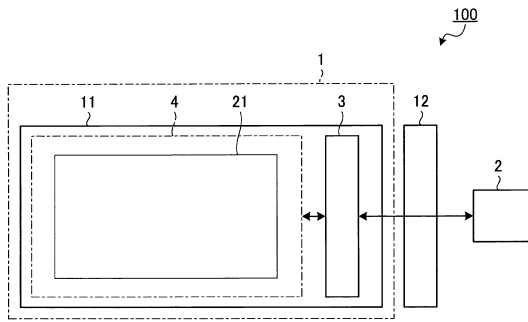
- 1 表示装置
- 2 上位制御装置
- 3 ドライバ回路部
- 4 表示部
- 5 半導体装置
- 6，6 a，6 b ドライバ I C
- 8 シリアルバス
- 11 ガラス基板
- 12 中継基板
- 21 表示領域
- 61 状態監視部
- 62，62 a 異常判定部
- 63 異常時処理部
- 64 レジスタ部
- 65 データ格納部
- 66 レジスタ回復部
- 67，67 a 第2フィルタ部
- 100 表示システム
- 621，621 a 第1フィルタ部
- 622，622 a フィルタ回路
- 623，624 スイッチ回路
- 671，671 a フィルタ回路
- 6221 L P F（ローパスフィルタ）
- 6222 比較器
- 6223 タイマカウンタ
- 6711 L P F（ローパスフィルタ）
- 6712 比較器
- 6713 タイマカウンタ

20

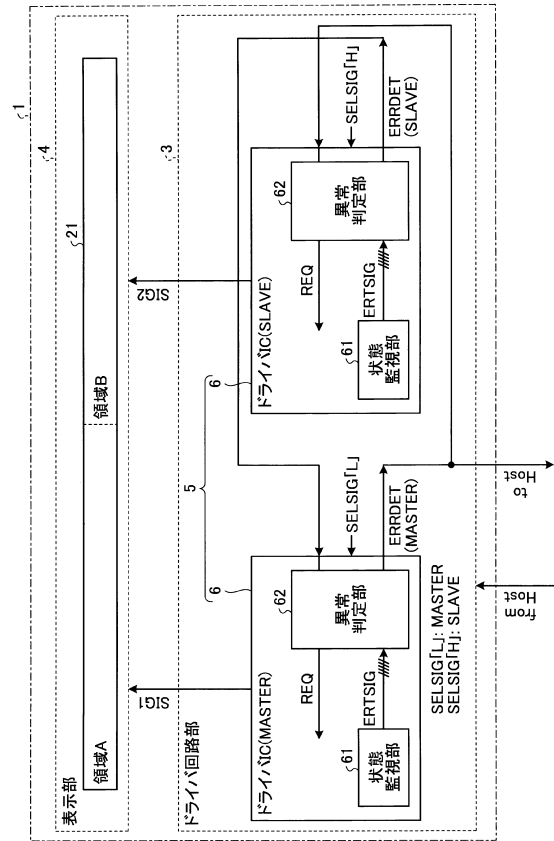
30

40

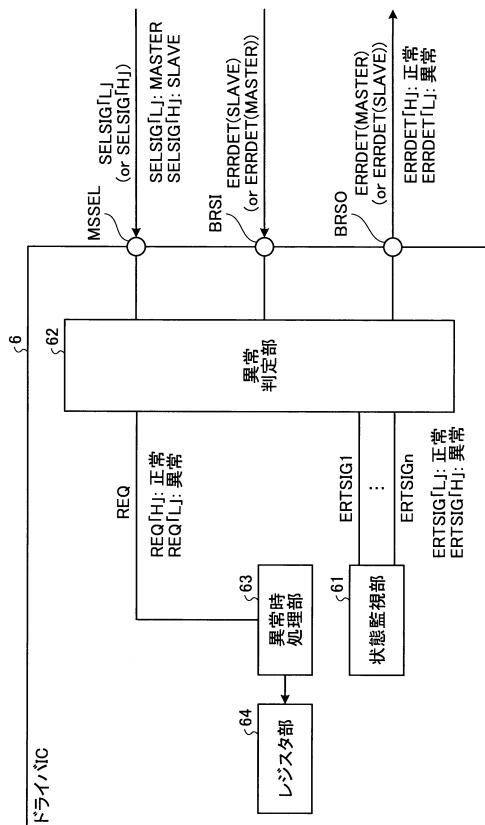
【図 1】



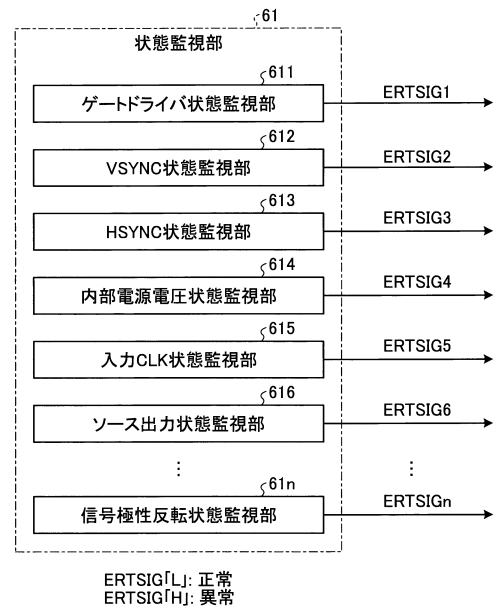
【図 2】



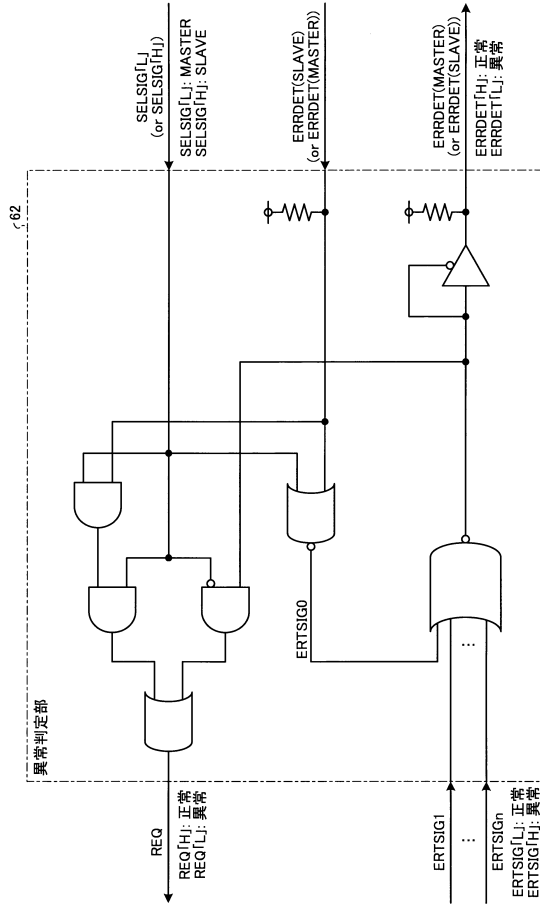
【図 3】



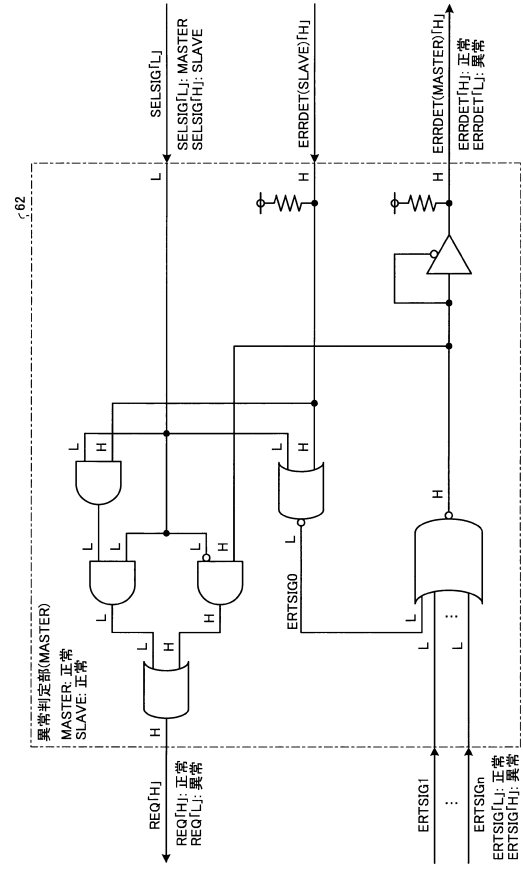
【図 4】



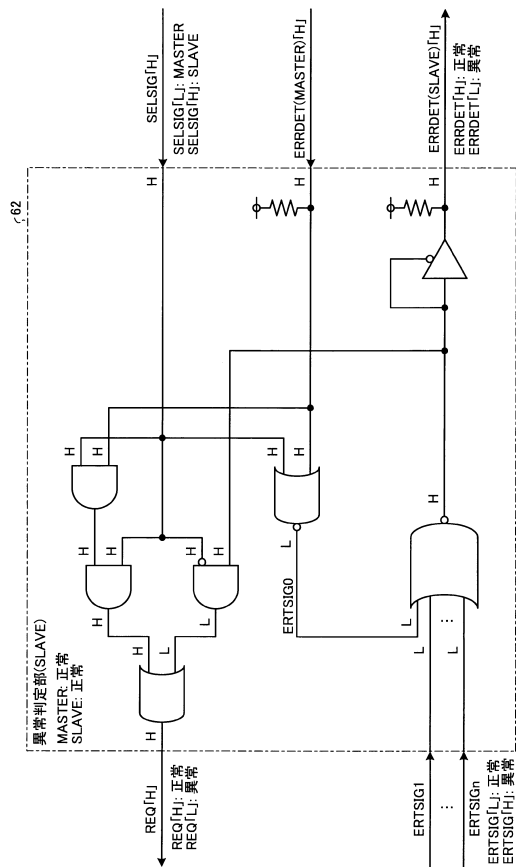
【図 5】



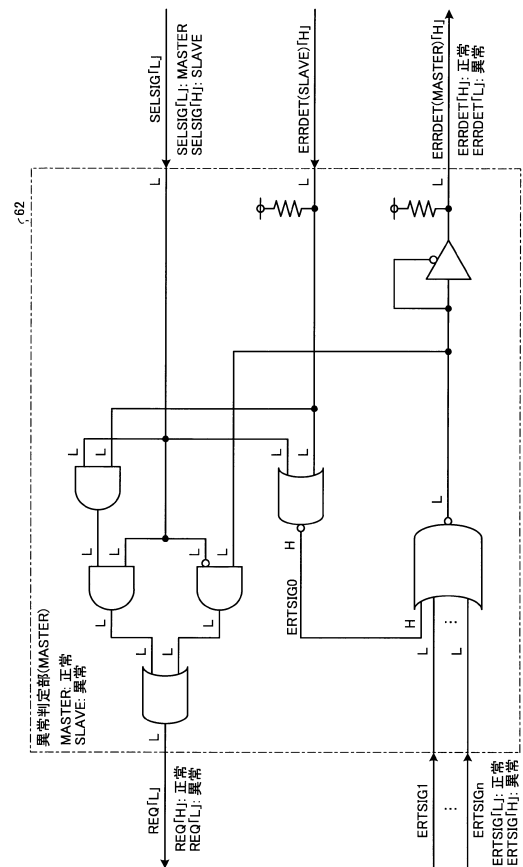
【図 6】



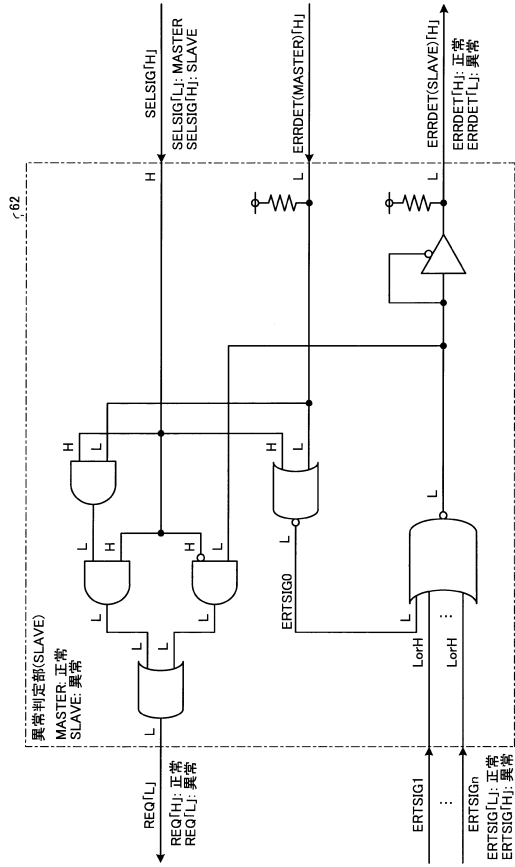
【図 7】



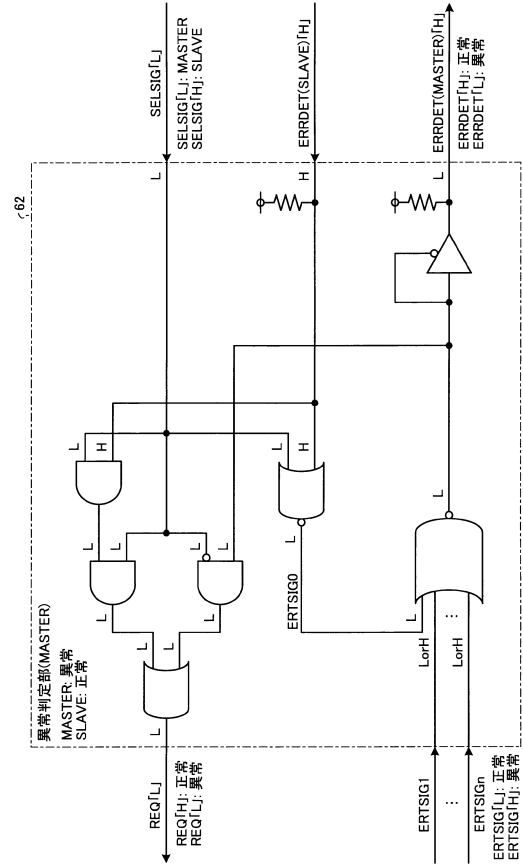
【図 8】



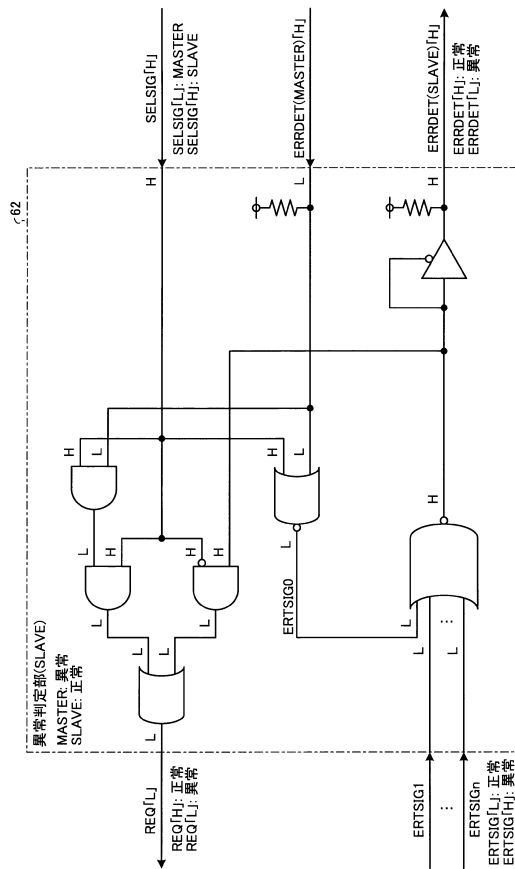
【図 9】



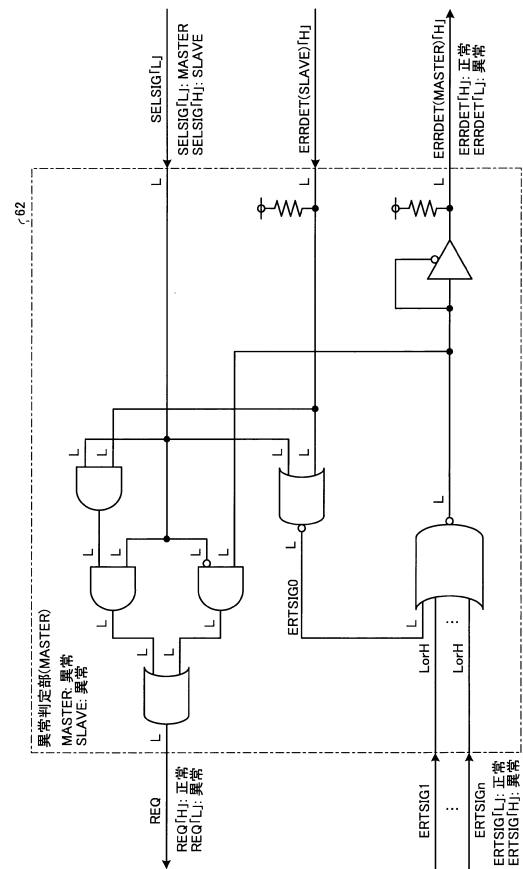
【図 10】



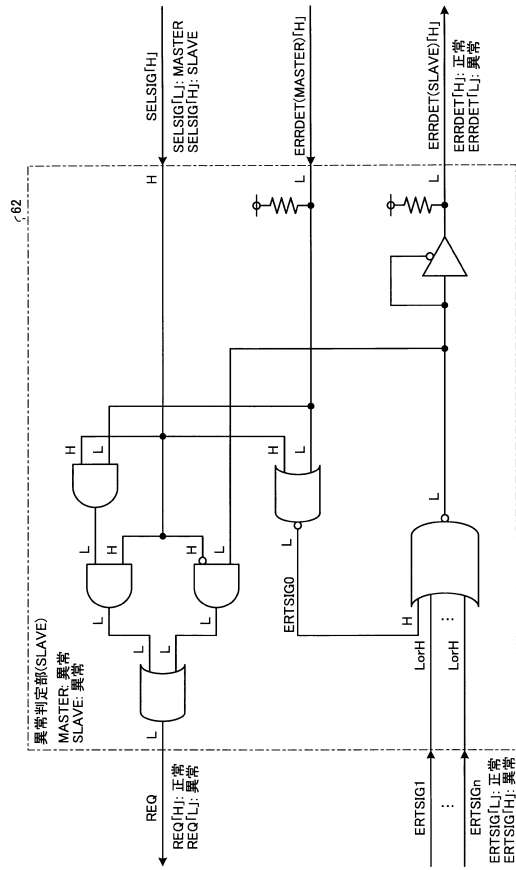
【図 11】



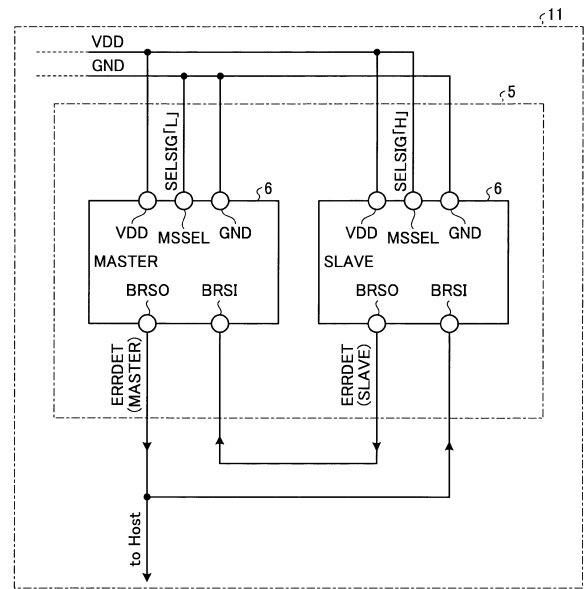
【図 12】



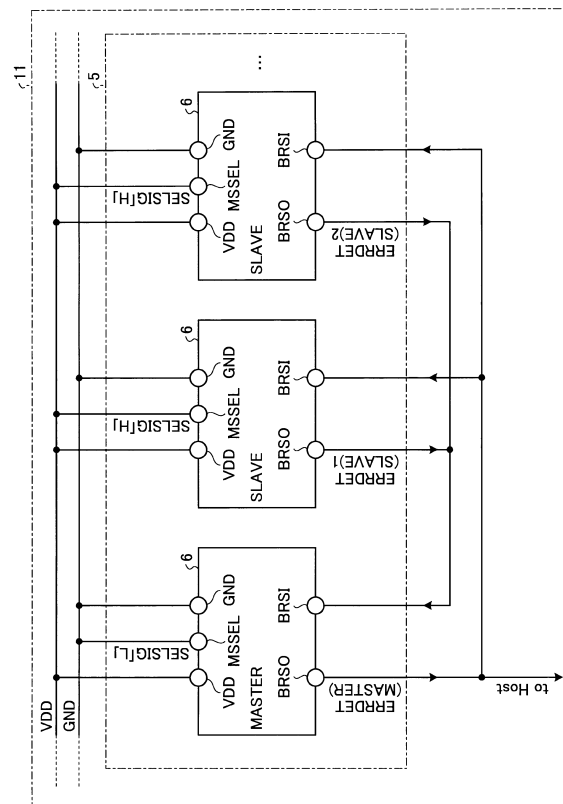
【図 13】



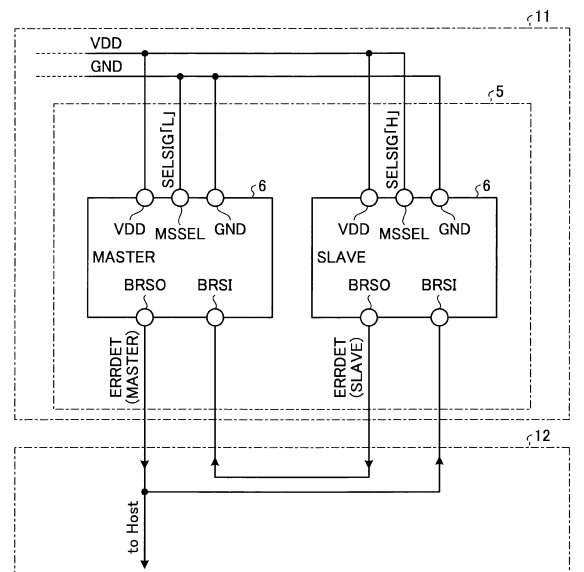
【図 14】



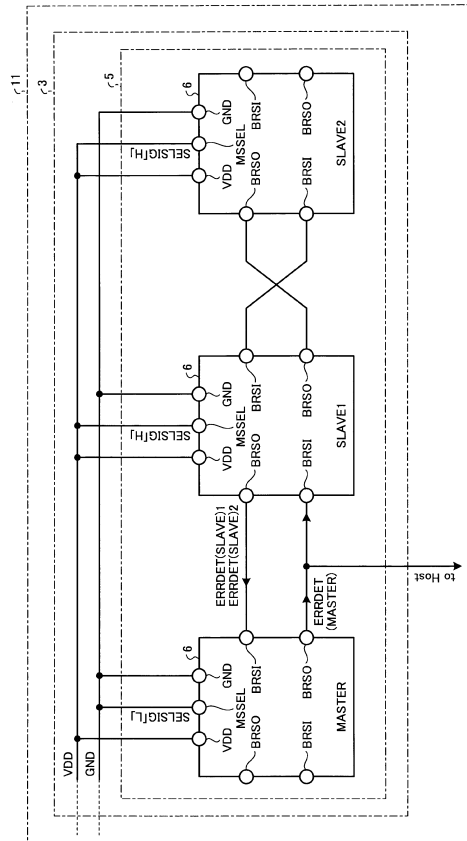
【図 15】



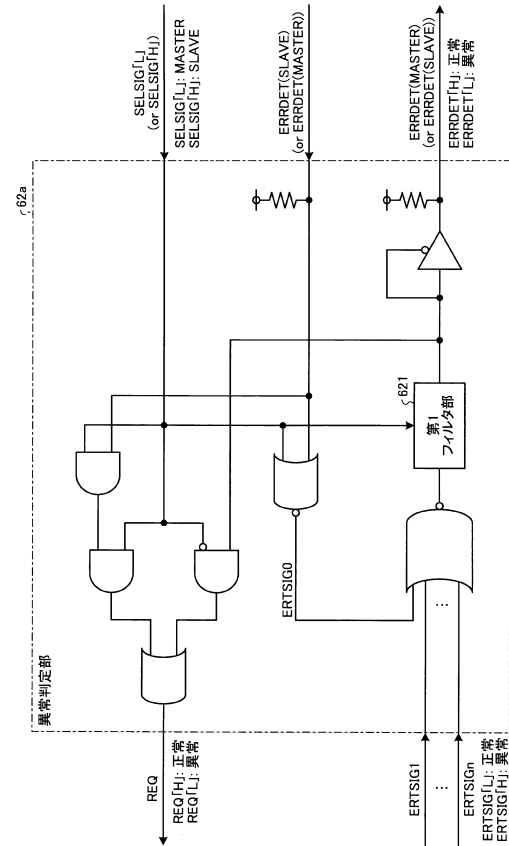
【図 16】



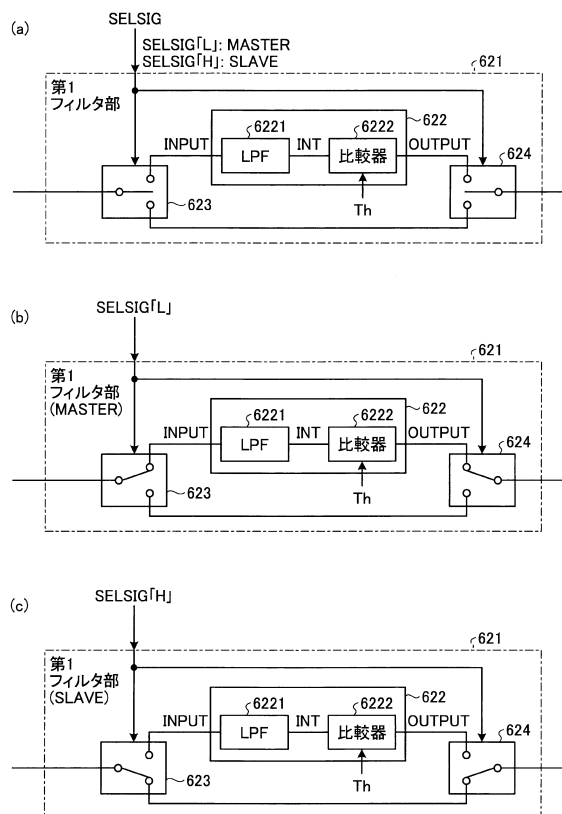
【図 17】



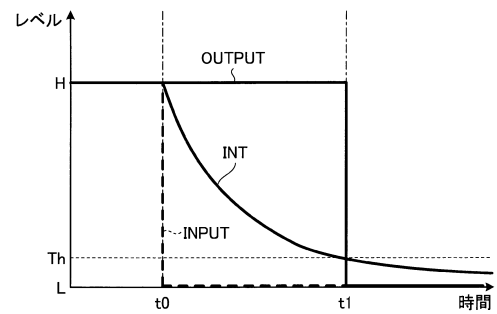
【図 18】



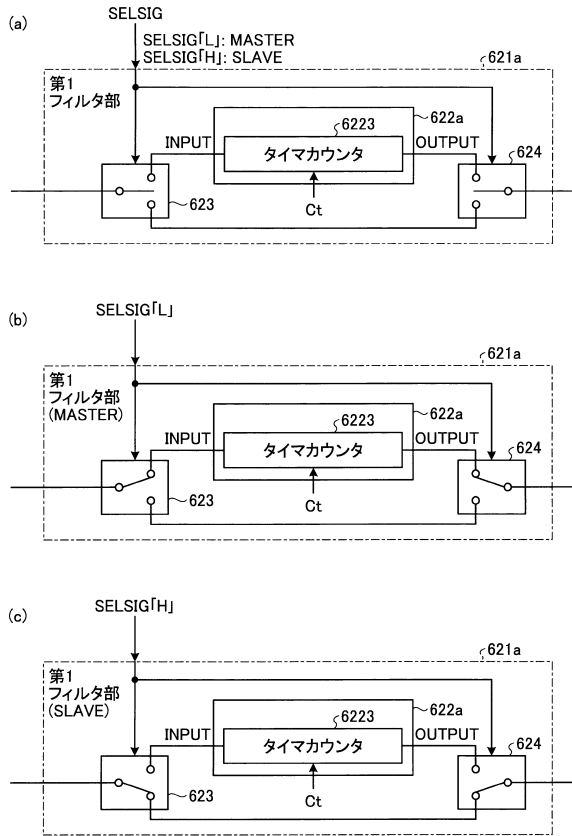
【図 19】



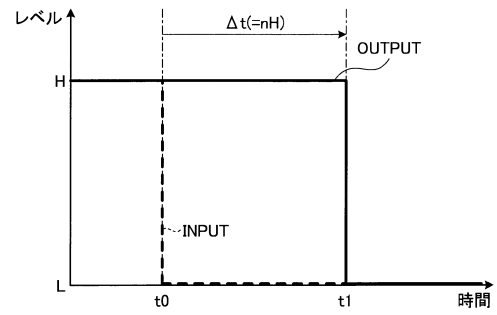
【図 20】



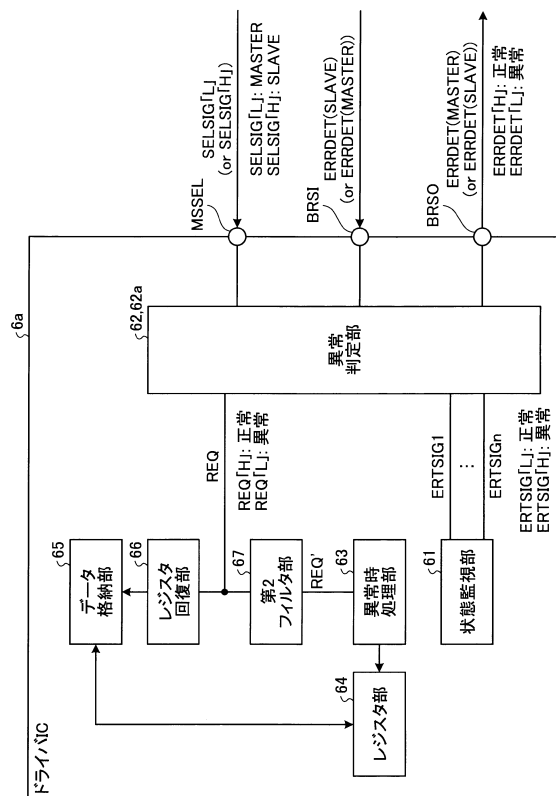
【図 2 1】



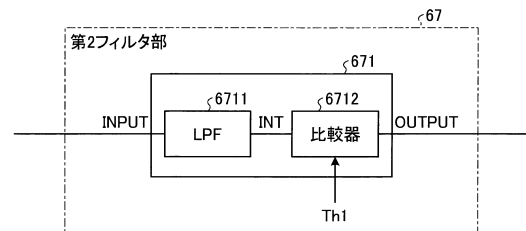
【図 2 2】



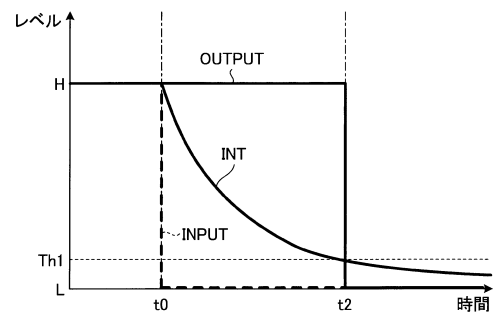
【図 2 3】



【図 2 4】



【図 2 5】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 A
	G 0 9 G	3/20	6 7 0 N

(56)参考文献 特開2015-087471 (JP, A)
特開2006-243565 (JP, A)
特開平09-190361 (JP, A)
特開2006-133072 (JP, A)
特開平02-073451 (JP, A)
特開昭62-263598 (JP, A)
特開平02-082345 (JP, A)
国際公開第2006/080227 (WO, A1)
特開2013-205686 (JP, A)
特開2014-085614 (JP, A)
特開2004-340877 (JP, A)
国際公開第2016/043112 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 1 / 8 2 2
G 0 6 F	1 3 / 0 0
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6
H 0 1 L	2 7 / 0 4