

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月11日(11.10.2018)



(10) 国際公開番号

WO 2018/185997 A1

(51) 国際特許分類:
H01L 23/02 (2006.01)

大阪府大阪市中央区常盤町1丁目3番8号中央大通F Nビル Osaka (JP).

(21) 国際出願番号: PCT/JP2018/001707

(22) 国際出願日: 2018年1月22日(22.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-073737 2017年4月3日(03.04.2017) JP

(71) 出願人: 日本電気硝子株式会社(NIPPON ELECTRIC GLASS CO., LTD.) [JP/JP]; 〒5208639 滋賀県大津市晴嵐二丁目7番1号 Shiga (JP).

(72) 発明者: 廣瀬 将行 (HIROSE, Masayuki); 〒5208639 滋賀県大津市晴嵐二丁目7番1号 日本電気硝子株式会社内 Shiga (JP).

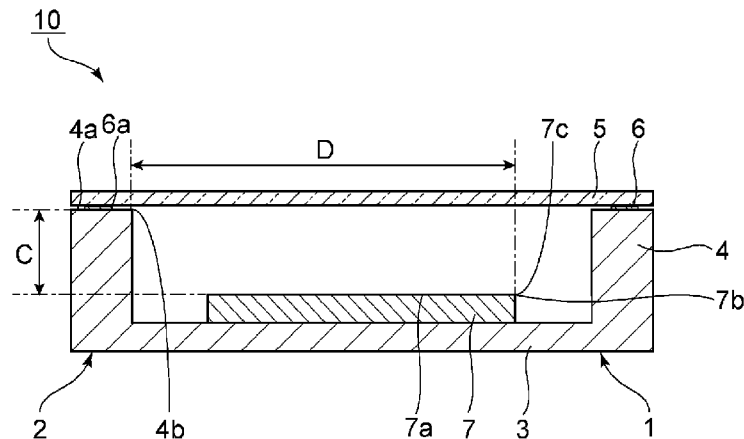
(74) 代理人: 特許業務法人 宮▲崎▼・目次特許事務所(MIYAZAKI & METSUGI); 〒5400028

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR PACKAGE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体パッケージ及び半導体デバイス



(57) Abstract: Provided is a semiconductor package in which soft errors of a semiconductor element due to the ionizing action of α rays are less likely to occur. A semiconductor package 1 for mounting and sealing a semiconductor element 7, wherein the semiconductor package 1 is characterized by being provided with: a container 2 having a bottom part 3 on which the semiconductor element 7 is mounted and frame-shaped side wall parts 4 disposed on the bottom part 3; a glass lid 5 disposed above the side wall parts 4 of the container 2, the glass lid 5 sealing the interior of the container 2; and a sealing material layer 6 disposed between the glass lid 5 and the side wall parts 4 of the container 2, the side wall parts 4 being provided so that a part of the side wall parts 4 is present between the semiconductor element 7-side upper end part 6a of the sealing material layer 6 and the outer peripheral edge 7b of the upper surface 7a of the semiconductor element 7.



DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約： α 線の電離作用による半導体素子のソフトエラーが生じ難い、半導体パッケージを提供する。半導体素子7を搭載して封止するための半導体パッケージ1であって、半導体素子7が搭載される底部3と該底部3上に配置された枠状の側壁部4とを有する、容器2と、容器2の側壁部4の上方に配置されており、容器2内を封止するためのガラス蓋5と、容器2の側壁部4とガラス蓋5との間に配置されている、封着材料層6と、を備え、封着材料層6の半導体素子7側の上端部6aと半導体素子7の上面7aにおける外周縁7bとの間に、側壁部4の一部が存在するように側壁部4が設けられていることを特徴としている。

明 細 書

発明の名称：半導体パッケージ及び半導体デバイス

技術分野

[0001] 本発明は、半導体素子を搭載して封止するための半導体パッケージ及び該半導体パッケージを用いた半導体デバイスに関する。

背景技術

[0002] 従来、素子を搭載して封止するためにパッケージが用いられている。このようなパッケージは、例えば、素子を搭載することができる容器と、容器内を封止するためのカバー部材とにより構成されている。パッケージに收容される素子としては、例えば、CCDやCMOSなどの固体撮像素子、発光素子、又はMEMSなどが知られている。

[0003] 下記の特許文献1には、電子素子を收容するためのパッケージが開示されている。特許文献1のパッケージは、凹部とその周囲に配置される段部とを有するパッケージ基板と、蓋体とを備えている。上記パッケージ基板の段部と上記蓋体とは、その間に設けられた接合層を介して接合されている。特許文献1では、上記接合層が、ビスマス系ガラスなどの低融点ガラスからなる封着材料により構成されることが好ましい旨が記載されている。特許文献1では、このような封着材料に蓋体を通してレーザーを照射し、封着材料を溶融及び固化させることにより、上記パッケージ基板の段部と上記蓋体とを接合させている。

先行技術文献

特許文献

[0004] 特許文献1：特開2016-27610号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1のパッケージに、固体撮像素子などの半導体素子を收容した場合、パッケージの構成部材に由来する α 線の電離作用により

半導体素子のソフトエラーが生じることがあった。

[0006] 本発明の目的は、 α 線の電離作用による半導体素子のソフトエラーが生じ難い、半導体パッケージ及び該半導体パッケージを用いた半導体デバイスを提供することにある。

課題を解決するための手段

[0007] 本発明に係る半導体パッケージは、半導体素子を搭載して封止するための半導体パッケージであって、前記半導体素子が搭載される底部と該底部上に配置された枠状の側壁部とを有する、容器と、前記容器の側壁部の上方に配置されており、前記容器内を封止するためのガラス蓋と、前記容器の側壁部と前記ガラス蓋との間に配置されている、封着材料層と、を備え、前記封着材料層の前記半導体素子側の上端部と前記半導体素子の上面における外周縁との間に、前記側壁部の一部が存在するように前記側壁部が設けられていることを特徴としている。

[0008] 本発明に係る半導体パッケージは、前記封着材料層の厚みをAとし、前記封着材料層の前記半導体素子側の上端部と前記側壁部の前記半導体素子側の上端部との平面視における距離をBとしたときの比 A/B と、前記側壁部の上面と前記半導体素子の上面との高さの差をCとし、前記側壁部の前記半導体素子側の上端部と前記半導体素子の前記封着材料層とは反対側の上端部との平面視における距離をDとしたときの比 C/D とが、 $A/B < C/D$ を満たしていることが好ましい。

[0009] 本発明に係る半導体パッケージは、前記封着材料層が、ガラスフリットにより構成されていることが好ましい。

[0010] 本発明に係る半導体パッケージは、前記ガラスフリットが、ビスマス系ガラスを含むことが好ましい。

[0011] 本発明に係る半導体デバイスは、本発明に従って構成される半導体パッケージと、前記半導体パッケージの内部に收容されている、半導体素子と、を備えることを特徴としている。

[0012] 本発明に係る半導体デバイスは、前記半導体素子が、固体撮像素子である

ことが好ましい。

発明の効果

[0013] 本発明によれば、 α 線の電離作用による半導体素子のソフトエラーが生じ難い、半導体パッケージを提供することができる。

図面の簡単な説明

[0014] [図1]図1は、本発明の一実施形態に係る半導体パッケージ及び半導体デバイスを示す模式的断面図である。

[図2]図2は、本発明の一実施形態に係る半導体パッケージ及び半導体デバイスにおいて、封着材料層が設けられている部分を拡大して示す模式的断面図である。

[図3]図3(a)～(d)は、本発明の一実施形態に係る半導体パッケージの製造方法を説明するための模式的断面図である。

発明を実施するための形態

[0015] 以下、好ましい実施形態について説明する。但し、以下の実施形態は単なる例示であり、本発明は以下の実施形態に限定されるものではない。また、各図面において、実質的に同一の機能を有する部材は同一の符号で参照する場合がある。

[0016] 図1は、本発明の一実施形態に係る半導体パッケージ及び半導体デバイスを示す模式的断面図である。また、図2は、本発明の一実施形態に係る半導体パッケージ及び半導体デバイスにおいて、封着材料層が設けられている部分を拡大して示す模式的断面図である。

[0017] [半導体パッケージ]

図1に示すように、半導体パッケージ1は、半導体素子7を搭載して封止するための半導体パッケージである。半導体パッケージ1に搭載される半導体素子7としては、例えば、CCDやCMOSなどの固体撮像素子が挙げられる。

[0018] 半導体パッケージ1は、容器2、ガラス蓋5及び封着材料層6を備える。

[0019] 本実施形態において、容器2は、LTCC (Low Temperature Co-fired Ceramic)

re Co-fired Ceramics) により構成されている。もっとも、容器 2 は、他の材料により構成されていてもよく、容器 2 の材料は特に限定されない。

[0020] 容器 2 は、底部 3 及び側壁部 4 を有する。底部 3 は、容器 2 において半導体素子 7 が搭載される部分である。底部 3 上に、枠状の側壁部 4 が配置されている。また、側壁部 4 の上面 4 a 上には、ガラス蓋 5 が配置されている。ガラス蓋 5 は、容器 2 を封止するための部材である。

[0021] なお、側壁部 4 とガラス蓋 5 との間には、封着材料層 6 が設けられている。封着材料層 6 によって、側壁部 4 とガラス蓋 5 とが接合されている。本実施形態において、封着材料層 6 は、ビスマス系ガラスを含むガラスフリットにより構成されている。もっとも、封着材料層 6 は、他の材料により構成されていてもよく、特に限定されない。なお、本実施形態において、封着材料層 6 の断面形状は矩形であるが、封着材料層 6 の側面 6 b は丸みを帯びた形状を有していてもよく、封着材料層 6 の形状は特に限定されない。

[0022] 本実施形態の半導体パッケージ 1 においては、封着材料層 6 の上端部 6 a と半導体素子 7 の外周縁 7 b との間に、側壁部 4 の一部が存在するように側壁部 4 が設けられている。なお、封着材料層 6 の上端部 6 a は、封着材料層 6 の半導体素子 7 側の上端部である。また、外周縁 7 b は、半導体素子 7 の上面 7 a における外周縁である。

[0023] また、半導体パッケージ 1 においては、封着材料層 6 の上端部 6 a と半導体素子 7 の上端部 7 c との間に、側壁部 4 の一部が存在するように側壁部 4 が設けられている。半導体素子 7 の上端部 7 c は、封着材料層 6 の上端部 6 a とは反対側の半導体素子 7 の上端部である。

[0024] 半導体パッケージ 1 においては、封着材料層 6 の上端部 6 a と半導体素子 7 の外周縁 7 b との間に、側壁部 4 の一部が存在するように側壁部 4 が設けられているので、 α 線の電離作用による半導体素子 7 のソフトエラーが生じ難い。なお、これについては、以下のように説明することができる。

[0025] 本実施形態の半導体パッケージ 1 においては、上述したようにビスマス系

ガラスを含むガラスフリットを用いて、側壁部4とガラス蓋5とが接合されている。この際、ビスマス系ガラスを含むガラスフリットは、鉛のように α 線を放出する不純物を含んでいることがある。そのため、このようなガラスフリットを用いた従来の半導体パッケージにおいては、ガラスフリットから放出される α 線の電離作用により半導体素子のソフトエラーが生じることがあった。

[0026] これに対して、本実施形態の半導体パッケージ1では、上記のように封着材料層6の上端部6aと半導体素子7の外周縁7bとの間に、側壁部4の一部が存在するように側壁部4が設けられている。そのため、封着材料層6から放出され半導体素子7に向かう α 線を側壁部4によって遮蔽することができる。従って、封着材料層6から放出される α 線が半導体素子7に照射され難くなり、 α 線の電離作用による半導体素子7のソフトエラーを生じ難くすることができる。

[0027] このように、半導体パッケージ1では、封着材料層6の上端部6aと半導体素子7の外周縁7bとを結ぶ全ての直線上に側壁部4の一部が存在していることから、封着材料層6から放出され半導体素子7に向かう α 線を側壁部4により遮蔽することができ、それによって α 線の電離作用による半導体素子7のソフトエラーを生じ難くすることができる。

[0028] なお、上述したように、封着材料層6の断面における形状が矩形ではなく、例えば封着材料層6の側面6bが丸みを帯びた形状を有している場合は、封着材料層6の側面6bのうち最も半導体素子7側の部分と、半導体素子7の外周縁7bとの間に、側壁部4の一部が存在するように側壁部4が設けられていることが好ましい。この場合、側壁部4によって α 線をより一層確実に遮蔽することができ、 α 線の電離作用による半導体素子7のソフトエラーをより一層生じ難くすることができる。

[0029] 本発明においては、図1及び図2に示すA、B、C及びDが、 $A/B < C/D$ を満たしていることが好ましい。

[0030] なお、上記Aは、封着材料層6の厚みである。上記Bは、封着材料層6の

上端部 6 a と側壁部 4 の上端部 4 b との平面視における距離である。なお、側壁部 4 の上端部 4 b は、側壁部 4 の半導体素子 7 側の上端部である。また、上記 B は、封着材料層 6 の上端部 6 a と、側壁部 4 の上端部 4 b との平面視における最短距離であるものとする。

[0031] 上記 C は、側壁部 4 の上面 4 a と半導体素子 7 の上面 7 a との高さの差（側壁部 4 の上面 4 a − 半導体素子 7 の上面 7 a）である。また、上記 D は、側壁部 4 の上端部 4 b と半導体素子 7 の上端部 7 c との平面視における距離である。半導体素子 7 の上端部 7 c は、半導体素子 7 の封着材料層 6 とは反対側の上端部である。より具体的に、半導体素子 7 の上端部 7 c は、上記 B を求める際に用いた封着材料層 6 の上端部 6 a とは反対側に設けられている半導体素子 7 の上端部である。半導体素子 7 の上端部 7 c は、半導体素子 7 の外周縁 7 b のうち、上記 B を求める際に用いた封着材料層 6 の上端部 6 a と最も離れている部分である。

[0032] 図 1 及び図 2 に示す A、B、C 及び D が、 $A/B < C/D$ を満たしている場合、側壁部 4 により α 線をより一層確実に遮蔽することができる。そのため、 α 線の電離作用による半導体素子 7 のソフトエラーをより一層生じ難くすることができる。

[0033] A/B （A の B に対する比）は、好ましくは 0.1 未満、より好ましくは 0.05 以下である。 A/B が上記上限以下である場合、側壁部 4 によって α 線をより一層確実に遮蔽することができ、 α 線の電離作用による半導体素子 7 のソフトエラーをより一層生じ難くすることができる。なお、 A/B は、0.001 以上であることが好ましい。この場合、側壁部 4 とガラス蓋 5 との接合強度をより一層高めることができる。

[0034] C/D （C の D に対する比）は、好ましくは 0.05 以上、より好ましくは 0.1 以上である。 C/D が上記下限以上である場合、側壁部 4 によって α 線をより一層確実に遮蔽することができ、 α 線の電離作用による半導体素子 7 のソフトエラーをより一層生じ難くすることができる。 C/D の上限値は、例えば、50 とすることができる。

[0035] 以下、半導体パッケージ1を構成する各部材の詳細について説明する。

[0036] (容器)

容器2は、底部3及び側壁部4を有する。容器2は、底部3及び側壁部4が一体成形されたものであってもよいし、底部3及び側壁部4がそれぞれ別々に成形されたものが接着剤などにより接合されたものであってもよい。

[0037] 容器2は、例えば、セラミックや、ガラスセラミックなどから構成される。セラミックとしては、酸化アルミニウム、窒化アルミニウム、ジルコニア、ムライトなどが挙げられる。ガラスセラミックとしては、LTCC (Low Temperature Co-fired Ceramics) などが挙げられる。LTCCの具体例としては、酸化チタンや酸化ニオブ等の無機粉末と、ガラス粉末との焼結体などが挙げられる。

[0038] (ガラス蓋)

ガラス蓋5を構成するガラスとしては、例えば、 $\text{SiO}_2-\text{B}_2\text{O}_3-\text{RO}$ (RはMg、Ca、SrまたはBa)系ガラス、 $\text{SiO}_2-\text{B}_2\text{O}_3-\text{R}'_2\text{O}$ (R'はLi、NaまたはK)系ガラス、 $\text{SiO}_2-\text{B}_2\text{O}_3-\text{RO}-\text{R}'_2\text{O}$ 系ガラス (R'はLi、NaまたはK)、 $\text{SnO}-\text{P}_2\text{O}_5$ 系ガラス、 TeO_2 系ガラス又は Bi_2O_3 系ガラスなどを用いることができる。

[0039] (封着材料層)

封着材料層6を形成するための封着材料としては、例えば、ガラスフリットを用いることができる。なかでも、 Bi_2O_3 系ガラス粉末 (ビスマス系ガラス粉末)、 $\text{SnO}-\text{P}_2\text{O}_5$ 系ガラス粉末、 $\text{V}_2\text{O}_5-\text{TeO}_2$ 系ガラス粉末等の低融点のガラスフリットを含んでいることが好ましい。特に、レーザーを照射して封着する場合、封着材料をより一層短時間の加熱で軟化させる必要性と接合強度をより一層高める観点から、ガラスフリットには、非常に軟化点の低いビスマス系ガラス粉末を用いることがより好ましい。また、ガラスフリットには、低膨張耐火性フィラーや、レーザー吸収材などが含まれていてもよい。低膨張耐火性フィラーとしては、例えば、コーディエライト、ウイレマイト、アルミナ、リン酸ジルコニウム系化合物、ジルコン、ジルコニ

ア、酸化スズ、石英ガラス、 β -石英固溶体、 β -ユークリプタイト、スボジュメンが挙げられる。また、レーザー吸収材としては、例えば、Fe、Mn、Cuなどから選ばれる少なくとも1種の金属又は該金属を含む酸化物等の化合物が挙げられる。

[0040] [半導体デバイス]

半導体デバイス10は、上述の半導体パッケージ1と半導体素子7とを備える。半導体素子7は、半導体パッケージ1の内部に收容されている。半導体デバイス10は、上述の半導体パッケージ1を備えているので、 α 線の電離作用による半導体素子7のソフトエラーが生じ難い。

[0041] このように、半導体デバイス10では α 線の電離作用による半導体素子7のソフトエラーを生じ難いので、半導体素子7としては、例えば、CCDやCMOSなどの固体撮像素子を好適に用いることができる。

[0042] 以下、図3(a)～(d)を参照しつつ、半導体パッケージ1及び半導体デバイス10の製造方法の一例について説明する。

[0043] (半導体パッケージ及び半導体デバイスの製造方法)

まず、図3(a)に示すように、底部3及び側壁部4を有する容器2を用意する。続いて、図3(b)に示すように、容器2の側壁部4の上面4a上に、封着材料を印刷する。封着材料としては、例えば、ビスマス系ガラスを含むガラスフリットを用いることができる。封着材料の印刷後、乾燥させ、さらに熱処理を行なうことにより封着材料を焼結させ、封着材料層6を形成する。なお、封着材料層6は、ガラス蓋5側に形成してもよい。

[0044] 次に、図3(c)に示すように、容器2の底部3上に、半導体素子7を搭載する。なお本製造方法においては、この半導体素子7を搭載するに際し、封着材料層6の上端部6aと半導体素子7の外周縁7bとの間に、側壁部4の一部が存在するように、側壁部4や封着材料層6を形成しておくものとする。

[0045] 次に、図3(d)に示すように、側壁部4の上面4a上において封着材料層6が設けられている部分に、ガラス蓋5を配置する。なお、ガラス蓋5は

、平面視において、封着材料層 6 が設けられている部分と少なくとも一部が重なるように配置すればよい。もっとも、ガラス蓋 5 は、平面視において、封着材料層 6 が設けられている部分と完全に重なるように配置することが好ましい。

[0046] 次に、側壁部 4 の上面 4 a 上に封着材料層 6 を介してガラス蓋 5 を配置した状態で、レーザー光源からのレーザーを照射することにより、封着材料層 6 を軟化させ、容器 2 の側壁部 4 及びガラス蓋 5 を接合させる。それによって、容器 2 の内部を気密封止して、図 1 に示す半導体パッケージ 1 及び半導体デバイス 10 を得る。この方法によれば、封着材料層 6 のみを局所的に加熱することが可能であることから、耐熱性の低い半導体素子 7 を劣化させることなく半導体パッケージ 1 を気密封止することができる。上記レーザーとしては、例えば、波長が、600 nm～1600 nm のレーザーを用いることができる。

[0047] また、レーザーの照射に際しては、まず、レーザー光源からのレーザーを、ガラス蓋 5 を通して封着材料層 6 に照射する。この際、レーザーは、枠状の側壁部 4 の上面 4 a 上を走査して周回させる。周回させたレーザーは、レーザー照射の始点を超える位置まで照射する。それによって、容器 2 を封止する。レーザーの終点は、レーザーを周回させた後の始点を超える位置であってもよいし、始点と同じ位置であってもよい。

[0048] なお、本発明においては、レーザーを照射せずに、単に封着材料層 6 を加熱することによって、封着材料層 6 を軟化させ、容器 2 の側壁部 4 及びガラス蓋 5 を接合させてもよい。

[0049] 得られた半導体デバイス 10 では、封着材料層 6 の上端部 6 a と半導体素子 7 の外周縁 7 b との間に、側壁部 4 の一部が存在するように側壁部 4 が設けられているので、 α 線の電離作用による半導体素子 7 のソフトエラーが生じ難い。

[0050] 以下、本発明について、具体的な実施例に基づいて、さらに詳細に説明するが、本発明は以下の実施例に何ら限定されるものではなく、その要旨を変

更しない範囲において適宜変更して実施することが可能である。

[0051] (実施例 1)

まず、底部及び側壁部を有し、L T C Cにより構成されている容器を用意した。

[0052] 次に、容器の側壁部における上面に、ガラスフリットを印刷した。印刷後、乾燥、熱処理してガラスフリットを焼結させ、封着材料層を形成した。なお、ガラスフリットとしては、モル%で、 Bi_2O_3 39%、 B_2O_3 23.7%、 ZnO 14.1%、 Al_2O_3 2.7%、 CuO 20%、 Fe_2O_3 0.5%の組成を有するガラス粉末を用いた。

[0053] 次に、用意した容器の内側底部の所定領域、具体的には、半導体素子を搭載したときに半導体素子の上面が配置される領域にシンチレーションカウンターをセットした。

[0054] 次に、容器の側壁部上方の封着材料層が設けられている部分に、ガラス蓋を配置した。続いて、容器の側壁部の封着材料層が設けられている部分に、ガラス蓋上方のレーザー光源からレーザーを照射し、封着材料層を軟化させ、容器の側壁部とガラス蓋を接合させた。それによって、容器の内部を封止し、半導体パッケージを得た。

[0055] なお、実施例 1 においては、封着材料層の厚み A が $5\ \mu\text{m}$ であり、半導体素子を搭載した際において、封着材料層の半導体素子側の上端部と側壁部の半導体素子側の上端部との平面視における距離 B が $300\ \mu\text{m}$ となるように、半導体パッケージを設計した。また、側壁部の上面と半導体素子上面との高さの差 C が $400\ \mu\text{m}$ であり、側壁部の半導体素子側の上端部と半導体素子の封着材料層とは反対側の上端部との平面視における距離 D が $7200\ \mu\text{m}$ となるように半導体パッケージを設計した。

[0056] なお、得られた半導体パッケージにおいては、半導体素子を搭載した場合に、封着材料層の半導体素子側の上端部と半導体素子の上面における外周縁との間に、側壁部の一部が存在するように側壁部が設けられていた。

[0057] (比較例 1)

比較例 1 においては、封着材料層の厚み A が $5\ \mu\text{m}$ であり、半導体素子を搭載した際において、封着材料層の半導体素子側の上端部と側壁部の半導体素子側の上端部との平面視における距離 B が $10\ \mu\text{m}$ となるように、半導体パッケージを設計した。また、側壁部の上面と半導体素子上面との高さの差 C が $400\ \mu\text{m}$ であり、側壁部の半導体素子側の上端部と半導体素子の封着材料層とは反対側の上端部との平面視における距離 D が $7200\ \mu\text{m}$ となるように半導体パッケージを設計したこと以外は、実施例 1 と同様にして半導体パッケージを得た。

[0058] なお、得られた半導体パッケージにおいては、半導体素子を搭載した場合に、封着材料層の半導体素子側の上端部と半導体素子の上面における外周縁との間に、側壁部の一部が存在していなかった。

[0059] (評価)

上記のようにして配置したシンチレーションカウンターにより、 α 線量を測定した。

[0060] なお、以下に示す α 線量の値は、上記の方法（シンチレーションカウンター）で 24 時間測定したカウント数を、時間と半導体素子搭載面の面積で除して算出した。

[0061] 実施例 1 では、シンチレーションカウンターに入射した α 線量は、 $0.00\ \text{cph}/\text{cm}^2$ であった。一方、比較例 1 では、シンチレーションカウンターに入射した α 線量は、 $2.80\ \text{cph}/\text{cm}^2$ であった。

符号の説明

- [0062] 1…半導体パッケージ
2…容器
3…底部
4…側壁部
4a, 7a…上面
4b, 6a, 7c…上端部
5…ガラス蓋

6 …封着材料層

6 b …側面

7 …半導体素子

7 b …外周縁

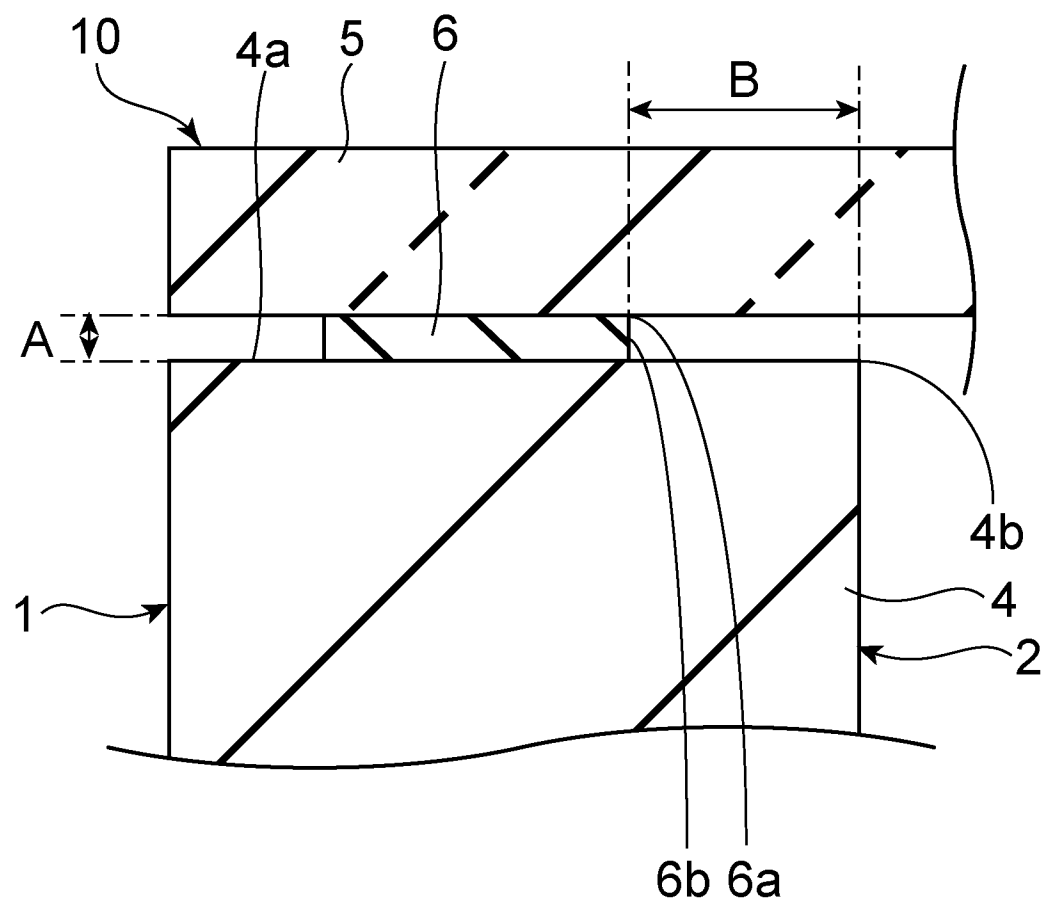
1 0 …半導体デバイス

請求の範囲

- [請求項1] 半導体素子を搭載して封止するための半導体パッケージであって、
 前記半導体素子が搭載される底部と該底部上に配置された枠状の側壁部とを有する、容器と、
 前記容器の側壁部の上方に配置されており、前記容器内を封止するためのガラス蓋と、
 前記容器の側壁部と前記ガラス蓋との間に配置されている、封着材料層と、
 を備え、
 前記封着材料層の前記半導体素子側の上端部と前記半導体素子の上面における外周縁との間に、前記側壁部の一部が存在するように前記側壁部が設けられている、半導体パッケージ。
- [請求項2] 前記封着材料層の厚みをAとし、前記封着材料層の前記半導体素子側の上端部と前記側壁部の前記半導体素子側の上端部との平面視における距離をBとしたときの比 A/B と、
 前記側壁部の上面と前記半導体素子の上面との高さの差をCとし、前記側壁部の前記半導体素子側の上端部と前記半導体素子の前記封着材料層とは反対側の上端部との平面視における距離をDとしたときの比 C/D とが、
 $A/B < C/D$ を満たしている、請求項1に記載の半導体パッケージ。
- [請求項3] 前記封着材料層が、ガラスフリットにより構成されている、請求項1又は2に記載の半導体パッケージ。
- [請求項4] 前記ガラスフリットが、ビスマス系ガラスを含む、請求項3に記載の半導体パッケージ。
- [請求項5] 請求項1～4のいずれか1項に記載の半導体パッケージと、
 前記半導体パッケージの内部に收容されている、半導体素子と、
 を備える、半導体デバイス。

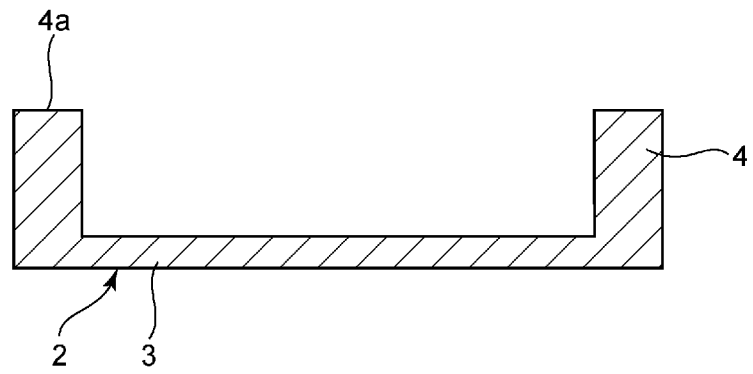
[請求項6] 前記半導体素子が、固体撮像素子である、請求項5に記載の半導体デバイス。

10

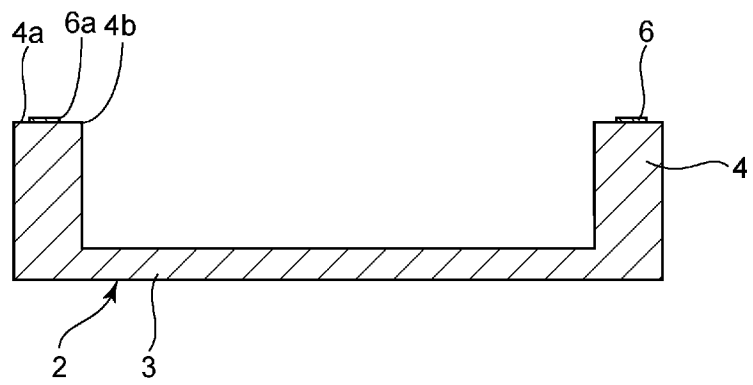


[図3]

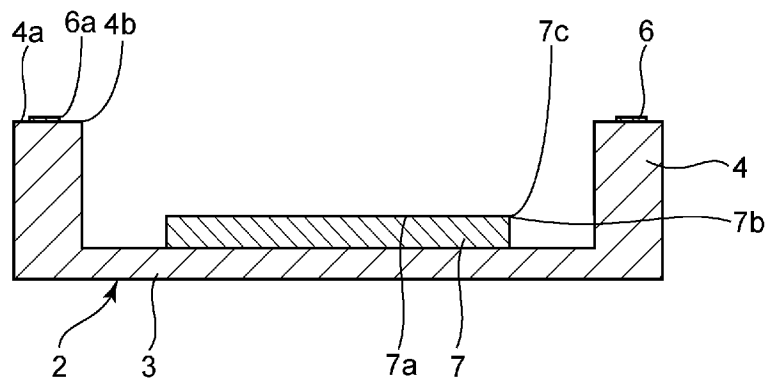
(a)



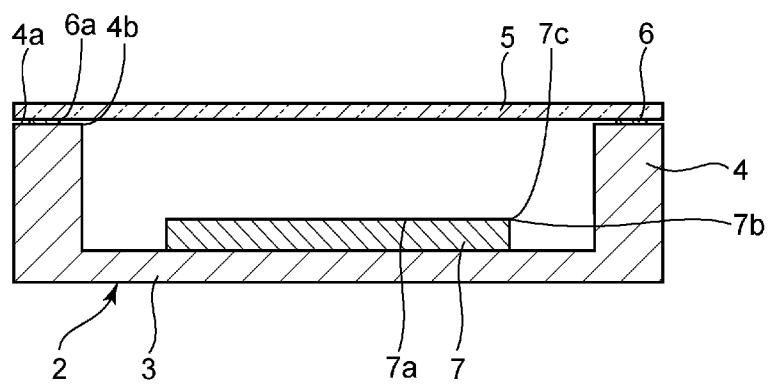
(b)



(c)



(d)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001707

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L23/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L23/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 178552/1978 (Laid-open No. 99153/1980) (NARUMI CHINA CORPORATION) 10 July 1980, page 2, line 2 to page 6, line 3, fig. 2 (Family: none)	1-6
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 116616/1980 (Laid-open No. 39439/1982) (NEC CORPORATION) 03 March 1982, page 2, lines 3-15 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16.03.2018	Date of mailing of the international search report 27.03.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/001707

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-185214 A (JX NIPPON MINING AND METALS CORPORATION) 19 September 2013, paragraphs [0002], [0003] (Family: none)	3, 4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L23/02 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L23/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	日本国実用新案登録出願53-178552号(日本国実用新案登録出願公開55-99153号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (鳴海製陶株式会社) 1980.07.10, 第2頁第2行~第6頁第3行、第2図(ファミリーなし)	1-6
Y	日本国実用新案登録出願55-116616号(日本国実用新案登録出願公開57-39439号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本電気株式会社) 1982.03.03, 第2頁第3行~第2頁15行 (ファミリーなし)	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

16.03.2018

国際調査報告の発送日

27.03.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井上 和俊

5 D

3 4 5 5

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-185214 A (J X 日 鉱 日 石 金 属 株 式 会 社) 2013.09.19, 段落[0002]-[0003] (ファミリーなし)	3, 4