



(12) 发明专利

(10) 授权公告号 CN 110854197 B

(45) 授权公告日 2024. 01. 02

(21) 申请号 201811621023.9

(22) 申请日 2018.12.28

(65) 同一申请的已公布的文献号
申请公布号 CN 110854197 A

(43) 申请公布日 2020.02.28

(30) 优先权数据
2018-154251 2018.08.20 JP

(73) 专利权人 株式会社东芝
地址 日本东京都
专利权人 东芝电子元件及存储装置株式会社

(72) 发明人 山下浩明 小野升太郎 一条尚生
菅原秀人 大田浩史

(74) 专利代理机构 永新专利商标代理有限公司
72002

专利代理师 徐殿军

(51) Int.Cl.
H01L 29/78 (2006.01)
H01L 29/06 (2006.01)
H01L 21/336 (2006.01)

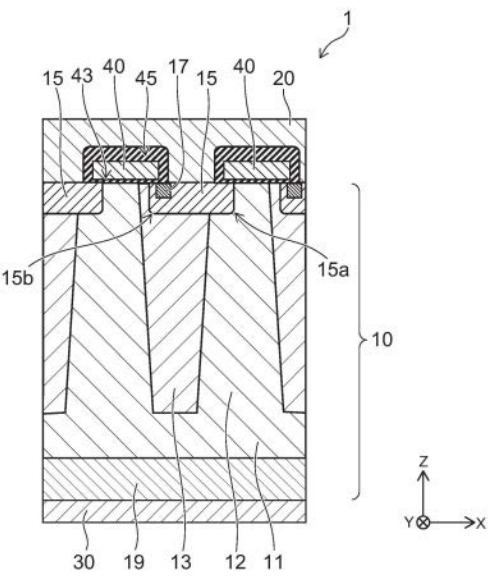
(56) 对比文件
JP 2007149736 A, 2007.06.14
CN 103681882 A, 2014.03.26
CN 104882474 A, 2015.09.02

审查员 王桂斌

权利要求书3页 说明书6页 附图8页

(54) 发明名称
半导体装置

(57) 摘要
实施方式的半导体装置具备：半导体部，包含第1导电型的第1半导体层和第2导电型的第2半导体层；第2电极，设置于上述半导体部的表面上的第1电极；及控制电极，设置于上述半导体部的内面上；设置于上述半导体部和上述第1电极之间。上述第2半导体层在沿上述半导体部的表面的第1方向上，位于上述第1半导体层的一部分和上述第1半导体层的其他的一部分之间。上述半导体部还包含，第2导电型的第3半导体层和第1导电型的第4半导体层。上述第3半导体层具有：位于上述第1半导体层的上述一部分中的第1端部；和位于上述第2半导体层中的第2端部，上述第4半导体层设置于上述第3半导体层的上述第2端部。



1. 一种半导体装置,其中,具备:

半导体部,包含第1导电型的第1半导体层和第2导电型的第2半导体层;

第1电极,设置于上述半导体部的表面上;

第2电极,设置于上述半导体部的内面上;及

控制电极,设置于上述半导体部和上述第1电极之间,与上述半导体部的表面隔着第1绝缘膜而相对,与上述第1电极通过第2绝缘膜而电绝缘;

上述第2半导体层在沿着上述半导体部的表面的第1方向上位于上述第1半导体层的一部分和上述第1半导体层的其他的一部分之间;

上述半导体部还包含接触上述第1半导体层及上述第2半导体层的第2导电型的第3半导体层和选择性地设置于上述第3半导体层中的第1导电型的第4半导体层,上述半导体部的表面包含上述第3半导体层的表面和上述第4半导体层的表面,

上述第3半导体层具有位于上述第1半导体层的上述一部分中的第1端部、和位于上述第2半导体层中的第2端部,上述第4半导体层设置于上述第3半导体层的上述第2端部,

上述第1电极电连接至上述第3半导体层及上述第4半导体层,

上述控制电极位于上述第4半导体层与上述第1半导体层的上述其他的一部分之间,与上述第3半导体层的一部分及上述第2半导体层的一部分、及上述第1半导体层的上述其他的一部分相对。

2. 如权利要求1所述的半导体装置,其中,

在上述第1电极和上述第3半导体层的上述第1端部之间,不设置上述第4半导体层。

3. 如权利要求1所述的半导体装置,其中,

上述第1半导体层及上述第2半导体层在与上述第1方向交叉而沿上述半导体部的上述表面的第2方向、及在与上述半导体部的上述表面交叉的第3方向延伸。

4. 权利要求3所述的半导体装置,其中,

上述第3半导体层、上述第4半导体层及上述控制电极在上述第2方向上延伸。

5. 权利要求1所述的半导体装置,其中,

上述半导体部包含在与上述第1方向交叉而沿上述半导体部的上述表面的第2方向上交替地配置的第1区域和第2区域,

上述第1区域包含上述第3半导体层和上述第4半导体层,

上述第2区域包含与上述第1半导体层的上述其他的一部分及上述第2半导体层接触的第2导电型的第5半导体层和选择性地设置于上述第5半导体层中的第1导电型的第6半导体层,上述第5半导体层的表面及上述第6半导体层的表面包含于上述半导体部的表面,

上述第5半导体层具有位于上述第1半导体层的上述其他的一部分中的第3端部和位于上述第2半导体层中的第4端部,上述第6半导体层设置于上述第5半导体层的第4端部,

上述第1电极电连接至上述第5半导体层及上述第6半导体层。

6. 如权利要求1所述的半导体装置,其中

在上述第1方向上配置多个上述控制电极,

上述第1电极在上述第1方向、在相邻的控制电极之间,与上述第3半导体层及上述第4半导体层电连接。

7. 如权利要求1所述的半导体装置,其中,

上述第3半导体层包含比上述第2半导体层的第2导电型杂质更高浓度的第2导电型杂质。

8. 如权利要求1所述的半导体装置, 其中,

上述第4半导体层包含比上述第1半导体层的第1导电型杂质更高浓度的第1导电型杂质。

9. 如权利要求1所述的半导体装置, 其中,

上述半导体部还包含位于上述第1半导体层和上述第2电极之间的第1导电型的第7半导体层, 上述第2电极电连接至上述第7半导体层。

10. 如权利要求9所述的半导体装置, 其中,

上述第7半导体层包含比上述第1半导体层的第1导电型杂质更高浓度的第1导电型杂质。

11. 如权利要求1所述的半导体装置, 其中,

使位于上述第2半导体层的上述第2电极侧的端部和上述第3半导体层之间的部分所包含的第2导电型杂质的量, 与如下部分所包含的第1导电型杂质的量平衡, 该部分是与上述第2半导体层相邻的上述第1半导体层的一部分且是位于上述第2半导体层的端部的水平面及上述第3半导体层和上述第2半导体的边界的水平面之间的部分。

12. 一种半导体装置, 其中,

具备:

半导体部, 包含第1导电型的第1半导体层和第2导电型的第6半导体层;

上述第6半导体层在沿着上述半导体部的表面的第1方向上位于上述第1半导体层的一部分和上述第1半导体层的其他的一部分之间;

第1电极, 设置于上述半导体部的表面上;

第2电极, 设置于上述半导体部的内面上;

控制电极, 位于上述半导体部和上述第1电极之间, 隔着绝缘膜而设置于上述半导体部中,

上述半导体部还包含: 第2导电型的第2半导体层, 设置于上述第1半导体层和上述第1电极之间以及上述第6半导体层与上述第1电极之间; 第1导电型的第3半导体层, 选择性地设置于上述第2半导体层和上述第1电极之间; 第2导电型的第4半导体层, 选择性地设置于上述第1半导体层和上述控制电极之间, 与上述第2半导体层连接,

上述控制电极具有与上述第1方向交叉的第1侧面和与上述第1侧面相反一侧的第2侧面, 上述第1侧面隔着上述绝缘膜而配置为与上述第1半导体层、上述第2半导体层及上述第3半导体层相对,

上述第4半导体层在上述第2侧面侧沿上述绝缘膜而延伸, 设置为覆盖位于上述第2侧面之中的上述第1半导体层中的部分,

上述第4半导体层与上述第6半导体层在上述第1方向上分离,

上述第2侧面设置为隔着上述绝缘膜而与上述第2半导体层及上述第4半导体层相对。

13. 如权利要求12所述的半导体装置, 其中,

上述半导体部还包含选择性地设置于上述第2半导体层和上述第1电极之间的第2导电型的第5半导体层,

上述第5半导体层包含比上述第2半导体层的第2导电型杂质更高浓度的第2导电型杂质,与上述第1电极电连接。

14.如权利要求13所述的半导体装置,其中,

上述第3半导体层在上述控制电极的上述第1侧面一侧,位于上述控制电极和上述第5半导体层之间,

在上述控制电极的上述第2侧面一侧、在上述控制电极和上述第5半导体层之间不设置上述第3半导体层。

半导体装置

[0001] 关联申请

[0002] 本申请享受以日本专利申请2018-154251号(申请日:2018年8月20日)为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的全部内容。

技术领域

[0003] 实施方式涉及半导体装置。

背景技术

[0004] 在电力控制用的高耐压半导体装置中,追求具有低导通电阻和高雪崩耐久。然而,导通电阻的降低和雪崩耐久的提升是此消彼长的关系。

发明内容

[0005] 实施方式提供不使雪崩耐久下降且能够降低导通电阻的半导体装置。

[0006] 实施方式涉及的半导体装置具备:半导体部,包含第1导电型的第1半导体层和第2导电型的第2半导体层;第1电极,设置于上述半导体部的表面上;第2电极,设置于上述半导体部的内面上;及控制电极,设置于上述半导体部和上述第1电极之间,与上述半导体部的表面隔着第1绝缘膜而相对,与上述第1电极通过第2绝缘膜而电绝缘。上述第2半导体层在沿着上述半导体部的表面的第1方向上,位于上述第1半导体层的一部分和上述第1半导体层的其他一部分之间。上述半导体部进一步包含:第2导电型的第3半导体层,接触上述第1半导体层及上述第2半导体层;及第1导电型的第4半导体层,选择性地设置于上述第3半导体层中。上述半导体部的表面包含上述第3半导体层的表面及上述第4半导体层的表面。上述第3半导体层具有:第1端部,位于上述第1半导体层的上述一部分中;及第2端部,位于上述第2半导体层中。上述第4半导体层设置于上述第3半导体层的上述第2端部,上述第1电极电连接上述第3半导体层及上述第4半导体层,上述控制电极与上述第3半导体层的一部分、上述第2半导体层的一部分、及上述其他的第1半导体层的其他的一部分相对,上述第3半导体层位于上述第4半导体层和上述其他的第1半导体层之间。

附图说明

[0007] 图1是表示第1实施方式涉及的半导体装置的示意剖面图。

[0008] 图2是表示第1实施方式涉及的半导体装置的示意俯视图。

[0009] 图3(a)~4(b)是表示第1实施方式涉及的半导体装置的制造过程的示意剖面图。

[0010] 图5(a)及(b)是表示第1实施方式涉及的半导体装置的动作的示意剖面图。

[0011] 图6(a)~(c)是表示第1实施方式的变形例涉及的半导体装置的示意剖面图。

[0012] 图7(a)及(b)是表示第2实施方式涉及的半导体装置的示意剖面图。

[0013] 图8(a)~(c)是表示第2实施方式涉及的半导体装置的制造过程的示意剖面图。

具体实施方式

[0014] 以下,关于实施方式,参照附图来说明。对于附图中的相同部分,附上相同号码而适当地省略其详细的说明,对于不同的部分进行说明。然而,附图是示意或概念的图,各部分的厚度和宽度的关系、部分间的大小的比率等未必限于与现实的构造相同。再者,即使在表示同一部分的情况下,也有被附图表示为相互的尺寸或比率不同的情况。

[0015] 进一步地,用各图中表示的X轴、Y轴及Z轴来说明各部分的配置及构成。X轴、Y轴、Z轴相互正交,分别表示X方向、Y方向、Z方向。再者,有将Z方向作为上方,其相反方向作为下方而进行说明的情况。

[0016] (第1实施方式)

[0017] 图1是表示第1实施方式涉及的半导体装置1的示意剖面图。半导体装置1例如是具有超构造的电力MOS晶体管。

[0018] 如图1所示,半导体装置1具备:半导体部10、源电极20、漏电极30、栅电极40。半导体装置1具有在源电极20和漏电极30之间具有配置了半导体部10的垂直构造。源电极20设置于半导体部10的表面上。漏电极30设置于半导体部10的内面上。

[0019] 半导体部10包含n型柱层12、p型柱层13、p型扩散层15、n型源极层17。

[0020] n型柱层12及p型柱层13例如沿着半导体部10的表面的X方向而交替地配置。n型柱层12及p型柱层13例如沿着与半导体部10的表面交叉的Z方向延伸。

[0021] p型扩散层15选择性地设置于半导体部10的表面侧。p型扩散层15设置于在X方向上相邻的n型柱层12及p型柱层13之上。再者,p型扩散层15设置为露出于半导体部10的表面。换言之,半导体部10的表面包含p型扩散层15的表面。而且,p型扩散层具有位于n型柱层12中的第1端部15a和位于p型柱层13中的第2端部15b。p型扩散层15包含比p型柱层13的p型杂质更高浓度的p型杂质。

[0022] 例如,平衡p型杂质的量和n型杂质的量,上述p型杂质被包含于位于p型柱层13的漏电极30侧的下端和p型扩散层15之间的部分,上述n型杂质被包含于位于n型柱层12的p型柱层13的下端的水平面、和p型柱层13与p型扩散层15之间边界的水平面之间部分。

[0023] n型源极层17选择性地设置于p型扩散层15中。n型源极层17在p型扩散层15的第2端部15b设置为露出于半导体部10的表面。换言之,半导体部10的表面包含n型源极层17的表面。n型源极层17包含比n型柱层12的n型杂质更高浓度的n型杂质。

[0024] 半导体部10还包含n型半导体层11和n型漏层19。n型半导体层11位于p型柱层13和漏电极30之间,设置为连接n型柱层12。n型漏层19位于n型半导体层11和漏电极30之间。n型漏层19包含比n型半导体层11的n型杂质更高浓度的n型杂质,并接触漏电极30。漏电极30电连接n型漏层19。

[0025] 栅电极40配置于半导体部10和源电极20之间,隔着栅绝缘膜43配置为与半导体部10的表面相对。栅电极40在n型源极层17和挨近p型扩散层15的第2端部15b的n型柱层12之间,隔着栅绝缘膜43配置为与p型柱层13的露出面及p型扩散层15的露出面的一部分相对。再者,栅电极40隔着栅绝缘膜43配置为与n型柱层12的露出面对。

[0026] 源电极20配置为覆盖半导体部10的表面及栅电极40。源电极20接触p型扩散层15的露出面及n型源极层17的露出面。源电极20电连接p型扩散层15及n型源极层17。再者,源电极20通过绝缘膜45而与栅电极40电绝缘。

[0027] 图2是表示第1实施方式涉及的半导体装置1的示意俯视图。图2是表示n型柱层12、p型柱层13及p型扩散层15的配置的示意图。

[0028] 如图2所示,n型柱层12及p型柱层13配置为沿Y方向延伸。n型柱层12及p型柱层13在X方向上交替地配置。p型扩散层15、未图示的n型源极层17及栅电极40也例如沿着半导体部10的表面而向Y方向延伸。

[0029] 图3(a)~图4(b)是将第1实施方式涉及的半导体装置1的制造过程按顺序表示的示意剖面图。半导体装置1用包含n型半导体基板SS和在其上形成的n型半导体层11的晶圆制造。n型半导体基板SS例如是硅基板,n型半导体层11例如是n型硅层。

[0030] 如图3(a)所示,n型半导体层11中形成多个槽ST。槽ST例如沿Y方向延伸。通过n型半导体层11中的槽ST而被分割的部分成为n型柱层12。

[0031] 如图3(b)所示,以嵌入槽ST的内部的方式形成p型半导体层23。p型半导体层23例如是p型硅层。p型半导体层23形成为使包含于嵌入槽ST的部分的p型杂质的量与包含于n型柱层12的n型杂质的量平衡。

[0032] 如图4(a)所示,在槽ST的内部剩下p型柱层13而刻蚀p型半导体层23。由此,形成了将n型柱层12和p型柱层13交替地配置的超结构造。接下来,选择性地形成p型扩散层15及n型源极层17。

[0033] 例如在n型柱层12及p型柱层13的上端用离子注入法将p型杂质导入之后,对晶圆进行热处理,通过使p型杂质扩散而形成p型扩散层15。

[0034] 例如通过使用离子注入法而向p型扩散层15中导入n型杂质而形成n型源极层17。n型源极层17形成于位于p型扩散层15中的p型柱层13之上的部分。

[0035] 如图4(b)所示,在n型柱层12及p型柱层13之上,隔着栅绝缘膜43而形成栅电极40。进一步地,形成覆盖栅电极40的绝缘膜45之后,形成源电极20(参照图1)。接下来,通过研磨或磨削n型半导体基板SS的内面,形成n型漏层19(参照图1)。而且,通过形成接触n型漏层19的漏电极30,使半导体装置1完成。

[0036] 上述的超结构造中,例如,使n型柱层12的X方向的宽度 W_n 及p型柱层13的X方向的宽度 W_p 变窄,通过提升n型柱层12及p型柱层13的杂质浓度,能够在保持耐压的同时降低每单位面积的导通电阻。

[0037] 另一方面,在形成p型扩散层15的热处理的过程中,n型柱层12中的n型杂质及p型柱层13中的p型杂质也会扩散。因此,基于在n型柱层12和p型柱层13之间相互扩散的n型杂质及p型杂质的p型载流子及n型载流子的补偿效果会产生。其结果,超结构造中的载流子浓度下降,无法使半导体装置1的导通电阻充分降低。

[0038] 例如,加进由于热处理而被补偿的载流子浓度,通过增加杂质浓度,虽然有降低导通电阻的方法,但该情况下,制造工序中的不均匀的影响变大,难以实现稳定的导通电阻。因此,优选地降低形成p型扩散层15之时的热处理温度或缩短热处理时间而抑制n型杂质及p型杂质的扩散。

[0039] 然而,若通过热处理温度的下降或热处理时间的缩短而使得p型杂质的扩散被抑制,则p型扩散层15的深度 T_b (参照图4(a))变浅。因此,p型扩散层15的第1端部15a及第2端部15b中的电场集中变得容易产生。本实施方式涉及的半导体装置1中,将未设置n型源极层17的第1端部15a配置于n型柱层12中,通过将n型源极层17被设置的第2端部15b配置于p型

柱层13中,能够避免电场集中导致的雪崩耐久的下降,降低导通电阻。

[0040] 图5(a)是表示第1实施方式涉及的半导体装置1的动作的示意剖面图。图5(b)是表示比较例涉及的半导体装置2的动作的示意剖面图。图5(a)及图5(b)中,半导体装置1及2表示了雪崩动作状态的情况下的霍尔电流的路径。

[0041] 如图5(a)所示,半导体装置1具有:路径 H_{p1} ,通过位于n型柱层12中的p型扩散层15的第1端部15a而流向源电极20(参照图1);路径 H_{p2} ,通过位于p型柱层13中的第2端部15b而流向源电极20。

[0042] 半导体装置1中,位于p型柱层13中的第2端部15b的电场被抑制为比位于n型柱层12中的第1端部15a的电场低。因此,通过路径 H_{p2} 而流动的霍尔电流比通过路径 H_{p1} 而流动的霍尔电流少。因此,路径 H_{p2} 中,例如,能够避免由n型柱层12、p型扩散层15及n型源极层17构成的寄生晶体管的导通。

[0043] 另一方面,第1端部15a中,由于n型源极层17未被设置,路径 H_{p1} 中不存在寄生晶体管。再者,p型扩散层15的耗尽导致的穿通现象也会产生。因此,半导体装置1中,通过抑制寄生晶体管的导通及p型扩散层15中的穿通,能够增大雪崩耐久。

[0044] 图5(b)表示的半导体装置2中,位于p型扩散层15的两侧的端部15c共同位于n型柱层12中。再者,n型源极层17设置于p型扩散层15的双方的端部15c。因此,霍尔电流的路径 H_{p3} 形成于p型扩散层15的两侧。

[0045] 半导体装置2中,在p型扩散层15的双方的端部15c,产生电场集中,经由路径 H_{p3} 而有同一水平面的霍尔电流流动。因此,难以避免寄生晶体管的导通,雪崩耐久会下降。

[0046] 再者,霍尔电流未必经由p型扩散层15的双方的端部15c而均等地流动,有向某一方流动的情况。这样的情况下,霍尔电流的路径 H_{p3} 并非固定于p型扩散层15的2个端部15c的某一个,例如,以温度上升导致的电阻的变化为起因,从2个端部15c的某一方移动。即,半导体装置2中,雪崩点移动。与此相对,半导体装置1中,由于霍尔电流的流动固定于路径 H_{p1} ,能够抑制由雪崩点的移动而产生的震荡现象。

[0047] 图6(a)~(c)是表示第1实施方式的变形例涉及的半导体装置3的示意剖面图。图6(a)是表示n型柱层12、p型柱层13及p型扩散层15的配置的示意图。图6(b)是表示沿着图6(a)中所示的A-A线的剖面的示意图。图6(c)是表示沿着图6(a)中所示的B-B线的剖面的示意图。

[0048] 如图6(a)所示,即使在该例子中,n型柱层12及p型柱层13沿着Y方向延伸。与此相对,p型扩散层15包含在Y方向上交替地配置的p型扩散层15A和p型扩散层15B。

[0049] 如图6(b)所示,p型扩散层15A设置于n型柱层12a及p型柱层13之上。再者,p型扩散层15A具有位于n型柱层12a中的第1端部15a和位于p型柱层13中的第2端部15b。n型源极层17设置于第2端部15b中。

[0050] 如图6(c)所示,p型扩散层15B设置于n型柱层12b及p型柱层13之上。n型柱层12b在X方向上相邻于n型柱层12a。p型柱层13位于n型柱层12a和n型柱层12b之间。即,n型柱层12b在X方向上隔着p型柱层13而与n型柱层12a相对。

[0051] p型扩散层15B具有位于n型柱层12b中的第1端部15a和位于p型柱层13中的第2端部15b。n型源极层17设置于第2端部15b中。

[0052] 半导体装置3构成为在p型柱层13的两侧有漏电流流动。半导体装置3在导通状态,

漏电流经由在位于栅电极40之下的p型区域和栅绝缘膜43的交界面形成的反转层而从n型柱层12向n型源极层17流动。

[0053] 半导体装置3中,位于p型柱层13的两侧的n型柱层12中有漏电流均匀地流动。由此,能够缓和以仅在p型扩散层15的一方的端部上形成n型源极层17为起因的导通电阻的上升。

[0054] (第2实施方式)

[0055] 图7(a)及(b)是表示第2实施方式涉及的半导体装置4及5的示意剖面图。图7(a)是表示槽栅型MOS晶体管的示意图。图7(b)是表示具有超结构造的槽栅型MOS晶体管的示意图。

[0056] 如图7(a)所示,半导体装置4具备源电极20、漏电极30、栅电极60、半导体部50。源电极20设置于半导体部50的表面上,漏电极30设置于半导体部50的内面上。栅电极60位于源电极20和半导体部50之间,在设置于半导体部50的栅槽GT的内部隔着栅绝缘膜63而配置。

[0057] 半导体部50包含n型漂移层51、p型扩散层53、n型源极层55、p型接触层57、n型漏层59。p型扩散层53位于源电极20和n型漂移层51之间,例如接触n型漂移层51。n型源极层55位于源电极20和p型扩散层53之间,设置为接触源电极20及p型扩散层53。再者,n型源极层55选择性地设置于源电极20和p型扩散层53之间,配置于接触栅绝缘膜63的位置。

[0058] p型接触层57选择性地设置于源电极20和p型扩散层53之间,接触源电极20及p型扩散层53。p型接触层57包含比p型扩散层53更高浓度的p型杂质。n型漏层59位于漏电极30和n型漂移层51之间,接触漏电极30及n型漂移层51。n型漏层59包含比n型漂移层51更高浓度的n型杂质。

[0059] 栅槽GT具有从半导体部50的表面至n型漂移层51的内部深度,例如沿着Y方向延伸。栅电极60在栅槽GT的内部沿Y方向延伸。再者,栅电极60设置为在栅槽GT的内部露出的n型漂移层51、p型扩散层53及n型源极层55隔着栅绝缘膜63而相对。

[0060] 半导体部50还包含p型扩散层54。p型扩散层54设置于n型漂移层51和栅电极60之间,接触栅绝缘膜63。p型扩散层54例如沿着X方向上的栅电极60的一方的侧面而延伸。p型扩散层54设置为连接p型扩散层53。

[0061] p型扩散层54例如不设置于与X方向上的栅电极60的两侧的侧面之中的n型源极层55相对的侧面一侧。再者,n型源极层55例如不设置于与X方向上的栅电极60的两侧的侧面之中的p型扩散层54相对的侧面一侧。

[0062] p型扩散层54延伸至n型漂移层51中的栅电极60的下端。因此,例如,半导体装置4在雪崩动作状态的情况下,在栅电极60的下端附近的高电场区域产生的空穴通过经由p型扩散层54的排出路径 H_{p1} 而向源电极20移动。与此相对,沿着栅电极60的相反侧的侧面的区域,未设置p型扩散层54。因此,通过经由该区域的路径 H_{p2} 而向源电极20排出的空穴被降低。

[0063] 由此,抑制由n型漂移层51、p型扩散层53及n型源极层55构成的寄生晶体管的导通,能够提升半导体装置4的雪崩耐久。再者,空穴的排出固定于路径 H_{p1} ,因此能够抑制由雪崩点的移动而产生的震荡现象。

[0064] 如图7(b)所示,半导体装置5具备源电极20、栅电极60、半导体部70。源电极20设置于半导体部70的表面上,栅电极60隔着栅绝缘膜63而配置于栅槽GT的内部。然而,图7(b)

中,省略了漏电极30及n型漏层19(参照图1)。

[0065] 半导体部70包含n型半导体层11、n型柱层12、p型柱层13、p型扩散层53、n型源极层55、p型接触层57。n型柱层12和p型柱层13例如沿着X方向交替地配置。n型半导体层11配置于位于p型柱层13的下方,配置为连接n型柱层12。

[0066] p型扩散层53位于源电极20和n型柱层12之间,及位于源电极20和p型柱层13之间。n型源极层55选择性地设置于源电极20和p型扩散层53之间,配置于接触栅绝缘膜63的位置。p型接触层57选择性地设置于源电极20和p型扩散层53之间,接触源电极20及p型扩散层53。

[0067] 栅槽GT设置于n型柱层12中,具有从半导体部70的表面至n型柱层12的深度。栅电极60配置于栅槽GT的内部,栅电极60的下端位于n型柱层12的内部。

[0068] 半导体部50还包含p型扩散层54。p型扩散层54设置于n型柱层12中,例如沿X方向上的栅电极60的一方的侧面而延伸。p型扩散层54设置为连接p型扩散层53。p型扩散层54例如不设置于与X方向上的栅电极60的两侧的侧面之中的n型源极层55相对的侧面一侧。再者,n型源极层55例如不设置于与X方向上的栅电极60的两侧的侧面之中的p型扩散层54相对的侧面一侧。

[0069] 在半导体装置5中,能够抑制由n型柱层12、p型扩散层53及n型源极层55而构成的寄生晶体管的导通而提升雪崩耐久。再者,能够抑制通过雪崩点的移动而产生的震荡现象。

[0070] 下一步,参照图8(a)~(c),说明半导体装置4的制造方法。图8(a)~(c)是将半导体装置4的制造过程按顺序表示的示意剖面图。

[0071] 如图8(a)所示,在n型漂移层51上形成栅槽GT之后,例如将作为p型杂质的硼(B)离子注入。p型杂质通过使注入角变大的斜离子注入而被导入n型漂移层51。因此,p型杂质通过栅槽GT的一方的内壁而被导入。

[0072] 如图8(b)所示,使离子注入的p型杂质活性化而形成p型扩散层54之后,在栅槽GT内形成栅绝缘膜63及栅电极60。栅绝缘膜63例如是硅氧化膜,通过使栅槽GT的内面热氧化而形成。

[0073] 如图8(c)所示,在n型漂移层51的表面一侧上形成p型扩散层53、n型源极层55及p型接触层57。p型扩散层53、n型源极层55及p型接触层57例如用离子注入法而形成。

[0074] 接下来,形成源电极20之后,使n型半导体基板SS薄层化而设为n型漏层。而且,形成漏电极30,使半导体装置4完成。

[0075] 半导体装置5也能用同样的方法而制造。例如,形成n型柱层12及p型柱层13之后(参照图3(b)及图4(a)),在n型柱层12形成栅槽GT。接下来,按照如图8(a)~(c)所示的工序使半导体装置5完成。

[0076] 虽然说明了本发明的若干个实施方式,但这些实施方式是作为例子而提出的,无意于限定发明的范围。这些新的实施方式,能够以其他的各种方式来实现,在不脱离发明的主旨的范围内,能够进行各种省略、置换、变更。这些实施方式或其变形,包含于发明的范围或要旨的同时,包含于与记载于专利权利要求的发明等同的范围。

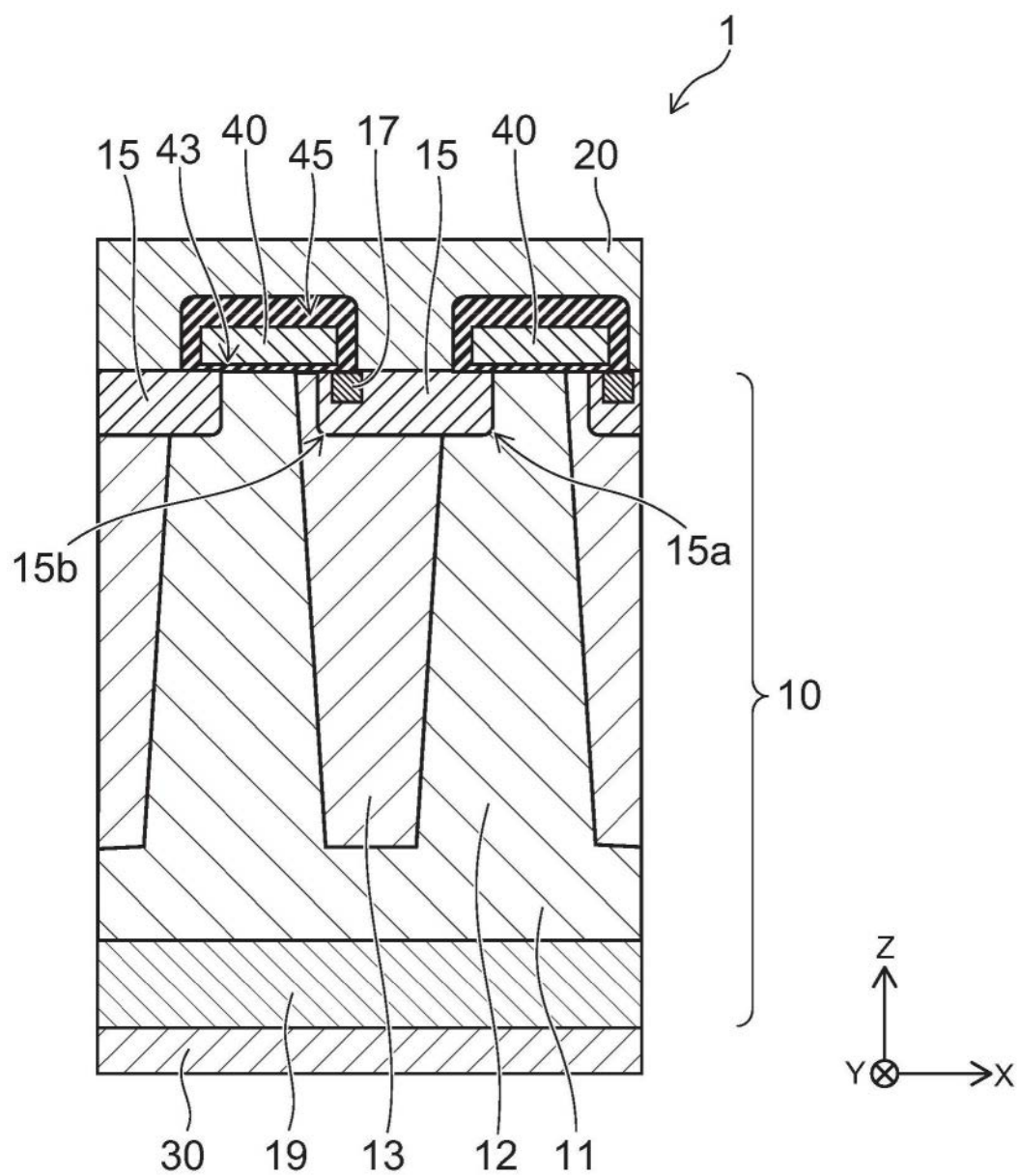


图1

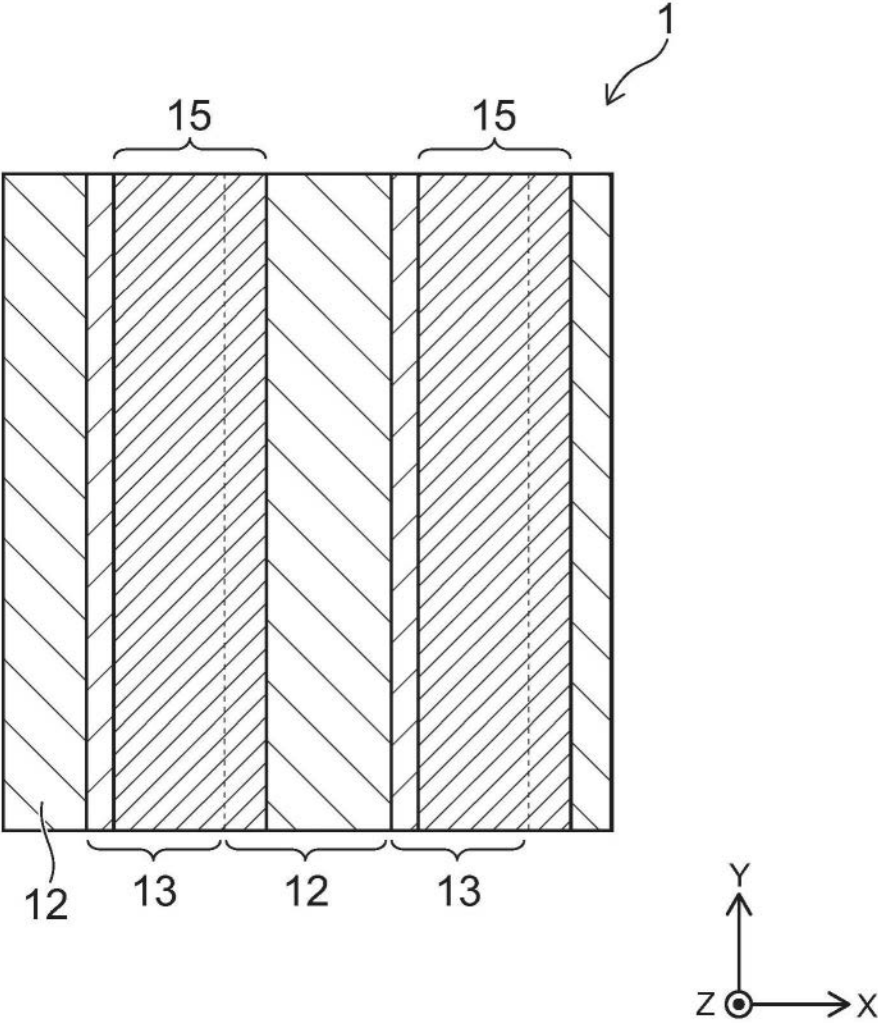
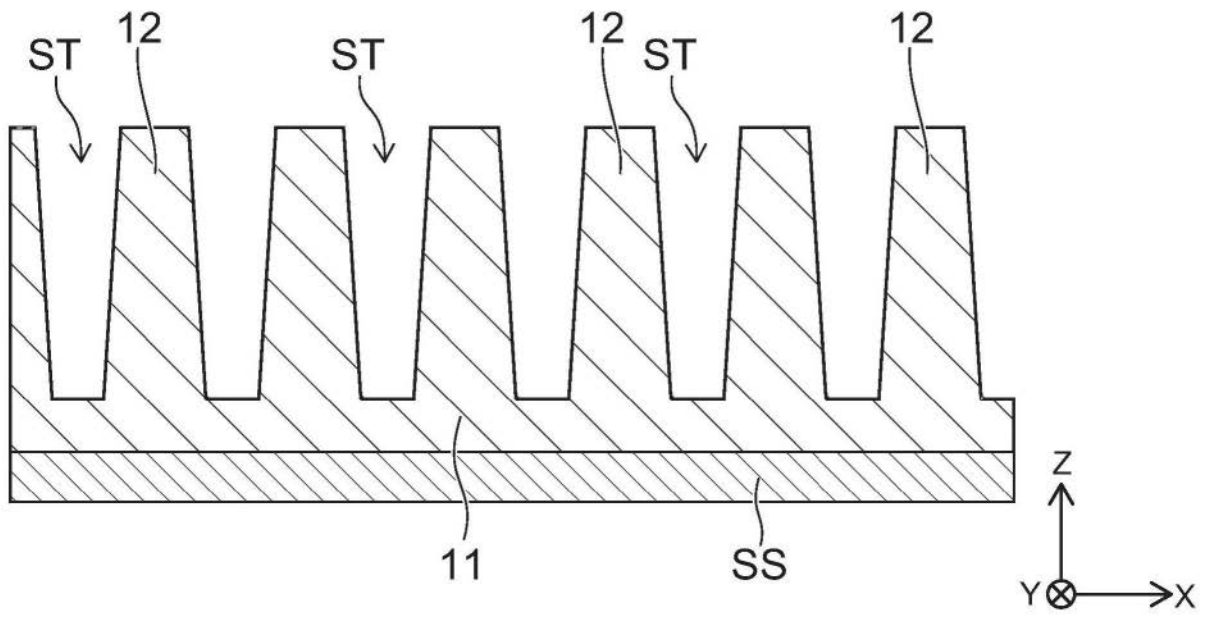


图2

(a)



(b)

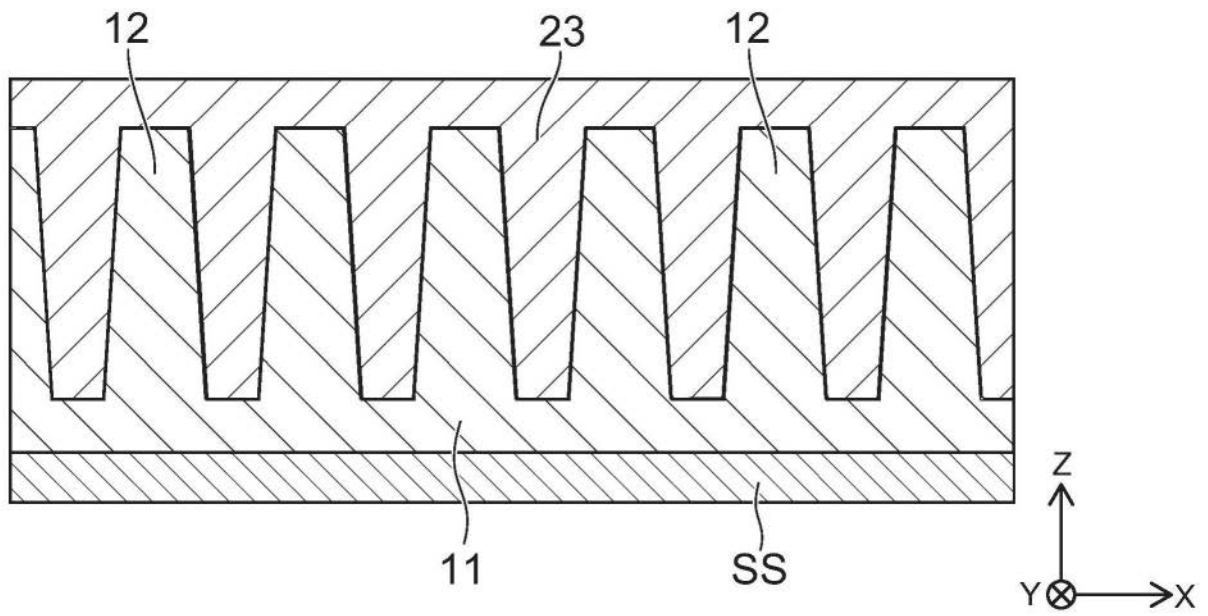
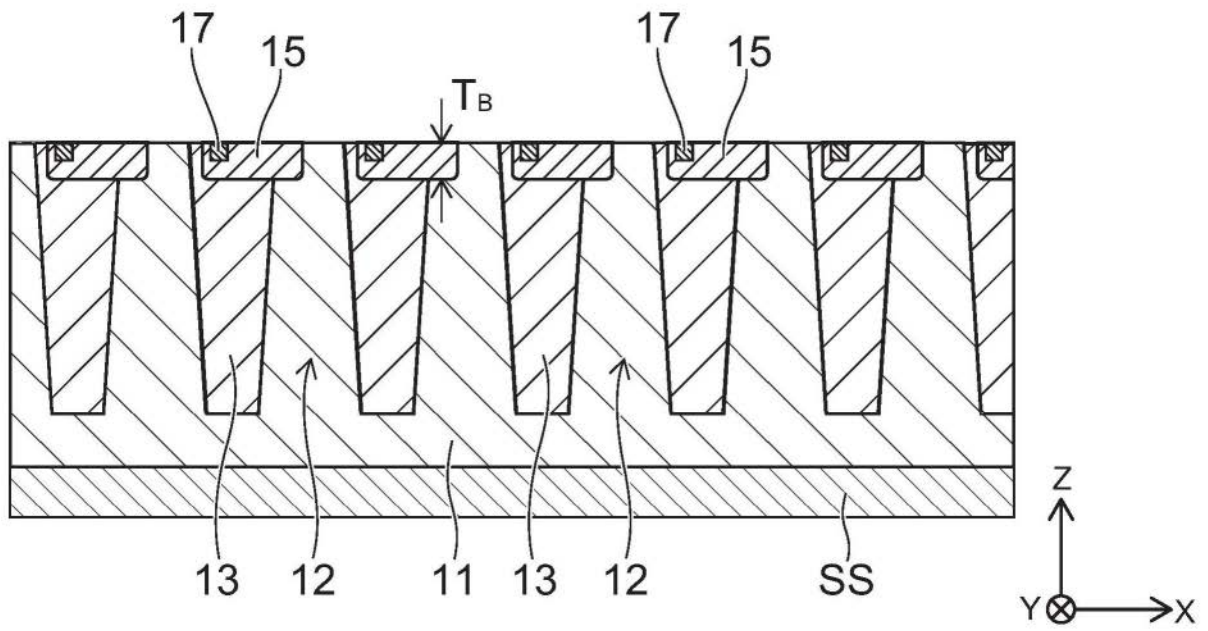


图3

(a)



(b)

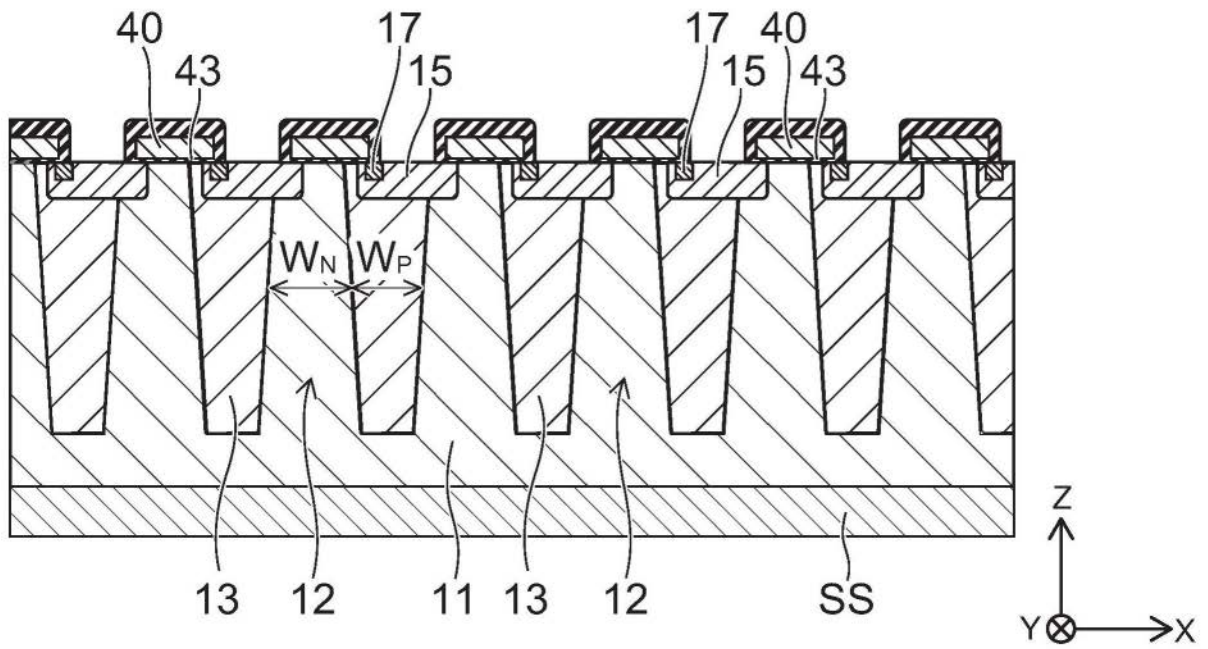


图4

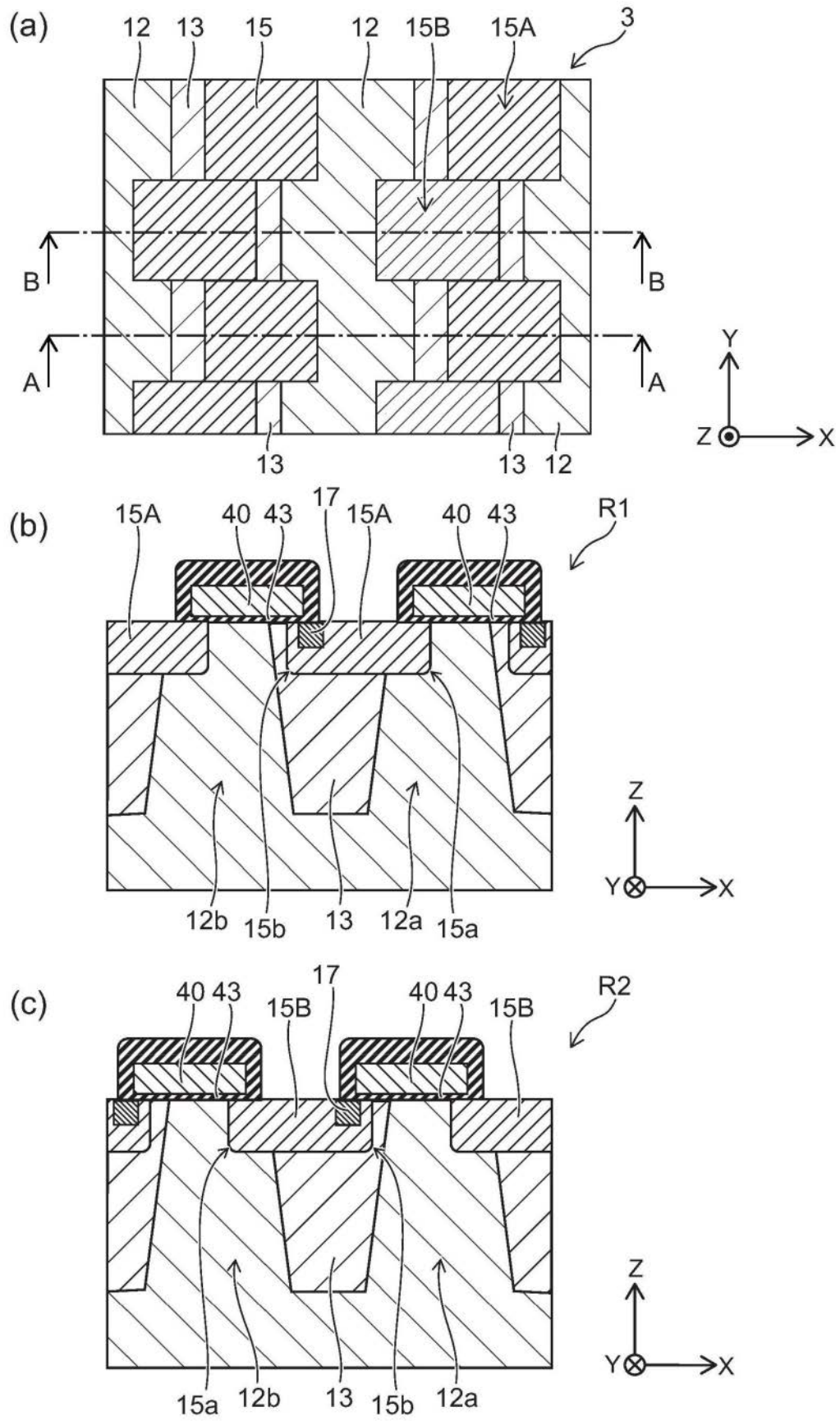


图6

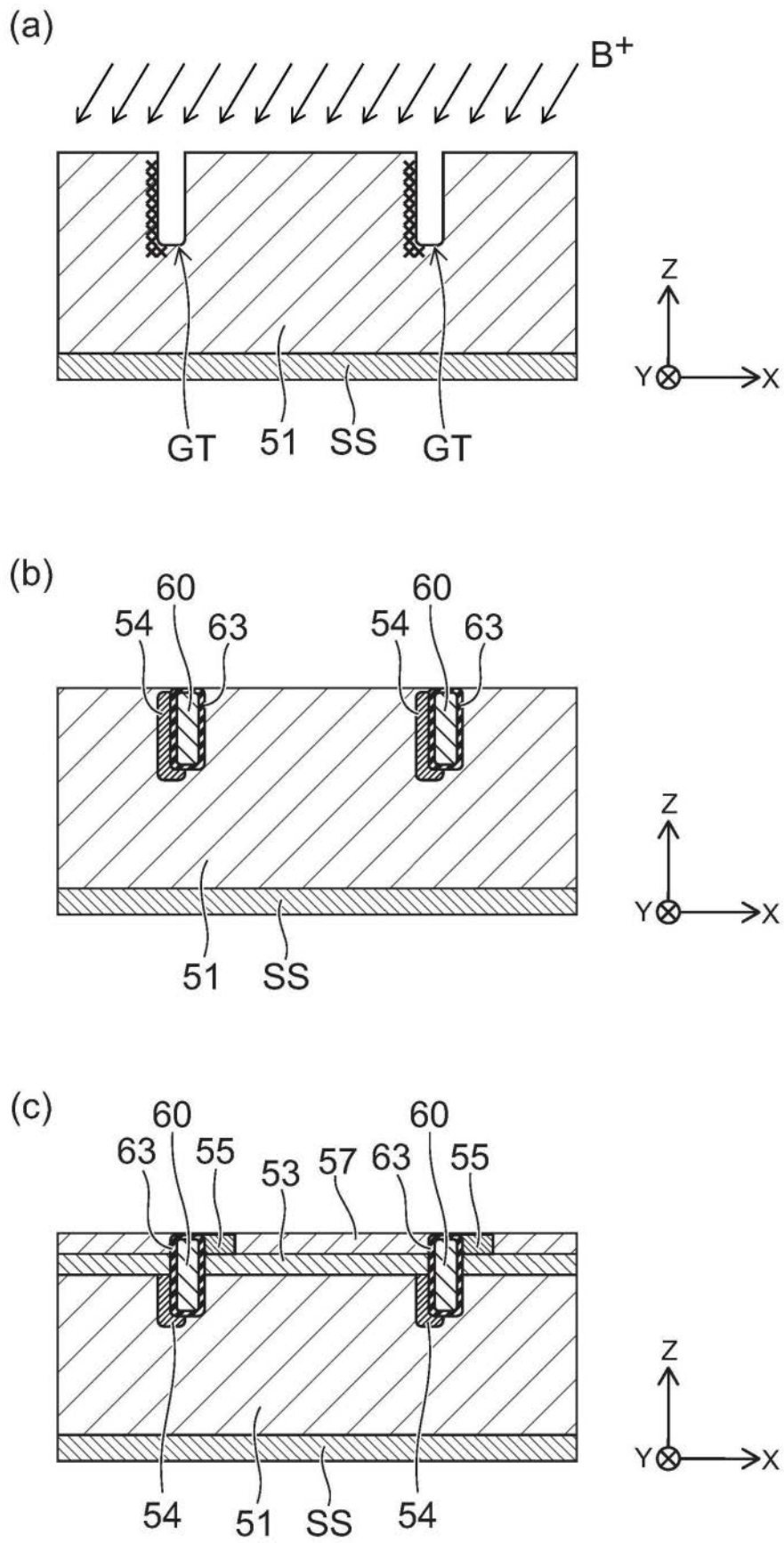


图8