СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1159033 A

4(51) G 06 F 15/36

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ВСЕСОЮЗНАЯ 13 ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА 13

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3671941/24-24
(22) 06.12.83
(46) 30.05.85. Бюл. № 20
(72) Е.М. Эльбирт
(53) 681.3(088.8)

(56) Авторское свидетельство СССР № 762009, кл. G 06 F 15/36, 1977.
Авторское свидетельство СССР № 1012272, кл. G 06 F 15/36, 1981.

(54)(57) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ СКОЛЬЗЯЩЕГО СРЕДНЕГО, содержащее генератор тактовых импульсов, первый и второй регистры, триггер, коммутатор, сумматор, первый информационный вход коммутатора подключен к информационному входу устройства, выход коммутатора соединен с первым входом сумматора, второй вход которого подключен к выходу первого регистра, выход сумматора соединен с информационным входом первого регистра, выход триггера подключен к управляющему входу коммутатора, тактовый вход триггера объединен с входом синхронизации первого регистра и соединен с выходом генератора тактовых импульсов, о т л и ч а ю щ е е с я тем, что, с целью повышения точности, в него введены счетчик, блок памяти, элемент НЕ, информационный вход второго регистра подключен к выходу первого регистра, счетный вход счетчика, вход синхронизации блока памяти, вход синхронизации второго регистра объединены и соединены с выходом триггера, выход переполнения счетчика подключен к его входу сброса, информационный выход счетчика соединен с адресным входом блока памяти, информационный вход которого подключен к входу устройства, выход блока памяти соединен через элемент НЕ с вторым информационным входом коммутатора, выход второго регистра является выходом устройства.

(19) SU (11) 1159033 A

Изобретение относится к вычислительной технике и может быть использовано для определения скользящего среднего в устройствах обработки цифровой информации, в цифровых измерительных приборах и других устройствах.

Цель изобретения - повышение точности устройства.

На чертеже приведена функциональная схема предлагаемого устройства.

Устройство содержит генератор 1 тактовых импульсов, триггер 2, k-разрядный счетчик 3, у которого выход переполнения подключен к его входу сброса, n -разрядный блок 4 памяти (объем N), n -разрядный элемент НЕ 5, n-разрядный коммутатор 6, (n+k)-разрядный сумматор 7, (n+k)-разрядный первый регистр 8 и (n+k)-разрядный второй регистр 9.

Устройство работает следующим образом.

Каждый i-й такт работы устройства состоит из полутактов, определяемых двумя соседними импульсами (нечетным и четным) генератора 1 тактовых импульсов. В первом полутакте нечетный импульс генератора 1 тактовых импульсов воздействует на триггер 2 и изменяет состояние его выхода с логического "0" на логическую "1", которая поступает на счетный вход счетчика 3 адреса, увеличивая выходное значение адреса на "1". При этом блок 4 памяти переводится в режим считывания входного кода по адресу, выработанному счетчиком 3 адреса.

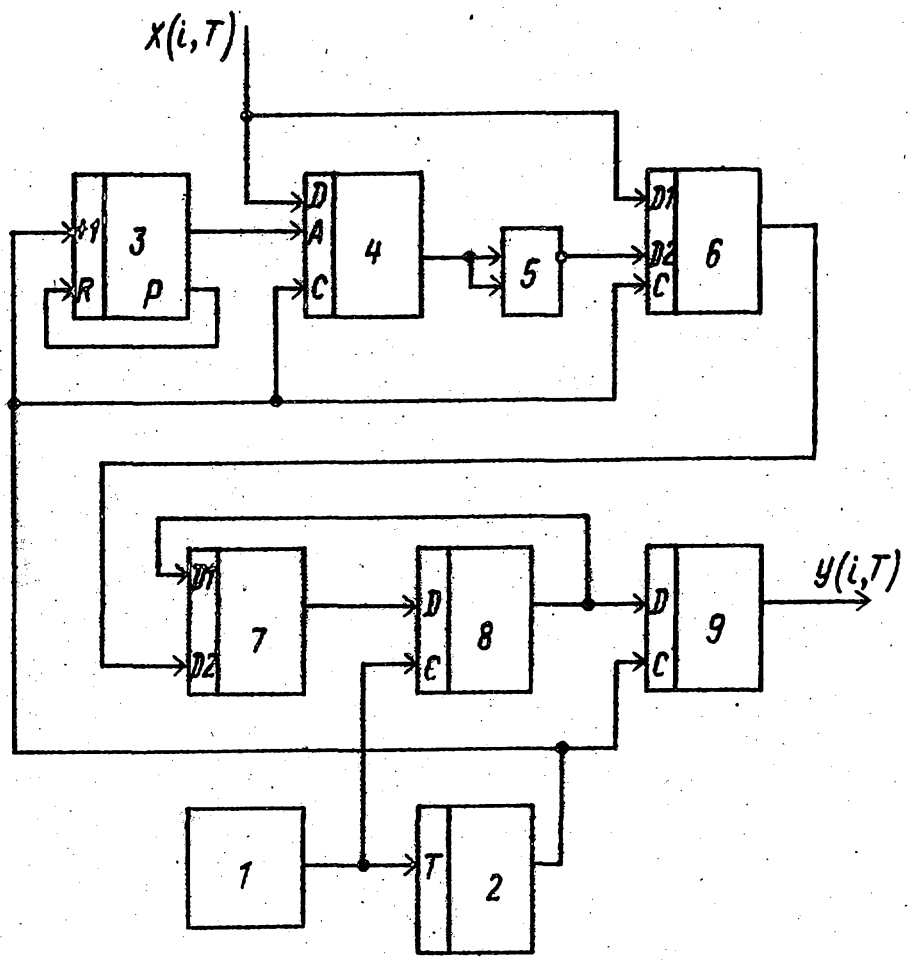
Во втором полутакте четный импульс генератора 1 тактовых импульсов возвращает триггер 2 в исходное состояние. При этом блок 4 памяти переводится в режим записи входного кода, поступающего на вход устройства по адресу, ранее выработанному счетчиком 3 адреса в первом полутакте.

В устройстве считывание (запись входных кодов) в блоке 4 памяти происходит в порядке увеличения значения адресов ячеек памяти. Тогда по заполнению N-й ячейки памяти на выходе счетчика 3 адреса вырабатывается сигнал переполнения, который автоматически сбрасывает счетчик 3 адреса в "0" и процесс формирования адресов повторяется сначала. Поэтому в каждый текущий i-й момент времени (такт) устройства в счетчике 3 адреса вырабатывается адрес ячейки блока 4 памяти, в которой был записан входной код в (i-N)-й момент времени. Поэтому в первом полутакте считанное из блока 4 памяти по заданному адресу значение входного кода $X[(i-N),T]$ инвертируется на элементе НЕ 5 и через коммутатор 6 поступает на вход сумматора 7 и суммируется в нем с кодом $Y[(i-1),T]$ первого регистра 8. Полученное на выходе сумматора 7 значение кода суммы $Y[(i-1),T]-X[(i-N),T]$ записывается в регистр 8. Во втором полутакте текущее значение входного кода $X(i,T)$ с входа устройства поступает в режиме записи на блок 4 памяти по тому же адресу на место входного кода $X[(i-N),T]$ и одновременно через коммутатор 6, который переключился на другой вход, поступает на вход сумматора 7, где суммируется со значением кода регистра 8, полученного в первом полутакте. Значение результирующего кода

$$\left\{Y[(i-1),T]-X[(i-N),T]\right\}+X(i,T)$$

вновь записывается в регистр 8 и по управляющему импульсу, формируемому триггером 2, переписывается в регистр 9. Выход регистра 9 является выходом устройства, с n старших разрядов которого снимается текущее значение скользящего среднего.

Если регистр 8 управляется от импульсов, вырабатываемых на выходе генератора 1 тактовых импульсов, т.е. запись в него производится в каждом полутакте, то регистр 9 управляется выходным сигналом триггера 2, который восстанавливает свое состояние через полутакт, т.е. значение кода в регистре 9 изменяется только в конце каждого i-го такта работы устройства.



Составитель И. Мухин
Редактор Л. Алексеенко Техред А.Бабинец Корректор И. Муска

,Заказ 3590/49 Тираж 710 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4