

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成26年11月20日 (2014.11.20)

【公開番号】特開2014-157893(P2014-157893A)

【公開日】平成26年8月28日 (2014.8.28)

【年通号数】公開・登録公報2014-046

【出願番号】特願2013-27303(P2013-27303)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 21/28 (2006.01)

G 0 2 F 1/1368 (2006.01)

H 0 5 B 33/08 (2006.01)

H 0 1 L 51/50 (2006.01)

H 0 1 L 21/363 (2006.01)

【 F I 】

H 0 1 L 29/78 6 1 6 U

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 2 7 C

H 0 1 L 29/78 6 1 6 V

H 0 1 L 29/50 M

H 0 1 L 21/28 3 0 1 R

H 0 1 L 21/28 3 0 1 B

G 0 2 F 1/1368

H 0 5 B 33/08

H 0 5 B 33/14 A

H 0 1 L 21/363

【手続補正書】

【提出日】平成26年10月2日 (2014.10.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 9

【補正方法】変更

【補正の内容】

【請求項 9】

(a) 基板上に、第 1 の導電膜からなるゲート電極を形成する工程と、

(b) 前記ゲート電極上に、ゲート絶縁膜を形成する工程と、

(c) 前記ゲート絶縁膜上に、第 1 の半導体層およびその上の第 2 の半導体層を含む半導体膜を形成する工程と、

(d) 前記半導体層を覆うように第 2 の導電膜を成膜し、所定のエッチングプロセスにより、前記第 2 の導電膜を加工して前記半導体膜上にソース電極およびドレイン電極を形成すると共に、前記ソース電極と前記ドレイン電極の間の領域に前記半導体膜を露出させる工程と、を備え、

前記工程 (d) では、前記ソース電極と前記ドレイン電極の間の領域において、前記第 2 の導電膜が除去され、前記第 1 の半導体層が露出することを特徴とする薄膜トランジスタの製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

また、本発明に係る薄膜トランジスタの製造方法は、(a)基板上に、第1の導電膜からなるゲート電極を形成する工程と、(b)前記ゲート電極上に、ゲート絶縁膜を形成する工程と、(c)前記ゲート絶縁膜上に、第1の半導体層およびその上の第2の半導体層を含む半導体膜を形成する工程と、(d)前記半導体層を覆うように第2の導電膜を成膜し、所定のエッチングプロセスにより、前記第2の導電膜を加工して前記半導体膜上にソース電極およびドレイン電極を形成すると共に、前記ソース電極と前記ドレイン電極の間の領域に前記半導体膜を露出させる工程と、を備え、前記工程(d)では、前記ソース電極と前記ドレイン電極の間の領域において、前記第2の導電膜が除去され、前記第1の半導体層が露出するものである。