(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 4 月 3 日(03.04.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/050719 A1

(51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)

(21) 国際出願番号: PCT/JP2013/075420

(22) 国際出願日: 2013 年 9 月 20 日(20.09.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-214430 2012 年 9 月 27 日(27.09.2012) JP

(71) 出願人: シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 宮田 英利(MIYATA, Hidekazu). 居山 裕一 (IYAMA, Yuichi). 吉岡 孝兼 (YOSHIOKA, Takatomo).

(74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

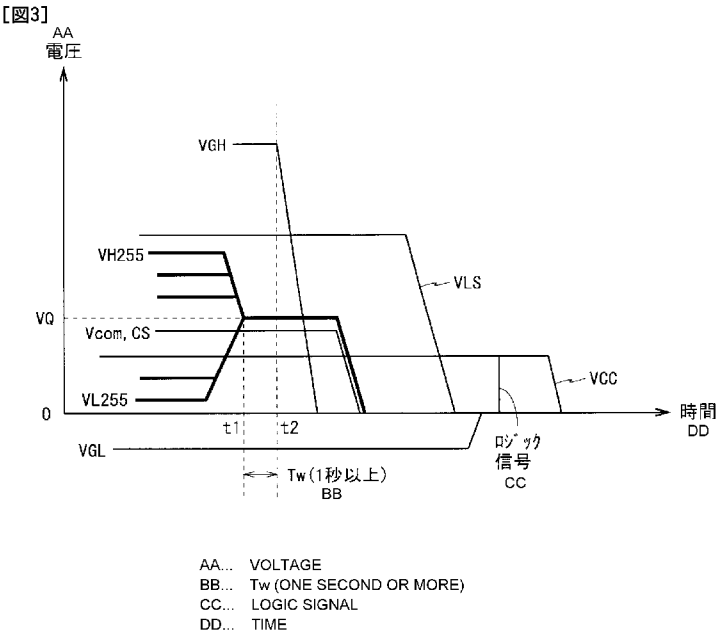
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: LIQUID-CRYSTAL DISPLAY DEVICE

(54) 発明の名称 : 液晶表示装置

[図3]



AA... VOLTAGE
BB... Tw (ONE SECOND OR MORE)
CC... LOGIC SIGNAL
DD... TIME

(57) **Abstract**: A source driver generates a plurality of gradation voltages on the basis of gradation reference voltages (VH255-VL255) which are generated with a gradation reference voltage generation circuit, and drives data lines using the generated gradation stepped voltages. A control unit sets a standby interval (Tw) prior to cutting off the source driver power source, and controls the gradation reference voltage generation circuit such that all of the gradation reference voltages (VH255-VL255) reach the same voltage (VQ) in the standby interval (Tw). Thus, the same voltage is written to a pixel circuit, a charge which remains in the pixel circuit is discharged, and an afterimage, burn-in, and flicker, which are caused by a remaining charge when the power source is cut off, are avoided.

(57) 要約: ソースドライバは、階調基準電圧生成回路で生成された階調基準電圧ＶＨ２５５～ＶＬ２５５に基づき複数の階調電圧を生成し、生成した階調電圧を用いてデータ線を駆動する。制御部は、ソースドライバの電源を切断する前に待機期間Ｔｗを設定し、待機期間Ｔｗにおいて階調基準電圧ＶＨ２５５～ＶＬ２５５がすべて同じ電圧ＶＱになるように階調基準電圧生成回路を制御する。これにより、画素回路に同じ電圧を書き込み、画素回路に残留する電荷を放電して、電源切断時の残留電荷に起因する残像、焼き付きおよびフリッカを防止する。

WO 2014/050719 A1

明　細　書

発明の名称 ： 液晶表示装置

技術分野

[0001] 本発明は、表示装置に関し、特に、アクティブマトリクス型の液晶表示装置に関する。

背景技術

[0002] アクティブマトリクス型の液晶表示装置は、液晶容量と書き込み制御ＴＦＴ（Thin Film Transistor：薄膜トランジスタ）を含む画素回路を２次元状に配置した構造を有する。従来の液晶表示装置では、ＴＦＴは、例えばアモルファスシリコンを用いて形成される。近年、ＩＧＺＯ（Indium Gallium Zinc Oxide ：インジウムガリウム亜鉛酸化物）などの酸化物半導体を用いてＴＦＴを形成する技術が開発されている。酸化物半導体を用いて形成されたＴＦＴは、従来のＴＦＴよりもオフ時のリーク電流が小さいという特徴を有する。したがって、酸化物半導体を用いてＴＦＴを形成した液晶表示装置によれば、従来の液晶表示装置よりも表示品位を高くすることができる。

[0003] 液晶表示装置には、表示画面に残像、焼き付き、および、フリッカが発生するという問題がある。液晶層に直流電圧が印加されると、液晶層内でイオン電導による電荷の移動が誘導され、移動した電荷は電極に塗布されている配向膜に蓄積される。電極に塗布されている配向膜に蓄積された電荷による電圧が電極間（液晶層）に加わると、残像や焼付きが発生する。従来、この残像と焼き付きを防止するために、液晶表示装置は、画素電極に書き込む電圧の極性を所定の周期で切り替える交流駆動（極性反転駆動）を行う。交流駆動では、正極性のときと負極性のときとで同じ大きさの電圧（絶対値が同じ電圧）を印加する。ところが、正極性のときと負極性のときとで同じ大きさの電圧を印加しても、ＴＦＴ特性やパネル配線などの負荷などの影響により、電極間の電位差（絶対値）は若干異なる。このため、極性反転の周期に対応した差が表示輝度に現れ、フリッカと呼ばれる表示品位の低下が発生す

る。従来、このフリッカを防止するために、液晶表示装置は、画素電極に書き込む電圧のレベルを極性別に調整する機能を有する。

[0004] また、液晶表示装置には、電源切断時に画素電極に不要な電荷が残留し、残像や焼き付きが発生するという問題もある。特許文献１には、液晶表示装置における残像を防止する方法として、電源切断時にすべてのゲート線の電圧を一時的に書き込み制御ＴＦＴがオン状態になるレベルに制御する方法が記載されている。具体的には、図１０に示すようにゲート線９１に対応してトランジスタＴｒ１を設け、電源電圧と制御線ＶＨ１、ＶＨ２の電圧を図１１に示すように変化させる。これにより、電源切断時にトランジスタＴｒ１をオン状態に制御し、ゲート線９１の電圧をハイレベルにし、画素回路内の書き込み制御ＴＦＴ９２をオン状態にして、画素電極９３に残留した電荷をソース線９４を介して放電することができる。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開２００２－２０７４５５号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献１に記載された液晶表示装置では、電源切断後に画素電極に電荷がわずかに残留し、画素電極に残留する電荷の量は画素回路ごとに異なる。このため、特許文献１に記載された液晶表示装置では、残像、焼き付き、および、フリッカを十分に防止することができない。特に、酸化物半導体を用いてＴＦＴを形成した液晶表示装置では、書き込み制御ＴＦＴのオフ時のリーク電流が小さいので、電源切断時に画素電極に残留した電荷は長時間に亘って（例えば、数日間も）残留し続ける。このため、残像などを十分に防止できないという問題は、酸化物半導体を用いてＴＦＴを形成した液晶表示装置では顕著になる。

[0007] それ故に、本発明は、電源切断時の残留電荷に起因する残像、焼き付き、

および、フリッカを効果的に防止できる液晶表示装置を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の第１の局面は、アクティブマトリクス型の液晶表示装置であって、

複数の走査線と複数のデータ線と複数の画素回路とを含む液晶パネルと、

前記走査線を駆動する走査線駆動回路と、

複数の階調基準電圧を生成する階調基準電圧生成回路と、

前記複数の階調基準電圧に基づき複数の階調電圧を生成し、生成した階調電圧を用いて前記データ線を駆動するデータ線駆動回路と、

電源切断指示を受けたときに、前記データ線駆動回路の電源を切断する前に待機期間を設定し、前記待機期間において前記複数の階調基準電圧がすべて同じ第１電圧になるように前記階調基準電圧生成回路を制御する制御部とを備える。

[0009] 本発明の第２の局面は、本発明の第１の局面において、

前記制御部は、前記データ線駆動回路の電源を切断する前で、かつ、前記走査線駆動回路の電源を切断する前に前記待機期間を設定することを特徴とする。

[0010] 本発明の第３の局面は、本発明の第１の局面において、

前記第１電圧は、前記液晶パネルの対向電極に印加される電圧に、前記画素回路に対する書き込み時に発生する引き込み電圧を加算した電圧であることを特徴とする。

[0011] 本発明の第４の局面は、本発明の第１の局面において、

前記第１電圧は、正極性の最低階調基準電圧と負極性の最低階調基準電圧の平均電圧であることを特徴とする。

[0012] 本発明の第５の局面は、本発明の第１の局面において、

前記待機期間の長さは１秒以上であることを特徴とする。

[0013] 本発明の第６の局面は、本発明の第１の局面において、

前記階調基準電圧生成回路は、それぞれが与えられたデジタル値を１個の階調基準電圧に変換する複数のＤ／Ａ変換器を含み、

前記制御部は、前記待機期間において、前記第１電圧に対応したデジタル値を前記階調基準電圧生成回路に含まれるすべてのＤ／Ａ変換器に与えることを特徴とする。

[0014] 本発明の第７の局面は、本発明の第１の局面において、

前記階調基準電圧生成回路は、それぞれが１個の階調基準電圧を出力する複数のオペアンプと、それぞれが前記オペアンプから出力された階調基準電圧および前記第１電圧のいずれかを出力する複数の切替回路とを含み、

前記制御部は、前記待機期間において、前記第１電圧を出力するようにすべての前記切替回路を制御することを特徴とする。

[0015] 本発明の第８の局面は、本発明の第１の局面において、

前記走査線に対応した複数のトランジスタをさらに備え、

前記トランジスタの一方の導通端子は対応する走査線に接続され、すべての前記トランジスタの他方の導通端子は第１制御線に共通して接続され、すべての前記トランジスタの制御端子は第２制御線に共通して接続され、

前記制御部は、前記データ線駆動回路の電源を切断する前で、かつ、前記走査線駆動回路の電源を切断した後に前記待機期間を設定し、前記待機期間において、前記第１制御線に前記走査線を選択するための電圧を印加し、前記第２制御線に前記トランジスタを導通させる電圧を印加する制御を行うことを特徴とする。

発明の効果

[0016] 本発明の第１の局面によれば、データ線駆動回路の電源を切断する前に、階調電圧の基準となる階調基準電圧をすべて同じ電圧にすることにより、液晶パネルの画素回路に同じ電圧を書き込み、画素回路に残留する電荷を放電することができる。また、画素回路に電荷がわずかに残留する場合でも、残留する電荷の量を画素回路間で等しくすることができる。したがって、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に

防止することができる。

[0017] 本発明の第２の局面によれば、待機期間では、階調基準電圧をすべて同じ電圧にした状態で、走査線駆動回路とデータ線駆動回路が動作する。したがって、待機期間において、画素回路に同じ電圧を順に書き込み、画素回路に残留する電荷を放電して、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。

[0018] 本発明の第３または第４の局面によれば、待機期間において、液晶パネルの液晶層にほぼＯＶの電圧を印加し、画素回路に残留する電荷を減らして、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。

[0019] 本発明の第５の局面によれば、データ線駆動回路の電源を切断する前に１秒以上、階調基準電圧をすべて同じ電圧にすることにより、画素回路に同じ電圧を複数回書き込み、画素回路に残留する電荷を確実に放電することができる。したがって、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。

[0020] 本発明の第６の局面によれば、Ｄ／Ａ変換器を用いて階調基準電圧を生成する液晶表示装置について、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。

[0021] 本発明の第７の局面によれば、オペアンプを用いて階調基準電圧を生成する液晶表示装置について、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。

[0022] 本発明の第８の局面によれば、待機期間では、階調基準電圧をすべて同じ電圧にした状態で、すべての走査線が選択される。したがって、待機期間において、画素回路に同じ電圧を同時に書き込み、画素回路に残留する電荷を放電して、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。

図面の簡単な説明

[0023] [図1]本発明の第１の実施形態に係る液晶表示装置の構成を示すブロック図で

ある。

[図2]図１に示す液晶表示装置に含まれる階調電圧生成回路の例を示す図である。

[図3]図１に示す液晶表示装置の電源切断時の電源シーケンスを示す図である。

[図4]液晶パネルの断面図である。

[図5]比較例に係る液晶表示装置の電源切断時の電源シーケンスを示す図である。

[図6]本発明の第２の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図7]本発明の第３の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図8]本発明の第４の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図9]図８に示す液晶表示装置の電源切断時の電源シーケンスを示す図である。

[図10]従来の液晶表示装置の構成を示すブロック図である。

[図11]図１０に示す液晶表示装置の電源切断時の信号波形図である。

発明を実施するための形態

[0024] （第１の実施形態）

図１は、本発明の第１の実施形態に係る液晶表示装置の構成を示すブロック図である。図１に示す液晶表示装置１０は、液晶パネル１１、ゲートドライバ１２、ソースドライバ１３、階調基準電圧生成回路１４、および、制御部１５を備えている。以下、ｍおよびｎは２以上の整数、ｉは１以上ｍ以下の整数、ｊは１以上ｎ以下の整数であるとする。

[0025] 液晶パネル１１は、ｍ本のゲート線Ｇ１～Ｇｍ、ｎ本のソース線Ｓ１～Ｓｎ、および、（ｍ×ｎ）個の画素回路１を含んでいる。（ｍ×ｎ）個の画素回路１は、行方向（図１では横方向）にｎ個ずつ、列方向（図１では縦方向

）にｍ個ずつ並べて配置される。ゲート線Ｇ１～Ｇｍは、行方向に伸延し、互いに平行に配置される。ソース線Ｓ１～Ｓｎは、列方向に伸延し、ゲート線Ｇ１～Ｇｍと直交するように互いに平行に配置される。ゲート線Ｇｉはｉ行目に配置されたｎ個の画素回路１に共通して接続され、ソース線Ｓｊはｊ列目に配置されたｍ個の画素回路１に共通して接続される。

[0026] 画素回路１は、ＴＦＴ２、液晶容量３、および、補助容量４を含んでいる。ＴＦＴ２は、Ｎチャネル型ＴＦＴであり、書き込み制御ＴＦＴとして機能する。ｉ行目かつｊ列目に配置された画素回路１では、ＴＦＴ２のゲート端子はゲート線Ｇｉに接続され、ＴＦＴ２のソース端子はソース線Ｓｊに接続される。ＴＦＴ２のドレイン端子は、液晶容量３の一方の電極（以下、画素電極５という）と補助容量４の一方の電極に接続される。液晶容量３の他方の電極は、すべての画素回路１に共通した対向電極（図示せず）である。補助容量４の他方の電極は、補助容量線に接続される。対向電極には対向電極電圧Ｖｃｏｍが印加され、補助容量線には補助容量対向電圧ＣＳが印加される。

[0027] ゲートドライバ１２は、ゲート線Ｇ１～Ｇｍを駆動する。より詳細には、ゲートドライバ１２には電源回路（図示せず）から、ロジック電源電圧ＶＣＣ、ゲートハイ電圧ＶＧＨ、および、ゲートロー電圧ＶＧＬが供給される。また、ゲートドライバ１２にはタイミング制御回路（図示せず）から、ゲートスタートパルスやゲートクロックなどを含むロジック信号が供給される。ゲートドライバ１２は、供給されたロジック信号に基づきゲート線Ｇ１～Ｇｍの中から１本のゲート線を昇順に（または降順に）選択し、選択したゲート線にゲートハイ電圧ＶＧＨを印加し、残りのゲート線にゲートロー電圧ＶＧＬを印加する。

[0028] 階調基準電圧生成回路１４は、ソースドライバ１３から出力される階調電圧の基準となる複数の階調基準電圧を生成する。階調基準電圧生成回路１４で生成される複数の階調基準電圧には、複数の正極性階調基準電圧と複数の負極性階調基準電圧とが含まれる。階調基準電圧生成回路１４で生成された

複数の階調基準電圧は、ソースドライバ１３に供給される。以下、階調基準電圧生成回路１４は、複数の階調基準電圧ＶＨ２５５～ＶＬ２５５を生成するものとする。

[0029] ソースドライバ１３は、階調電圧生成回路１６を含んでいる。階調電圧生成回路１６は、階調基準電圧生成回路１４で生成された階調基準電圧ＶＨ２５５～ＶＬ２５５に基づき複数の階調電圧を生成する。また、ソースドライバ１３には電源回路から、ロジック電源電圧ＶＣＣとソース出力電源電圧ＶＬＳが供給される。さらに、ソースドライバ１３にはタイミング制御回路から、ソーススタートパルスやソースクロックなどを含むロジック信号、および、表示データに対応したデータ信号が供給される。ソースドライバ１３は、供給されたロジック信号およびデータ信号に基づき、階調電圧生成回路１６で生成された複数の階調電圧の中からソース線ごとに１個の階調電圧を選択し、ソース線Ｓ１～Ｓｎに対して全部でｎ個の階調電圧を印加する。このようにソースドライバ１３は、階調基準電圧生成回路１４で生成された階調基準電圧ＶＨ２５５～ＶＬ２５５に基づき複数の階調電圧を生成し、生成した複数の階調電圧を用いてデータ線Ｓ１～Ｓｎを駆動する。

[0030] ゲート線Ｇｉの選択期間（ゲート線Ｇｉにゲートハイ電圧ＶＧＨが印加されている期間）では、ｉ行目に配置されたｎ個の画素回路１に含まれるＴＦＴ２はオン状態になる。この期間では、ソースドライバ１３は、ソース線Ｓ１～Ｓｎに対して、ｉ行目に配置されたｎ個の画素回路１に含まれる画素電極５に書き込むべきｎ個の階調電圧を印加する。これにより、ｉ行目に配置されたｎ個の画素電極５にそれぞれの階調電圧が書き込まれる。この処理を１フレーム期間内にｍ回行うことにより、（ｍ×ｎ）個の画素回路１に含まれる画素電極５にそれぞれの階調電圧を書き込み、液晶パネル１１に所望の画像を表示することができる。

[0031] ソースドライバ１３は、残像と焼き付きを防止するために交流駆動を行う。より詳細には、ソースドライバ１３は、ソース線Ｓ１～Ｓｎを駆動するときに、画素電極５に書き込む階調電圧の極性を所定時間ごとに（例えば、１

フレーム期間ごとに）反転させる（正極性と負極性に切り替える）。ソースドライバ１３は、交流駆動として、フレーム反転駆動を行ってもよく、ライン反転駆動を行ってもよく、ドット反転駆動を行ってもよい。

[0032] 制御部１５は、液晶表示装置１０の動作を制御する。制御部１５は、ゲートドライバ１２とソースドライバ１３に対して、電源電圧、ロジック信号、および、データ信号を供給する。また、制御部１５は、電源切断指示を受けたときに、ゲートドライバ１２とソースドライバ１３の電源を切断する前に待機期間を設定し、待機期間において階調基準電圧ＶＨ２５５～ＶＬ２５５がすべて同じ電圧になるように階調基準電圧生成回路１４を制御する（詳細は後述）。

[0033] なお、図１では、ゲートドライバ１２とソースドライバ１３は液晶パネル１１の外部に設けられているが、ゲートドライバ１２とソースドライバ１３の全部または一部を液晶パネル１１と一体に形成してもよい。また、ゲート線、ソース線、ゲートドライバ、および、ソースドライバは、それぞれ、走査線、データ線、走査線駆動回路、および、データ線駆動回路とも呼ばれる。

[0034] 図２は、ソースドライバ１３に含まれる階調電圧生成回路１６の例を示す図である。ここでは、データ信号の幅が８ビットで、階調電圧生成回路１６には１０個の正極性階調基準電圧と１０個の負極性階調基準電圧とが供給されるものとする。図２に示す階調電圧生成回路１６には、正極性階調基準電圧としてＶＨ０、ＶＨ１６、ＶＨ３２、ＶＨ６４、ＶＨ１２８、ＶＨ１６０、ＶＨ１９２、ＶＨ２３２、ＶＨ２４８、ＶＨ２５５が供給され、負極性階調基準電圧としてＶＬ０、ＶＬ１６、ＶＬ３２、ＶＬ６４、ＶＬ１２８、ＶＬ１６０、ＶＬ１９２、ＶＬ２３２、ＶＬ２４８、ＶＬ２５５が供給される。階調電圧生成回路１６は、１８個の抵抗分割回路Ｒ１～Ｒ１８を含んでいる。抵抗分割回路Ｒ１は、２個の電圧ＶＨ２５５、ＶＨ２４８に基づき８個の階調電圧を生成する。抵抗分割回路Ｒ２は、２個の電圧ＶＨ２４８、ＶＨ２３２に基づき１６個の階調電圧を生成する。同様に、抵抗分割回路Ｒ３～

Ｒ１８は、２個の電圧に基づき複数の階調電圧を生成する。このように図２に示す階調電圧生成回路１６は、抵抗分割回路Ｒ１～Ｒ１８を用いて、２５６個の正極性階調電圧と２５６個の負極性階調電圧を生成する。

[0035] 以下、本実施形態に係る液晶表示装置１０の特徴である、電源切断時の動作について説明する。図３は、液晶表示装置１０の電源切断時の電源シーケンスを示す図である。図３には、ロジック電源電圧ＶＣＣ（ゲートドライバ１２とソースドライバ１３に供給される電源電圧）、ゲートハイ電圧ＶＧＨ、ゲートロー電圧ＶＧＬ、ソース出力電源電圧ＶＬＳ、階調基準電圧ＶＨ２５５～ＶＬ２５５、対向電極電圧Ｖｃｏｍ、補助容量対向電圧ＣＳ、および、ロジック信号（ゲートドライバ１２とソースドライバ１３に供給されるロジック信号）の電圧について、電源切断時の変化が記載されている。なお、図３において、対向電極電圧Ｖｃｏｍと補助容量対向電圧ＣＳは同じ電圧である。

[0036] 図３に示す電源シーケンスでは、時刻ｔ１において、すべての階調基準電圧ＶＨ２５５～ＶＬ２５５が電圧ＶＱに変化する。次に時刻ｔ２において、ゲートハイ電圧ＶＧＨが０Ｖ（グランドレベル）に向けて変化し始める。次に、対向電極電圧Ｖｃｏｍ、補助容量対向電圧ＣＳ、および、すべての階調基準電圧ＶＨ２５５～ＶＬ２５５が０Ｖに変化する。その後、ソース出力電源電圧ＶＬＳ、ゲートロー電圧ＶＧＬ、ロジック信号の電圧、および、ロジック電源電圧ＶＣＣが、順に０Ｖに変化する。図３に示す電源シーケンスは、制御部１５によって実現される。

[0037] 制御部１５によって設定された時刻ｔ１から時刻ｔ２までの期間を待機期間Ｔｗという。待機期間Ｔｗの長さは、例えば１秒以上に設定される（理由は後述）。本実施形態では、制御部１５は、ソースドライバ１３の電源を切断する前で、かつ、ゲートドライバ１２の電源を切断する前に、待機期間Ｔｗを設定する。待機期間Ｔｗではゲートドライバ１２とソースドライバ１３には引き続き電源電圧が供給されるので、ゲートドライバ１２とソースドライバ１３は待機期間Ｔｗにおいて従前と同じ動作を行う。具体的には、待機

期間Ｔｗにおいて、ゲートドライバ１２はゲート線Ｇ１～Ｇｍを駆動し、ソースドライバ１３はソース線Ｓ１～Ｓｎを駆動する。

[0038] 待機期間Ｔｗでは、階調基準電圧生成回路１４で生成される階調基準電圧ＶＨ２５５～ＶＬ２５５は、すべて電圧ＶＱに等しい。このため、待機期間Ｔｗにおいて階調電圧生成回路１６で生成される階調電圧も、すべて電圧ＶＱに等しくなる。したがって、待機期間Ｔｗでは、ソースドライバ１３は、データ信号にかかわらず、すべてのソース線Ｓ１～Ｓｎに常に同じ電圧ＶＱを印加する。待機期間Ｔｗの長さは１秒以上であるので、待機期間Ｔｗにおいて（ｍ×ｎ）個の画素回路１に含まれる画素電極５に電圧ＶＱが複数回ずつ書き込まれる。このとき、画素電極５に残留する電荷は、ソース線Ｓ１～Ｓｎを介して放電される。

[0039] ここで、液晶表示装置で発生する残像、焼き付き、および、フリッカについて説明する。図４は、液晶パネルの断面図である。図４に示すように、液晶パネル５０は、２枚のガラス基板５２、５３の間に液晶層５１を挟み込んだ構造を有する。一方のガラス基板５２には画素電極５４と配向膜５６が設けられ、他方のガラス基板５３には対向電極５５と配向膜５７が設けられる。

[0040] 液晶表示装置の画素回路では、書き込み制御ＴＦＴのゲート端子に接続されたゲート線の電圧がハイレベルになったときに、ソース線の電圧が画素電極５４に印加される。ところが、液晶層５１は完全な絶縁体ではない。このため、液晶層５１に直流電圧を印加すると、イオン電導が発生し、液晶層５１と配向膜５６、５７との界面（以下、配向膜界面という）に電荷が溜まる。したがって、液晶層５１に印加される電圧は、ソースドライバを用いて画素回路の外部から印加しようとした電圧には完全には一致しない。液晶層５１の透過率は液晶層５１に印加される電圧に応じて変化するので、液晶層５１に印加される電圧が正しいレベルから変化すると、残像や焼き付きが発生する。

[0041] また、交流駆動を行うことにより、画素電極５４と対向電極５５の間に、

絶対値が等しい正極性階調電圧と負極性階調電圧が所定の時間ごとに（例えば、１フレーム期間ごとに）切り替えて書き込まれる。しかしながら、配向膜界面に電荷が溜まると、正極性階調電圧を書き込んだときと負極性階調電圧を書き込んだときとで、液晶層５１に印加される電圧の絶対値に差が生じる。このため、画素の輝度が１フレームごとに変化し、画素の輝度の変化がフリッカとして認識される。

[0042] なお、以上の説明では、画素電極と対向電極が異なるガラス基板に設けられた液晶パネルについて説明したが、画素電極と対向電極が同じガラス基板に設けられた液晶パネルでも、同様の理由により残像、焼き付き、および、フリッカが発生する。

[0043] 以下、本実施形態に係る液晶表示装置１０の効果を説明する。一般に、液晶表示装置の動作中に発生する焼き付きは、交流駆動によって防止することができる。ところが、電源切断時に特段の工夫を行わない従来の液晶表示装置（例えば、電源切断時に図５に示す電源シーケンスを用いる液晶表示装置）では、電源切断時に画素電極に電荷が残留し、電源切断後に液晶層に直流電圧が印加され、配向膜界面に電荷が溜まる。このため、従来の液晶表示装置では、電源切断後に残像や焼き付きが発生し、次に電源を入れたときにフリッカが発生することが問題となる。

[0044] 特許文献１に記載された液晶表示装置では、電源切断後に画素電極に電荷がわずかに残留し、画素電極に残留する電荷の量は画素回路ごとに異なる。このため、特許文献１に記載された液晶表示装置では、残像、焼き付き、および、フリッカを十分に防止することができない。この問題は、ＩＧＺＯなどの酸化物半導体を用いてＴＦＴを形成した液晶表示装置では顕著になる。

[0045] 本実施形態に係る液晶表示装置１０では、制御部１５は、電源切断指示を受けたときに、ソースドライバ１３の電源を切断する前で、かつ、ゲートドライバ１２の電源を切断する前に待機期間Ｔｗを設定し、待機期間Ｔｗにおいて階調基準電圧ＶＨ２５５～ＶＬ２５５がすべて同じ電圧ＶＱになるように階調基準電圧生成回路１４を制御する。液晶表示装置１０では、ゲートド

ライバ１２とソースドライバ１３の電源を切断する前に、階調基準電圧ＶＨ２５５～ＶＬ２５５を同じ電圧ＶＱに制御した状態で、ゲートドライバ１２とソースドライバ１３が１秒以上動作する。したがって、液晶パネル１１に含まれるすべての画素回路１に（すべての画素電極５に）電圧ＶＱを複数回書き込み、画素電極５に残留する電荷をソース線Ｓ１～Ｓｎを介して確実に放電することができる。また、画素電極５に電荷がわずかに残留する場合でも、残留する電荷の量を画素回路１間で等しくすることができる。したがって、本実施形態に係る液晶表示装置１０によれば、電源切断時の残留電荷に起因する残像、焼付き、および、フリッカを効果的に防止することができる。

[0046] 電圧ＶＱは、以下の方法で決定される。画素回路１への書き込み時に発生する引き込み電圧（ゲート線Ｇｉと画素電極５との容量結合による電圧の引き込み分）を考慮すると、待機期間Ｔｗでは、画素電極５の電圧が対向電極電圧Ｖｃｏｍよりも、画素回路１への書き込み時に発生する引き込み電圧だけ高いことが好ましい。具体的には、画素電極５の電圧は、対向電極電圧Ｖｃｏｍよりも次式（１）に示すΔＶｇｈだけ高いことが好ましい。そこで、電圧ＶＱとして、対向電極電圧ＶｃｏｍよりもΔＶｇｈだけ高い電圧（Ｖｃｏｍ＋ΔＶｇｈ）を使用することが好ましい。

$$\Delta Vgh = Cgd / \Sigma C \times (VGH - VGL) \quad \cdots (1)$$

ただし、式（１）において、Ｃｇｄは画素電極５とゲート線Ｇｉとの結合容量を表し、ΣＣは画素電極５に結合するすべての容量を表し、ＶＧＨはゲートハイ電圧を表し、ＶＧＬはゲートロー電圧を表す。

[0047] 実際の液晶パネルでは、ゲートハイ電圧ＶＧＨとゲートロー電圧ＶＧＬはパネルの配線負荷によって変化するので、電圧ＶＱの好ましいレベルは上記の計算値とは少し異なる。このため、電圧ＶＱは、実際の液晶パネルにおいて引き込み分を調整した電圧に基づき決定することが好ましい。以上のことから、電圧ＶＱとして、液晶パネルごとに調整された正極性の最低階調基準電圧ＶＨ０と負極性の最低階調基準電圧ＶＬ０の平均電圧（ＶＨ０＋ＶＬ０

）／２を使用することが好ましい。

[0048] また、液晶表示装置１０では、液晶パネル１１の液晶層に印加される電圧が変化してから液晶層の誘電率が変化するまでに１フレーム期間（１６ミリ秒）程度かかることがある。この場合、画素電極５に電圧を１回書き込んだだけでは、画素電極５の電圧は書き込んだ電圧に到達しない。このため、待機期間Ｔｗの長さは、３フレーム期間以上（５０ミリ秒以上）にする必要がある。また、表示画像によっては、液晶パネル１１の特定の画素回路１で配向膜界面に電荷が残留する場合がある。このような場合を考慮すると、待機期間Ｔｗの長さは１秒以上にすることが好ましい。

[0049] 以上に示すように、本実施形態に係る液晶表示装置１０は、複数の走査線（ゲート線Ｇ１～Ｇｍ）と複数のデータ線（ソース線Ｓ１～Ｓｎ）と複数の画素回路１とを含む液晶パネル１１と、走査線を駆動する走査線駆動回路（ゲートドライバ１２）と、複数の階調基準電圧ＶＨ２５５～ＶＬ２５５を生成する階調基準電圧生成回路１４と、複数の階調基準電圧ＶＨ２５５～ＶＬ２５５に基づき複数の階調電圧を生成し、生成した階調電圧を用いてデータ線を駆動するデータ線駆動回路（ソースドライバ１３）と、電源切断指示を受けたときに、データ線駆動回路の電源を切断する前で、かつ、走査線駆動回路の電源を切断する前に待機期間Ｔｗを設定し、待機期間Ｔｗにおいて複数の階調基準電圧ＶＨ２５５～ＶＬ２５５がすべて同じ電圧ＶＱになるように階調基準電圧生成回路１４を制御する制御部１５とを備えている。

[0050] 本実施形態に係る液晶表示装置１０によれば、待機期間Ｔｗでは、階調電圧の基準となる階調基準電圧ＶＨ２５５～ＶＬ２５５をすべて同じ電圧ＶＱにした状態で、走査線駆動回路とデータ線駆動回路が動作する。したがって、待機期間Ｔｗにおいて、液晶パネル１１の画素回路１に同じ電圧ＶＱを順に書き込み、画素回路１に残留する電荷を放電することができる。また、画素回路１に電荷がわずかに残留する場合でも、残留する電荷の量を画素回路１間で等しくすることができる。よって、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。

[0051] また、電圧ＶＱとして、対向電極電圧に画素回路１に対する書き込み時に発生する引き込み電圧を加算した電圧（Ｖｃｏｍ＋ΔＶｇｈ）、あるいは、正極性の最低階調基準電圧と負極性の最低階調基準電圧の平均電圧（ＶＨ０＋ＶＬ０）／２を用いることにより、待機期間において、液晶パネル１１の液晶層にほぼ０Ｖの電圧を印加し、画素回路１に残留する電荷を減らすことができる。また、待機期間Ｔｗの長さを１秒以上にすることにより、画素回路１に同じ電圧を複数回書き込み、画素回路１に残留する電荷を確実に放電することができる。

[0052] （第２の実施形態）

第２および第３の実施形態では、第１の実施形態に係る液晶表示装置の具体例を説明する。図６は、本発明の第２の実施形態に係る液晶表示装置の構成を示すブロック図である。図６に示す液晶表示装置２０は、液晶パネル１１、ゲートドライバ１２、ソースドライバ１３、および、制御基板２１を備えている。以下に示す実施形態では、各実施形態の構成要素のうち、先に述べた実施形態の構成要素と同一のものについては、同一の参照符号を付して説明を省略する。

[0053] 制御基板２１には、マイクロコンピュータ２２、電源回路２３、タイミング制御ＩＣ２４、および、ＤＡＣ　ＩＣ２５が搭載されている。マイクロコンピュータ２２とタイミング制御ＩＣ２４は図１に示す制御部１５として機能し、ＤＡＣ　ＩＣ２５は図１に示す階調基準電圧生成回路１４として機能する。

[0054] タイミング制御ＩＣ２４には、液晶表示装置２０の外部から表示データが入力される。タイミング制御ＩＣ２４は、ゲートドライバ１２に対してロジック信号（同期信号と制御信号）を出力し、ソースドライバ１３に対してロジック信号と表示データに応じたデータ信号とを出力する。また、タイミング制御ＩＣ２４は、ＤＡＣ　ＩＣ２５に対して、デジタル値を示す制御信号Ｃ１を出力する。

[0055] ＤＡＣ　ＩＣ２５は、複数のＤ／Ａ変換器（図示せず）を含んでいる。例

えば２０個の階調基準電圧を生成する場合、ＤＡＣ　ＩＣ２５は少なくとも２０個のＤ／Ａ変換器を含んでいる。タイミング制御ＩＣ２４は、制御信号Ｃ１を出力することにより、ＤＡＣ　ＩＣ２５に含まれる２０個のＤ／Ａ変換器に対して、２０個の階調基準電圧に対応した２０個のデジタル値をそれぞれ与える。各Ｄ／Ａ変換器は、タイミング制御ＩＣ２４から与えられたデジタル値を１個の階調基準電圧に変換する。このように複数のＤ／Ａ変換器を含むＤＡＣ　ＩＣ２５を用いて、階調基準電圧ＶＨ２５５～ＶＬ２５５を生成することができる。

[0056] マイクロコンピュータ２２は、電源回路２３とタイミング制御ＩＣ２４を制御する。電源回路２３は、マイクロコンピュータ２２からの制御に従い、ゲートドライバ１２とソースドライバ１３に供給される電源電圧を生成する。

[0057] マイクロコンピュータ２２は、液晶表示装置３０の外部から電源切断を指示する制御信号Ｐ１を受け取ると、タイミング制御ＩＣ２４に対して電源切断を指示する制御信号Ｐ２を出力する。タイミング制御ＩＣ２４は、制御信号Ｐ２を受け取ると、電圧ＶＱに対応したデジタル値をＤＡＣ　ＩＣ２５に含まれるすべてのＤ／Ａ変換器に与える。ＤＡＣ　ＩＣ２５に含まれるすべてのＤ／Ａ変換器は、電圧ＶＱに対応したデジタル値を電圧ＶＱに変換する。したがって、待機期間Ｔｗでは、ＤＡＣ　ＩＣ２５から出力される階調基準電圧ＶＨ２５５～ＶＬ２５５は、すべて電圧ＶＱになる。

[0058] タイミング制御ＩＣ２４は、電圧ＶＱに対応したデジタル値をＤＡＣ　ＩＣ２５に含まれるすべてのＤ／Ａ変換器に与えた後に、マイクロコンピュータ２２に対して電源切断準備完了を示す制御信号Ｐ３を出力する。マイクロコンピュータ２２は、制御信号Ｐ３を受け取ると、図３に示す電源シーケンスに従い、ゲートドライバ１２とソースドライバ１３の電源を切断する。

[0059] 以上に示すように、本実施形態に係る液晶表示装置２０では、階調基準電圧生成回路は、それぞれが与えられたデジタル値を１個の階調基準電圧に変換する複数のＤ／Ａ変換器を含んでいる。制御部（マイクロコンピュータ２

２とタイミング制御ＩＣ２４）は、待機期間Ｔｗにおいて、電圧ＶＱに対応したデジタル値を階調基準電圧生成回路に含まれるすべてのＤ／Ａ変換器に与える。したがって、本実施形態に係る液晶表示装置２０によれば、Ｄ／Ａ変換器を用いて階調基準電圧を生成する液晶表示装置について、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。

[0060] （第３の実施形態）

図７は、本発明の第３の実施形態に係る液晶表示装置の構成を示すブロック図である。図７に示す液晶表示装置３０は、液晶パネル１１、ゲートドライバ１２、ソースドライバ１３、および、制御基板３１を備えている。

[0061] 制御基板３１には、マイクロコンピュータ２２、電源回路２３、タイミング制御ＩＣ２４、複数のオペアンプ３２、および、複数の切替回路３３が搭載されている。マイクロコンピュータ２２とタイミング制御ＩＣ２４は図１に示す制御部１５として機能し、複数のオペアンプ３２と複数の切替回路３３は図１に示す階調基準電圧生成回路１４として機能する。

[0062] オペアンプ３２は、１個の階調基準電圧を出力する。切替回路３３は、タイミング制御ＩＣ２４から出力された制御信号Ｃ２に従い、オペアンプ３２から出力された階調基準電圧および電圧ＶＱのいずれかを出力する。液晶表示装置３０の動作中、切替回路３３は、オペアンプ３２から出力された階調基準電圧を出力するように制御される。

[0063] マイクロコンピュータ２２は、電源切断を指示する制御信号Ｐ１を受け取ると、タイミング制御ＩＣ２４に対して電源切断を指示する制御信号Ｐ２を出力する。タイミング制御ＩＣ２４は、制御信号Ｐ２を受け取ると、切替回路３３が電圧ＶＱを出力するように制御信号Ｃ２の値を切り替える。したがって、複数の切替回路３３から階調基準電圧ＶＨ２５５～ＶＬ２５５は、すべて電圧ＶＱになる。

[0064] タイミング制御ＩＣ２４は、制御信号Ｃ２の値を切り替えた後に、マイクロコンピュータ２２に対して電源切断準備完了を示す制御信号Ｐ３を出力す

る。マイクロコンピュータ２２は、制御信号Ｐ３を受け取ると、図３に示す電源シーケンスに従い、ゲートドライバ１２とソースドライバ１３の電源を切断する。

[0065] 以上に示すように、本実施形態に係る液晶表示装置３０では、階調基準電圧生成回路は、それぞれが１個の階調基準電圧を出力する複数のオペアンプ３２と、それぞれがオペアンプ３２から出力された階調基準電圧および電圧ＶＱのいずれかを出力する複数の切替回路３３とを含んでいる。制御部（マイクロコンピュータ２２とタイミング制御ＩＣ２４）は、待機期間Ｔｗにおいて、電圧ＶＱを出力するようにすべての切替回路３３を制御する。したがって、本実施形態に係る液晶表示装置３０によれば、オペアンプを用いて階調基準電圧を生成する液晶表示装置について、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。

[0066] （第４の実施形態）

図８は、本発明の第４の実施形態に係る液晶表示装置の構成を示すブロック図である。図８に示す液晶表示装置４０は、第１の実施形態に係る液晶表示装置１０（図１）に対して、Ｖｆ線、ＶＧＨ２線、および、ｍ個のＴＦＴ４１を追加し、ゲートドライバ１２をゲートドライバ４２に置換する変更を施したものである。

[0067] 図８に示すように、ｍ個のＴＦＴ４１は、ゲート線Ｇ１～Ｇｍに対応して設けられる。ＴＦＴ４１のソース端子は対応するゲート線に接続され、ＴＦＴ４１のドレイン端子はＶＧＨ２線に共通して接続され、ＴＦＴ４１のゲート端子はＶｆ線に共通して接続される。

[0068] ゲートドライバ４２は、第１の実施形態に係るゲートドライバ１２に、Ｖｆ線の電圧がハイレベルのときには出力をハイインピーダンス状態にする機能を追加したものである。Ｖｆ線の電圧がローレベルのときには、ゲートドライバ４２はゲートドライバ１２と同様に動作する。Ｖｆ線の電圧がハイレベルのときには、ゲートドライバ４２の出力はハイインピーダンス状態になる。

[0069] 図９は、液晶表示装置４０の電源切断時の電源シーケンスを示す図である。図９には、図３に示した電圧、Ｖｆ線の電圧、および、ＶＧＨ２線の電圧について、電源切断時の変化が記載されている。なお、図９でも、対向電極電圧Ｖｃｏｍと補助容量対向電圧ＣＳは同じ電圧である。

[0070] 図９に示す電源シーケンスでは、待機期間Ｔｗより前に、ゲートハイ電圧ＶＧＨが０Ｖに変化し、Ｖｆ線の電圧とＶＧＨ２線の電圧がハイレベルに変化し、ゲートロー電圧ＶＧＬが０Ｖに変化する。次に時刻ｔ１において、すべての階調基準電圧ＶＨ２５５～ＶＬ２５５が電圧ＶＱに変化する。次に時刻ｔ２においてＶＧＨ２線の電圧が０Ｖに向けて変化し始め、時刻ｔ２の後にＶｆ線の電圧が０Ｖが向けて変化し始める。次に、対向電極電圧Ｖｃｏｍ、補助容量対向電圧ＣＳ、および、すべての階調基準電圧ＶＨ２５５～ＶＬ２５５が０Ｖに変化する。その後、ソース出力電源電圧ＶＬＳ、ロジック信号の電圧、および、ロジック電源電圧ＶＣＣが、順に０Ｖに変化する。このように本実施形態では、制御部１５は、ソースドライバ１３の電源を切断する前で、かつ、ゲートドライバ４２の電源を切断した後に、待機期間Ｔｗを設定する。

[0071] 待機期間Ｔｗでは、ゲートドライバ４２は動作を停止しているが、ソースドライバ１３は従前と同様に動作する。また、待機期間Ｔｗでは、すべてのＴＦＴ４１がオン状態になり、すべてのゲート線Ｇ１～Ｇｍが選択され、（ｍ×ｎ）個の画素回路１に含まれるＴＦＴ２がすべてオン状態になり、（ｍ×ｎ）個の画素回路１に含まれる画素電極５には同じ電圧ＶＱが同時に書き込まれる。

[0072] 以上に示すように、本実施形態に係る液晶表示装置４０は、走査線（ゲート線Ｇ１～Ｇｍ）に対応した複数のトランジスタ（ＴＦＴ４１）を備えている。トランジスタの一方の導通端子（ソース端子）は対応する走査線に接続され、すべてのトランジスタの他方の導通端子（ドレイン端子）は第１制御線（ＶＧＨ２線）に共通して接続され、すべてのトランジスタの制御端子（ゲート端子）は第２制御線（Ｖｆ線）に共通して接続される。制御部１５は

、データ線駆動回路（ソースドライバ１３）の電源を切断する前で、かつ、走査線駆動回路（ゲートドライバ４２）の電源を切断した後に待機期間Ｔｗを設定し、待機期間Ｔｗにおいて、第１制御線に走査線（ゲート線Ｇ１～Ｇｍ）を選択するための電圧（ハイレベル電圧）を印加し、第２制御線にトランジスタを導通させる電圧（ハイレベル電圧）を印加する制御を行う。

[0073] 本実施形態に係る液晶表示装置４０によれば、待機期間Ｔｗでは、階調電圧の基準となる階調基準電圧ＶＨ２５５～ＶＬ２５５をすべて同じ電圧ＶＱにした状態で、すべての走査線が選択される。したがって、待機期間Ｔｗにおいて、液晶パネル１１の画素回路１に同じ電圧ＶＱを同時に書き込み、画素回路１に残留する電荷を放電して、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。なお、本実施形態に係る液晶表示装置４０についても、階調基準電圧生成回路１４と制御部１５は、第２および第３の実施形態で述べた方法で構成することができる。

[0074] 以上に示すように、本発明の液晶表示装置によれば、データ線駆動回路の電源を切断する前に、階調電圧の基準となる階調基準電圧をすべて同じ電圧にすることにより、液晶パネルの画素回路に同じ電圧を書き込み、画素回路に残留する電荷を放電して、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止することができる。この効果は、ＩＧＺＯなどの酸化物半導体を用いてＴＦＴを形成した液晶表示装置において顕著になる。

産業上の利用可能性

[0075] 本発明の液晶表示装置は、電源切断時の残留電荷に起因する残像、焼き付き、および、フリッカを効果的に防止できるという特徴を有するので、各種の電子機器の表示部などに利用することができる。

符号の説明

[0076] １…画素回路

２、４１…ＴＦＴ

３…液晶容量

４…補助容量

５…画素電極

１０、２０、３０、４０…液晶表示装置

１１…液晶パネル

１２、４２…ゲートドライバ（走査線駆動回路）

１３…ソースドライバ（データ線駆動回路）

１４…階調基準電圧生成回路

１５…制御部

１６…階調電圧生成回路

２１、３１…制御基板

２２…マイクロコンピュータ

２３…電源回路

２４…タイミング制御ＩＣ

２５…ＤＡＣ　ＩＣ

３２…オペアンプ

３３…切替回路

請求の範囲

[請求項1] アクティブマトリクス型の液晶表示装置であって、

複数の走査線と複数のデータ線と複数の画素回路とを含む液晶パネルと、

前記走査線を駆動する走査線駆動回路と、

複数の階調基準電圧を生成する階調基準電圧生成回路と、

前記複数の階調基準電圧に基づき複数の階調電圧を生成し、生成した階調電圧を用いて前記データ線を駆動するデータ線駆動回路と、

電源切断指示を受けたときに、前記データ線駆動回路の電源を切断する前に待機期間を設定し、前記待機期間において前記複数の階調基準電圧がすべて同じ第１電圧になるように前記階調基準電圧生成回路を制御する制御部とを備えた、液晶表示装置。

[請求項2] 前記制御部は、前記データ線駆動回路の電源を切断する前で、かつ、前記走査線駆動回路の電源を切断する前に前記待機期間を設定することを特徴とする、請求項１に記載の液晶表示装置。

[請求項3] 前記第１電圧は、前記液晶パネルの対向電極に印加される電圧に、前記画素回路に対する書き込み時に発生する引き込み電圧を加算した電圧であることを特徴とする、請求項１に記載の液晶表示装置。

[請求項4] 前記第１電圧は、正極性の最低階調基準電圧と負極性の最低階調基準電圧の平均電圧であることを特徴とする、請求項１に記載の液晶表示装置。

[請求項5] 前記待機期間の長さは１秒以上であることを特徴とする、請求項１に記載の液晶表示装置。

[請求項6] 前記階調基準電圧生成回路は、それぞれが与えられたデジタル値を１個の階調基準電圧に変換する複数のＤ／Ａ変換器を含み、

前記制御部は、前記待機期間において、前記第１電圧に対応したデジタル値を前記階調基準電圧生成回路に含まれるすべてのＤ／Ａ変換器に与えることを特徴とする、請求項１に記載の液晶表示装置。

［請求項7］ 前記階調基準電圧生成回路は、それぞれが１個の階調基準電圧を出力する複数のオペアンプと、それぞれが前記オペアンプから出力された階調基準電圧および前記第１電圧のいずれかを出力する複数の切替回路とを含み、

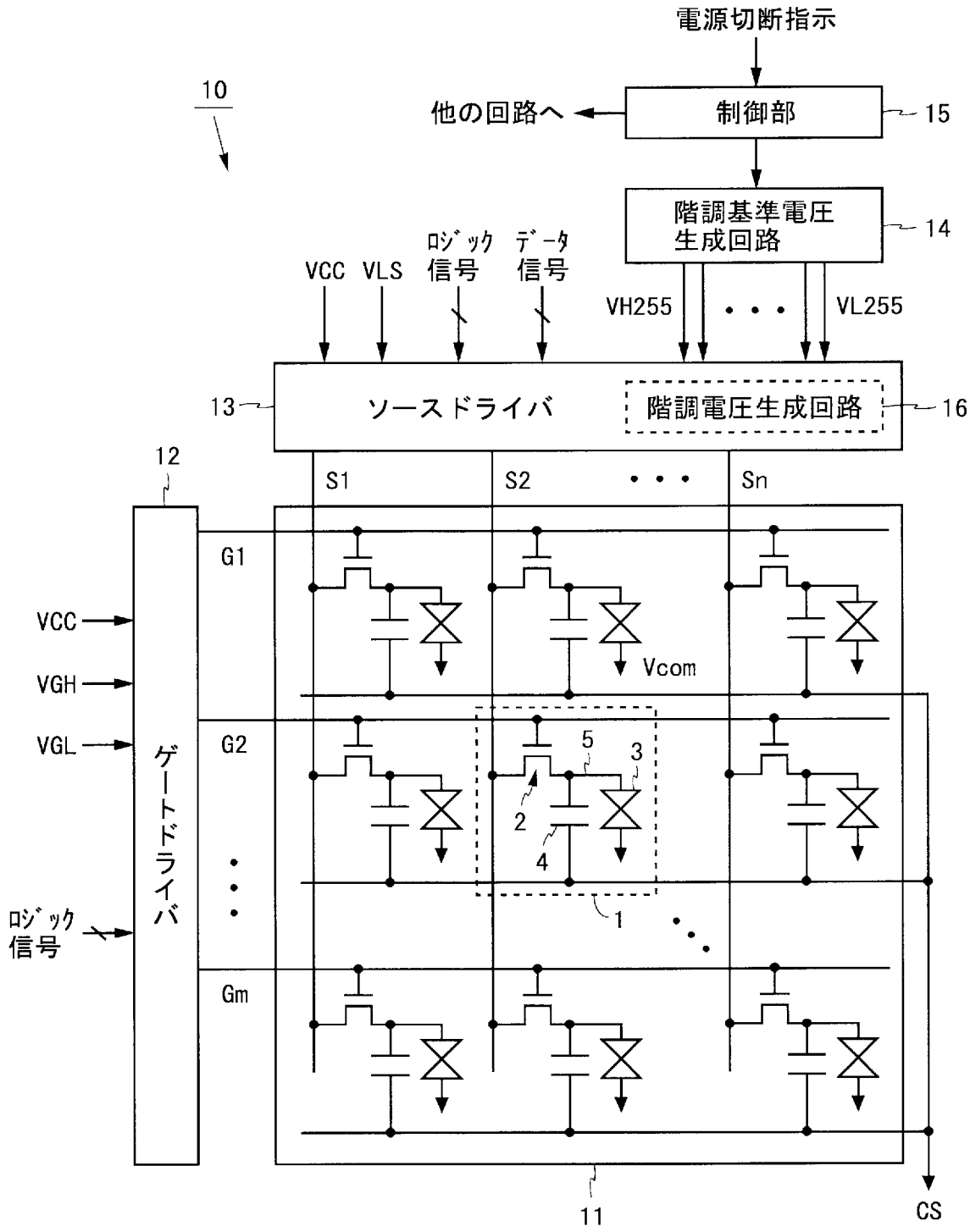
前記制御部は、前記待機期間において、前記第１電圧を出力するようにすべての前記切替回路を制御することを特徴とする、請求項１に記載の液晶表示装置。

［請求項8］ 前記走査線に対応した複数のトランジスタをさらに備え、

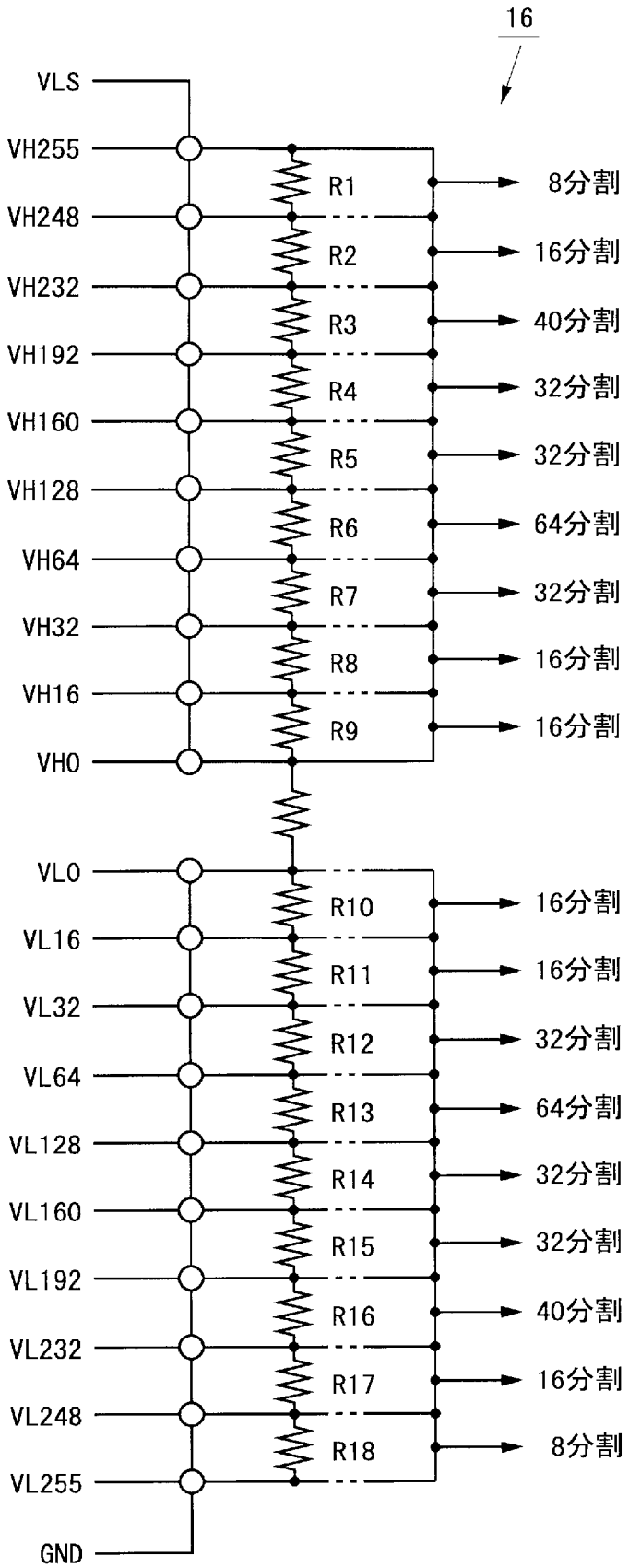
前記トランジスタの一方の導通端子は対応する走査線に接続され、すべての前記トランジスタの他方の導通端子は第１制御線に共通して接続され、すべての前記トランジスタの制御端子は第２制御線に共通して接続され、

前記制御部は、前記データ線駆動回路の電源を切断する前で、かつ、前記走査線駆動回路の電源を切断した後に前記待機期間を設定し、前記待機期間において、前記第１制御線に前記走査線を選択するための電圧を印加し、前記第２制御線に前記トランジスタを導通させる電圧を印加する制御を行うことを特徴とする、請求項１に記載の液晶表示装置。

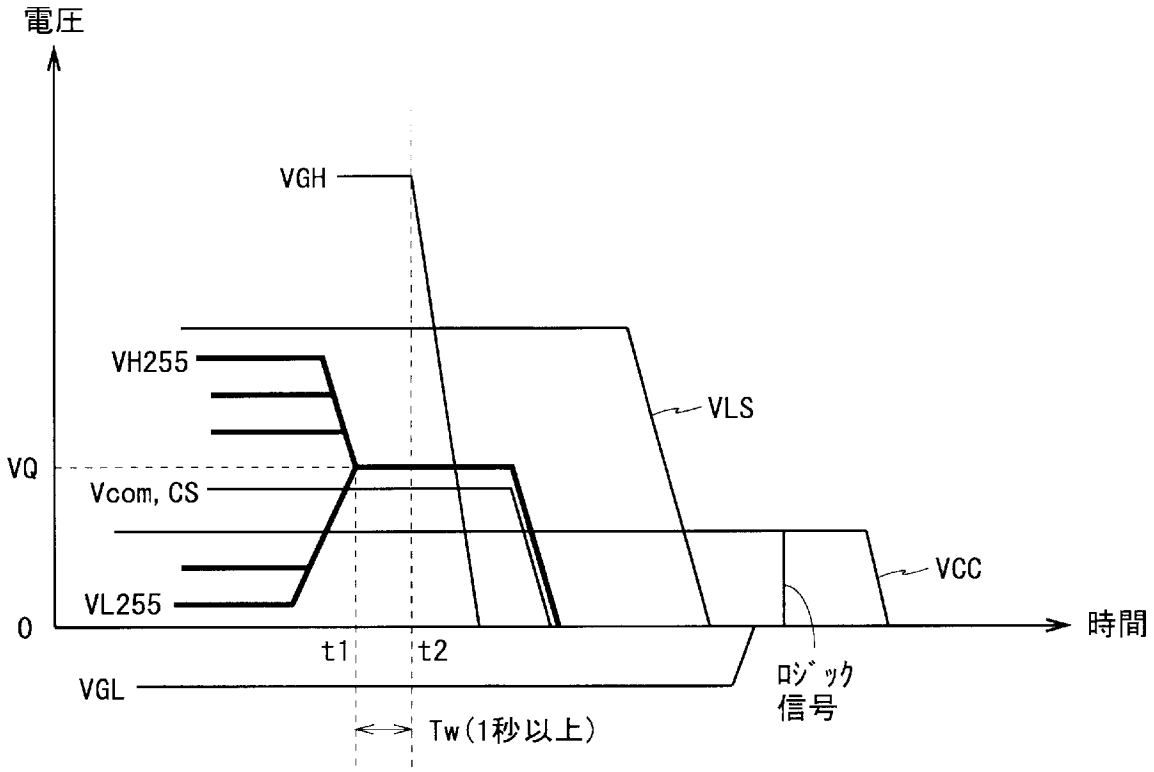
[図1]


電源切断指示
10
他の回路へ
制御部
15
階調基準電圧
生成回路
14
VCC
VLS
ロジック
信号
データ
信号
VH255
VL255
13
ソースドライバ
階調電圧生成回路
16
12
S1
S2
Sn
G1
G2
Gm
VCC
VGH
VGL
ゲートドライバ
ロジック
信号
Vcom
5
3
2
4
1
11
CS

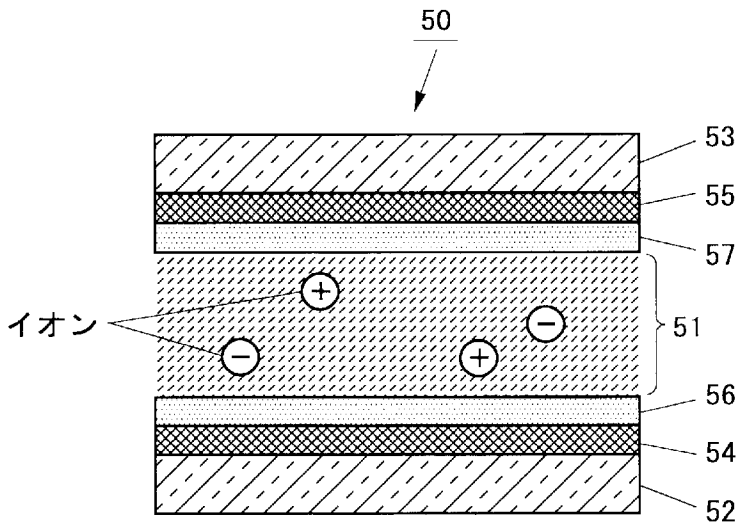
[図2]


16
VLS
VH255
VH248
VH232
VH192
VH160
VH128
VH64
VH32
VH16
VH0
VL0
VL16
VL32
VL64
VL128
VL160
VL192
VL232
VL248
VL255
GND
R1
R2
R3
R4
R5
R6
R7
R8
R9
R10
R11
R12
R13
R14
R15
R16
R17
R18
8分割
16分割
40分割
32分割
32分割
64分割
32分割
16分割
16分割
16分割
16分割
32分割
64分割
32分割
32分割
40分割
16分割
8分割

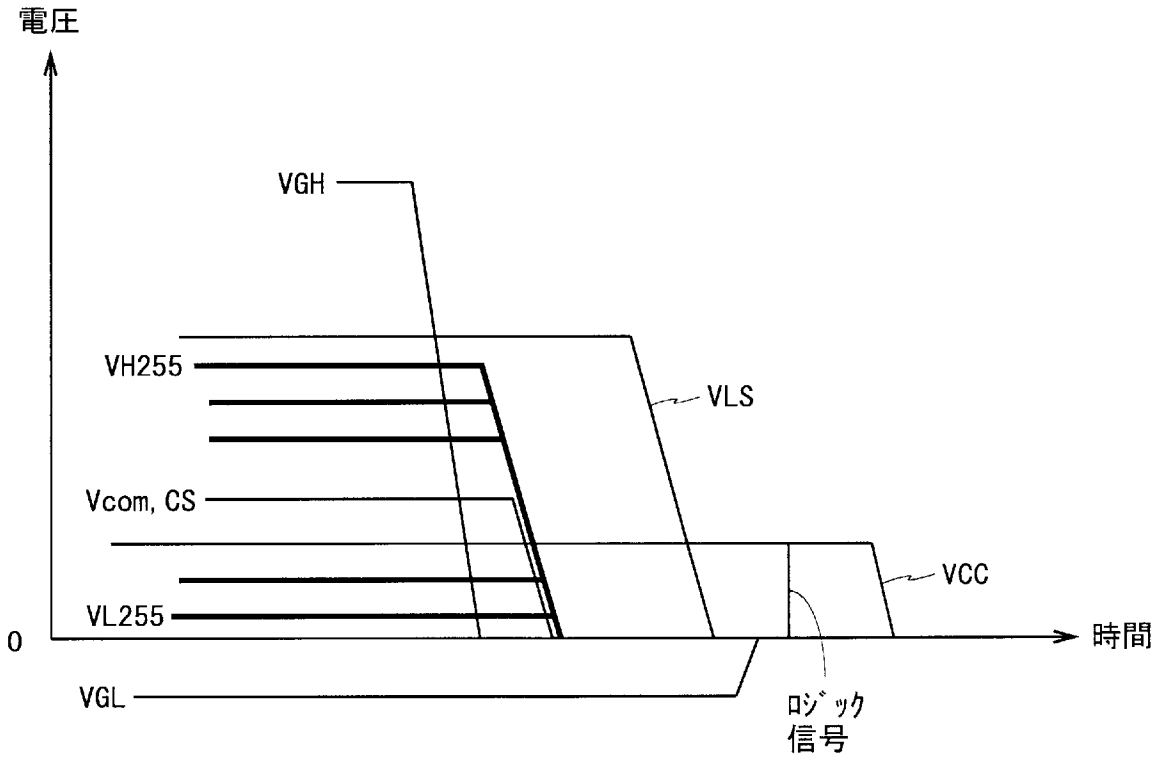
[図3]


電圧
VGH
VH255
VLS
VQ
Vcom, CS
VCC
VL255
0
時間
t1
t2
VGL
ロジック
信号
Tw(1秒以上)

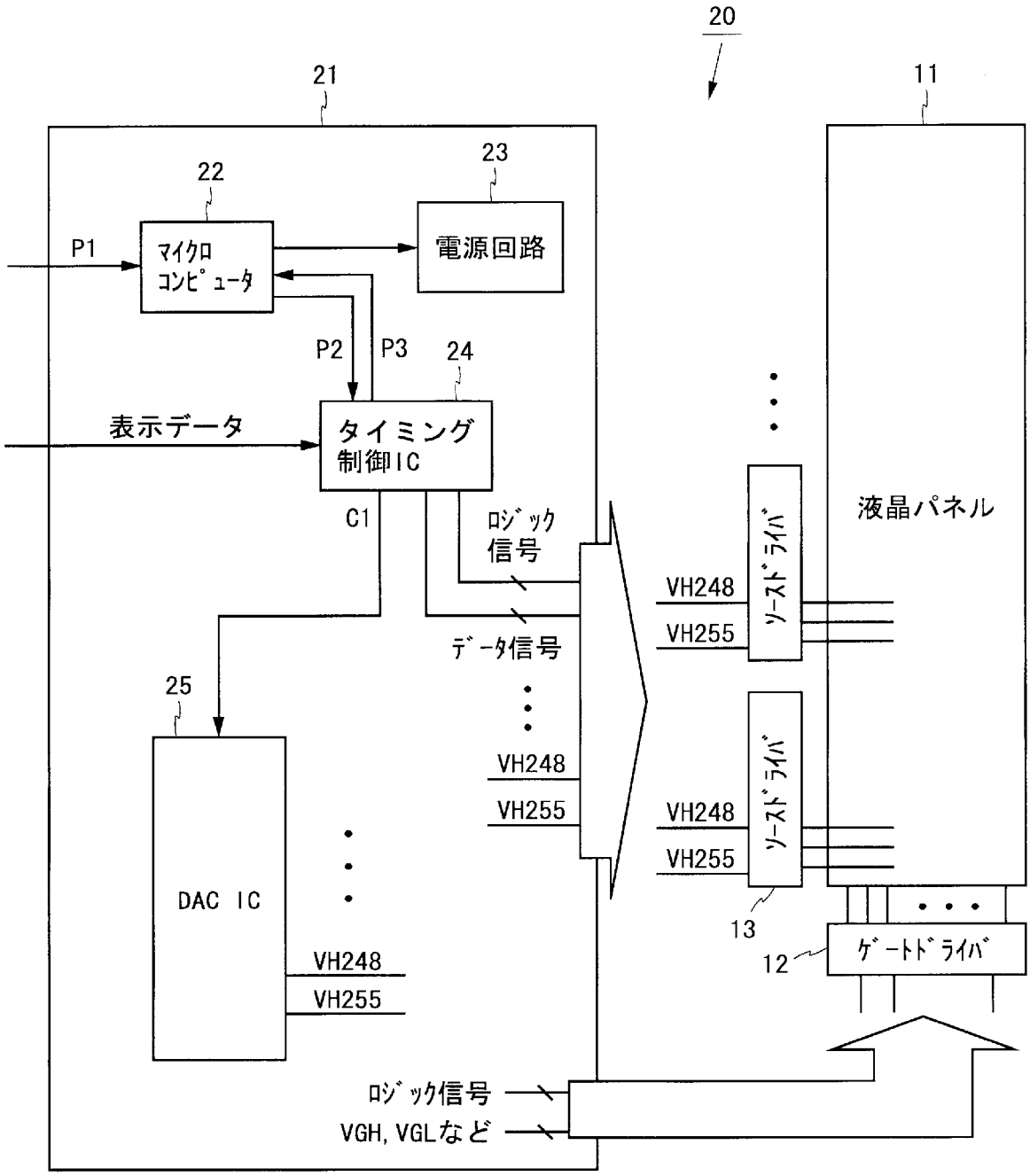
[図4]


50
53
55
57
イオン
51
56
54
52

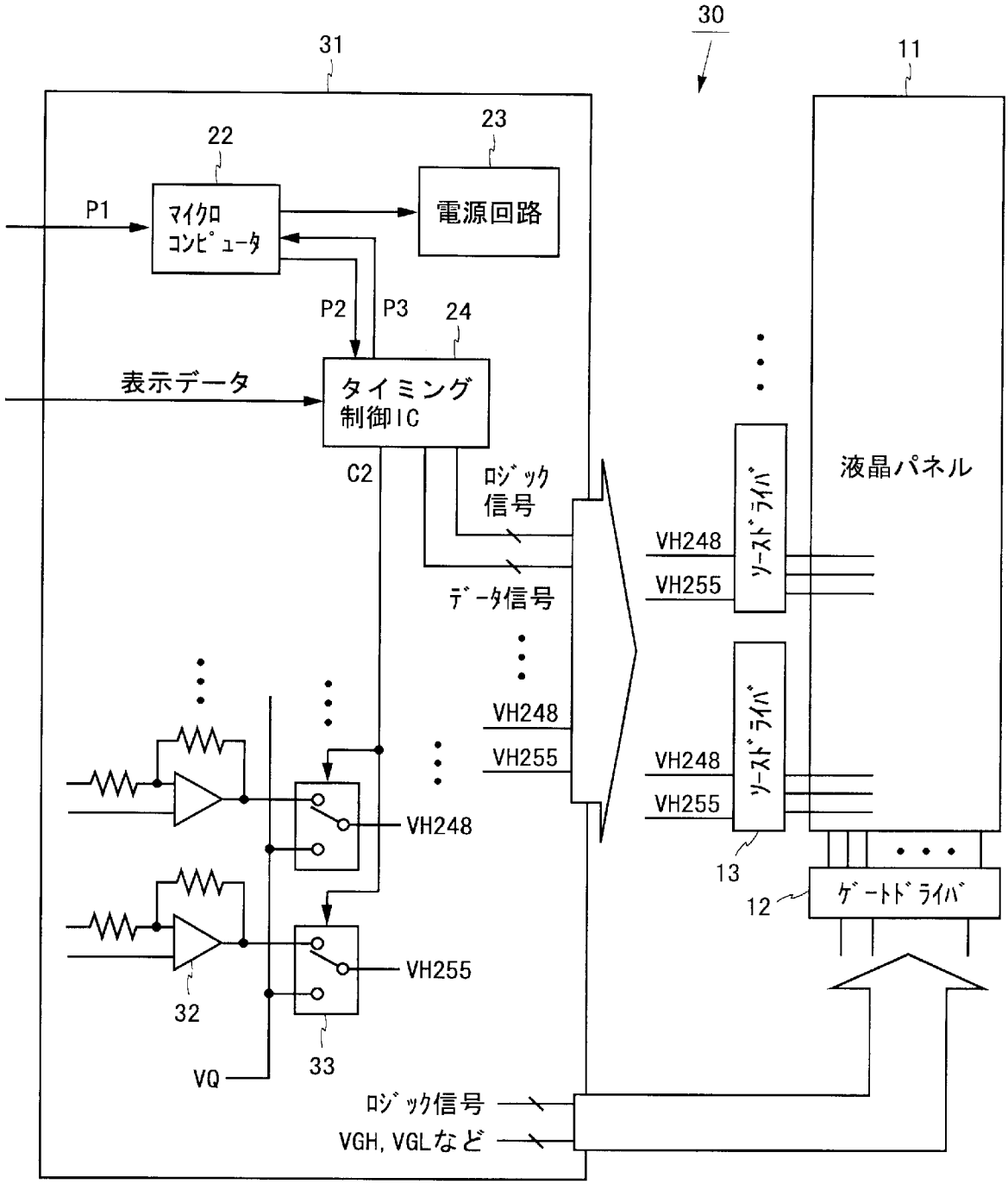
[図5]



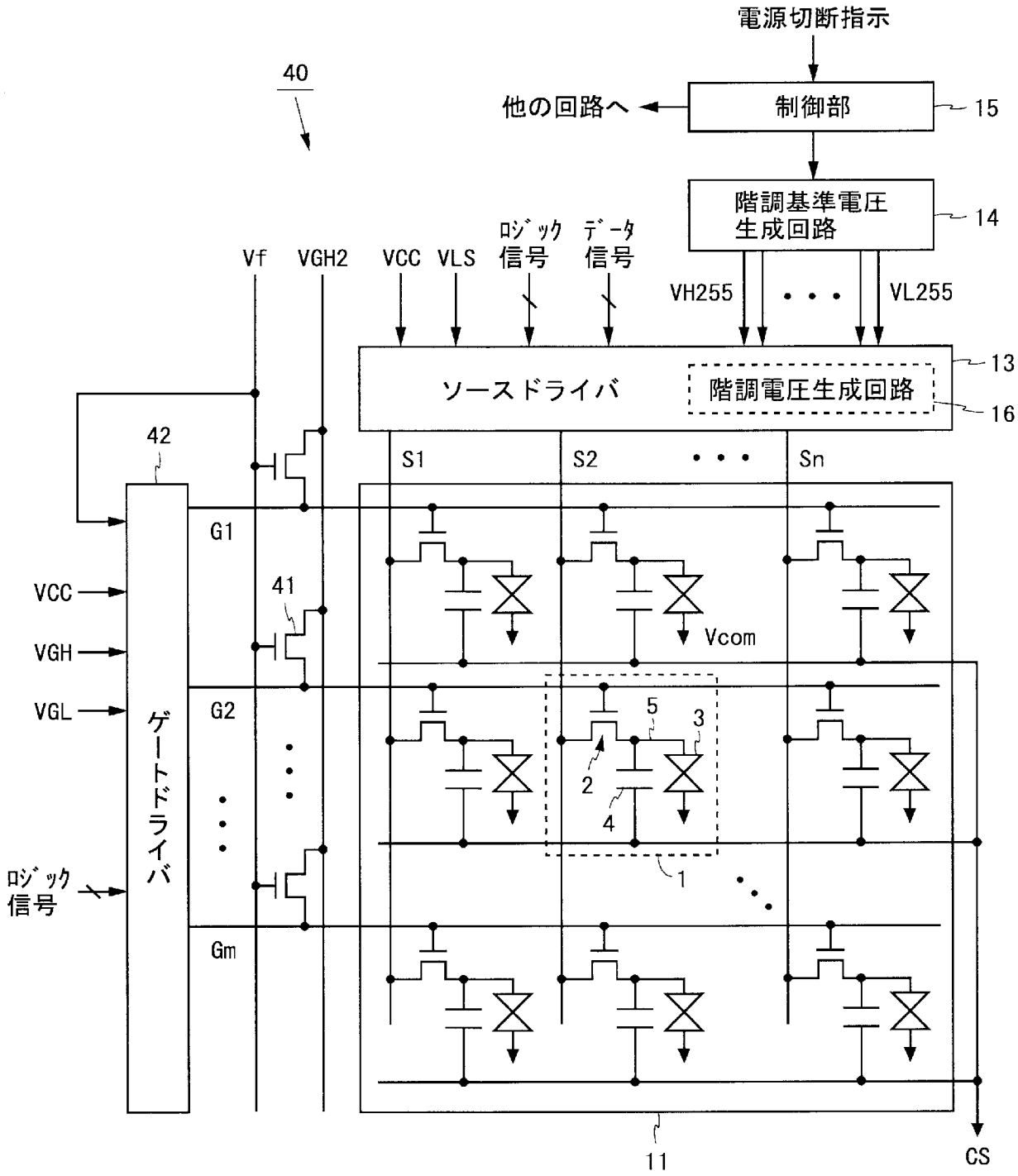
[図6]


20
21
11
22
23
P1
マイクロ
コンピュータ
電源回路
P2
P3
24
表示データ
タイミング
制御IC
液晶パネル
C1
ロジック
信号
データ信号
VH248
VH255
ソースドライバ
25
DAC IC
VH248
VH255
VH248
VH255
ソースドライバ
13
12
ゲートドライバ
ロジック信号
VGH, VGLなど

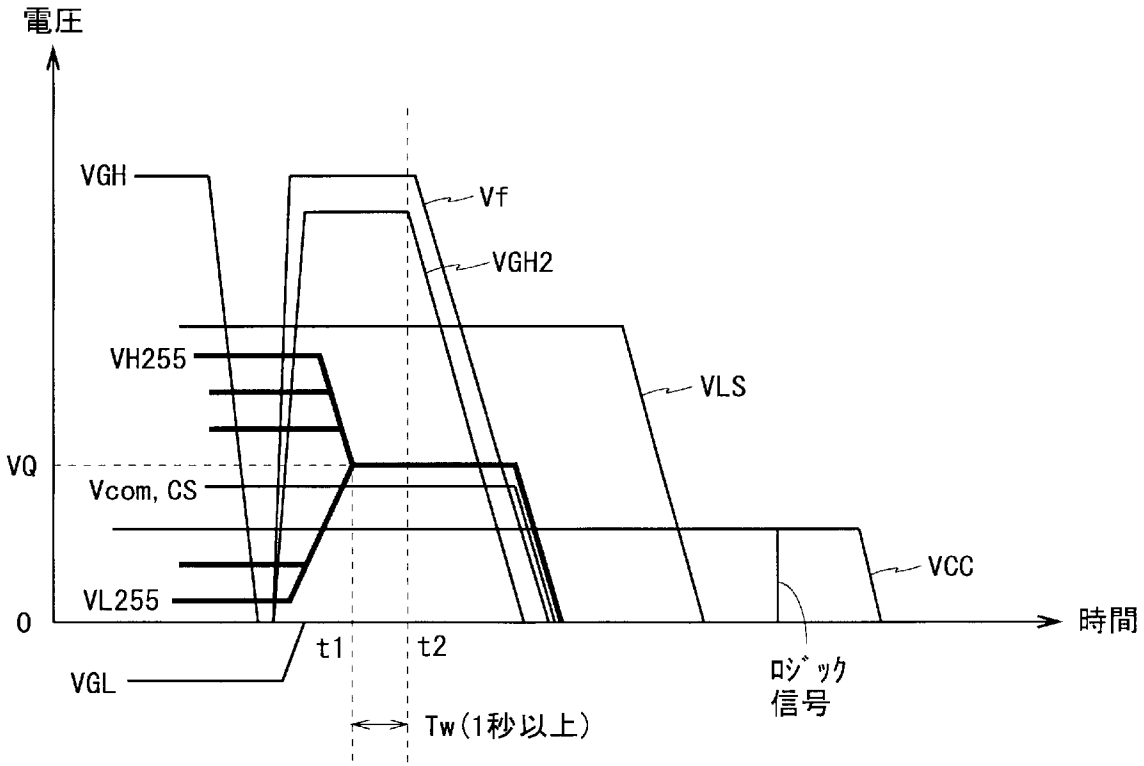
[図7]


30
31
11
22
23
P1
マイクロ
コンピュータ
電源回路
P2
P3
24
表示データ
タイミング
制御IC
C2
ロジック
信号
データ信号
液晶パネル
VH248
VH255
ソースドライバ
VH248
VH255
ソースドライバ
VH248
VH255
13
12
ゲートドライバ
32
33
VQ
ロジック信号
VGH, VGLなど

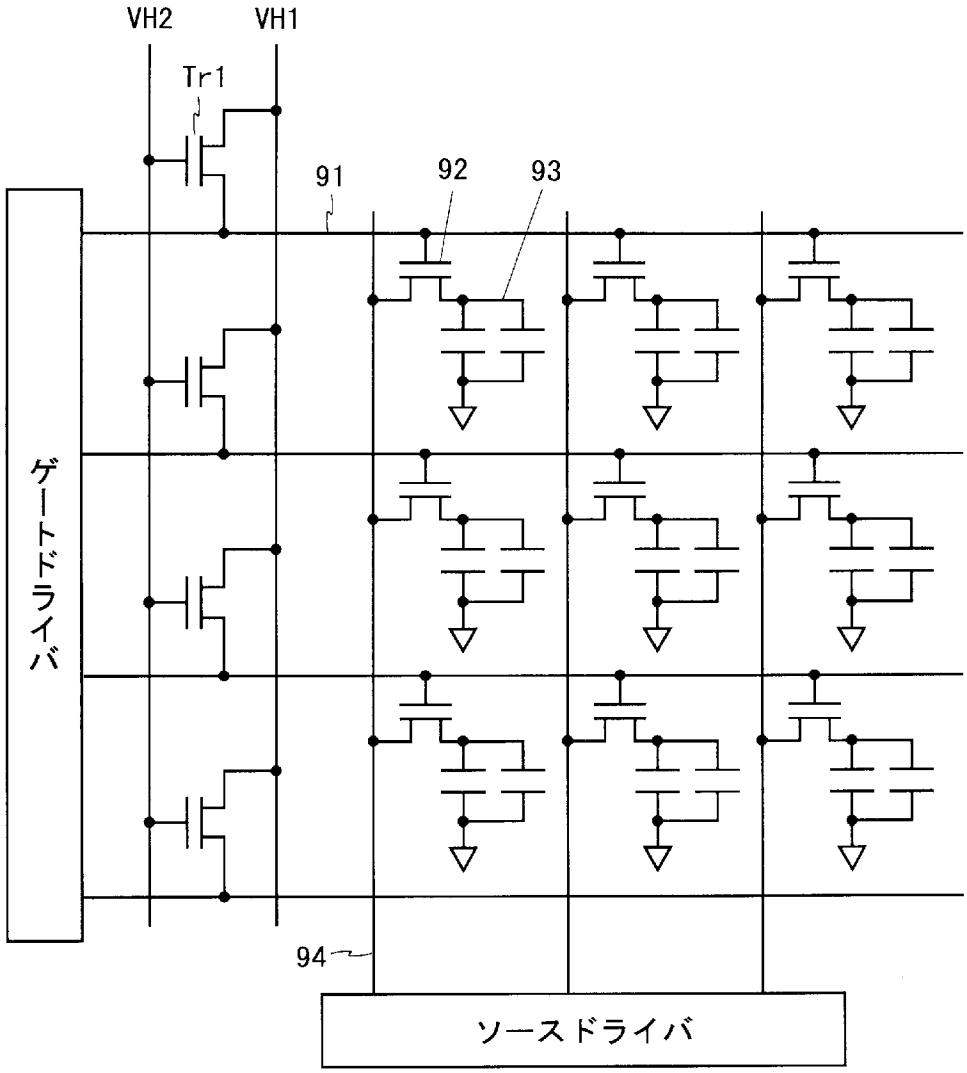
[図8]


電源切断指示
40
他の回路へ
制御部
15
階調基準電圧
生成回路
14
ロジック
信号
データ
信号
Vf
VGH2
VCC
VLS
VH255
VL255
ソースドライバ
階調電圧生成回路
13
16
42
S1
S2
Sn
G1
41
VCC
VGH
VGL
Vcom
G2
5
3
2
4
1
ゲートドライバ
ロジック
信号
Gm
11
CS

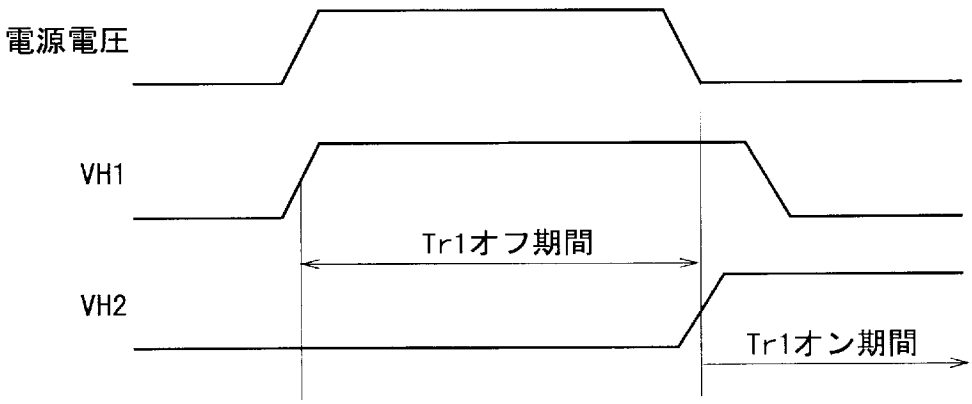
[図9]


電圧
VGH
Vf
VGH2
VH255
VLS
VQ
Vcom, CS
VCC
VL255
0
時間
t1
t2
VGL
ロジック
信号
Tw(1秒以上)

[図10]


VH2
VH1
Tr1
91
92
93
ゲートドライバ
94
ソースドライバ

[図11]


電源電圧
VH1
Tr1オフ期間
VH2
Tr1オン期間

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/075420

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, *G02F1/133*(2006.01)i, *G09G3/20*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-50565 A (Matsushita Electric Industrial Co., Ltd.), 21 February 2003 (21.02.2003), paragraphs [0018] to [0034]; fig. 1 to 9 (Family: none)	1-8
Y	JP 2005-234495 A (Toshiba Matsushita Display Technology Co., Ltd.), 02 September 2005 (02.09.2005), paragraphs [0016] to [0021], [0025] to [0026]; fig. 1 to 3, 7 & US 2006/0279498 A1 & WO 2005/081218 A & WO 2005/081218 A1 & KR 10-2006-0039872 A & CN 1788304 A	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28 November, 2013 (28.11.13)	10 December, 2013 (10.12.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/075420

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-250034 A (Seiko Epson Corp.), 15 September 2005 (15.09.2005), paragraphs [0007], [0017] to [0027]; fig. 1 to 3 (Family: none)	3-4
Y	JP 2005-274868 A (Casio Computer Co., Ltd.), 06 October 2005 (06.10.2005), paragraphs [0037] to [0039]; fig. 2 (Family: none)	7
Y	JP 2002-207455 A (Advanced Display Inc.), 26 July 2002 (26.07.2002), paragraphs [0013] to [0016]; fig. 1 to 2 (Family: none)	8
A	JP 2007-65134 A (Sanyo Epson Imaging Devices Corp.), 15 March 2007 (15.03.2007), paragraphs [0061] to [0075]; fig. 1 to 4 (Family: none)	1-8
A	JP 2000-214830 A (Sharp Corp.), 04 August 2000 (04.08.2000), paragraphs [0025] to [0026]; fig. 1 (Family: none)	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７５４２０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2003-50565 A（松下電器産業株式会社）2003.02.21，段落【００１８】－【００３４】，【図１】－【図９】（ファミリーなし）	１－８
Y	JP 2005-234495 A（東芝松下ディスプレイテクノロジー株式会社）2005.09.02，段落【００１６】－【００２１】，【００２５】－【００２６】，【図１】－【図３】，【図７】 & US 2006/0279498 A1 & WO 2005/081218 A & WO 2005/081218 A1 & KR 10-2006-0039872 A & CN 1788304 A	１－８

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２８．１１．２０１３	１０．１２．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｇ　９３０８
西島　篤宏
電話番号　０３－３５８１－１１０１　内線　３２２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 2005-250034 A（セイコーエプソン株式会社）2005.09.15，段落【０００７】,【００１７】－【００２７】,【図１】－【図３】（ファミリーなし）	３－４
Ｙ	JP 2005-274868 A（カシオ計算機株式会社）2005.10.06，段落【００３７】－【００３９】,【図２】（ファミリーなし）	７
Ｙ	JP 2002-207455 A（株式会社アドバンスト・ディスプレイ）2002.07.26，段落【００１３】－【００１６】,【図１】－【図２】（ファミリーなし）	８
Ａ	JP 2007-65134 A（三洋エプソンイメージングデバイス株式会社）2007.03.15，段落【００６１】－【００７５】,【図１】－【図４】（ファミリーなし）	１－８
Ａ	JP 2000-214830 A（シャープ株式会社）2000.08.04，段落【００２５】－【００２６】,【図１】（ファミリーなし）	１－８