

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5395336号
(P5395336)

(45) 発行日 平成26年1月22日(2014.1.22)

(24) 登録日 平成25年10月25日(2013.10.25)

(51) Int.Cl.

F 1

GO9F 9/30 (2006.01)
 HO1L 21/336 (2006.01)
 HO1L 29/786 (2006.01)
 GO2F 1/1368 (2006.01)

GO9F 9/30 338
 HO1L 29/78 612Z
 HO1L 29/78 619A
 GO2F 1/1368

請求項の数 22 (全 31 頁)

(21) 出願番号 特願2007-163971 (P2007-163971)
 (22) 出願日 平成19年6月21日 (2007.6.21)
 (65) 公開番号 特開2008-15510 (P2008-15510A)
 (43) 公開日 平成20年1月24日 (2008.1.24)
 審査請求日 平成22年6月7日 (2010.6.7)
 (31) 優先権主張番号 10-2006-0060246
 (32) 優先日 平成18年6月30日 (2006.6.30)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co., Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Gih
 eung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 110000671
 八田国際特許業務法人
 (72) 発明者 秦 洪 基
 大韓民国京畿道水原市靈通区梅灘1洞 現
 代ホームタウン106棟2001号

最終頁に続く

(54) 【発明の名称】薄膜トランジスタアレイ基板及びこれの製造方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板上に形成されたゲートライン及びゲート電極を含むゲート配線と、
 前記ゲート配線を覆うゲート絶縁膜と、
 前記ゲート絶縁膜上に形成された半導体層と、
 前記半導体層上に形成されたデータライン、ソース電極及びドレーン電極を含むデータ配線と、

前記データ配線上に形成された第1の保護膜であって、前記データ配線とオーバーラップして延長された第1の保護膜第1ライン及び前記ゲート配線とオーバーラップして延長された第1の保護膜第2ラインを含む第1の保護膜と、

前記第1の保護膜上に形成され、前記データ配線とオーバーラップして延長された第2の保護膜第1ライン及び前記ゲート電極とオーバーラップして延長された第2の保護膜第2ラインを含む第2の保護膜と、

前記ドレーン電極と電気的に連結された画素電極と、を含み、

前記第1の保護膜及び前記第2の保護膜は、前記ドレーン電極の一部及び前記画素電極を出し、

前記第2の保護膜第1ラインの幅は、前記第1の保護膜第1ラインの幅より小さく、

前記第2の保護膜第1ラインの側壁は、前記第1の保護膜第1ラインの側壁の内側に位置し、

前記第2の保護膜第2ラインの幅は、前記第2の保護膜第1ラインの幅より小さく、

10

20

前記第2の保護膜第2ラインの側壁は、前記第2の保護膜第1ラインの側壁の内側に位置し、

前記第1の保護膜は、酸化珪素又は酸窒化珪素を含み、前記第2の保護膜は窒化珪素を含むことを特徴とする薄膜トランジスタアレイ基板。

【請求項2】

前記ゲート絶縁膜は、画素領域の少なくとも一部領域で前記絶縁基板を露出するようにパターニングされており、

前記画素電極の少なくとも一部分は、前記露出された絶縁基板の真上に形成されていることを特徴とする請求項1に記載の薄膜トランジスタアレイ基板。

【請求項3】

前記第2の保護膜は、その外側壁の位置が、前記ゲート絶縁膜の外側壁の内側となるように設けられていることを特徴とする請求項1または2に記載の薄膜トランジスタアレイ基板。

10

【請求項4】

前記ゲート絶縁膜は、窒化珪素を含むことを特徴とする請求項1～3のいずれか一つに記載の薄膜トランジスタアレイ基板。

【請求項5】

前記絶縁基板上に形成された維持電極をさらに含み、

前記維持電極は、前記ゲート絶縁膜を介在して前記画素電極とオーバーラップされていることを特徴とする請求項1～4のいずれか一つに記載の薄膜トランジスタアレイ基板。

20

【請求項6】

前記ゲート配線は、少なくともその一側末端に形成されたゲートパッドをさらに含み、

前記ゲート絶縁膜は、前記ゲートパッドを露出するゲートコンタクト部をさらに含み、

前記ゲート絶縁膜は、前記ゲートライン周辺部、前記データライン周辺部及び前記ゲートコンタクト部を除外した前記絶縁基板の全面を覆い、前記画素電極は前記ゲート絶縁膜上に形成された前記第2の保護膜の真上に形成していることを特徴とする請求項1～5のいずれか一つに記載の薄膜トランジスタアレイ基板。

【請求項7】

前記絶縁基板上に形成された維持電極をさらに含み、

前記維持電極は、前記ゲート絶縁膜、前記第1の保護膜及び前記第2の保護膜を介在して前記画素電極とオーバーラップされていることを特徴とする請求項6に記載の薄膜トランジスタアレイ基板。

30

【請求項8】

前記データ配線は、少なくともその一側末端に形成されたデータパッドをさらに含み、

前記第1の保護膜及び前記第2の保護膜は、前記データパッドを露出するデータコンタクト部をさらに含み、

前記データコンタクト部に露出された前記データパッドとフルコンタクトする補助データパッドをさらに含むことを特徴とする請求項1～7のいずれか一つに記載の薄膜トランジスタアレイ基板。

【請求項9】

絶縁基板上に形成されたゲートライン及びゲート電極を含むゲート配線を形成する段階と、

前記ゲート配線上にゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜上に半導体層と、データライン、ソース電極、及びドレーン電極を含むデータ配線を形成する段階と、

前記データ配線上に、第1の保護膜となる酸化珪素膜又は酸窒化珪素膜、及び第2の保護膜となる窒化珪素膜を順次に形成する段階と、

前記第2の保護膜となる窒化珪素膜及び前記第1の保護膜となる酸化珪素膜又は酸窒化珪素膜をエッチングして、前記データ配線とオーバーラップして延長された第1の保護膜第1ライン及び前記ゲート配線とオーバーラップして延長された第1の保護膜第2ライン

40

50

を含む第1の保護膜、及び前記データ配線とオーバーラップして延長された第2の保護膜第1ライン及び前記ゲート電極とオーバーラップして延長された第2の保護膜第2ラインを含む第2の保護膜を形成する段階であって、前記第2の保護膜の外側壁を前記第1の保護膜の外側壁の内側に設置させ、ドレーン電極-画素電極コンタクト部のドレーン電極を露出させ、前記第2の保護膜第1ラインの幅は前記第1の保護膜第1ラインの幅より小さく、前記第2の保護膜第1ラインの側壁は前記第1の保護膜第1ラインの側壁の内側に位置し、前記第2の保護膜第2ラインの幅は前記第2の保護膜第1ラインの幅より小さく、前記第2の保護膜第2ラインの側壁は、前記第2の保護膜第1ラインの側壁の内側に位置するように前記第1の保護膜及び前記第2の保護膜を形成する段階と、

前記ドレーン電極と電気的に連結された画素電極を形成する段階とを含むことを特徴とする薄膜トランジスタアレイ基板の製造方法。 10

【請求項10】

前記第2の保護膜及び前記第1の保護膜をエッティングする段階は、前記第2の保護膜に対するエッティング率が前記第1の保護膜に対するエッティング率より高いエッティングガスを用いて進行されることを特徴とする請求項9に記載の薄膜トランジスタアレイ基板の製造方法。 20

【請求項11】

前記第2の保護膜及び前記第1の保護膜をエッティングする段階は等方性エッティングにより進行されることを特徴とする請求項9または10に記載の薄膜トランジスタアレイ基板の製造方法。 20

【請求項12】

前記ゲート配線を形成する段階は、前記ゲート配線及び維持電極を形成する段階であり、

前記第2の保護膜及び前記第1の保護膜をエッティングする段階は前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜をエッティングする段階であり、

前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜をエッティングする段階は、前記ゲートライン形成領域、データライン形成領域、ソース電極形成領域及びドレーン電極-画素電極コンタクト部を除外したドレーン電極形成領域を覆う第1の領域、及び前記第1の領域より厚さが薄く、前記維持電極形成領域を覆う第2の領域を含み、前記維持電極形成領域を除外した画素電極が形成されている画素領域を露出するフォトレジストパターンをエッティングマスクとして用いてエッティングする段階であることを特徴とする請求項11に記載の薄膜トランジスタアレイ基板の製造方法。 30

【請求項13】

前記ゲート絶縁膜は窒化珪素を含み、

前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜をエッティングする段階は前記ゲート絶縁膜の外側壁を前記第2の保護膜の外側壁の外側に設置させる段階を含むことを特徴とする請求項12に記載の薄膜トランジスタアレイ基板の製造方法。

【請求項14】

前記画素電極を形成する段階は、前記フォトレジストパターン上に画素電極用導電物質を積層し、リフトオフする段階を含むことを特徴とする請求項12または13に記載の薄膜トランジスタアレイ基板の製造方法。 40

【請求項15】

前記ゲート配線を形成する段階は、前記ゲート配線及び維持電極を形成する段階であり、

前記第2の保護膜及び前記第1の保護膜をエッティングする段階は前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜をエッティングする段階であり、

前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜を形成する段階は、

前記ゲートライン形成領域、データライン形成領域、ソース電極形成領域及びドレーン電極-画素電極コンタクト部を除外したドレーン電極形成領域を覆う第1の領域、及び前記第1の領域より厚さが薄く、前記維持電極形成領域及び前記ドレーン電極-画素電極コ 50

ンタクト部を覆う第2の領域を含み、前記維持電極形成領域を除外した画素電極が形成される画素領域を露出するフォトレジストパターンをエッチングマスクとして用いて前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜を1次エッチングする段階、

前記第2の領域を除去する段階、及び

前記第2の領域が除去されたフォトレジストパターンをエッチングマスクとして用いて前記第2の保護膜及び前記第1の保護膜を2次エッチングする段階を含むことを特徴とする請求項1_1に記載の薄膜トランジスタアレイ基板の製造方法。

【請求項1_6】

前記ゲート絶縁膜は窒化珪素を含み、

前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜をエッチングする段階は、10
前記ゲート絶縁膜の外側壁を前記第2の保護膜の外側壁の外側に設置させる段階を含むことを特徴とする請求項1_5に記載の薄膜トランジスタアレイ基板の製造方法。

【請求項1_7】

前記画素電極を形成する段階は、前記第2の領域が除去されたフォトレジストパターン上に画素電極用導電物質を積層し、リフトオフする段階を含むことを特徴とする請求項1_5または1_6に記載の薄膜トランジスタアレイ基板の製造方法。

【請求項1_8】

前記1次エッチングは、全面エッチングとなるように進行され、前記2次エッチングは部分エッチングとなるように進行されることを特徴とする請求項1_5～1_7のいずれか一つに記載の薄膜トランジスタアレイ基板の製造方法。20

【請求項1_9】

前記ゲート配線を形成する段階は、前記ゲート配線及び維持電極を形成する段階であり、

前記第2の保護膜及び前記第1の保護膜をエッチングする段階は前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜をエッチングする段階であり、

前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜をエッチングする段階は、前記ゲートライン形成領域、データライン形成領域、ソース電極形成領域及びドレーン電極・画素電極コンタクト部を除外したドレーン電極形成領域を覆う第1の領域、及び前記第1の領域より厚さが薄く、前記画素電極形成領域を覆う第2の領域を含み、前記ゲートライン周辺部、前記データライン周辺部及び前記ドレーン電極・画素電極コンタクト部を露出するフォトレジストパターンをエッチングマスクとして用いてエッチングする段階であることを特徴とする請求項1_1に記載の薄膜トランジスタアレイ基板の製造方法。30

【請求項2_0】

前記ゲート絶縁膜は窒化珪素を含み、

前記第2の保護膜、前記第1の保護膜及び前記ゲート絶縁膜をエッチングする段階は、前記ゲート絶縁膜の外側壁を前記第2の保護膜の外側壁の外側に設置させる段階を含むことを特徴とする請求項1_9に記載の薄膜トランジスタアレイ基板の製造方法。

【請求項2_1】

前記画素電極を形成する段階は、前記第2の領域が除去されたフォトレジストパターン上に画素電極用導電物質を積層し、リフトオフする段階を含むことを特徴とする請求項1_9または2_0に記載の薄膜トランジスタアレイ基板の製造方法。40

【請求項2_2】

前記データ配線を形成する段階は、前記データラインの少なくとも一側末端にデータパッドを形成する段階をさらに含み、

前記ドレーン電極を露出する段階時前記データパッドが露出されることを特徴とする請求項9～2_1のいずれか一つに記載の薄膜トランジスタアレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタアレイ基板及びこれの製造方法に係り、さらに詳細には、駆

50

動マージンが増加し、コンタクト部で導電物質間十分なコンタクト面積が確保された薄膜トランジスタアレイ基板及びこれの製造方法に関する。

【背景技術】

【0002】

液晶表示装置は、互いに対向する2枚の表示板と2枚の表示板の間に介在されている液晶層を含んでなる。各表示板は、支持基板として透明な絶縁基板が採用される。絶縁基板上には、多数個の薄膜パターンが形成される。薄膜パターンを形成する代表的な方法は、構成物質を積層し、マスク工程を通じてパターニングする方法がある。しかしながら、写真エッチング工程は、フォトレジスト塗布、マスク整列、露光、ベーク、現像などの工程が、洗浄などの工程が随伴されるので工程時間の増加と製品コスト上昇の原因になる。

10

【0003】

このようなマスク工程の数を減少させる方法としてはリフトオフ法が研究されている。具体的な例を挙げて説明すれば、薄膜トランジスタアレイ基板の保護膜及び画素電極を形成するとき、先ずフォトレジストパターンを用いて保護膜をパターニングし、基板全面に導電物質を積層した後、フォトレジストストリッパーを用いてフォトレジストパターン及び上部の導電物質を同時に除去して画素電極パターンを形成する。

【0004】

ところで、上面が導電物質に覆われたフォトレジストパターンを除去するためには、フォトレジストパターンの側面又は下面側にフォトレジストストリッパーを接触させなければならない。この時、フォトレジストパターンの残留によるパターン不良を防止するためにはフォトレジストストリッパーに接触するフォトレジストパターンの接触面積を十分に広くしなければならない。すなわち、フォトレジストパターンの下に設けられる保護膜はフォトレジストパターンの内側に十分なアンダーカットを形成しなければならない。

20

【0005】

しかしながら、十分なアンダーカットを形成するために保護膜を過エッチングする場合、維持電極の上部の絶縁膜が過エッチングされて厚さが不均一になり、それによって駆動マージンが減少されてしまうという問題があった。

【0006】

また、過エッチングによってデータ配線が損傷され、特にコンタクト領域でデータ配線がエッチングされてしまいコンタクト不良を惹起されるという問題があった。

30

【特許文献1】特開第2001-109014号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明が解決しようとする技術的課題は、駆動マージンが増加し、コンタクト部で導電物質間充分なコンタクト面積が確保された薄膜トランジスタアレイ基板を提供することにある。

【0008】

本発明が解決しようとする他の技術的課題は、容易なリフトオフが可能であり、ゲート絶縁膜の過エッチングが保護され、データ配線の損傷が防止された薄膜トランジスタアレイ基板を提供することにある。

40

【0009】

本発明の技術的課題は以上で言及した技術的課題で制限されないし、言及されないまた他の技術的課題は以下の記載から当業者に明確に理解されることである。

【課題を解決するための手段】

【0010】

前記技術的課題を達成するための本発明による薄膜トランジスタアレイ基板は、絶縁基板上に形成されたゲートライン及びゲート電極を含むゲート配線と、前記ゲート配線を覆うゲート絶縁膜と、前記ゲート絶縁膜上に形成された半導体層と、前記半導体層上に形成されたデータライン、ソース電極及びドレーン電極を含むデータ配線と、前記データ配線

50

上に形成された第1の保護膜であって、前記データ配線とオーバーラップして延長された第1の保護膜第1ライン及び前記ゲート配線とオーバーラップして延長された第1の保護膜第2ラインを含む第1の保護膜と、前記第1の保護膜上に形成され、前記データ配線とオーバーラップして延長された第2の保護膜第1ライン及び前記ゲート電極とオーバーラップして延長された第2の保護膜第2ラインを含む第2の保護膜と、前記ドレーン電極と電気的に連結された画素電極と、を含み、前記第1の保護膜及び前記第2の保護膜は、前記ドレーン電極の一部及び前記画素電極を露出し、前記第2の保護膜第1ラインの幅は、前記第1の保護膜第1ラインの幅より小さく、前記第2の保護膜第1ラインの側壁は、前記第1の保護膜第1ラインの側壁の内側に位置し、前記第2の保護膜第2ラインの幅は、前記第2の保護膜第1ラインの幅より小さく、前記第2の保護膜第2ラインの側壁は、前記第2の保護膜第1ラインの側壁の内側に位置し、前記第1の保護膜は、酸化珪素又は酸窒化珪素を含み、前記第2の保護膜は窒化珪素を含む。

【0011】

前記他の技術的課題を達成するための本発明による薄膜トランジスタアレイ基板の製造方法は、絶縁基板上に形成されたゲートライン及びゲート電極を含むゲート配線を形成する段階と、前記ゲート配線上にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜上に半導体層と、データライン、ソース電極、及びドレーン電極を含むデータ配線を形成する段階と、前記データ配線上に、第1の保護膜となる酸化珪素膜又は酸窒化珪素膜、及び第2の保護膜となる窒化珪素膜を順次に形成する段階と、前記第2の保護膜となる窒化珪素膜及び前記第1の保護膜となる酸化珪素膜又は酸窒化珪素膜をエッチングして、前記データ配線とオーバーラップして延長された第1の保護膜第1ライン及び前記ゲート配線とオーバーラップして延長された第1の保護膜第2ラインを含む第1の保護膜、及び前記データ配線とオーバーラップして延長された第2の保護膜第1ライン及び前記ゲート電極とオーバーラップして延長された第2の保護膜第2ラインを含む第2の保護膜を形成する段階であって、前記第2の保護膜の外側壁を前記第1の保護膜の外側壁の内側に設置させ、ドレーン電極-画素電極コンタクト部のドレーン電極を露出させ、前記第2の保護膜第1ラインの幅は前記第1の保護膜第1ラインの幅より小さく、前記第2の保護膜第1ラインの側壁は前記第1の保護膜第1ラインの側壁の内側に位置し、前記第2の保護膜第2ラインの幅は前記第2の保護膜第1ラインの幅より小さく、前記第2の保護膜第2ラインの側壁は、前記第2の保護膜第1ラインの側壁の内側に位置するように前記第1の保護膜及び前記第2の保護膜を形成する段階と、前記ドレーン電極と電気的に連結された画素電極を形成する段階とを含む。

【発明の効果】

【0012】

本発明による薄膜トランジスタアレイ基板及びこの製造方法によれば、フォトレジストパターン下部で十分な幅のアンダーカットが確保されるため優秀なリフトオフマージンを有する。また、維持電極と画素電極の間に介在される絶縁膜の厚さが均一になるため駆動マージンが増加する。あわせて、ドレーン電極、データパッドなどの損傷が防止されてコンタクト部で導電物質間十分なコンタクト面積が確保できる。

【発明を実施するための最良の形態】

【0013】

本発明の利点及び特徴、そしてそれらを達成する方法は添付する図面と共に詳細に後述している実施形態を参照すれば明確になる。しかしながら、本発明は、以下で開示される実施形態に限定されるものではなく、相異なる多様な形態で具現されるものであり、本実施形態は、本発明の開示が完全となり、当業者に発明の範疇を完全に知らせるために提供されるものであり、本発明は、特許請求の範囲の記載に基づいて決められなければならない。図面で層及び領域の大きさ及び相対的な大きさは、説明の明瞭性のため誇張されたことでありうる。

【0014】

素子又は層が他の素子又は層の“上方”又は“上”に指称されることは、他の素子又は

10

20

30

40

50

層の真上だけではなく、中間に他の層又は他の素子を介在した場合を全て含む。反面、素子が“直接上”又は“真上”に指称されることは、中間に他の素子又は層を介在しないことを示す。なお、明細書全体にかけて同一参照符号は同一構成要素を示すものとする。“及び／又は”は、言及されたアイテムのそれぞれ及び一つ以上の全ての組合を含む。

【0015】

空間的に相対的な用語である“下”、“下方”、“下部”、“上”、“上部”などは図面に示すように一つの素子又は構成要素と他の素子又は構成要素との相間関係を容易に記述するため使用している。空間的に相対的な用語は、図面に示す方向に加えて使用時又は動作時素子の相異なる方向をも含むものとして理解されなければならない。なお、明細書全体にかけて同一参照符号は同一構成要素を示すものとする。

10

【0016】

本明細書で記述する実施形態は、本発明の理想的な概略図である平面図及び断面図を参照して説明されることである。従って、製造技術及び／又は許容誤差などによって例示図の形成が変形できる。これにより、本発明の実施形態は示す特定形態で制限されることではなく、製造工程によって生成する形態の変化も含むことである。従って、図面で例示された領域は概略的な属性を有し、図面で例示された領域の形は素子の領域の特定形態を例示するためのものであり、発明の範疇を制限するためのものではない。

【0017】

以下、添付した図面を参照して本発明の実施形態による薄膜トランジスタアレイ基板について詳細に説明する。

20

【0018】

図1は、本発明の一実施形態による薄膜トランジスタアレイ基板のレイアウト図である。図2A、図2B、及び図2Cはそれぞれ図1のA-A'線、B-B'線、及びC-C'線に沿って切った断面図である。

【0019】

本発明の一実施形態による薄膜トランジスタアレイ基板は、絶縁基板上に形成された薄膜トランジスタ、薄膜トランジスタを覆う第1の保護膜、及び第1の保護膜上に形成された第2の保護膜を含む。薄膜トランジスタは制御端子、入力端子、及び出力端子を含む三端子として、ゲート電極、ソース電極及びドレーン電極と半導体層を含んでなる。ゲート電極は、薄膜トランジスタの制御端子を形成し、ソース電極は入力端子を形成し、ドレーン電極は出力端子を形成する。半導体層は、薄膜トランジスタのチャネル領域を形成する。

30

【0020】

図1及び図2A～図2Cを参照して、本発明の一実施形態による薄膜トランジスタアレイ基板についてさらに詳細に説明すれば、絶縁基板10は薄膜トランジスタを支持し、例えば透明なガラス又はプラスチックからなる。絶縁基板10上には、ゲートライン22、ゲートパッド27、及びゲート電極24が形成されている。

【0021】

ゲートライン22は、絶縁基板10上に多数本が備えられる。それぞれのゲートライン22は互いに離隔されており、例えば図1の横方向のような第1の方向に平行に延長されていることができる。各ゲートライン22の一側末端には幅が拡張されているゲートパッド27が形成されている。そのほか、図示しないが、変形例としてゲートパッド27がゲートライン22の両側末端に形成されてもよい。

40

【0022】

ゲート電極24は、ゲートライン22と連結されている。一つのゲートライン22には、多数個のゲート電極24が連結される。各ゲート電極24は、ゲートライン22から拡張されて形成されている。

【0023】

このようなゲート電極24、ゲートライン22及びゲートパッド27は絶縁基板10の真上に形成されている。本明細書ではゲート電極24、ゲートライン22及びゲートパッ

50

ド 27 は、説明の便宜上これらを統合して‘ゲート配線’と称する。

【0024】

また、絶縁基板 10 の真上にはゲート配線 22、24、27 と同一な物質からなった維持電極 28 が形成されている。維持電極 28 は、ゲートライン 22 と隣接して平行に延長されている。図面に示さないが、維持電極 28 の少なくとも一側末端にゲートパッド 27 と類似した維持電極パッドを形成することができる。維持電極 28 の形状は多様に変形でき、場合によっては省略されてもよい。

【0025】

ゲート配線 22、24、27 及び維持電極 28 は、アルミニウム (Al)、銅 (Cu)、銀 (Ag)、モリブデン (Mo)、クロム (Cr)、チタン (Ti)、タンタル (Ta) 又はこれらの合金などからなった単一膜、又はこれらの金属や合金からなった多重膜であることができるが、本発明は、これら例示に制限されることではない。

【0026】

ゲート配線 22、24、27 及び維持電極 28 は、ゲートパッド 27 が補助ゲートパッド 96 とコンタクトするゲートコンタクト部 76 形成領域を除いて、窒化珪素 (SiNx) などになったゲート絶縁膜 32 により覆われている。ゲート絶縁膜 32 は、ゲート配線 22、24、27 及び後述するデータ配線が形成された領域の絶縁基板 10 とオーバーラップされるが、画素電極 92 が形成される画素領域の絶縁基板 10 上に形成されず絶縁基板 10 を露出する。

【0027】

ゲート絶縁膜 32 上には、水素化非晶質珪素などになった半導体層 44 及びシリサイド又はn型不純物が高濃度でドーピングされたn+水素化非晶質珪素などになったオーミックコンタクト層 52、55、56 が形成されている。半導体層 44 はチャネル領域を除外して後述するデータ配線と実質的に同一なパターンとして形成される。

【0028】

薄膜トランジスタのチャネル領域はゲート電極 24 とオーバーラップされている半導体層 44 によって形成される。オーミックコンタクト層 52、55、56 はチャネル領域で分離されていることを含んで、上部のデータ配線 62、65、66 と実質的に同一なパターンを有する。

【0029】

半導体層 44 及び上部のオーミックコンタクト層 52、55、56 上には、データライン 62、データパッド 67、ソース電極 65、及びドレーン電極 66 が形成されている。

【0030】

データライン 62 は、オーミックコンタクト層上に多数本が備えられている。それぞれのデータライン 62 は互いに離隔されており、例えば図1の縦方向のような第2の方向に平行に延長されてゲートライン 22 と交差できる。各データライン 62 の一側末端には幅が拡張されているデータパッド 67 が形成されている。データパッド 67 は、データライン 62 の両側末端にそれぞれ形成されてもよい。

【0031】

ソース電極 65 は、データライン 62 と連結されている。一つのデータライン 62 には、多数個のソース電極 65 が連結できる。それぞれのソース電極 65 はそれと離隔されているドレーン電極 66 に対向する。ソース電極 65 とドレーン電極 66 の離隔空間では半導体層 44 が露出される。本明細書でデータライン 62、データパッド 67、ソース電極 65、及びドレーン電極 66 は説明の便宜上これらを統合して‘データ配線’と称する。

【0032】

データ配線 62、65、66、67 は、これに制限されることではないが、例えばアルミニウム (Al)、銅 (Cu)、銀 (Ag)、モリブデン (Mo)、クロム (Cr)、チタン (Ti)、タンタル (Ta) 又はこれらの合金などからなった単一膜又はこれらの金属又は合金からなった多重膜であります。

【0033】

10

20

30

40

50

データ配線 62、65、66、67 上には第1の保護膜 72 が形成されている。第1の保護膜 72 は、ドレーン電極 - 画素電極コンタクト部 101 及びデータパッド 67 が補助データパッド 97 とコンタクトするデータコンタクト部 77 形成領域を除外した大部分のデータ配線 62、65、66、67 及びチャネル領域の露出された半導体層 44 上に設けられる。

【0034】

また、第1の保護膜 72 はゲートコンタクト部 76 形成領域以外のゲート配線 22、24、27 ともオーバーラップされる。ここで、ゲート配線 22、24、27 がデータ配線 62、65、66、67 とオーバーラップされない領域で第1の保護膜 72 はゲート配線 22、24、27 上のゲート絶縁膜 32 上に形成される。データ配線 62、65、66、67 とオーバーラップされた領域であるゲートライン 22 - データライン 62 交差領域や、ゲート電極 24 とオーバーラップされているソース電極 65 及びドレーン電極 66 形成領域で第1の保護膜 72 はそれぞれに該当するデータ配線 62、65、66、67 上に形成される。ゲート電極 24 とオーバーラップされたソース電極 65 とドレーン電極 66 の離隔空間で第1の保護膜 72 は半導体層上に形成される。第1の保護膜 72 は、図 2B に示すように維持電極 28 上には設けられない。しかしながら、それに制限されず、図示しないが、本実施形態の変形例として第1の保護膜 72 が維持電極 28 上に設けられるようにしてよい。

【0035】

第1の保護膜 72 の構成物質は、例えば酸化珪素 (SiO_x) 又は酸窒化珪素 (SiO_xN_y) などでありうる。第1の保護膜 72 の厚さは、例えば 50 ~ 500 であることができ、好ましくは 100 ~ 300 でありうる。第1の保護膜 72 の厚さが例えば 50 以上であれば、ゲート絶縁膜 32 の加増エッチングとデータ配線への損傷を効果的に防止しうる。一方、第1の保護膜 72 の厚さが例えば 500 以下であれば第1の保護膜 72 を形成する際のエッチング時間があまり長くならずにする。もちろんこれらの値に限定されるものではなく、製作する装置構造や特性に応じて適宜変更可能である。

【0036】

第1の保護膜 72 上には、第2の保護膜 82 が形成されている。第2の保護膜 82 は、第1の保護膜 72 上に第1の保護膜 82 と完全にオーバーラップされるように形成される。すなわち、薄膜トランジスタアレイ基板の全ての領域で第2の保護膜 82 は、第1の保護膜 72 の上に設けられ、第2の保護膜 82 は第1の保護膜 72 の内側方向に縮小されている。言い換えれば、第2の保護膜 82 の外側壁は第1の保護膜 72 の外側壁の内側に設けられる。第2の保護膜 82 を基準にすれば、第1の保護膜 72 は外側に突出されている。図示しないが、本実施形態の変形例として、第1の保護膜 72 が維持電極 28 上に設けられる場合もありうる。このような場合には、第2の保護膜 82 は維持電極 28 上に設けられていてもよく、設けられなくてもよい。

【0037】

一方、ゲートライン 22 とデータライン 62 が形成された領域でゲート絶縁膜 32 は、画素領域の絶縁基板 10 を露出するようにパターニングされている。ここで第2の保護膜 82 は、その外側壁がゲート絶縁膜 32 の外側壁よりも内側となるように設けられている。

【0038】

また、第1の保護膜 72 の外側壁はゲート絶縁膜 32 を基準にゲート絶縁膜 32 の内側に設けられるか、或いは外側壁に実質的に整列した同じ位置となるようにしてよい。図示しないが、本実施形態の変形例としては第1の保護膜 72 の外側壁はゲート絶縁膜 32 の外側壁より外側に設けられてもよい。すなわち、第1の保護膜 72 がゲート絶縁膜 32 より突出されていてもよい。

【0039】

第2の保護膜 82 の構成物質は、例えば窒化珪素でありうる。第2の保護膜 82 は、第1の保護膜 72 より厚く形成でき、例えば 1000 ~ 3000 、好ましくは 1500

10

20

30

40

50

～2500の厚さを有することができる。第2の保護膜82を例えば1000以上とすることで、リフトオフマージンを確保することができる。一方、第2の保護膜82を例えば3000以下とすることで、第2の保護膜82を形成する際のエッティング時間があまり長くならずにする。もちろんこれらの値に限定されるものではなく、製作する装置構造や特性に応じて適宜変更可能である。

【0040】

このような第1の保護膜72と第2の保護膜82は、データ配線62、65、66、67、半導体層44やゲート配線22、24、27などの下部構造物を保護するパッセーション膜となる。

【0041】

一方、ゲートパッド27形成領域では、ゲート絶縁膜32、第1の保護膜72及び第2の保護膜82を貫通するゲートコンタクト部76が形成されており、データパッド67形成領域では第1の保護膜72及び第2の保護膜82を貫通するデータコンタクト部77が形成されている。

【0042】

画素領域の露出された絶縁基板10上には、ITOやIZOなどの透明な導電物質又は銅や銀のような反射性導電物質からなった画素電極92が形成されている。画素電極92は、ドレーン電極-画素電極コンタクト部101にまで拡張されており、ここでドレーン電極66と電気的に連結される。第1の保護膜72と第2の保護膜82は画素電極92とオーバーラップされない。但し、維持電極28形成領域で画素電極92はゲート絶縁膜32にオーバーラップされ、本実施形態の変形例で維持電極形成領域上に第1の保護膜72及び/又は第2の保護膜82が形成された場合、この領域で画素電極92が第1の保護膜72及び/又は第2の保護膜82ともオーバーラップできる。このような維持電極28と画素電極92との間に介在されるゲート絶縁膜32、第1の保護膜72及び/又は第2の保護膜82は厚さが均一で優秀な駆動マージンを提供できる。

【0043】

また、ゲートパッド27形成領域及びゲートパッド27と電気的に連結された補助ゲートパッド96が形成されており、データパッド67形成領域ではデータパッド67と電気的に連結された補助データパッド97が形成されている。補助ゲートパッド96及び補助データパッド97は画素電極92と同一な物質からなることができる。

【0044】

以下、前記のような薄膜トランジスタアレイ基板を製造する方法について説明する。

【0045】

図3A～図11Cは、本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。具体的には、図3A、図4A、図5A、図6A、図7A、図8A、図9A、図10A及び図11Aは、図2Aに示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図であり、図3B、図4B、図5B、図6B、図7B、図8B、図9B、図10B及び図11Bは、図2Bに示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図であり、図3C、図4C、図5C、図6C、図7C、図8C、図9C、図10C及び図11Cは、図2Cに示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図である。

【0046】

先ず、図3A～図3Cを参照すれば、絶縁基板10上にゲート配線22、24、27及び維持電極28を形成する。具体的には、絶縁基板10上にゲート導電層を例えばスパッタリングなどを用いて積層した後、これを写真エッティングしてゲートライン22、ゲートパッド27、ゲート電極24及び維持電極28を形成する。

【0047】

続いて、図4A～図4Cを参照すれば、図3A～図3Cの結果物上にゲート絶縁膜32、水素化非晶質珪素(hydrogenated amorphous silicon)などになった第1の非晶質珪素(amorphous silicon)40、及び

10

20

30

40

50

シリサイド又はn型不純物が高濃度でドーピングされたn+水素化非晶質珪素などよりなった第2の非晶質珪素層50を積層する。

【0048】

ゲート絶縁膜32、第1の非晶質珪素層40及び第2の非晶質珪素層50の積層は、例えば化学気相蒸着(Chemical Vapor Deposition、CVD)により形成することができる。

【0049】

次に、第2の非晶質珪素層50上に例えばスパッタリングなどを用いてデータ導電層60を積層する。

【0050】

その次に、図5A～図5Cを参照すれば、データ導電層60上にフォトレジストパターン201、202を形成する。フォトレジストパターンは、第1の領域201及び第1の領域201より厚さが薄い第2の領域202を含む。第1の領域201は、図2A～図2Cに示されているデータライン62、データパッド67、ソース電極65及びドレーン電極66形成領域を覆い、第2の領域202はソース電極65とドレーン電極66の離隔空間を覆う。

【0051】

この時、各領域のフォトレジストパターン201、202のサイズは後属するエッチング工程及びアッシング工程時ダウンサイジングされることを勘案して所定のマージンを有するようとする。前記のような領域別に異なる厚さを有するフォトレジストパターンはスリットマスク又はハーフトーンマスクを用いて形成でき、これは後述する他のフォトレジストパターンの場合にも同一に適用できることは自明である。

【0052】

続いて、図6A～図6Cを参照すれば、図5A～図5Cに示すフォトレジストパターン201、202をエッチングマスクとして用いて露出されたデータ導電層60をエッチングする。データ導電層60のエッチングは、データ導電層60の種類、厚さなどによって異なるが、好適な一例として、湿式エッチングで進行できる。その結果、データライン62、及びデータパッド67のパターンが完成される。一方、チャネル領域のソース電極65及びドレーン電極66のパターンは完成されず、この領域でデータ導電層64は分離されずやはり一体型に残留する。

【0053】

データ導電層60がエッチングされれば、下部の第2の非晶質珪素層50が露出され、露出され続けた第2の非晶質珪素層50及びその下部の第1の非晶質珪素層40をエッチングする。第2の非晶質珪素層50及び第1の非晶質珪素層40のエッチングは例えば、乾式エッチングで進行できる。第1の非晶質珪素層40のエッチングの結果、半導体層44が完成される。第1の非晶質珪素層40がエッチングされた領域では、ゲート絶縁膜32が露出される。本段階では、エッチングマスクであるフォトレジストパターンも一部エッチングされてダウンサイジングされる。エッチングされた第2の非晶質珪素層52、54及び完成された半導体層44のパターンは上部のデータライン62、データパッド67及びチャネル領域の分離されないデータ導電層64と実質的に同一である。

【0054】

続いて、図7A～図7Cを参照すれば、フォトレジストパターン201、202の第2の領域202を除去して下部のデータ導電層64を露出する。第2の領域202の除去はO₂を用いるアッシング工程で進行できる。この時、フォトレジストパターンの第1の領域211もダウンサイジングされて大きさが小さくなる。一方、前記エッチング段階において、フォトレジストパターンの第2の領域が既に除去されていてもよく、この場合アッシング工程は省略できる。

【0055】

次に、図8A～図8Cを参照すれば、ダウンサイジングされたフォトレジストパターンの第1の領域211をエッチングマスクとして用いて露出されているチャネル領域のデータ

10

20

30

40

50

タ導電層 6 4 をエッティングする。その結果ソース電極 6 5 及びドレーン電極 6 6 のパターンが完成され、ソース電極 6 5 とドレーン電極 6 6 の離隔空間の間に第 2 の非晶質珪素層 5 4 が露出される。露出され続けた第 2 の非晶質珪素層 5 4 をエッティングして分離する。その結果、オーミックコンタクト層 5 2 、 5 5 、 5 6 が完成される。第 2 の非晶質珪素層 5 4 がエッティングされた領域では半導体層 4 4 が露出される。

【 0 0 5 6 】

その次に、図 9 A ~ 図 9 C を参照すれば、図 8 A ~ 図 8 C の結果物上に例えれば C V D を用いて第 1 の保護膜 7 0 及び第 2 の保護膜 8 0 を順次に積層する。

【 0 0 5 7 】

続いて、第 2 の保護膜 8 0 上にフォトレジストパターン 3 0 1 、 3 0 2 を形成する。10 フォトレジストパターンは、第 1 の領域 3 0 1 及び第 1 の領域 3 0 1 より厚さが薄い第 2 の領域 3 0 2 を含む。第 1 の領域 3 0 1 は、図 1 及び図 2 A ~ 図 2 C に示すゲート配線 2 2 、 2 4 形成領域、データ配線 6 2 、 6 5 、 6 6 、 6 7 形成領域及び半導体層 4 4 形成領域を覆う。但し、ドレーン電極 - 画素電極コンタクト部 1 0 1 及びゲートパッド 2 7 形成領域及びデータパッド 6 7 形成領域の第 2 の保護膜 8 0 は露出する。第 2 の領域 3 0 2 は維持電極 2 8 形成領域を覆う。

【 0 0 5 8 】

次に、図 10 A ~ 図 10 C を参照すれば、フォトレジストパターン 3 0 1 をエッティングマスクとして用いて露出された第 2 の保護膜 8 0 及びその下部の第 1 の保護膜 7 0 をエッティングする。20 第 2 の保護膜 8 0 及び第 1 の保護膜 7 0 のエッティングは乾式エッティングで進行される。この時、前記エッティングは異方性エッティングで進行されてもよいが、アンダーカットによるリフトオフマージンを確保するため等方性エッティングで進行できる。

【 0 0 5 9 】

第 2 の保護膜 8 0 及び第 1 の保護膜 7 0 のエッティングには、第 2 の保護膜 8 0 及び第 1 の保護膜 7 0 についてエッティング選択比が大きいエッティングガスが好ましく用いられる。具体的には、エッティングマスクは第 1 の保護膜 7 0 に対するエッティング率より第 2 の保護膜 8 0 に対するエッティング率が高いことが好ましい。例えば、第 1 の保護膜 7 0 に対するエッティング率と第 2 の保護膜 8 0 に対するエッティング率が 1 : 5 ~ 1 : 2 0 であるエッティングガスが使用できる。このようなエッティングガスは、例えは C F ₄ 、 S F ₆ 、 C H F ₃ 、 O ₂ 、又はこれらのガスを適宜調合したものであってもよい。このようなエッティングガスの構成要素の組成や組成比を調節することによってエッティング率を制御できる。また、より具体的なエッティングガスの一例として、 S F ₆ 及び O ₂ の組成比が 2 : 1 であるエッティングガスが使用できる。例示したエッティングガスは本発明を制限するものではない。30

【 0 0 6 0 】

前記のように、第 1 の保護膜 7 0 に対するエッティング率より第 2 の保護膜 8 0 に対するエッティング率が高いエッティングガスを使用することで、第 2 の保護膜 8 0 のエッティング後、下部の第 1 の保護膜 7 0 に対するエッティング時間が増加するようになる。従って、下部の第 1 の保護膜 7 0 をエッティングする間第 2 の保護膜 8 2 はフォトレジストパターン 3 0 1 の内側方向に十分に過エッティングされて十分な幅のアンダーカットが確保できる。

【 0 0 6 1 】

第 2 の保護膜 8 2 の過エッティングが行われる間、データパッド 6 7 、ドレーン電極 6 6 などの構造物は第 1 の保護膜 7 2 に覆われて保護される。従って、データ配線 6 2 、 6 5 、 6 6 、 6 7 として例えば、モリブデンなどのように乾式エッティングに脆弱な物質を使用しても、本段階でエッティングされず保護される。従って、データパッド 6 7 及びドレーン電極 6 6 が過度に除去されないので、ドレーン電極 - 画素電極コンタクト部 1 0 1 及びデータコンタクト部 7 7 で導電物質間十分なコンタクト面積が確保できる。また、第 2 の保護膜 8 2 の過エッティングが行われる間半導体層 4 4 も第 1 の保護膜 7 0 によって保護されるので、半導体層 4 4 のアンダーカットが防止できる。40

【 0 0 6 2 】

一方、第 1 の保護膜 7 0 はエッティング率が低いのでフォトレジストパターン 3 0 1 、 3

50

02のマスク形状によってパターニングされ、アンダーカットの発生は微微である。従つて、第1の保護膜72のエッチング結果、第1の保護膜72の側壁は第2の保護膜82の側壁より突出するようになる。

【0063】

第1の保護膜72がエッチングされれば、続けて下部のゲート絶縁膜32をエッチングする。本段階でも第2の保護膜82は、内側にさらに過エッチングされ、アンダーカットの幅はさらに広くなる。例えば、本段階で第2の保護膜82によって形成されたアンダーカットの幅は4μm～30μmでありうる。

【0064】

一方、ゲート絶縁膜30が第2の保護膜82と同一な物質又はエッチング率が類似した物質からなった場合、ゲート絶縁膜30のエッチング率は上部の第1の保護膜72のエッチング率より高くなる。ここで、このようなエッチング率の差によって第1の保護膜72の内側にゲート絶縁膜32によるアンダーカットが形成されて第1の保護膜72がゲート絶縁膜32から外側に一部突出されてもよいが、この場合にもゲート絶縁膜32は第2の保護膜82よりエッチングガスに露出される時間が短いので過エッチングされる程度が小さい。従つて、第2の保護膜82に対する第1の保護膜72の突出程度がゲート絶縁膜32に対する第1の保護膜72の突出程度よりは大きい。言い換えれば、第2の保護膜82の外側壁はゲート絶縁膜32の外側壁の内側に設けられるようになる。

【0065】

ゲート絶縁膜32と第1の保護膜72間の位置関係は、工程条件によって異なることができる。すなわち、エッチングガスの組成、エッチングガスの濃度、各構造物の厚さ、エッチング工程時間などを制御するようになれば、ゲート絶縁膜32に対する第1の保護膜72の突出程度を最小化するか、或いはこれらの側壁を同一なライン上に整列させてよい。ひいて、前記エッチング条件の制御と一緒にゲート絶縁膜32のエッチング時に、そのエッチング方法を異方性エッチングに変えて進行するようにして、第1の保護膜72の外側壁をゲート絶縁膜32の内側となるように設置させてもよい。

【0066】

前記エッチングの結果、ドレーン電極66が露出され、画素領域の絶縁基板10が露出される。また、ゲートパッド27及びデータパッド67が露出されてゲートコンタクト部76及びデータコンタクト部77が形成される。

【0067】

一方、フォトレジストパターン301、302が覆われない第2の保護膜82、第1の保護膜72及びゲート絶縁膜32のエッチングのうちフォトレジストパターン301、302またダウンサイジングされる。フォトレジストパターンの第2の領域302の厚さを薄くするか、フォトレジストパターン301、302に対するエッチング率が高いエッチングガスを使用するようになれば、前記エッチング段階でフォトレジストパターンの第2の領域302を除去し、ダウンサイジングされた第1の領域311のみを残留させることができる。この時、第2の領域302下に設けられる絶縁膜30、70、80の残留要否もフォトレジストパターンの第2の領域302の厚さ及び/又はフォトレジストパターン301、302に対するエッチング率によって調節できる。

【0068】

例えば、フォトレジストパターンの第2の領域302の厚さが第1の厚さであり、フォトレジストパターン301、302に対するエッチング率が第1のエッチング率である場合、フォトレジストパターンの第2の領域302のみが選択的に除去され、下部の絶縁膜30、70、80は全て残留されると仮定すれば、下部の絶縁膜のうち第2の絶縁膜80を除去し、第1の絶縁膜70以下を残留させるためには、第2の領域302の厚さを第1の厚さより厚い第2の厚さにするか、或いはフォトレジストパターン301、302に対して第1のエッチング率より高い第2のエッチング率を有するエッチングガスを用いて進行できる。下部絶縁膜のうち第2の絶縁膜80及び第1の絶縁膜70を除去し、ゲート絶縁膜30のみを残留させるためには、第2の領域302の厚さを第2の厚さより厚い第3

10

20

30

40

50

の厚さにするか、或いはフォトレジストパターン301、302に対して第2のエッティング率より高い第3のエッティング率を有するエッティングガスを用いて進行できる。

【0069】

図10Bでは、維持電極28の維持容量を増加させるための好適な一例として第2の領域302下部の絶縁膜のうちゲート絶縁膜30のみが残留された場合が示されている。図10Bの例示でゲート絶縁膜32はエッティング工程が完了されるときまで第1の保護膜72によって覆われて保護される時間が増加するのでゲート絶縁膜32の不均一なエッティングが防止できる。従って、均一な維持容量が確保できるので駆動マージンが向上できる。同様に、維持電極28上にゲート絶縁膜30及び第1の絶縁膜70を残留させる場合にも不均一なエッティングが防止されて均一な維持容量が確保できるものは勿論である。

10

【0070】

続いて、図11A～図11Cを参照すれば、図10A～図10Cの結果物の全面に例えれば、スパッタリングなどを用いて画素電極用導電物質90を積層する。画素電極用導電物質90の一部はダウンサイジングされたフォトレジストパターンの第1の領域311上に、残りは露出された構造物上に直ちに積層される。

【0071】

次に、再び図2A～図2Cを参照すれば、リフトオフ法を用いてダウンサイジングされたフォトレジストパターンの第1の領域311及びその上部に存在する画素電極用導電物質90を除去する。具体的には、例えばアミン系、グリコール系などを含むフォトレジストトリッパーを噴射方式又はディップ方式などによってフォトレジストパターン311に接触させれば、フォトレジストトリッパーがフォトレジストパターン311を溶解させて第2の保護膜82からフォトレジストパターン311を剥離し、同時にフォトレジストパターン311上に存在する画素電極用導電物質90も除去する。ここで、フォトレジストパターン311及び上部の画素電極用導電物質90の除去率はフォトレジストパターン311とフォトレジストトリッパーの接触時間及び接触面積に関係される。本段階では、前述したようにフォトレジストパターンの第1の領域311の下で第1の保護膜72によって形成されたアンダーカットの幅が広いので、フォトレジストパターンの第1の領域311とフォトレジストトリッパーとの接触面積が増加するようになる。従って、フォトレジストパターン311及び上部の画素電極用導電物質90の除去率が優秀なことを容易に理解できる。フォトレジストパターンの第1の領域311及びその上部の画素電極用導電物質90の除去結果、画素電極92、補助ゲートパッド96及び補助データパッド97のパターンが完成される。

20

【0072】

以下、本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法について説明する。以下では、図3A～図11C及び図2A～図2Cを参照して説明した本発明の一実施形態と同一な構造、構成及び方法については、その説明を省略するか、簡略化し、差異点を中心に説明する。図12A～図15Cは、本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。ここで、図12A、図13A、図14A、及び図15Aは、図2Aに示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図であり、図12B、図13B、図14B、及び図15Bは、図2Bに示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図であり、図12C、図13C、図14C、及び図15Cは、図2Cに示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図である。

30

40

【0073】

本実施形態による薄膜トランジスタアレイ基板の製造方法は、ソース電極65及びドレーン電極66のパターンとオーミックコンタクト層52、55、56を形成し、半導体層44を露出させる段階までは、本発明の一実施形態と実質的に同一である。図12A～図12Cを参照すれば、前記段階の結果物上に例えばCVDを用いて第1の保護膜70及び第2の保護膜80を順次に積層する。

【0074】

50

続いて、第2の保護膜80上にフォトレジストパターン401、402を形成する。フォトレジストパターンは、第1の領域401及び第1の領域401より厚さが薄い第2の領域402を含む。ここで、第1の領域401はゲート配線22、24、27、データ配線62、65、66形成領域及び半導体層44形成領域を覆い、ゲートパッド27形成領域の第2の保護膜80は、露出する点は本発明の一実施形態と同一である。しかしながら、ドレーン電極-画素電極コンタクト部101及びデータパッド67形成領域は、第2の領域402によって覆われている点が本発明の一実施形態と差異がある。また、第2の領域402は後属する第2の保護膜80、第1の保護膜70及びゲート絶縁膜30のエッティングのうちに除去されなくてよいので、本発明の一実施形態よりさらに厚くすることができます。

10

【0075】

次に、図13A～図13Cを参照すれば、フォトレジストパターンをエッティングマスクとして用いて露出された第2の保護膜82及びその下部の第1の保護膜72、ゲート絶縁膜32を順次に1次エッティングする。本エッティングは、本発明の一実施形態での第2の保護膜80、第1の保護膜70及びゲート絶縁膜30のエッティングと実質的に同一である。従って、第1の保護膜72及びゲート絶縁膜32は第2の保護膜82より外側に突出され、第1の保護膜72の外側壁はゲート絶縁膜32の内側に設けられるか、或いは外側壁に実質的に整列でき、ゲート絶縁膜32の外側壁に設けられてもよい。但し、本段階でドレーン電極-画素電極コンタクト部101とデータパッド67形成領域がフォトレジストパターンの第2の領域402によって保護される差異からドレーン電極66及びデータパッド67の損傷がさらに防止できる。また、半導体層44が第2の保護膜82によって保護されるので、半導体層44のアンダーカットが防止できる。本段階で、エッティングマスクであるフォトレジストパターン401、402も一部エッティングされてダウンサイ징される。

20

【0076】

その次に、図14A～図14Cを参照すれば、フォトレジストパターンの第2の領域402を除去してドレーン電極-画素電極コンタクト部101、データパッド67領域及び維持電極28上の第2の保護膜82を露出する。第2の領域402の除去は、O₂を用いるアッシング工程で進行できる。この時、フォトレジストパターンの第1の領域411もダウンサイ징されて大きさが小さくなる。一方、前記1次エッティング段階でフォトレジストパターンの第2の領域402が既に除去されてもよく、この場合アッシング工程は省略できる。

30

【0077】

続いて、図15A～図15Cを参照すれば、ダウンサイ징されたフォトレジストパターンの第1の領域411をエッティングマスクとして用いてドレーン電極-画素電極コンタクト部101、データパッド67形成領域と維持電極28形成領域の第2の保護膜82及び第1の保護膜72を2次エッティングする。前記2次エッティングにドレーン電極-画素電極コンタクト部101上のドレーン電極66、データパッド67、及び維持電極28上のゲート絶縁膜32が露出する。この時、第1の保護膜70のエッティング率は第2の保護膜80のエッティング率より低いので、第1の保護膜70のエッティングのうち、第2の保護膜82のアンダーカットの幅はさらに増加するようになる。

40

【0078】

一方、2次エッティングは全面エッティングとなるように進行される1次エッティングとは違って、ゲート絶縁膜32をエッティングせず、ドレーン電極-画素電極コンタクト部101及び維持電極28形成領域の第2の保護膜80及び第1の保護膜70だけをエッティングするので、部分エッティングとなるように行われる。すなわち、例えば、1次エッティングは約30秒～200秒の間進行される反面、2次エッティングは約10秒～20秒の間のみ進行させる。従って、2次エッティングによって露出されるドレーン電極66及びデータパッド67はエッティングガスによる損傷がさらに防止できるので、ドレーン電極-画素電極コンタクト部101及びデータコンタクト部77で導電物質間の十分なコンタクト面積が確保

50

できる。また、維持電極 28 上のゲート絶縁膜 32 の場合にもエッティングガスによる損傷が防止されるので、厚さの均一性が確保されて駆動マージンがさらに増加できる。あわせて、半導体層 44 もエッティングガスに対する露出時間が短くてアンダーカットがさらに防止できる。

【0079】

次に、図 15A～図 15C の結果物に画素電極用導電物質を積層し、フォトレジストパターンを除去することは本発明の一実施形態と同一であり、重複説明は省略する。

【0080】

図 12A～図 15C の実施形態で、ゲートパッド 27 形成領域はフォトレジストパターン 401、402 によって覆われず露出されているが、図示しない本実施形態の変形例としてはフォトレジストパターンがゲートパッド 27 形成領域をさらに覆うようにしてもよい。この場合、ゲートパッド 27 形成領域を覆うフォトレジストパターンの領域は第 2 の領域 402 より厚さが薄い第 3 の領域（図示せず）でありうる。第 3 の領域は少なくとも 1 次エッティングの間全部除去され、続けて 1 次エッティングの間下部の第 2 の保護膜 82、第 1 の保護膜 72 及び / 又はゲート絶縁膜 32 までも一部除去できる厚さにし、同時に 2 次エッティング時残りゲートパッド 27 を覆っているゲート絶縁膜 32 が全て除去できる条件を満足するようにする。

【0081】

一方、本実施形態のさらに他の変形例としては、ドレーン電極 - 画素電極コンタクト部及び / 又はデータパッド形成領域を覆うフォトレジストパターンの第 2 の領域が一部又は全部省略されてもよい。

【0082】

前述した本発明の一実施形態及び他の実施形態による薄膜トランジスタアレイ基板の製造方法は、第 1 の保護膜及び第 2 の保護膜のエッティングが 1 回に進行されるか、なければ 2 回に分けられて進行されるかに差異があるが、これらの方法は部分的に互いに組み合わせることができる。

【0083】

具体的な例として、本発明の一実施形態でのドレーン電極 - 画素電極コンタクト部及び / 又はデータパッド形成領域がフォトレジストパターンの第 2 の領域によって覆われている。この場合、フォトレジストパターンの第 2 の領域、下部の第 2 の保護膜及び第 1 の保護膜は露出された領域の第 2 の保護膜、第 1 の保護膜及びゲート絶縁膜のエッティングのうちに全部除去できる工程条件を満足するようにする。しかしながら、前記方法の組み合せは前記例示に制限されないものは勿論である。

【0084】

続けて、本発明の他の実施形態による薄膜トランジスタアレイ基板について説明する。本実施形態で図 1 及び図 2A～図 2C の実施形態と同一な構造についてはその説明を省略するか、簡略化する。図 16 は、本発明の他の実施形態による薄膜トランジスタアレイ基板のレイアウト図である。図 17A～図 17C は、それぞれ図 16 の A-A' 線、B-B' 線、及び C-C' 線に沿って切った断面図である。

【0085】

図 16 及び図 17A～図 17C を参照すれば、本実施形態による薄膜トランジスタアレイ基板はゲート絶縁膜 30 がゲートライン 22 周辺部、データライン 62 周辺部及びゲートコンタクト部 76 を除外した全ての領域で絶縁基板 10 を覆っている点で図 2A～図 2C の実施形態と差異がある。製造工程によってはゲートライン 22 周辺部とデータライン 62 周辺部は分離されなくてもよい。画素領域で画素電極 92 はゲート絶縁膜 32、第 1 の保護膜 72 及び第 2 の保護膜 82 とオーバーラップされており、第 2 の保護膜 82 の真上に設けられる。また、画素電極 92 と維持電極 28 の間にはゲート絶縁膜 32 だけではなく、第 1 の保護膜 72 及び第 2 の保護膜 82 が介在する。

【0086】

また、第 1 の保護膜 72 及び第 2 の保護膜 82 は、ゲート絶縁膜 32 が形成された領域

10

20

30

40

50

のうちドレーン電極 - 画素電極コンタクト部 102 及びデータパッド 67 が補助データパッド 97 とコンタクトするデータコンタクト部 77 形成領域を除外した大部分の領域を覆う。但し、ゲートライン 22 及びデータライン 62 が形成された領域では画素電極 92 を画素別に分離するため互いに分離されている。ドレーン電極 - 画素電極コンタクト部 102 は、第 1 及び第 2 の保護膜 72、82 によって取り囲まれている。本実施形態の場合にも第 1 の保護膜 72 は第 2 の保護膜 82 に完全にオーバーラップされている。

【0087】

本実施形態による薄膜トランジスタアレイ基板は画素電極がゲート絶縁膜、第 1 の保護膜及び第 2 の保護膜上に設けられるので、画素電極形成領域と薄膜トランジスタ形成領域の段差が減少する。従って、これを液晶表示装置に適用する場合セルギャップの均一性を向上させることができる。

10

【0088】

以下、図 17A～図 17C に示す薄膜トランジスタアレイ基板を製造する方法について説明する。本実施形態で、前述した実施形態による方法と同一な方法についてはその説明を省略するか、簡略化し、差異点を中心に説明する。図 18A～図 21C は、本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。ここで、図 18A、図 19A、図 20A、及び図 21A は図 17A に示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図であり、図 18B、図 19B、図 20B、及び図 21B は図 17B に示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図であり、図 18C、図 19C、図 20C、及び図 21C は図 17C に示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図である。

20

【0089】

本実施形態による薄膜トランジスタアレイ基板の製造方法は、ソース電極 65 及びドレーン電極 66 のパターンとオーミックコンタクト層 52、55、56 を形成し、半導体層 44 を露出する段階までは本発明の一実施形態と実質的に同一である。図 18A～図 18C を参照すれば、前記段階の結果物上に例えば CVD を用いて第 1 の保護膜 70 及び第 2 の保護膜 80 を順次に積層する。

【0090】

続いて、第 2 の保護膜 80 上にフォトレジストパターン 501、502 を形成する。フォトレジストパターンは、第 1 の領域 501 及び第 1 の領域 501 より厚さが薄い第 2 の領域 502 を含む。ここで第 1 の領域 501 は、ゲート配線 22、24 形成領域、データ配線 62、65、66 形成領域及び半導体層 44 形成領域を覆う。但し、ゲートパッド 27 形成領域、データパッド 67 形成領域及びドレーン電極 - 画素電極コンタクト部 102 の第 2 の保護膜 82 は露出する。第 2 の領域 502 は、維持電極 28 形成領域だけではなく、大部分の画素領域を覆う。但し、ゲートライン 22 及びデータライン 62 の周辺部は露出する。

30

【0091】

次に、図 19A～図 19C を参照すれば、フォトレジストパターン 501、502 をエッティングマスクとして用いて露出された第 2 の保護膜 80、その下部の第 1 の保護膜 70 及びゲート絶縁膜 30 をエッティングする。その結果、ドレーン電極 - 画素電極コンタクト部 102 のドレーン電極 66 が露出され、ゲートライン 22 及びデータライン 62 周辺部の絶縁基板 10 が露出される。また、ゲートパッド 27 及びデータパッド 67 が露出されて、ゲートコンタクト部 76 及びデータコンタクト部 77 が形成される。ここで、第 2 の保護膜 82 及び第 1 の保護膜 72 のエッティングは本発明の一実施形態でのように第 1 の保護膜 72 に対するエッティング率より第 2 の保護膜 82 に対するエッティング率が高いエッティングガスを用いて行われ、それによりフォトレジストパターン 501、502 下部の第 2 の保護膜 82 は十分な幅のアンダーカットを有するようになる。

40

【0092】

その次に、図 20A～図 20C を参照すれば、フォトレジストパターンの第 2 の領域 502 を除去する。第 2 の領域 502 の除去は O₂ を用いるアッシング工程で進行できる。

50

この時、フォトレジストパターンの第1の領域511もダウンサイジングされて小さくなる。フォトレジストパターンの第2の領域502が除去されれば、画素領域の第2の保護膜82が露出される。前記第2の保護膜80及びその下部の第1の保護膜70のエッティング段階でフォトレジストパターンの第2の領域502は既に除去でき、この場合アッシング工程は省略できる。

【0093】

続いて、図21A～図21Cを参照すれば、図20A～図20Cの結果物に画素電極用導電物質90を積層する。

【0094】

次に、ダウンサイジングされたフォトレジストパターンの第1の領域511及び上部の画素電極用導電物質90を除去する。本段階は、本発明の一実施形態で説明したリフトオフ法と同一な方法で進行できる。その結果図17A～図17Cに示すように画素電極92、補助ゲートパッド96及び補助データパッド97のパターンが完成される。

10

【0095】

続けて図17A～図17Cの薄膜トランジスタアレイ基板を製造するための本発明のさらに他の実施形態による方法について説明する。本実施形態で、前述した実施形態による方法と同一な方法についてはその説明を省略するか、簡略化し、差異点を中心に説明する。図22A～図23Cは、本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。ここで、図22A及び図23Aは図17Aに示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図であり、図22B及び図23Bは図17Bに示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図であり、図22C及び図23Cは図17Cに示す断面図を有する薄膜トランジスタアレイ基板を製造するための断面図である。

20

【0096】

本実施形態による薄膜トランジスタアレイ基板の製造方法は、ソース電極65及びドレーン電極66のパターンとオーミックコンタクト層52、55、56を形成し、半導体層44を露出する段階までは本発明の一実施形態と実質的に同一である。図22A～図22Cを参照すれば、前記段階の結果物上に例えばCVDを用いて第1の保護膜70及び第2の保護膜80を順次に積層する。

【0097】

30

次に、第2の保護膜80上にフォトレジストパターン601を形成する。ここで、フォトレジストパターン601は、第1の領域及び第2の領域の区分なしに均一な厚さで形成されることを除いては図18A～図18Cに示すフォトレジストパターンと実質的に同一である。

【0098】

その次に、図23A～図23Cを参照すれば、フォトレジストパターン601をエッティングマスクとして用いて露出された第2の保護膜80、下部の第1の保護膜70、及び下部のゲート絶縁膜30をエッティングする。その結果、ドレーン電極-画素電極コンタクト部102のドレーン電極66が露出され、ゲートライン22及びデータライン62周辺部の絶縁基板10が露出される。また、ゲートパッド27及びデータパッド67が露出されて、ゲートコンタクト部76及びデータコンタクト部77が形成される。前記エッティング段階で第1の保護膜70がエッティングされて除去されるときまで下部のドレーン電極66及びデータパッド67はエッティングガスから保護される。従って、エッティングガスに露出される時間が減少するためこれらの損傷が防止できる。

40

【0099】

続いて、図示していないが、フォトレジストパターンを除去し、画素電極用導電物質を積層した後、さらにフォトレジストパターンを形成した後、エッティング工程を用いてパターンングして図17A～図17Cに示すような画素電極92、補助ゲートパッド96及び補助データパッド97を完成する。本実施形態は、画素電極用導電物質の写真エッティング工程を含むので、ゲートライン及びデータライン周辺部の第2の保護膜、第1の保護膜

50

及びゲート絶縁膜は除去しなくても差し支えない。

【0100】

以上の実施形態では、半導体層及びオーミックコンタクト層がデータ配線のパターンと実質的に同一な場合を例示したが、本発明はこれに制限されない。すなわち、本発明を実施する場合には、半導体層及びオーミックコンタクト層がチャネル領域にのみ形成されてもよい。このような半導体層及びオーミックコンタクト層のパターンを形成するためには前述した実施形態とは違って半導体層及びオーミックコンタクト層形成用のフォトレジストパターンと、データ配線用フォトレジストパターンをそれぞれ別個のマスクを用いて形成するようになる。前述した構造の薄膜トランジスタアレイ基板及びその製造方法は、本技術分野の当業者に広く知られており、後属する工程の微細である差異点は、当業者に容易に理解できるため、具体的な説明は省略する。

10

【0101】

以上、添付した図面を参照して本発明の好適な実施形態を説明したが、当業者であれば、本発明の技術的思想や必須的な特徴を変更せずに他の具体的な形態で実施されうることを理解することができる。従って、上述した好適な実施形態は、例示的なものであり、限定的なものではないと理解されるべきである。

【産業上の利用可能性】

【0102】

本発明は、液晶表示装置又は有機EL表示装置に適用される薄膜トランジスタアレイ基板を製造することに適用されうる。

20

【図面の簡単な説明】

【0103】

【図1】本発明の一実施形態による薄膜トランジスタアレイ基板のレイアウト図である。

【図2A】図1のA-A'線に沿って切った断面図である。

【図2B】図1のB-B'線に沿って切った断面図である。

【図2C】図1のC-C'線に沿って切った断面図である。

【図3A】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図3B】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

30

【図3C】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図4A】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図4B】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図4C】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図5A】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

40

【図5B】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図5C】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図6A】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図6B】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図6C】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

50

【図7A】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図7B】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図7C】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図8A】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階

別断面図である。
【図 8 B】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階

別断面図である。
【図 8 C】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階

別断面図である。
【図9A】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階

別断面図である。
【図9B】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階

別断面図である。

別断面図である。
【図10A】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段

【図10B】本發明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図10C】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図 1-1-A】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図1-1-B】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段

【図 1-15】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図1-1-7】本発明の一実施形態による薄膜トランジスタアレイ基板の製造方法の工程階別断面図である。

【図1-2-B】本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図1-2-D】本発明の他の実施形態による薄膜ランジスタアレイ基板の製造方法の工程段階別断面図である。

【図1-2-c】本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図1-3A】本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図13B】本発明の他の実施形態による薄膜トフンシタアレイ基板の製造方法の工程段階別断面図である。

【図13C】本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図14A】本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図14B】本発明の他の実施形態による薄膜トランジスタレイ基板の製造方法の工程段階別断面図である。

【図14C】本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図15A】本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図15B】本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図15C】本発明の他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図16】本発明の他の実施形態による薄膜トランジスタアレイ基板のレイアウト図である。

【図17A】図16のA-A'線に沿って切った断面図である。

【図17B】図16のB-B'線に沿って切った断面図である。

【図17C】図16のC-C'線に沿って切った断面図である。

【図18A】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。 10

【図18B】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図18C】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図19A】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図19B】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図19C】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。 20

【図20A】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図20B】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図20C】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図21A】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図21B】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。 30

【図21C】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図22A】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図22B】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図22C】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図23A】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。 40

【図23B】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【図23C】本発明のさらに他の実施形態による薄膜トランジスタアレイ基板の製造方法の工程段階別断面図である。

【符号の説明】

【0104】

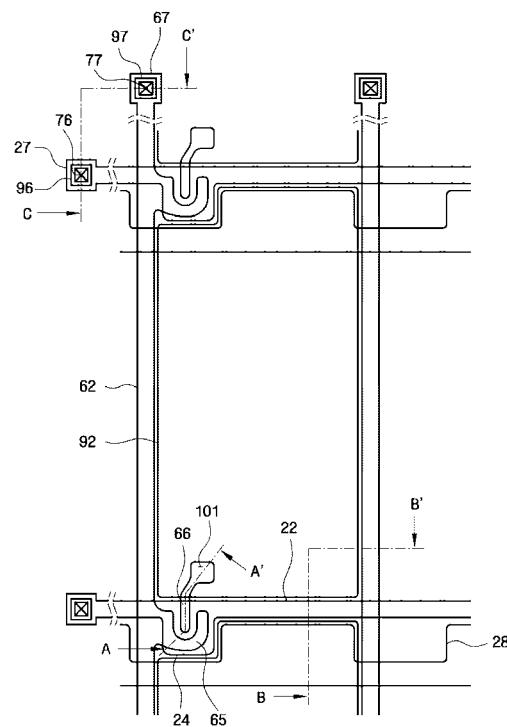
10...絶縁基反、

22...ゲートライン、

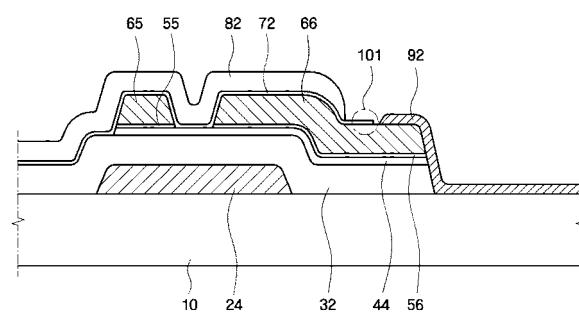
24...ゲート電極、

- 2 7 ... ゲートパッド、
 3 2 ... ゲート絶縁膜、
 4 4 ... 半導体層、
 5 2、5 5、5 6 ... オーミックコンタクト層、
 6 2 ... データライン、
 6 5 ... ソース電極、
 6 6 ... ドレーン電極、
 6 7 ... データパッド、
 7 2 ... 第1の保護膜、
 8 2 ... 第2の保護膜、
 9 2 ... 画素電極。 10

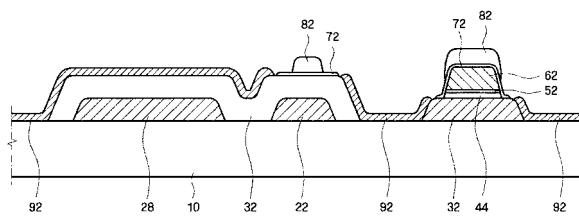
【図1】



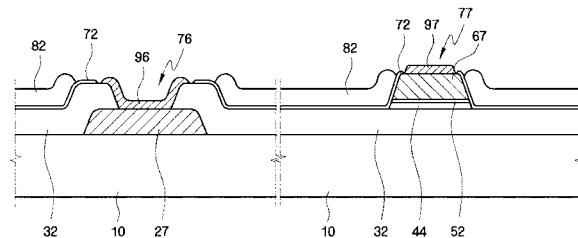
【図2 A】



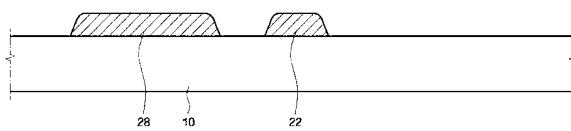
【図2 B】



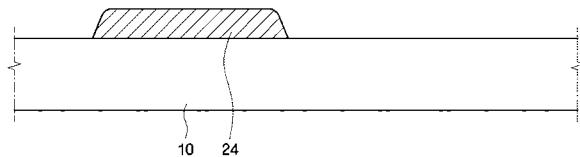
【図2C】



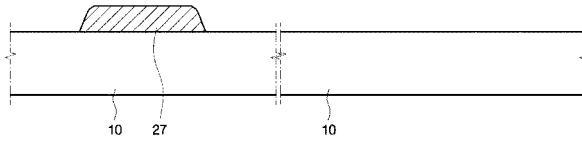
【図3B】



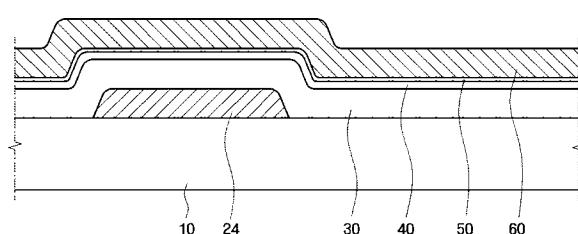
【図3A】



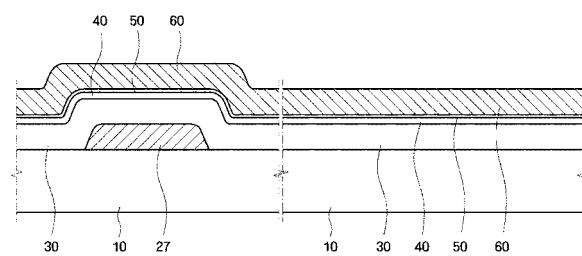
【図3C】



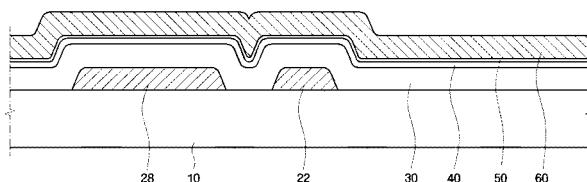
【図4A】



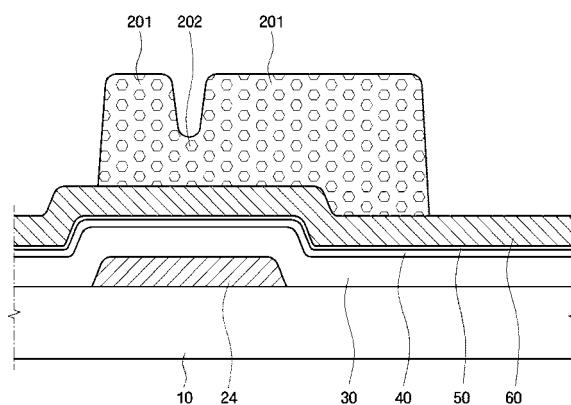
【図4C】



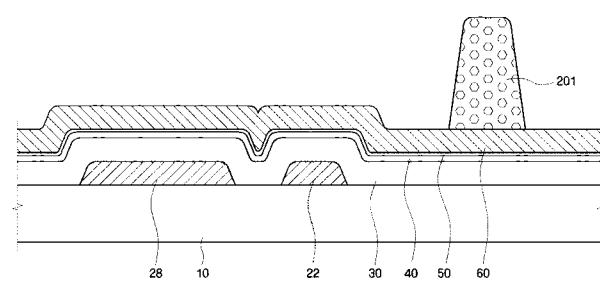
【図4B】



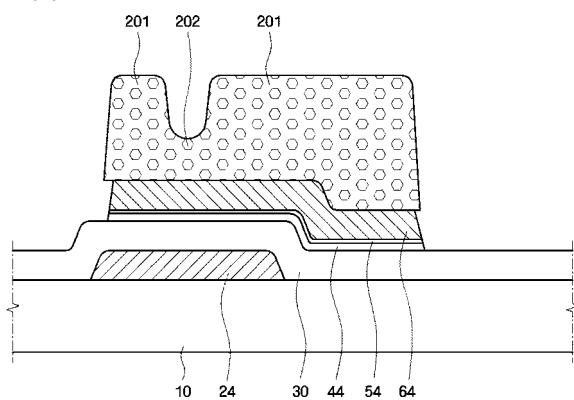
【図5A】



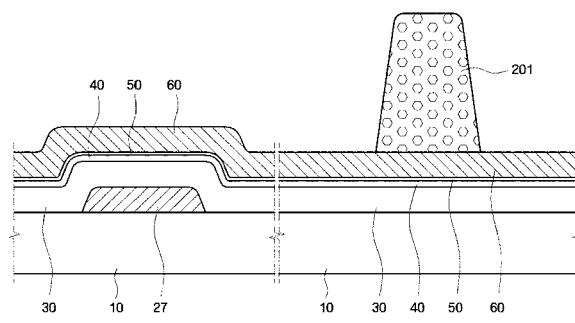
【図 5 B】



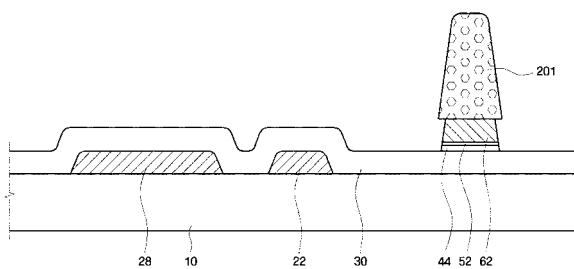
【図 6 A】



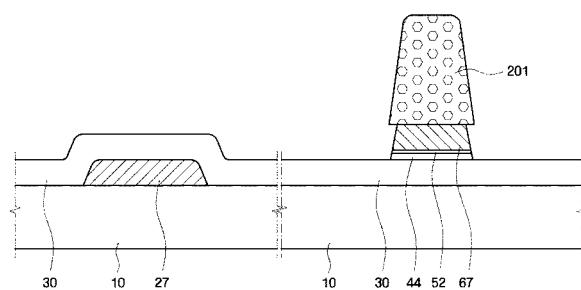
【図 5 C】



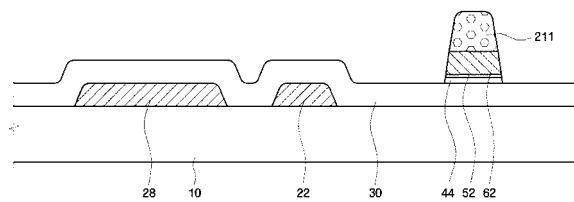
【図 6 B】



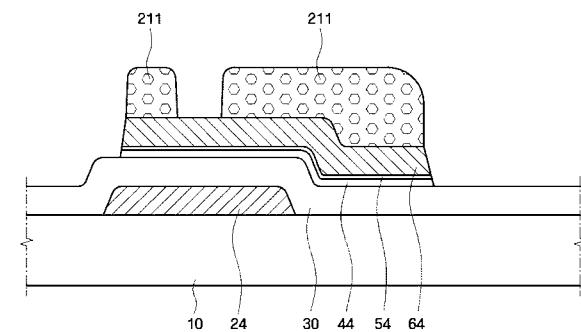
【図 6 C】



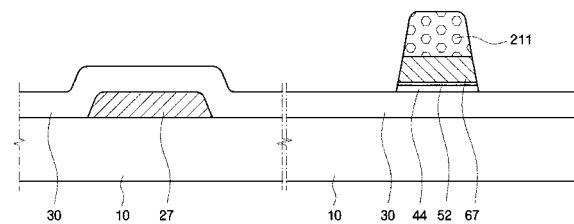
【図 7 B】



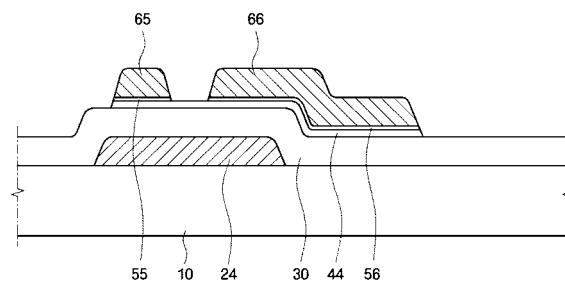
【図 7 A】



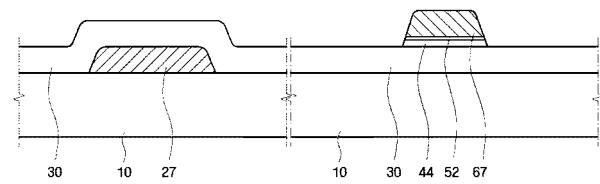
【図 7 C】



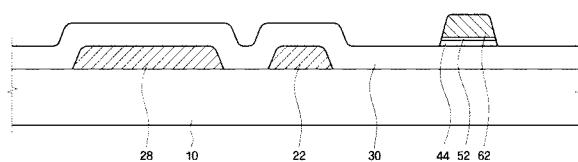
【図 8 A】



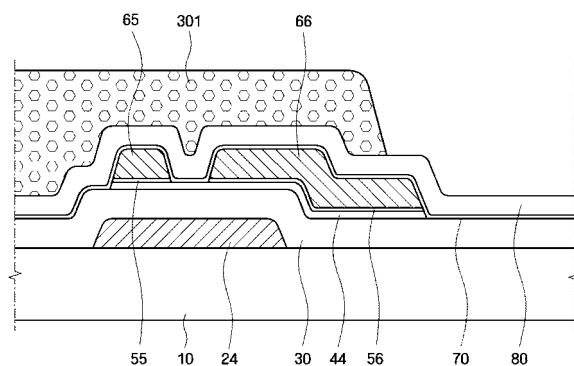
【図 8 C】



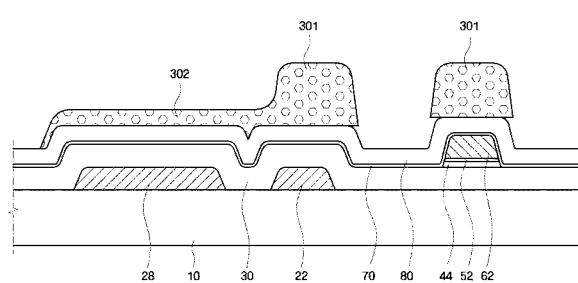
【図 8 B】



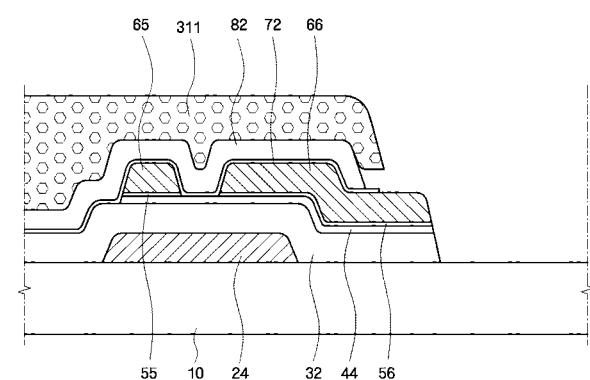
【図 9 A】



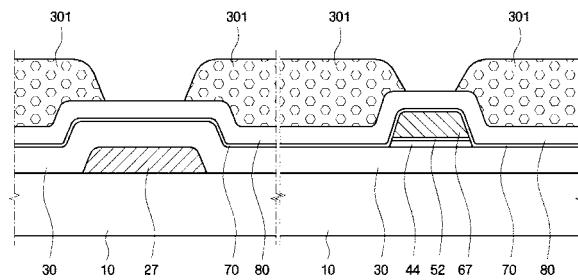
【図 9 B】



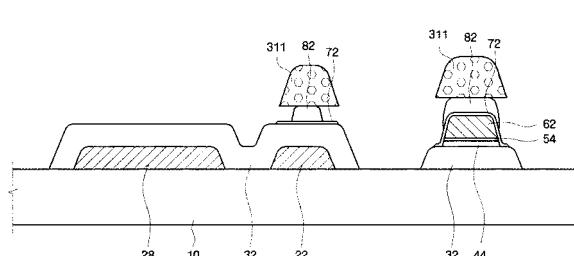
【図 10 A】



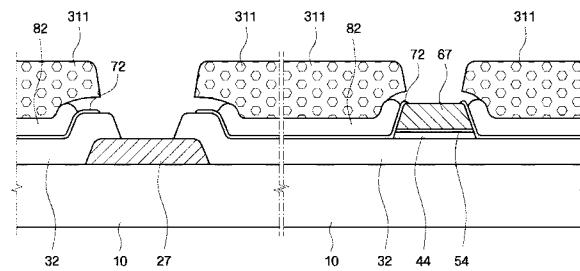
【図 9 C】



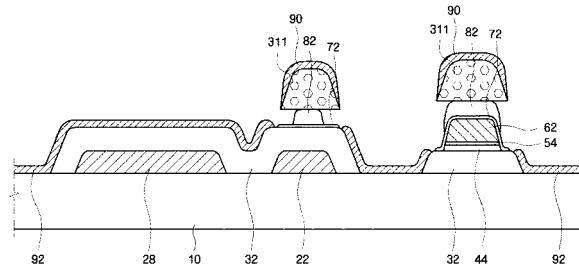
【図 10 B】



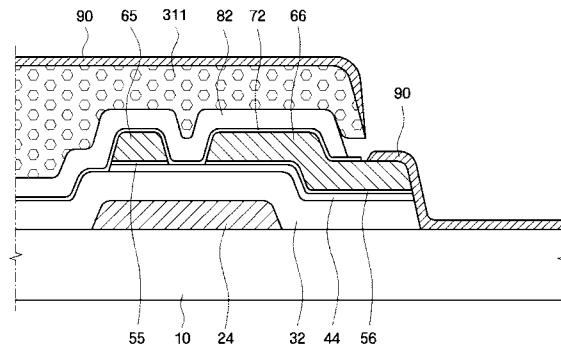
【図10C】



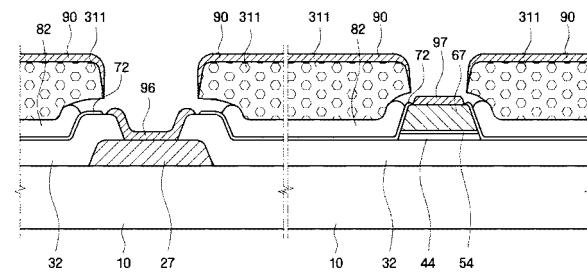
【図11B】



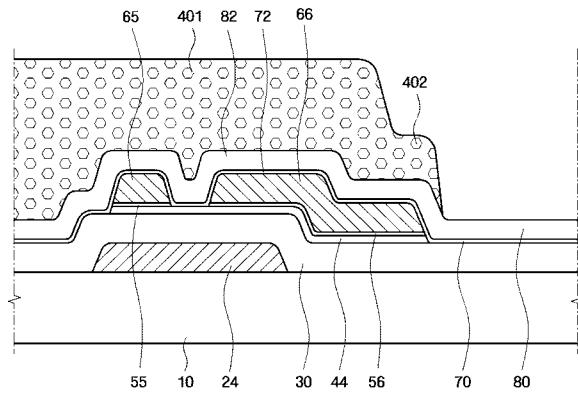
【図11A】



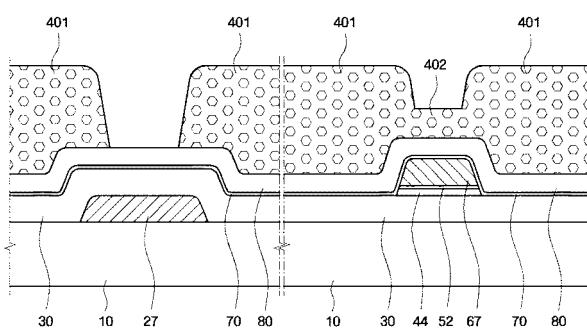
【図11C】



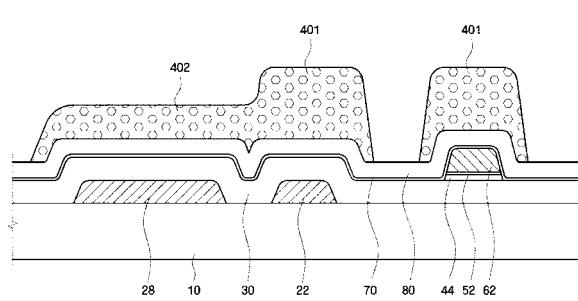
【図12A】



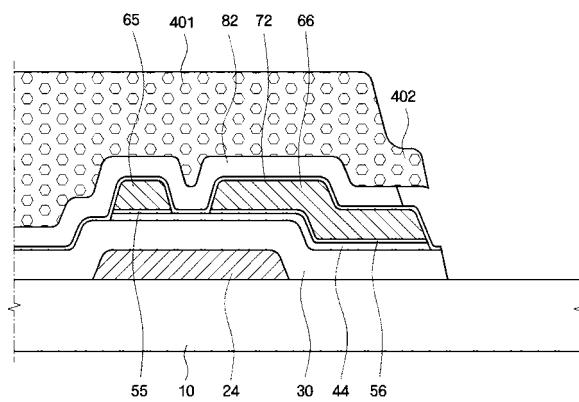
【図12C】



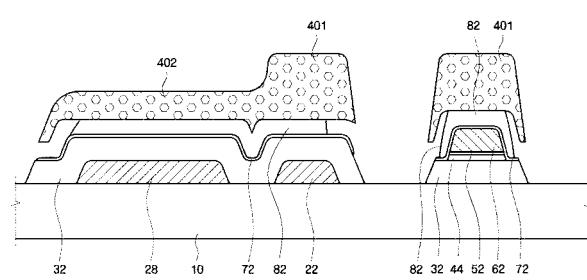
【図 1-2-B】



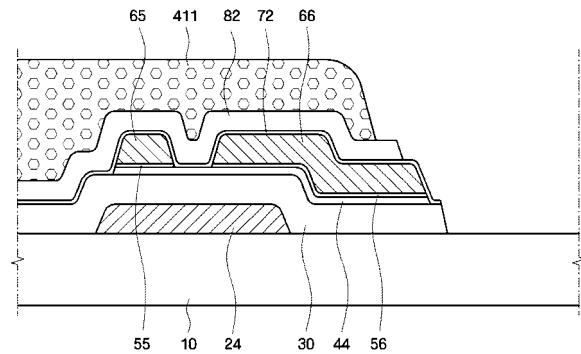
【図13A】



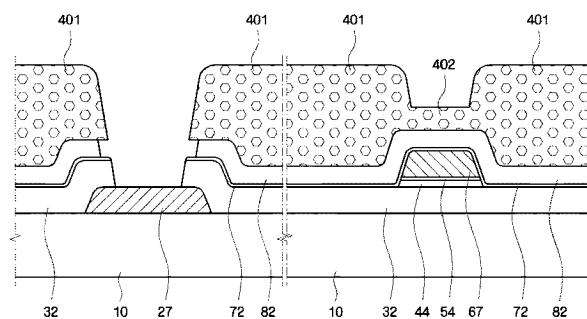
【図 13 B】



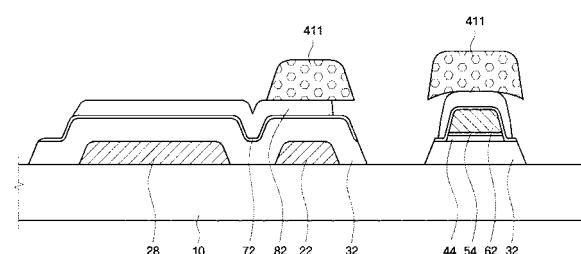
【図 14 A】



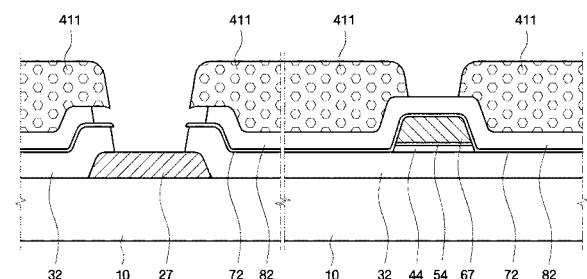
【図 13 C】



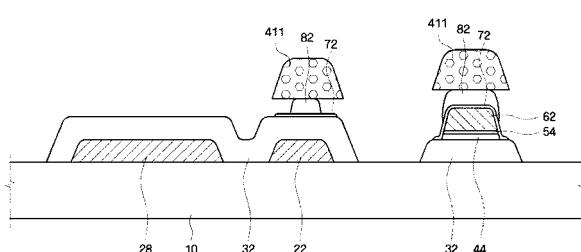
【図 14 B】



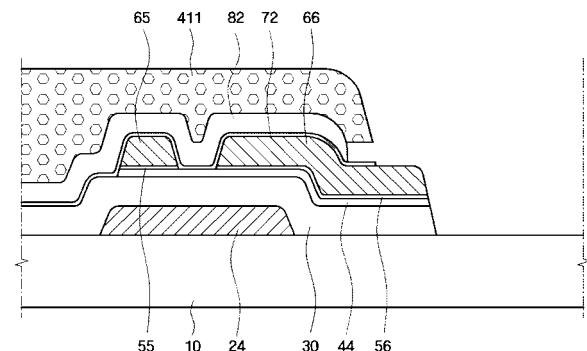
【図 14 C】



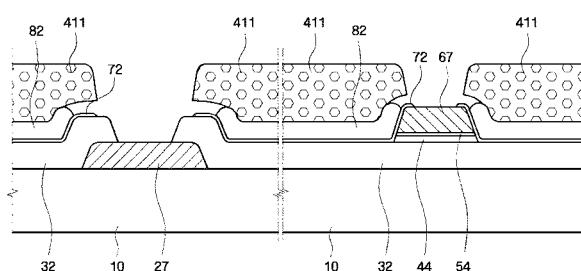
【図 15 B】



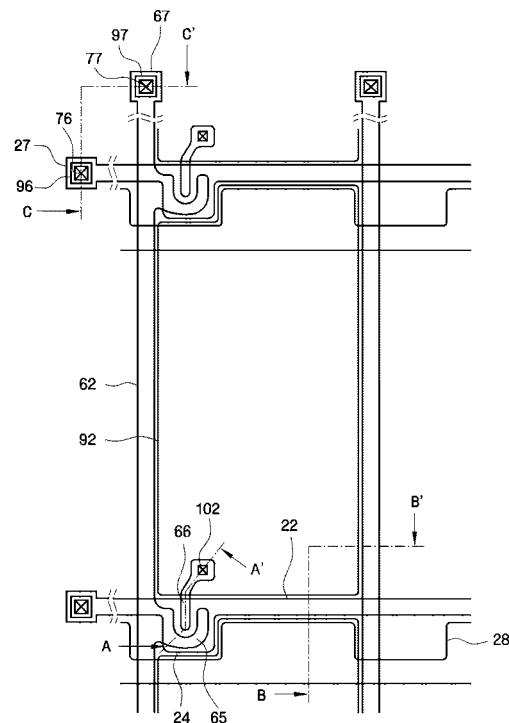
【図 15 A】



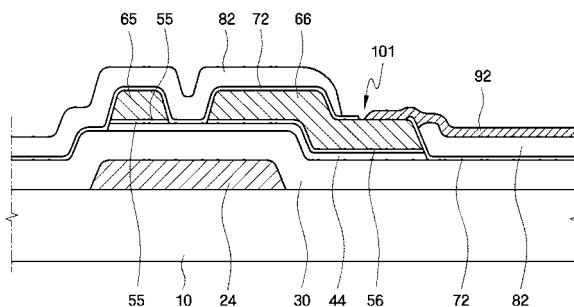
【図 15 C】



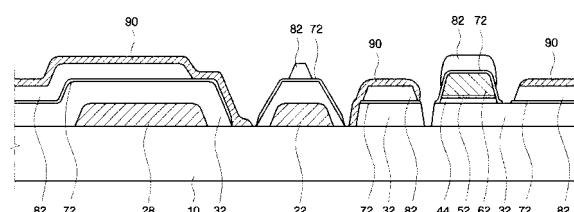
【図16】



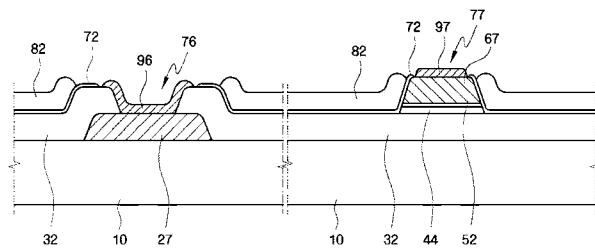
【図17A】



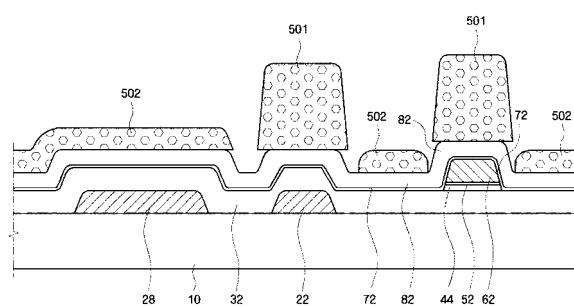
【図17B】



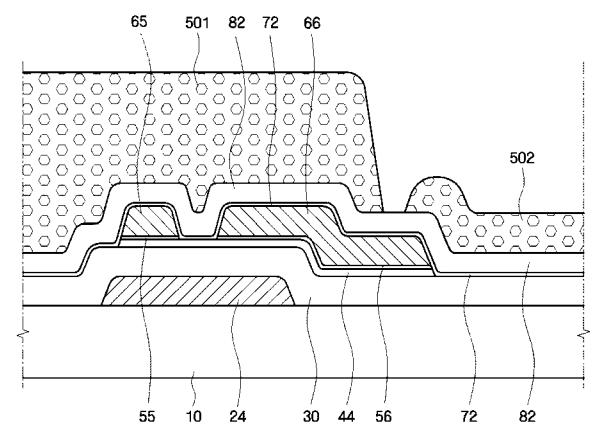
【図17C】



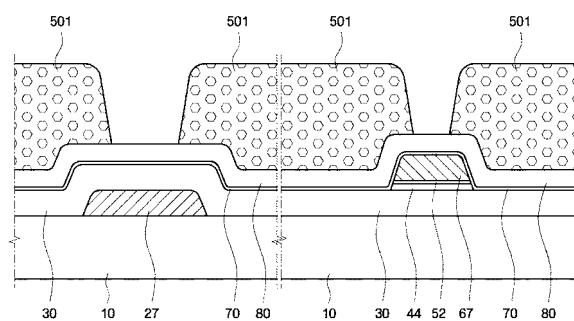
【図18B】



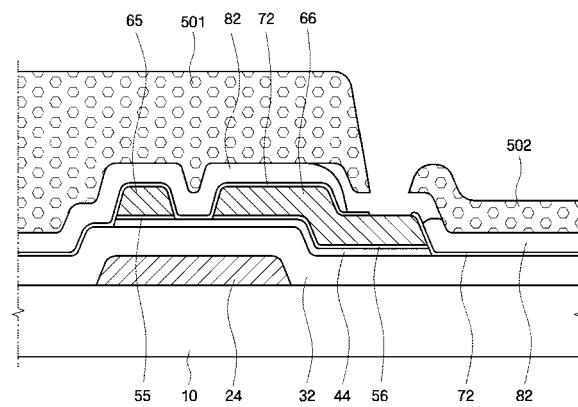
【図 18A】



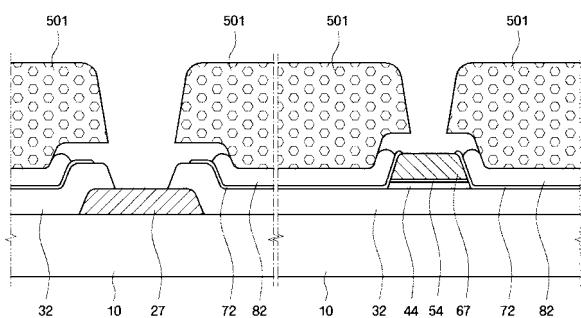
【図18C】



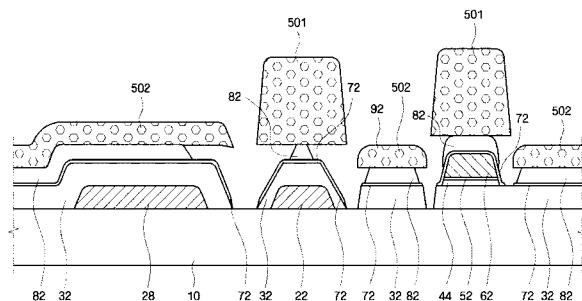
【図 19 A】



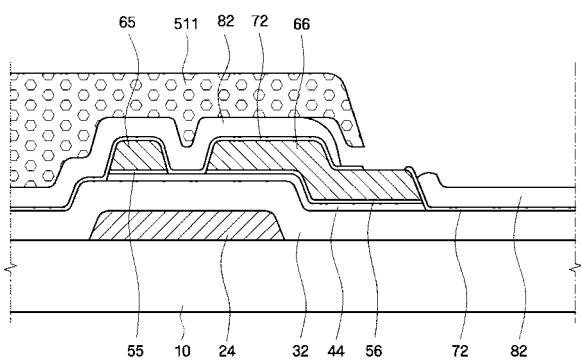
【図 19 C】



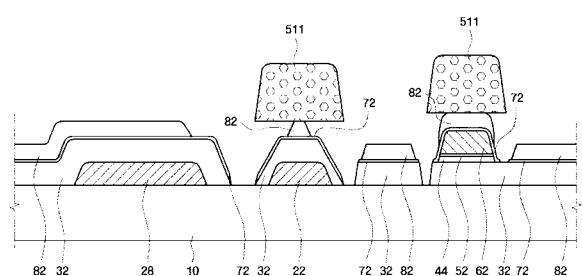
【図 19 B】



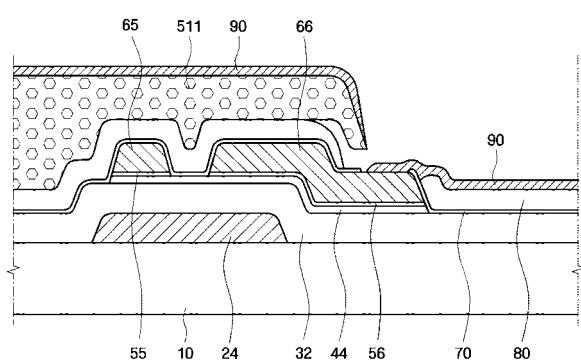
【図 20 A】



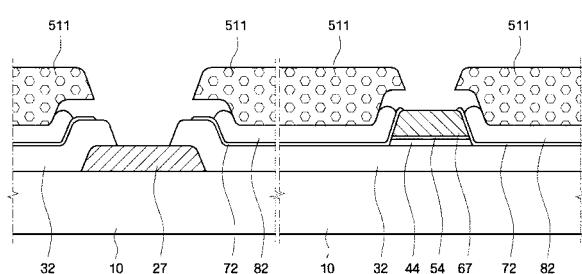
【図 20 B】



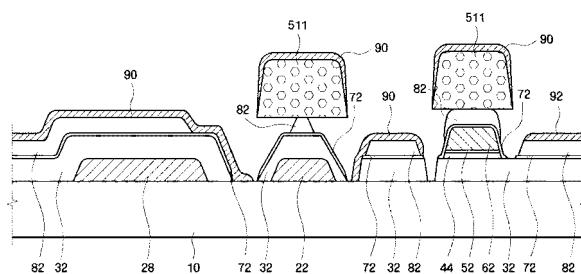
【図 21 A】



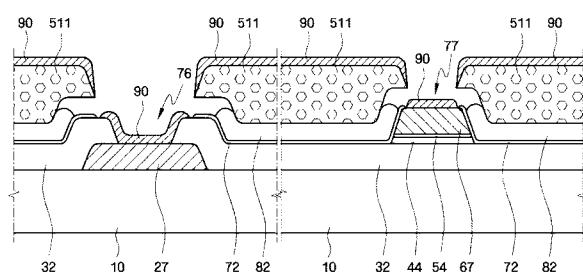
【図 20 C】



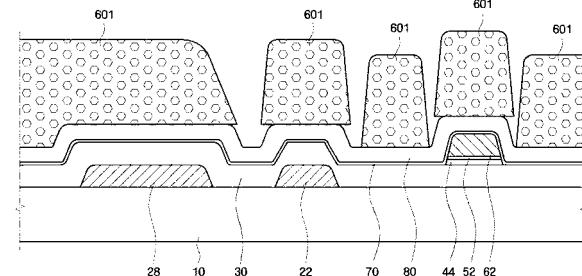
【図 21 B】



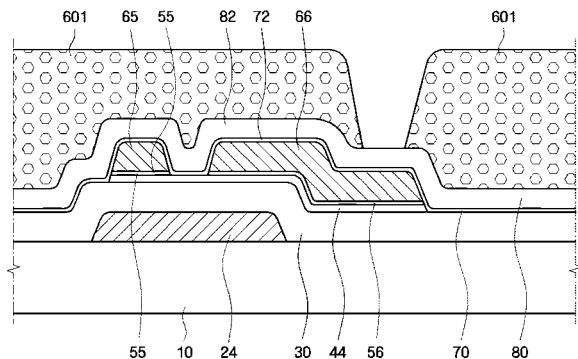
【図 2 1 C】



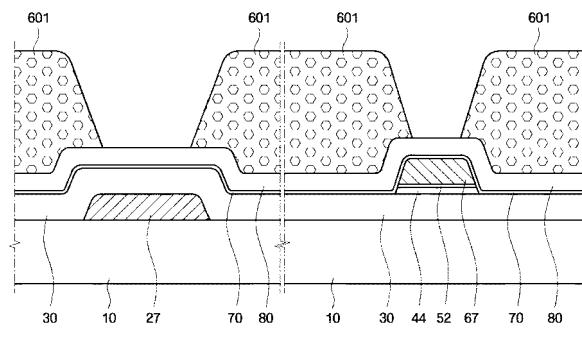
【図 2 2 B】



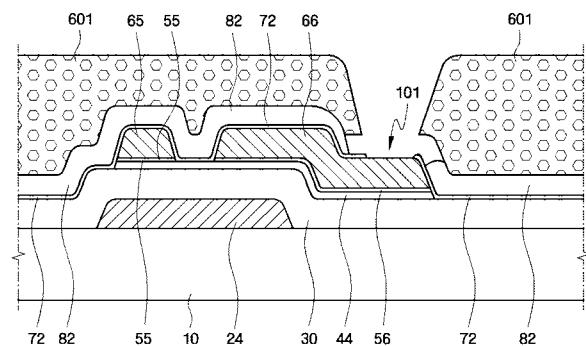
【図 2 2 A】



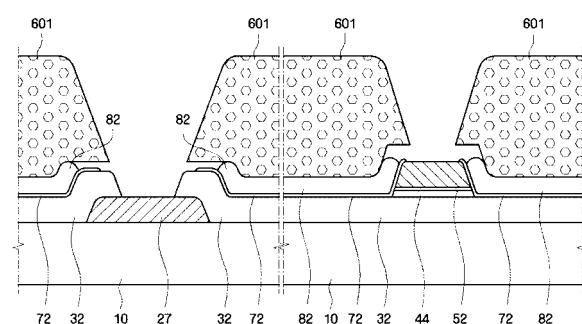
【図 2 2 C】



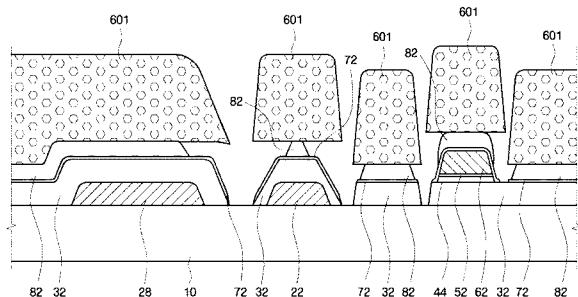
【図 2 3 A】



【図 2 3 C】



【図 2 3 B】



フロントページの続き

(72)発明者 金湘甲

大韓民国ソウル特別市江東区明逸洞15番地 三益アパート301棟306号

(72)発明者 吳 ぶん 錫

大韓民国京畿道龍仁市新鳳洞 韓一アパート102棟202号

(72)発明者 金周漢

大韓民国京畿道龍仁市賣亭洞 三星7次アパート704棟402号

審査官 田井伸幸

(56)参考文献 國際公開第03/075356 (WO, A1)

米国特許出願公開第2006/0138428 (US, A1)

特開2004-310043 (JP, A)

特開平10-303200 (JP, A)

特開昭61-185952 (JP, A)

特開昭63-020837 (JP, A)

特開2006-074039 (JP, A)

特開2006-163407 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30

G02F 1/1368

H01L 21/336

H01L 29/786