

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成28年11月4日(2016.11.4)

【公開番号】特開2016-106341(P2016-106341A)

【公開日】平成28年6月16日(2016.6.16)

【年通号数】公開・登録公報2016-036

【出願番号】特願2016-278(P2016-278)

【国際特許分類】

G 1 1 C 15/04 (2006.01)

【F I】

G 1 1 C 15/04 6 3 1 F

G 1 1 C 15/04 6 3 1 M

【手続補正書】

【提出日】平成28年9月8日(2016.9.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

静的 3 値連想メモリ (T C A M) を動作する方法であって、

探索ビットとキービットとの比較に基づいて比較出力を生成するためにキーセルを動作することと、

前記比較出力が前記探索ビットと前記キービットとの間の一致を示すことに応じて、導通するように第 1 のブルダウントランジスタを、および、導通しないように第 1 のブルアップトランジスタを動作し、前記比較出力が前記探索ビットと前記キービットとの間の不一致を示すことに応じて、導通しないように前記第 1 のブルダウントランジスタを、および、導通するように前記第 1 のブルアップトランジスタを動作することと、

マスク出力を生成するためにマスクセルを動作することと、

前記マスク出力がアサートされることに応じて、導通するように第 2 のブルダウントランジスタを、および、導通しないように第 2 のブルアップトランジスタを動作し、前記マスク出力がデアサートされることに応じて、導通しないように前記第 2 のブルダウントランジスタを、および、導通するように前記第 2 のブルアップトランジスタを動作することと

を備え、前記第 1 のブルダウントランジスタと前記第 2 のブルダウントランジスタとは、一致ライン出力と第 1 の供給電圧端子との間で並列に接続され、前記第 1 のブルアップトランジスタと前記第 2 のブルアップトランジスタとは、第 2 の供給電圧端子と前記一致ライン出力との間で直列に接続される、

方法。

【請求項 2】

前記一致ライン出力を設定することは、

前記キーセルの前記比較出力が一致を示すとき、前記第 1 のブルダウントランジスタを介して前記一致ライン出力を低値に設定することと、

前記マスクセルの前記マスク出力がアサートされるとき、前記第 2 のブルダウントランジスタを介して前記一致ライン出力を前記低値に設定することと、

前記マスクセルの前記マスク出力がデアサートされ、かつ、前記キーセルの前記比較出力が不一致を示すとき、前記第 1 のブルアップトランジスタと前記第 2 のブルアップトラ

ンジスタとを介して前記一致ライン出力を高値に設定することと、
を備える、請求項 1 に記載の方法。

【請求項 3】

前記キーセルの前記比較出力または前記マスクセルの前記マスク出力は、前の探索値比較が不一致であったことを中間一致ラインが示すとき、前記一致ライン出力に影響を及ぼさない、請求項 1 に記載の方法。

【請求項 4】

前記マスクセルは、スタティックランダムアクセスメモリ（SRAM）ビットセルである、請求項 1 に記載の方法。

【請求項 5】

前記キーセルは、スタティックランダムアクセスメモリ（SRAM）セルとXNOR論理とを含む、請求項 1 に記載の方法。

【請求項 6】

静的 3 値連想メモリ（TCAM）であって、

探索ビットとキービットとの比較に基づいて比較出力を生成するための第 1 の手段、ここにおいて、前記比較出力が前記探索ビットと前記キービットとの間の一致を示すことに応じて、第 1 のブルダウントランジスタは導通し、第 1 のブルアップトランジスタは導通せず、前記比較出力が前記探索ビットと前記キービットとの間の不一致を示すことに応じて、前記第 1 のブルダウントランジスタは導通せず、前記第 1 のブルアップトランジスタは導通する、と、

マスク出力を生成するための第 2 の手段と

を備え、前記マスク出力がアサートされることに応じて、第 2 のブルダウントランジスタは導通し、第 2 のブルアップトランジスタは導通せず、前記マスク出力がデアサートされることに応じて、前記第 2 のブルダウントランジスタは導通せず、前記第 2 のブルアップトランジスタは導通し、前記第 1 のブルダウントランジスタと前記第 2 のブルダウントランジスタとは、一致ライン出力と第 1 の供給電圧端子との間で並列に接続され、前記第 1 のブルアップトランジスタと前記第 2 のブルアップトランジスタとは、第 2 の供給電圧端子と前記一致ライン出力との間で直列に接続される、

TCAM。

【請求項 7】

前記第 2 の手段は、スタティックランダムアクセスメモリ（SRAM）ビットセルである、請求項 6 に記載の TCAM。

【請求項 8】

前記第 1 の手段は、スタティックランダムアクセスメモリ（SRAM）セルとXNOR論理とを含み、前記XNORの出力は、前記比較出力を生成するように構成される、請求項 6 に記載の TCAM。

【請求項 9】

前記XNOR論理の前記出力は、前記第 1 のブルダウントランジスタと前記第 1 のブルアップトランジスタとに結合される、請求項 8 に記載の TCAM。

【請求項 10】

前記第 1 の手段によって前記探索ビットを受信するために探索ライン入力をさらに備える、請求項 6 に記載の TCAM。

【請求項 11】

前記第 1 のブルダウントランジスタと前記第 2 のブルダウントランジスタとに結合された中間一致ラインをさらに備える、請求項 6 に記載の TCAM。