

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5215322号
(P5215322)

(45) 発行日 平成25年6月19日 (2013. 6. 19)

(24) 登録日 平成25年3月8日 (2013. 3. 8)

(51) Int. Cl.		F I
F 4 1 G	7/22	(2006. 01)
F 4 2 B	15/01	(2006. 01)
F 4 2 B	15/08	(2006. 01)
F 4 2 B	15/10	(2006. 01)
F 4 2 B	15/36	(2006. 01)

請求項の数 9 (全 12 頁)

(21) 出願番号	特願2009-546352 (P2009-546352)	(73) 特許権者	503455363
(86) (22) 出願日	平成19年1月18日 (2007. 1. 18)		レイセオン カンパニー
(65) 公表番号	特表2010-516989 (P2010-516989A)		アメリカ合衆国 マサチューセッツ州 O
(43) 公表日	平成22年5月20日 (2010. 5. 20)		2 4 5 1 ウォルサム ウィンター スト
(86) 国際出願番号	PCT/US2007/001295		リート 8 7 0
(87) 国際公開番号	W02008/088330	(74) 代理人	100108855
(87) 国際公開日	平成20年7月24日 (2008. 7. 24)		弁理士 蔵田 昌俊
審査請求日	平成22年1月18日 (2010. 1. 18)	(74) 代理人	100109830
前置審査			弁理士 福原 淑弘
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 スケーラブルな電子機器アーキテクチャ

(57) 【特許請求の範囲】

【請求項 1】

多段式ミサイルの最終段上に配置されるように構成されているデジタルインターフェースユニット (D I U) において、

前記 D I U は、

複数のプロセッサを相互に接続し、複数のプロセッサの接続を切るために、複数のポート、インターフェース、およびインターフェース論理回路を有するゲートアレイと、

前記ゲートアレイに結合された第 1 のプロセッサと、

前記ゲートアレイを介して、前記第 1 のプロセッサに結合された第 2 のプロセッサとを具備し、

前記 D I U は、前記段の間のデジチェーン相互接続を提供するシリアルバスインターフェースによって、前記多段式ミサイルの段のそれぞれに対して誘導機能およびナビゲーション機能を実行し、前記段のうちのいくつかに対してだけ制御機能を実行するように構成されており、

前記プロセッサのうちの少なくとも 1 つは、前記段の前記誘導機能およびナビゲーション機能を実行するための段制御命令により構成されている誘導プロセッサであり、

前記ゲートアレイは、現在制御されている段に対する前記段制御命令により前記誘導プロセッサを構成するフィールドプログラム可能ゲートアレイ (F P G A) であり、

前記誘導プロセッサは、前記現在制御されている段の分離に先立って、前記現在制御されている段に対して段制御命令を実行するように構成されており、

前記 D I U は、前記誘導プロセッサに対して、段の分離を命令し、段が去ったことを示す信号を提供するように構成されており、

前記段制御命令は、前記段が去ったことを示す信号の存在をチェックし、それに応答して、前記 F P G A に、次の段を制御するための段制御命令により前記誘導プロセッサを構成させるように構成されており、

前記最終段は、第 4 段であり、前記多段式ミサイルは、第 1 段、第 2 段および第 3 段を含み、

前記第 4 段は、ペイロードを含み、

前記第 3 段は、前記シリアルバスインターフェース通して前記 D I U から、誘導、ナビゲーション、および自動操縦、の命令を受け取り、それに応答してスラストベクターおよび姿勢制御の信号を提供する、第 3 段の制御装置を含む、デジタルインターフェースユニット (D I U) 。

10

【請求項 2】

隣接の段に物理的に結合され、隣接の段から物理的に切り離されるように適合されている複数の段を具備する多段式ミサイルにおいて、

前記ミサイルは、

最終段上に配置され、前記段のそれぞれに対して誘導機能およびナビゲーション機能を実行し、前記段のうちの一つかに対してだけ制御機能を実行するように構成されているデジタルインターフェースユニット (D I U) と、

前記各段上の電子回路に前記 D I U を結合し、前記段の間にデিজチェーン相互接続を提供するシリアルバスインターフェースとを具備し、

20

前記 D I U は、

前記段の前記誘導機能およびナビゲーション機能を実行するための段制御命令により構成されている誘導プロセッサと、

現在制御されている段に対する前記段制御命令により前記誘導プロセッサを構成するフィールドプログラム可能ゲートアレイ (F P G A) と、

前記シリアルバスインターフェースを制御するように構成されているバス制御装置とを含み、

前記誘導プロセッサは、前記現在制御されている段の分離に先立って、前記現在制御されている段に対して段制御命令を実行するように構成されており、

30

前記最終段は、第 4 段であり、前記多段式ミサイルは、第 1 段、第 2 段および第 3 段を含み、

前記第 4 段は、ペイロードを含み、

前記第 3 段は、前記シリアルバスインターフェース通して前記 D I U から、誘導、ナビゲーション、および自動操縦、の命令を受け取り、それに応答してスラストベクターおよび姿勢制御の信号を提供する、第 3 段の制御装置を含む、多段式ミサイル。

【請求項 3】

前記 D I U は、前記誘導プロセッサに対して、段の分離を命令し、段が去ったことを示す信号を提供するように構成されており、

前記段制御命令は、前記段が去ったことを示す信号の存在をチェックし、それに応答して、前記 F P G A に、次の段を制御するための段制御命令により前記誘導プロセッサを構成させるように構成されている、請求項 2 記載の多段式ミサイル。

40

【請求項 4】

前記第 3 段の制御装置は、電氣的に作動される爆発デバイス、電力調整ユニット (P C U)、および入力 / 出力 (I / O) インターフェースに結合されており、前記 I / O インターフェースは、搭載されている G P S 受信機からビークルの位置データを受け取り、前記シリアルバスインターフェースを介して前記 D I U と通信し、前記 I / O インターフェースおよびシリアルバスインターフェースは、G P S、誘導、姿勢制御、および他の段に関連したデータが前記 D I U に送られることを可能にし、前記 D I U が前記電気爆発デバイスを作動させることにより前記第 3 段の放出をトリガすることを可能にするように構成

50

されている請求項 3 記載の多段式ミサイル。

【請求項 5】

前記第 2 段は、前記シリアルバスインターフェースによって前記 D I U に結合されている第 2 段の電子機器パッケージを含み、前記第 2 段は、I M U と、前記第 2 段の機械の分離のための、第 2 段直線型装薬 (L S C) と、前記シリアルバスによって前記 D I U に送られる遠隔測定および I M U データを収集して、前記 D I U が前記第 2 段の放出をトリガすることを可能にする I / O 制御装置とを含む請求項 4 記載の多段式ミサイル。

【請求項 6】

前記第 1 段は、第 1 段の電子機器パッケージを含み、前記第 1 段の電子機器パッケージは、スラストベクター制御装置 (T V C) と、T V C 駆動装置と、分離兵器と、前記第 1 段の機械の分離のための第 1 段 L S C とを含み、前記第 1 段は、前記 D I U が前記第 1 段の放出をトリガすることを可能にするように、前記シリアルバスインターフェースによって前記 D I U に結合されている請求項 5 記載の多段式ミサイル。

【請求項 7】

前記 D I U は、関連している段に対する段制御命令に基づいて、前記第 1 段と、前記第 2 段と、前記第 3 段と、前記第 4 段とに対して誘導機能およびナビゲーション機能を実行するように構成されており、

前記 D I U は、関連している段に対する段制御命令に基づいて、前記第 2 段と、前記第 3 段と、前記第 4 段とに対してだけ、制御機能を実行するように構成されている請求項 6 記載の多段式ミサイル。

【請求項 8】

複数の段の多段式ミサイルを制御する方法において、

前記複数の段は、隣接の段に物理的に結合され、隣接の段から物理的に切り離されるように適合されており、

前記方法は、

最終段上に配置されたデジタルインターフェースユニット (D I U) により、前記段のそれぞれに対して誘導機能およびナビゲーション機能を実行し、前記段のうちのいくつかに対してだけ制御機能を実行することと、

前記各段上の電子回路に前記 D I U を結合するシリアルバスインターフェースにより、前記段の間にデジチェーン相互接続を提供することとを含み、

前記方法は、

フィールドプログラム可能ゲートアレイ (F P G A) を使用して、前記段の前記誘導機能およびナビゲーション機能を実行するための段制御命令により誘導プロセッサを構成し、前記 F P G A は、現在制御されている段に対する前記段制御命令により前記誘導プロセッサを構成することと、

前記現在制御されている段の分離に先立って、前記現在制御されている段に対して段制御命令を実行することとを含み、

前記最終段は、第 4 段であり、前記多段式ミサイルは、第 1 段、第 2 段および第 3 段を含み、

前記第 4 段は、ペイロードを含み、

前記方法は、

前記第 3 段において、前記シリアルバスインターフェース通して前記 D I U から、誘導、ナビゲーション、および自動操縦、の命令を受け取り、それに応答してスラストベクターおよび姿勢制御の信号を提供することを含む方法。

【請求項 9】

前記誘導プロセッサに対して、段の分離を命令し、段が去ったことを示す信号を提供するように前記 D I U を構成することをさらに含み、

前記段制御命令は、前記段が去ったことを示す信号の存在をチェックし、それに応答して、前記 F P G A に、次の段を制御するための段制御命令により前記誘導プロセッサを構成させるように構成されている請求項 8 記載の方法。

10

20

30

40

50

【発明の詳細な説明】

【発明の背景】

【0001】

発明の分野

本発明は、電気および電子の回路およびシステムに関する。より詳細には、本発明は、ミサイルの誘導および制御のために使用される、電気および電子の回路およびシステムに関する。

【0002】

関連技術の説明

核弾道ミサイルによってもたらされる脅威は、飛行中の弾道ミサイルを破壊することができる迎撃ミサイルに対する関心を促している。飛行中の初期に弾道ミサイルを破壊するために、迎撃ミサイルは、長距離能力を有していなければならない。現在、長距離能力は、多段式ミサイル迎撃設計を必要とする。

10

【0003】

多段式ミサイルは一般に、独立した、自動操縦、誘導およびナビゲーション、追跡、中間段階の通信、ならびに、ターゲット弁別、の機能を提供するための別々のアビオニクススーツを有する、ブースターロケットおよびペイロードアセンブリを有している。ブースターは、ペイロード放出後のミッションの責任をKV（キルビークル）に渡す。

【0004】

残念ながら、余分な電子ハードウェア、過大のハーネス配線、追加の電力リソース、および関連している、要求される機械の実装ハードウェア、の組み込みにより、別々の、ブースターおよびペイロードのアビオニクス処理は、設計およびアセンブリの複雑さおよびコストを増加させる。

20

【0005】

このアーキテクチャは、限定された処理能力によって以前に必要とされていたものであり、限定された処理能力は、システム全体にわたってネットワーク化される大きな専用のプロセッサを要求していた。これはまた、一般に、各段が異なる製造者によって製造され、各製造者は各段において電子回路を制御して適切かつ適時の動作を保証するプロセッサを含めるという事実にも部分的に起因していた。

【0006】

さらに、概して、多段式迎撃ミサイルの段の間の接続は、一般に、ポイントツーポイントのシリアルインターフェースであり、要求されるインターフェースの数は、階乗関係（ $N!$ ）において段の数（ N ）に関係している。例えば、3段の迎撃機は一般に、6個のインターフェース（ $3 \times 2 \times 1$ ）を要求し、一方、4段のビークルは一般に、24個のインターフェース（ $4 \times 3 \times 2 \times 1$ ）を要求する。これらのインターフェースは、ミサイルの重量を増やし、そのコストを増加させ、その性能を制限する配線を要求する。このアプローチはまた、独立したユニット間の、複雑な、相互接続とインターフェース通信プロトコルとを招来し、さらにソフトウェアの組み込み、アセンブリ、およびテスト要求を複雑にする。

30

【0007】

したがって、軽量の、低コストの、高性能の、多段式ミサイル迎撃機に対する技術的必要性が存在する。特に、多段式ミサイルにおける相互の段接続に関係付けられるコストおよび重量を低減させるシステムまたは方法に対する技術的必要性が残存する。

40

【発明の概要】

【0008】

技術的必要性は、本発明の多段式ミサイルによって対処される。ほとんどの一般的な実施形態において、本発明のミサイルは、隣接の段に物理的に結合され、隣接の段から物理的に切り離されるように適合されている複数の段と、ミサイルの各段を制御するために単一の段上に配置されたプロセッサとを含む。

【0009】

50

実例となる実施形態において、プロセッサは、フィールドプログラム可能ゲートアレイを含む。例示的な実施形態において、プロセッサは、4段式ミサイルの段4に配置され、各ステージに対する誘導およびナビゲーション機能と、段2、3および4に対する制御機能とを実行する。

【0010】

特定の実施形態において、ミサイルのそれぞれの段上にある電子回路にプロセッサを結合するために、シリアルバスインターフェースが含まれている。ベストモードにおいて、インターフェースは、物理層インターフェースとリンク層インターフェースとを有するIEEE1394bインターフェースである。

【図面の簡単な説明】

10

【0011】

【図1】図1は、従来の教示にしたがって実現される典型的な多段式迎撃ミサイルの、ナビゲーション、誘導、および制御システムの簡略化したブロック図である。

【図2a】図2は、本発明の教示にしたがって実現される典型的な多段式迎撃ミサイルの、ナビゲーション、誘導、および制御システムの実例となる構成を示すブロック図である。

【図2b】図2は、本発明の教示にしたがって実現される典型的な多段式迎撃ミサイルの、ナビゲーション、誘導、および制御システムの実例となる構成を示すブロック図である。

【図3】図3は、本教示にしたがった、デジタルインターフェースユニットの実例となる構成のブロック図である。

20

【図4】図4は、本教示にしたがった、デジタルインターフェースユニットが第2のプロセッサの付加によってスケールされる実例となる構成を示す簡略化したブロック図である。

【図5】図5は、本発明のデジタルインターフェースの誘導プロセッサによって実行されるソフトウェアの実例となる構成のフロー図である。

【発明の説明】

【0012】

本発明の有利な教示を開示する添付図面に関して、実例となる実施形態および例示的な応用を記述する。

30

【0013】

特定の応用に対する実例となる実施形態に関して、本発明をここで記述するが、本発明はそれに限定されないことを理解すべきである。当業者およびここで提供する教示にアクセスする者は、その範囲内の追加の修正、応用、および実施形態と、本発明が著しく有益である追加の分野とを認識するだろう。

【0014】

図1は、従来の教示にしたがって実現される典型的な多段式迎撃ミサイルの、ナビゲーション、誘導、および制御システムの簡略化したブロック図である。システム10'は、4つの段20'、30'、40'、および50'を含んでいる。段120'は、ブースターモータ24'を制御する第1の中央処理ユニット(CPU1)22'を有している。ブースターモータ24'は、武器システム制御装置29'によって起動される。

40

【0015】

従来の教示にしたがうと、第2段30'は、電力調整ユニット(PCUCCA)34'を制御する第2のCPU32'を有する。PCUCCA34'は、遠隔測定ユニット35'およびデュアルスラストロケットモータ(DTRM)36'と通信する。

【0016】

第3段40'は第3のCPU42'を有し、第3のCPU42'は、入力/出力回路カードアセンブリ(CCA)ユニット43'によって、慣性測定ユニット44'、遠隔測定システム45'、飛行終了システム(FTS)46'、全地球測位衛星(GPS)受信機49'、およびスラストベクターコントロール(TVC)制御装置47'と通信する。I

50

MUは、GPS補強型ナビゲーションシステム(GAINS)によってGPS受信機49'に結合されている。第3のCPUはまた、電気爆発デバイス(EEDCCA)41'によって、ノーズコーンアセンブリ60'と通信している。I/OCCAは、通信リンク55'によって通信する。

【0017】

第4段50'は、データ処理(52')と誘導処理(54')とを実行する第4のCPUである。データプロセッサ52'は、赤外線目標検知追尾装置58'に結合されている。誘導プロセッサ54'は、固体軌道修正姿勢制御システム(SDACS)56'に結合されている。第4段との通信は、第2の通信リンク57'により行われる。

【0018】

本教示にしたがって、各ブースター段の代わりに、キルピークル(KV)またはペイロード内に位置している単一のコンピュータに超小型処理機能を集中させるように構成されている迎撃機を開示する。本発明のシステムは、ブースター発射の出現からターゲットの迎撃までのピークルの飛行に対して、自動操縦、誘導およびナビゲーション、追跡、ならびに、ターゲット弁別、の機能を実行する、単一ノード中心の超小型処理システムを組み込んでいる。

【0019】

例示的な実施形態において、本システムはスケーラブルであり、ピークルが任意の数のロケットモータ段により構成されることを可能にする。これにより、電子アーキテクチャに影響を及ぼすことなく、ピークル全体の設計の再構成が可能になる。さらに、段の間の通信インターフェースが、IEEE1394bバスインターフェースの使用により単純化される。

【0020】

図2は、本発明の教示にしたがって実現される多段式迎撃ミサイルの、ナビゲーション、誘導、および制御システムの実例となる構成を示すブロック図である。図1のシステム10'の通り、本発明のシステム10は、第1段の電子機器モジュール20と、第2段のモジュール30と、第3段のモジュール40と、第4段のモジュール50とを含んでいる。しかしながら、本教示にしたがうと、単一のCPU52は、図1中で示したそれぞれの前の段におけるCPUの代わりに、第4段50中に設けられている。結果として、各段は、単純化した電子回路により機能する。より少ないインターフェースと、より少ない配線が段の間で要求される。これは、図2中で図示している。

【0021】

図2中で示すように、第4段50はデジタルインターフェースユニット(DIU)52を含み、デジタルインターフェースユニット(DIU)52は、ペイロードの保守および自動操縦のナビゲーションとともに、誘導、ナビゲーション、および制御、の機能を実行する。DIU52は、従来のバルブ駆動ユニット54および電力調整ユニット(PCU)56とともにフォワードアセンブリ上に配置されている。DIU52は、スイッチ61によって、従来の通信リンク58とアンテナ59とを通して通信する。遠隔測定ユニット60、暗号化回路62、スイッチ61、およびアンテナ59によって、遠隔測定がDIUに対して提供される。DIUはスイッチ61を制御し、遠隔測定ユニット60が段3上のアンテナまたは段4上のアンテナを使用することを可能にする。

【0022】

バルブ駆動ユニット54は、従来の液体軌道修正姿勢制御システム(LDACS)64によって動作する。従来の目標検知追尾装置アセンブリ70には、センサ72および電子機器パッケージ74が含まれている。目標検知追尾装置電子機器パッケージ74は、画像プロセッサ76とデータプロセッサ78とを含む。低温ユニット82が、目標検知追尾装置アセンブリ70中の赤外線センサ72のフォーカルプレーンアレイ71を冷却する。多数のバッテリーが、技術的に共通であるシステム全体にわたって配置されている。

【0023】

データプロセッサ78が、IMU80から入力を受け取り、DIU52と通信する。D

10

20

30

40

50

I U 5 2 は、シリアルバスインターフェース 8 0 によって、第 1、第 2、および第 3 の段中の電子機器サブシステムと通信する。好ましい実施形態において、シリアルバスインターフェース 8 0 は、I E E E 1 3 9 4 b インターフェースである。実例となる実施形態において、I E E E 1 3 9 4 b バスは、段 3、2、および 1 に及ぶ 6 芯ケーブルのインターフェースであり、段間のインターフェースは同じである。

【 0 0 2 4 】

第 3 段の電子機器サブシステムは、スラストベクター制御装置 (T V C) および姿勢制御システム (4 2) と、そのための制御装置 4 4 とを含む。制御装置 4 4 は、ディスクリート論理、特定用途向け集積回路、または他の適切な構成により実現してもよい。制御装置 4 4 は、バス 8 0 を通じて D I U 5 2 から、誘導、ナビゲーション、および自動操縦、

10

【 0 0 2 5 】

制御装置 4 4 は、電氣的に作動される爆発デバイス 4 6、電力調整ユニット (P C U) 4 8、および入力/出力インターフェース 4 1 に結合されている。I/Oインターフェース 4 1 は、搭載されている G P S 受信機 4 9 からピークルの位置データを受け取り、シリアルバス 8 0 を介して段 4 上の D I U 5 2 と通信する。I/Oインターフェース 4 1 およびバス 8 0 は、G P S、誘導、姿勢制御、および他の段に関連したデータが D I U 5 2 に送られることを可能にし、D I U が電気爆発デバイス 4 6 を作動させることにより段の放出をトリガすることを可能にする。爆発デバイスの作動に際して、スクイブが段の分離を行うために機械式のエジェクター 8 6 に送られる。スクイブは、第 4 段中のバッテリー 8 4 を作動させる機能を果たす高エネルギーパルスである。スクイブパルスはまた、低温ユニット 8 2 に適用される。従来の飛行終了システム (F T S) 8 8 が第 3 段中に含まれ、それは技術的に共通である。

20

【 0 0 2 6 】

第 2 段の電子機器パッケージ 3 0 は、シリアルバス 8 0 によって D I U 5 2 に結合されている。I M U 3 4 が機械の分離のために直線型装薬 (L S C) 3 6 とともに第 2 段中に含まれるという例外を除いて、第 2 段は第 3 段 4 0 と類似している。3 0 には C P U が無い。入力出力 (I / O) 制御装置 3 1 が、遠隔測定および慣性測定ユニットデータを収集する。

【 0 0 2 7 】

第 1 段 2 0 に対する電子機器パッケージは、スラストベクター制御装置 2 2 と、T V C 駆動装置 2 4 と、分離兵器 2 6 と、L S C 2 8 とを含む。第 2 および第 3 の段の通り、第 1 段 2 0 は、バス 8 0 によって D I U 5 2 に結合されている。

30

【 0 0 2 8 】

段の間で要求される接続は、アンテナ、シリアルバス、電力供給、およびスクイブに対するものだけであることに注目すべきである。

【 0 0 2 9 】

システム 1 0 は、多段の誘導および制御に対して要求されるソフトウェアが 1 つの段中に集中しているという点で、' 中心的 ' である。実例となる実施形態において、ソフトウェアは、第 4 段中の D I U 5 2 によって実行される。しかしながら、本教示は、それに限定されない。本教示の範囲から逸脱することなく、特定目的のプロセッサおよびハードウェア中で実現されるプロセッサを、D I U の汎用目的の C P U の代わりに使用してもよい。さらに、中心的なプロセッサは、段 4 以外のステージ上に位置していてもよい。

40

【 0 0 3 0 】

図 3 は、本教示にしたがった、デジタルインターフェースユニットの実例となる構成のブロック図である。図 3 の実例となる構成において、D I U 5 2 は、誘導プロセッサ 9 0 と、フィールドプログラム可能ゲートアレイ (F P G A) 1 1 0 と、I E E E 1 3 9 4 b バス制御装置 1 2 0 とを含む。実例となる実施形態において、誘導プロセッサ 9 0 は、3 つの、L 2 キャッシュ 9 2 を有する P C 7 5 0 F X または P C 7 5 0 G X、ならびに不揮発性 R A M およびフラッシュメモリ 9 4 を含む。以下でより十分に記述するように、シス

50

テムは、最小の、コスト、重量、および複雑さにより、プロセッサおよび段の追加を可能にするようにスケラブルである。

【0031】

FPGA110は、ザイリンクス(登録商標)のVirtex II Proまたは同等のゲートアレイにより実現してもよい。FPGA110は、さまざまな割込みを処理し、RS232インターフェースコードモジュール112、シリアルインターフェース114、およびカスタムインターフェース116が設けられている。RS232インターフェースは、第1のトランシーバ122およびRS422インターフェースによって、(示していない)デバッグポートまたは(示していない)予備のポートと通信する。シリアルインターフェース114は、第2のトランシーバ124および、低レベル差動信号(LVDS)またはRS422インターフェースによって、通信リンク58、遠隔測定ユニット60、およびIMU80と通信する。カスタムインターフェース116は、第3のトランシーバ126およびカスタムI/Oインターフェース116によって、目標検知追尾装置電子機器70、(示していない)兵器バルブ駆動装置、液体軌道修正姿勢制御(LDAC)64、および他のアナログデバイスと通信する。

10

【0032】

FPGA110は、メモリインターフェース118と周辺コンピュータインターフェース(PCI)コア119とをさらに含む。FPGA110は、ローカルバス96によって、誘導プロセッサ90およびバス制御装置120と通信する。FPGA110は、複数のポート、インターフェース、およびインターフェース論理回路を含み、複数のプロセッサがDIU52に加えられることを可能にする。これは、図4中に図示している。

20

【0033】

図4は、本教示にしたがった、デジタルインターフェースユニットが第2のプロセッサの追加によりスケラブルされる実例となる構成を示す単純化したブロック図である。図4において、第1および第2のプロセッサ90および91が、FPGA110によってシステム10に結合されている。

【0034】

図3に戻ると、バス制御装置120は、段と、(示していない)テストポートとの間にIEEE1394b接続性を提供する。このバスは、設計の簡潔性および頑強性のために段の間の“デージーチェーン”相互接続を可能にする。バス制御装置120は、物理層128とリンク層129とを含み、さもなければ、設計および機能において従来のものである。

30

【0035】

したがって、それぞれの段を通してシステムのアーキテクチャはスケラブルである。FPGA設計および段の間のIEEE1394bバスの相互接続は、複雑さを加えることなく、段の追加および削除を可能にする。したがって、プロセッサ、回路、および配線の、コストおよび重量の要求が低減される。

【0036】

図5は、本発明のデジタルインターフェースユニットの誘導プロセッサにより実行されるソフトウェアの実例となる構成のフロー図である。ソフトウェア100は、段1の制御ソフトウェア140を含む。段1の分離がDIU52(図2)によって命令されるとき、段1は分離し、‘段1が去った’信号が段2からの信号によってDIUに送られる。ステップ142において、ソフトウェア100が、この信号の存在をチェックし、それを受け取ると、段2の制御ソフトウェア(ステップ144)を作動させる。

40

【0037】

同様に、段2の分離がDIUによって命令されるとき、段2は分離し、‘段2が去った’信号が段3からの信号によってDIUに送られる。ステップ146において、ソフトウェア100が、この信号の存在をチェックし、それを受け取ると、段3の制御ソフトウェア(ステップ148)を作動させる。最後に、段3の分離がDIUによって命令されるとき、段3は分離し、‘段3が去った’信号が段4(ノーズアセンブリ)からの信号によ

50

てD I Uに送られる。ステップ150において、ソフトウェア100は、この信号の存在をチェックし、それを受け取ると、(別に示していない)段4(終端)の制御ソフトウェアを作動させる。

【0038】

このように、特定の応用に対する特定の実施形態に関して本発明をここで記述してきた。当業者および本教示にアクセスする者は、それらの範囲内の、追加の修正、応用、および実施形態を認識するだろう。

【0039】

それゆえに、特許請求の範囲によって、本発明の範囲内の、すべてのそのような応用、修正、および実施形態をカバーするように向けられている。

10

以下に、本願出願時の特許請求の範囲に記載された発明を付記する。

〔1〕多段式ミサイルシステム(10)において、隣接の段に物理的に結合され、隣接の段から物理的に切り離されるように適合されている複数の段(20、30、40、50)と、

各段を制御する、単一の段(50)上に配置されたプロセッサ(52)とにより特徴付けられる多段式ミサイルシステム(10)。

〔2〕前記プロセッサ(52)はさらに、前記各段上の電子回路に前記プロセッサ(52)を結合するシリアルバスインターフェース(80)を含む上記〔1〕記載の発明。

〔3〕前記インターフェース(80)は、IEEE1394bインターフェースである上記〔2〕記載の発明。

20

〔4〕前記インターフェース(80)は、物理層インターフェースを含む上記〔3〕記載の発明。

〔5〕前記インターフェース(80)は、リンク層インターフェースを含む上記〔4〕記載の発明。

〔6〕前記プロセッサ(52)は、前記段に対して誘導機能を実行するように適合されている上記〔1〕記載の発明。

〔7〕前記プロセッサ(52)は、前記段に対してナビゲーション機能を実行するよう

に適合されている上記〔1〕記載の発明。

〔8〕前記プロセッサ(52)は、前記段に対して制御機能を実行するように適合され

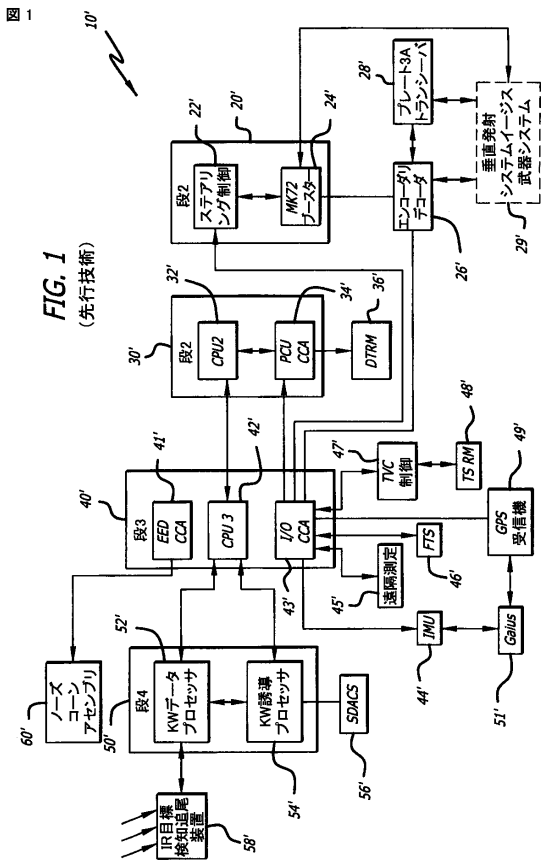
30

ている上記〔1〕記載の発明。

〔9〕前記プロセッサ(52)は、フィールドプログラム可能ゲートアレイ(110)

を含む上記〔1〕記載の発明。

【 図 1 】



【 図 2 b 】

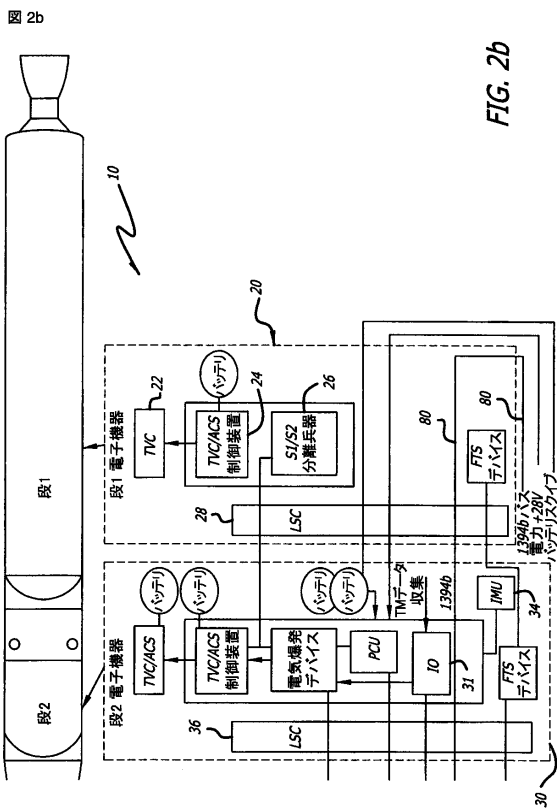


FIG. 2b

【 図 2 a 】

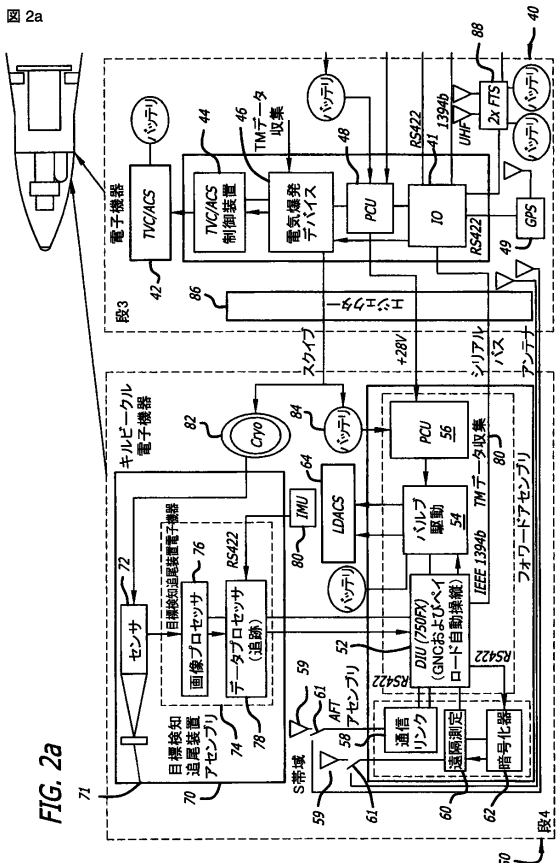


FIG. 2a

【 図 3 】

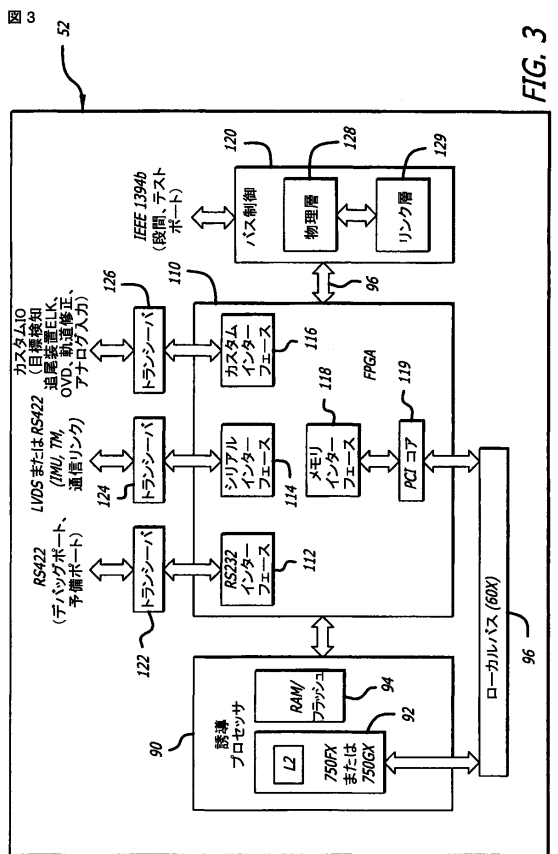


FIG. 3

【 図 4 】

図 4

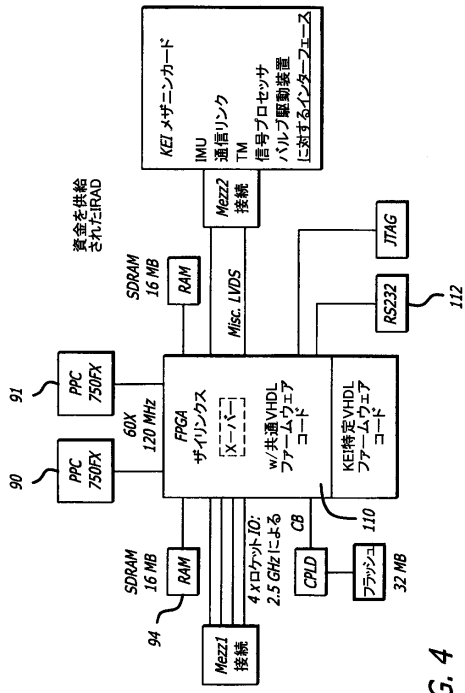


FIG. 4

【 図 5 】

図 5

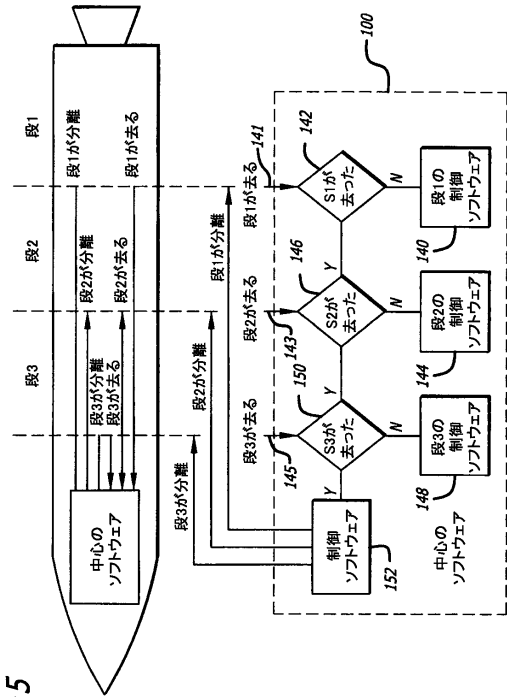


FIG. 5

フロントページの続き

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100119976

弁理士 幸長 保次郎

(72)発明者 シオー、チン・シー、

アメリカ合衆国、メリーランド州 21043、エリコプト・シティー、プレザント・パス 4317

(72)発明者 ファシアノ、アンドリュウ・ビー、

アメリカ合衆国、アリゾナ州 85737、タクソン、ノース・シルバー・フェザント・レーン 11438

審査官 水野 治彦

(56)参考文献 実開平03 - 128289 (JP, U)

特開2007 - 085627 (JP, A)

米国特許第7137588 (US, B2)

(58)調査した分野(Int.Cl., DB名)

F41G 7/22

F42B 15/01

F42B 15/08

F42B 15/10

F42B 15/36