

ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2006140785/12, 06.04.2005

(24) Дата начала отсчета срока действия патента:
06.04.2005(30) Конвенционный приоритет:
19.04.2004 US 10/827,142

(43) Дата публикации заявки: 27.05.2008

(45) Опубликовано: 20.02.2009 Бюл. № 5

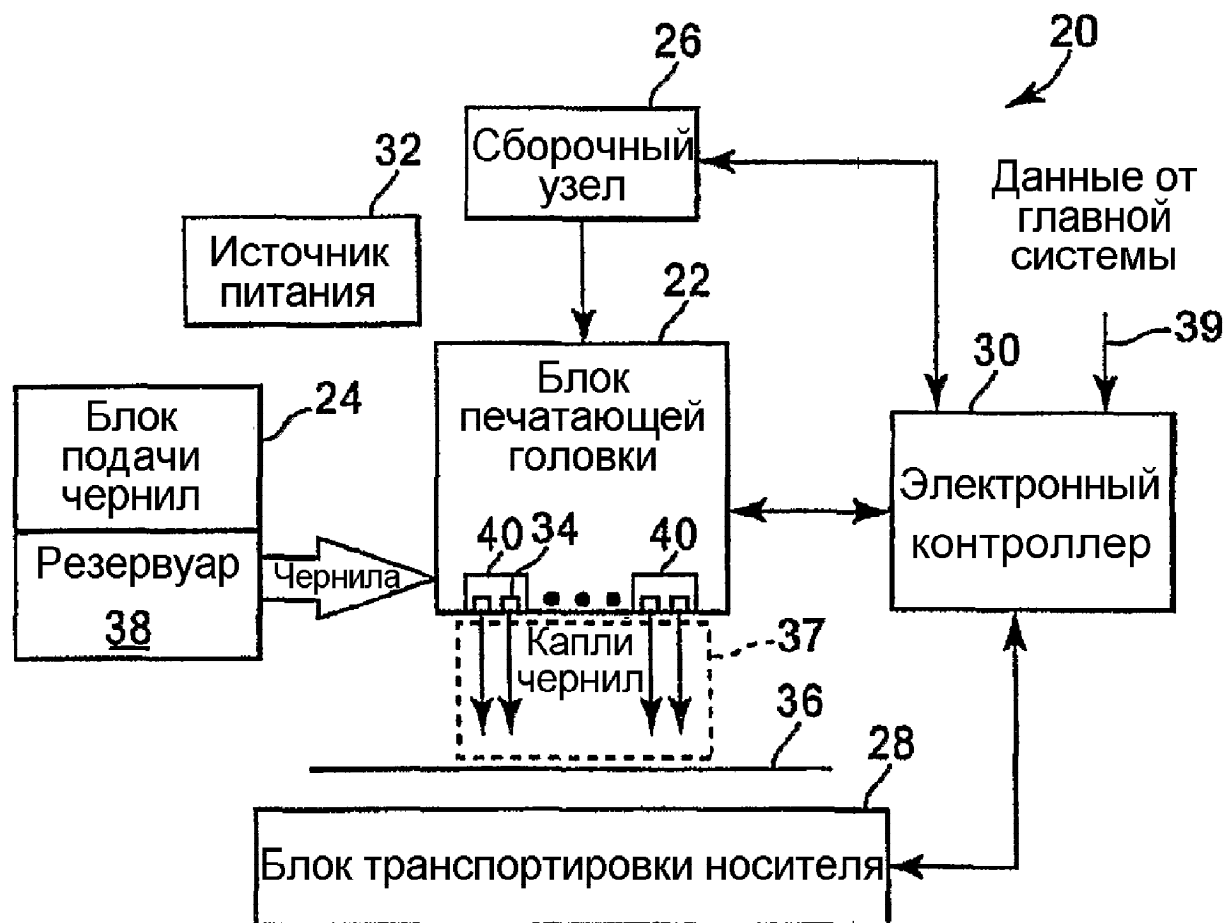
(56) Список документов, цитированных в отчете о
поиске: EP 1128324 A2, 29.08.2001. EP 1172211
A2, 16.01.2002. EP 1080898 A2, 07.03.2001. US
4377972 A, 29.03.1983. RU 2110409 C1,
10.05.1998.(85) Дата перевода заявки РСТ на национальную фазу:
20.11.2006(86) Заявка РСТ:
US 2005/011723 (06.04.2005)(87) Публикация РСТ:
WO 2005/105455 (10.11.2005)Адрес для переписки:
129090, Москва, ул. Б.Спасская, 25, стр. 3,
ООО "Юридическая фирма Городисский и
Партнеры", пат.пов. С.Р.Абубакирову, рег.№ 931(72) Автор(ы):
БЕНДЖАМИН Трудн Л. (US)(73) Патентообладатель(и):
ХЬЮЛЕТТ-ПАККАРД ДИВЕЛОПМЕНТ
КОМПАНИ, Л.П. (US)

(54) УСТРОЙСТВО ДЛЯ ЭЖЕКЦИИ ФЛЮИДА

(57) Реферат:

Настоящее изобретение относится к устройству для эжекции флюида. Устройство для эжекции флюида содержит нагревательные ячейки, включающие в себя первый банк нагревательных ячеек и второй банк нагревательных ячеек, первый генератор адреса, предназначенный для формирования сигнала в ответ на управляющий сигнал для выборочного обеспечения первой последовательности первых сигналов адреса, предназначенных для активации первого банка нагревательных ячеек, и для формирования второй последовательности вторых сигналов адреса, предназначенных для активации второго банка нагревательных ячеек, при этом вторая последовательность сигналов адреса выборочно подается независимо от первой

последовательности сигналов адреса. Способ эжекции флюида из устройства эжекции флюида заключается в том, что принимают управляющие сигналы, в ответ на управляющие сигналы выборочно подают первую последовательность первых сигналов адреса, предназначенных для активации первого банка нагревательных ячеек, и вторую последовательность для активации второго банка нагревательных ячеек, при этом для выборочной подачи принимают управляющие импульсы в одном из управляющих сигналов, принимают последовательность синхронизирующих импульсов в управляющих сигналах, отвечают на управляющие импульсы для инициализации первой последовательности и инициализации второй последовательности. Изобретение увеличивает скорость и улучшает



Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(51) Int. Cl.

B41J 2/05 (2006.01)

(12) ABSTRACT OF INVENTION

(21), (22) Application: 2006140785/12, 06.04.2005

(24) Effective date for property rights: 06.04.2005

(30) Priority:
19.04.2004 US 10/827,142

(43) Application published: 27.05.2008

(45) Date of publication: 20.02.2009 Bull. 5

(85) Commencement of national phase: 20.11.2006

(86) PCT application:
US 2005/011723 (06.04.2005)(87) PCT publication:
WO 2005/105455 (10.11.2005)

Mail address:
129090, Moskva, ul. B.Spasskaja, 25, str. 3,
OOO "Juridicheskaja firma Gorodisskij i
Partnery", pat.pov. S.R.Abubakirovu, reg.№ 931

(72) Inventor(s):
BENDZhAMIN Trudi L. (US)(73) Proprietor(s):
Kh'JuLETT-PAKKARD DEVELOPMENT KOMPANI,
L.P. (US)

(54) FLUID EJECTION DEVICE

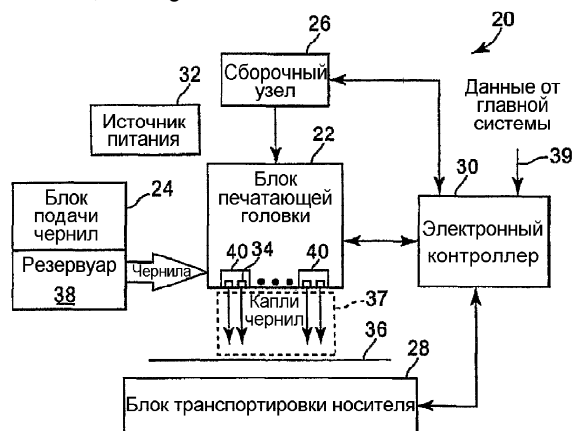
(57) Abstract:

FIELD: mechanics.

SUBSTANCE: proposed fluid ejection device incorporates heating cells comprising the first stock of heating cells and second stock of heating cells, the first address generator designed to generate signal in response to the control signal for selective sequence of the first address signals used to activate the first stock of heating cells and to generate the second address signals to activate the second stock of heating cells. Note here that the second sequence of signals is sent irrespective of the first one. The control signals are received and in response to the control signals the first sequence of the first address signals is selectively sent out to activate the first stock of heating cells and then the second sequence is sent to activate the second stock of heating cells. Note here that for selective transmission control pulses in one of the control signals are received, along with the

sequence of the sync pulses in the control signals. Note here that to initiate the first and second sequences, the control signals are duly processed.

EFFECT: higher speed and quality of printing.
20 cl, 20 dwg



Фиг. 1

Ссылка на родственные заявки

В основу настоящей заявки включены патентная заявка номер (не присвоен), номер поверенного № 200209168-1; патентная заявка номер (не присвоен), номер поверенного № 200208780-1; патентная заявка номер (не присвоен), номер поверенного № 200311485-1, патентная заявка номер (не присвоен), номер поверенного № 200210152-1, патентная заявка номер (не присвоен), номер поверенного № 200209237-1.

Область техники

Настоящее изобретение относится к устройству для эжекции флюида.

Уровень техники

Система струйной печати как один вариант воплощения системы для эжекции флюида может включать в себя печатающую головку, средство подачи чернил, которое обеспечивает подачу жидких чернил для печатающей головки, и электронный контроллер, который управляет печатающей головкой. Печатающая головка как один вариант воплощения устройства для эжекции флюида осуществляет эжекцию капель чернил через множество отверстий или сопел. Чернила эжектируются к печатному носителю, такому как лист бумаги, для печати изображения на печатном носителе. Сопла обычно расположены в одном или более массивах таким образом, чтобы должным образом упорядоченная эжекция чернил из сопел приводила к печати символов или других изображений на печатном носителе по мере того, как печатающая головка и печатный носитель перемещаются друг относительно друга.

В обычной системе термической струйной печати печатающая головка эжектирует капли чернил через сопла посредством быстрого нагревания маленьких объемов чернил, расположенных в камерах испарения. Чернила нагреваются с помощью маленьких электрических нагревателей, таких как тонкопленочные резисторы, называемые здесь нагревательные резисторы. При нагревании чернила испаряются и эжектируются через сопла.

Чтобы эжектировать одну каплю чернил, электронный контроллер, который управляет печатающей головкой, активизирует электрический ток от внешнего источника электропитания. Электрический ток передается через выбранный нагревательный резистор для нагревания чернил в соответствующей выбранной камере испарения и эжекции чернил через соответствующее сопло. Известные генераторы капель включают в себя нагревательный резистор, соответствующую камеру испарения и соответствующее сопло.

По мере развития струйных печатающих головок количество генераторов капель в печатающей головке увеличилось для увеличения скорости и/или улучшения качества печати. Увеличение количества генераторов капель в печатающей головке привело к соответствующему увеличению количества входных контактных площадок, необходимых для размещения на матрице печатающей головки для активизации большего количества нагревательных резисторов. В одном типе печатающей головки каждый нагревательный резистор соединен с соответствующей входной контактной площадкой для подачи энергии для активации нагревательного резистора. Одна входная контактная площадка на нагревательный резистор становится непрактичной по мере увеличения количества нагревательных резисторов.

Количество генераторов капель на входную контактную площадку значительно увеличено в другом типе печатающей головки, имеющей примитивы. Один питающий провод обеспечивает подачу энергии на все нагревательные резисторы в одном примитиве. Каждый нагревательный резистор соединен последовательно с питающим проводом и через сток-исток соответствующего полевого транзистора. Затвор каждого полевого транзистора в примитиве соединен с отдельно питаемым адресным выводом, который совместно используется несколькими примитивами.

Изготовители продолжают уменьшать количество входных контактных площадок и увеличивать количество генераторов капель на матрице печатающей головки. Печатающая головка с меньшим количеством входных контактных площадок обычно стоит меньше, чем печатающая головка с большим количеством входных контактных площадок. Кроме того,

печатающая головка с большим количеством генераторов капель обычно обеспечивает более высокое качество печати и/или большую скорость печати. Чтобы при тех же затратах обеспечивать конкретную высоту захвата печати, размер матрицы печатающей головки не может значительно изменяться с увеличенным количеством генераторов

5 капель. По мере того как плотность генераторов капель увеличивается и количество входных контактных площадок уменьшается, компоновка матрицы печатающей головки может становиться все более и более сложной.

По этой и другим причинам имеется потребность в настоящем изобретении.

Краткое описание чертежей

10 В дальнейшем изобретение поясняется описанием предпочтительных вариантов воплощения со ссылками на сопровождающие чертежи, на которых:

Фиг.1 изображает блок-схему системы струйной печати согласно изобретению;

Фиг.2 - схему части варианта воплощения матрицы печатающей головки согласно изобретению;

15 Фиг.3 - схему размещения генераторов капель, расположенных вдоль прорези для подачи чернил в одном варианте воплощения матрицы печатающей головки согласно изобретению;

Фиг.4 - схему нагревательной ячейки, используемой в матрице печатающей головки согласно изобретению;

20 Фиг.5 - схему массива нагревательных ячеек струйной печатающей головки согласно изобретению;

Фиг.6 - электрическую схему предварительно заряженной нагревательной ячейки согласно изобретению;

Фиг.7 - схему варианта воплощения массива нагревательных ячеек струйной печатающей головки согласно изобретению;

25 Фиг.8 - временную диаграмму работы массива нагревательных ячеек согласно изобретению;

Фиг.9 - схему генератора адреса в матрице печатающей головки согласно изобретению;

Фиг.10А - электрическую схему одной ячейки сдвигового регистра в сдвиговом регистре

30 согласно изобретению;

Фиг.10В - схему направления согласно изобретению;

Фиг.11 - временную диаграмму, иллюстрирующую работу генератора адреса в прямом направлении согласно изобретению;

Фиг.12 - временную диаграмму, иллюстрирующую работу генератора адреса в обратном

35 направлении согласно изобретению;

Фиг.13 - блок-схему двух генераторов адреса и шести нагревательных групп в матрице печатающей головки согласно изобретению;

Фиг.14 - временную диаграмму, иллюстрирующую прямое и обратное действие генераторов адреса в матрице печатающей головки согласно изобретению;

40 Фиг.15 - схему генератора адреса выбора банка в матрице печатающей головки согласно изобретению;

Фиг.16 - схему направления согласно изобретению;

Фиг.17 - временную диаграмму, иллюстрирующую работу генератора адреса выбора банка в прямом направлении согласно изобретению;

45 Фиг.18 - временную диаграмму, иллюстрирующую работу генератора адреса выбора банка в обратном направлении согласно изобретению;

Фиг.19 - схему двух генераторов адреса выбора банка и шести нагревательных групп в матрице печатающей головки согласно изобретению;

Фиг.20 - временную диаграмму, иллюстрирующую прямое действие и обратное действие

50 одного варианта воплощения двух генераторов адреса выбора банка в матрице печатающей головки согласно изобретению.

Подробное описание предпочтительных вариантов воплощения изобретения

В данном описании терминология указания направлений, такая как "верх", "низ", "перед", "зад", "передний", "задний" и т.д., используется относительно ориентации описываемых фигур. Поскольку элементы могут быть расположены во множестве других ориентаций, терминология указания направлений используется только для иллюстрации и никоим образом не является ограничивающей. Могут использоваться другие варианты воплощения. Объем настоящего изобретения определяется приложенной формулой изобретения.

На фиг.1 представлен один вариант воплощения системы 20 струйной печати. Система 20 струйной печати является вариантом воплощения системы для эжекции флюида, которая содержит устройство для эжекции флюида, например блок 22 струйной печатающей головки, и блок для подачи флюида, например блок 24 подачи чернил. Система 20 струйной печати также содержит сборочный узел 26, блок 28 транспортировки носителя и электронный контроллер 30. По меньшей мере, один источник 32 питания обеспечивает подачу энергии различным электрическим элементам системы 20 струйной печати.

В одном варианте воплощения блок 22 струйной печатающей головки содержит, по меньшей мере, одну печатающую головку или матрицу 40 печатающей головки, которая эжектирует капли чернил через множество отверстий или сопел 34 к печатному носителю 36, чтобы печатать на печатном носителе 36. Печатающая головка 40 является одним вариантом воплощения устройства для эжекции флюида. Печатный носитель 36 может быть любым типом подходящего листового материала, такого как бумага, стопка карт, прозрачные пленки, майлар, ткань и т.п. Как правило, сопла 34 размещены в одном или более столбцах или массивах таким образом, чтобы осуществлять упорядоченную эжекцию чернил из сопел 34, которая приводит к печати символов и/или другой графики или изображения на печатном носителе 36 по мере того, как блок 22 струйной печатающей головки и печатный носитель 36 перемещаются друг относительно друга. Хотя последующее описание относится к эжекции чернил из блока 22 печатающей головки 22, понятно, что другие жидкости, флюиды (текучие среды) или текущие материалы, включающие в себя чистый флюид, могут эжектироваться из блока 22 печатающей головки.

Блок 24 подачи чернил как один вариант воплощения блока подачи флюида обеспечивает подачу чернил для блока 22 печатающей головки и содержит резервуар 38 для хранения чернил. Чернила текут из резервуара 38 к блоку 22 струйной печатающей головки. Блок 24 подачи чернил и блок 22 струйной печатающей головки могут образовывать либо одностороннюю систему подачи чернил, либо рециркулирующую систему подачи чернил. В односторонней системе подачи чернил главным образом все чернила, поступающие в блок 22 струйной печатающей головки, расходуются во время печати. В рециркулирующей системе подачи чернил только часть чернил, поступающих в блок 22 печатающей головки, расходуется во время печати. Чернила, не употребленные во время печати, возвращаются в блок 24 подачи чернил.

В одном варианте воплощения блок 22 струйной печатающей головки и блок 24 подачи чернил размещены вместе в струйном картридже или пере. Струйный картридж или пере являются одним вариантом воплощения устройства для эжекции флюида. В другом варианте воплощения блок 24 подачи чернил установлен отдельно от блока 22 струйной печатающей головки и обеспечивает подачу чернил для блока 22 струйной печатающей головки через интерфейсное соединение, такое как питающая труба (не показана). В любом варианте воплощения резервуар 38 блока 24 подачи чернил может быть удален, заменен и/или снова наполнен. Если блок 22 струйной печатающей головки и блок 24 подачи чернил размещены вместе в струйном картридже, резервуар 38 содержит локальный резервуар, расположенный в пределах картриджа, и может также включать в себя больший резервуар, расположенный отдельно от картриджа. Отдельный больший резервуар служит для пополнения локального резервуара. В соответствии с этим отдельный больший резервуар и/или локальный резервуар могут быть удалены, заменены и/или снова наполнены.

Сборочный узел 26 обеспечивает размещение блока 22 струйной печатающей головки относительно блока 28 транспортировки носителя, который обеспечивает размещение печатного носителя 36 относительно блока 22 струйной печатающей головки. Таким образом, зона 37 печати определяется примыкающей к соплам 34 в области между блоком 22 струйной печатающей головки и печатным носителем 36. В одном варианте воплощения блок 22 струйной печатающей головки является блоком печатающей головки сканирующего типа. Сборочный узел 26 включает в себя каретку (не показана) для перемещения блока 22 струйной печатающей головки относительно блока 28 транспортировки носителя для сканирования печатного носителя 36. В другом варианте воплощения блок 22 струйной печатающей головки является блоком печатающей головки не сканирующего типа. Сборочный узел 26 обеспечивает закрепление блока 22 струйной печатающей головки в заданном положении относительно блока 28 транспортировки носителя. Таким образом, блок 28 транспортировки носителя обеспечивает расположение печатного носителя 36 относительно блока 22 струйной печатающей головки.

Электронный контроллер 30 или контроллер принтера обычно содержит процессор, встроенное программное обеспечение и другую электронику или любую их комбинацию для взаимодействия и управления блоком 22 струйной печатающей головки, сборочным узлом 26 и блоком 28 транспортировки носителя. Электронный контроллер 30 принимает данные 39 от главной системы, такой как компьютер, и обычно включает в себя память для временного хранения данных 39. Как правило, данные 39 пересылаются системе 20 струйной печати по электронному, инфракрасному, оптическому или другому пути передачи информации. Данные 39 представляют собой, например, документ и/или файл, который должен быть напечатан. Данные 39 образуют задание по выводу на печать для системы 20 струйной печати и включают в себя одну или более команд задания по выводу на печать и/или параметры команды.

В одном варианте воплощения электронный контроллер 30 управляет блоком 22 струйной печатающей головки для эжекции капель чернил из сопел 34. Электронный контроллер 30 определяет шаблон эжектируемых капель чернил, которые формируют символы и/или другую графику или изображения на печатном носителе 36. Шаблон эжектируемых капель чернил определяется командами задания по выводу на печать и/или параметрами команды.

В одном варианте воплощения блок 22 струйной печатающей головки содержит одну печатающую головку 40. В другом варианте воплощения блок 22 струйной печатающей головки является блоком печатающей головки с массивом головок или несколькими головками. В варианте с массивом головок блок 22 струйной печатающей головки содержит несущую, на которой размещены матрицы 40 печатающей головки, обеспечивает электрическое соединение между матрицами 40 печатающей головки и электронным контроллером 30 и содержит канал для жидкостного соединения между матрицами 40 печатающей головки и блоком 24 подачи чернил.

На фиг.2 представлен вариант воплощения матрицы 40 печатающей головки. Матрица 40 печатающей головки содержит массив печатающих или эжектирующих флюид элементов 42. Элементы 42 сформированы на подложке 44, которая имеет прорезь 46 для подачи чернил. Через прорезь 46 для подачи чернил осуществляется подача жидких чернил к печатающим элементам 42. Прорезь 46 подачи чернил является одним вариантом воплощения источника подачи флюида. Другие варианты воплощения источников подачи флюида включают в себя, но не ограничиваясь этим, соответствующие индивидуальные отверстия для подачи чернил к соответствующим камерам испарения и нескольким более коротким канавкам для подачи чернил, через каждую из которых осуществляется подача чернил соответствующим группам эжектирующих флюид элементов. Тонкопленочная структура 48 имеет канал 54 подачи чернил, который связан с прорезью 46 для подачи чернил, сформированной в подложке 44. Слой 50 отверстий имеет лицевую сторону 50а и отверстие 34 сопла, сформированное на лицевой стороне 50а. Слой 50 отверстий также имеет камеру сопла или камеру 56 испарения, которая соединена с отверстием 34 сопла и

каналом 54 подачи чернил тонкопленочной структуры 48. Нагревательный резистор 52 расположен в пределах камеры 56 испарения, выводы 58 электрически соединяют нагревательный резистор 52 со схемой, управляющей подачей электрического тока к выбранному нагревательному резистору. Генератор 60 капель содержит нагревательный резистор 52, камеру сопла или камеру 56 испарения и отверстие 34 сопла.

Во время печати чернила текут от прорези 46 для подачи чернил к камере 56 испарения через канал 54 для подачи чернил. Отверстие 34 сопла связано с нагревательным резистором 52 таким образом, что капельки чернил в камере 56 испарения эжектируются через отверстие 34 сопла, например, главным образом перпендикулярно плоскости нагревательного резистора 52 к печатному носителю 36 после подачи энергии на нагревательный резистор 52.

В различных вариантах воплощения матрицы 40 печатающей головки содержат термическую печатающую головку, пьезоэлектрическую печатающую головку, электростатическую печатающую головку или любой другой тип устройства эжекции флюида, известного в этой области техники, которое может быть интегрировано в многослойную структуру. Подложка 44 сформирована, например, из кремния, стекла, керамики или устойчивого полимера, а тонкопленочная структура 48 сформирована для включения в себя одного или более слоев пассивирования или изоляции из диоксида кремния, карбида кремния, нитрида кремния, тантала, поликремниевого стекла или другого подходящего материала. Тонкопленочная структура 48 также включает в себя по меньшей мере один проводящий слой, который представляет собой нагревательный резистор 52 и выводы 58. В одном варианте воплощения проводящий слой содержит, например, алюминий, золото, тантал, тантал-алюминий или другой металл или металлический сплав. В одном варианте воплощения схема нагревательных ячеек, такая как описана подробно ниже, реализована в подложке и тонкопленочных слоях, таких как подложка 44 и тонкопленочная структура 48.

В одном варианте воплощения слой 50 отверстий содержит светочувствительную эпоксидную смолу, например эпоксидную смолу, называемую SU8, поставляемую Micro-Chem, Ньютон, штат Массачусетс. Методики изготовления слоя 50 отверстий из SU8 или других полимеров подробно описаны в патенте США №6162589. В одном варианте воплощения слой 50 отверстий сформирован в виде двух отдельных слоев, называемых барьерным слоем (например, барьерный слой сухой пленки фоторезиста) и металлическим слоем отверстий (например, слой никеля, меди, сплава железа/никеля, палладия, золота или родия), сформированным поверх барьерного слоя. Однако могут использоваться другие подходящие материалы для формирования слоя 50 отверстий.

На фиг.3 представлены генераторы 60 капель, расположенные вдоль прорези 46 для подачи чернил. Прорезь 46 подачи чернил имеет противоположные стороны 46a и 46b. Генераторы 60 капель расположены вдоль каждой из противоположных сторон 46a и 46b прорези подачи чернил. В общей сложности n генераторов 60 капель расположены вдоль прорези 46 подачи чернил, m генераторов 60 капель расположены вдоль стороны 46a прорези подачи чернил, и n - m генераторов 60 капель расположены вдоль стороны 46b прорези подачи чернил. В одном варианте воплощения n равно 200 генераторам 60 капель, расположенных вдоль прорези 46 подачи чернил, и m равно 100 генераторам 60 капель, расположенных вдоль каждой из противоположных сторон 46a и 46b прорези подачи чернил. В других вариантах воплощения любое подходящее количество генераторов 60 капель может быть расположено вдоль прорези 46 подачи чернил.

Прорезь 46 подачи чернил обеспечивает подачу чернил каждому из n генераторов 60 капель, расположенных вдоль прорези 46 подачи чернил. Каждый из n генераторов 60 капель содержит нагревательный резистор 52, камеру 56 испарения и сопло 34. Каждая из n камер 56 испарения соединена посредством жидкой среды с прорезью 46 подачи чернил, по меньшей мере, через один канал 54 подачи чернил. На нагревательные резисторы 52 генераторов 60 капель подается энергия в управляемой последовательности для эжекции флюида из камер 56 испарения через сопла 34 для печати изображения на печатном

носителе 36.

На фиг.4 представлен вариант воплощения нагревательной ячейки 70, используемой в матрице 40 печатающей головки. Нагревательная ячейка 70 содержит нагревательный резистор 52, переключатель 72 возбуждения резистора и схему 74 памяти. Нагревательный резистор 52 является частью генератора 60 капель. Переключатель 72 возбуждения и схема 74 памяти являются частью схемы, которая управляет подачей электрического тока к нагревательному резистору 52. Нагревательная ячейка 70 сформирована в тонкопленочной структуре 48 и на подложке 44.

В одном варианте воплощения нагревательный резистор 52 является тонкопленочным резистором, а переключатель 72 возбуждения является полевым транзистором. Нагревательный резистор 52 электрически соединен с шиной 76 зажигания и с линией стока истока переключателя 72 возбуждения. Сток-исток переключателя 72 возбуждения также электрически соединен с опорной линией 78, которая соединена с опорным напряжением, таким как земля. Затвор переключателя 72 возбуждения электрически соединен со схемой 74 памяти, которая управляет состоянием переключателя 72 возбуждения.

Схема 74 памяти электрически соединена с шиной 80 данных и шинами 82 разрешающих сигналов. Шина 80 данных принимает сигнал данных, который представляет часть изображения, и шины 82 разрешающих сигналов принимают разрешающие сигналы для управления работой схемы 74 памяти. Схема 74 памяти хранит один бит данных, когда он включается разрешающими сигналами. Логический уровень сохраненного бита данных устанавливает состояние (например, включено или выключено, проводящий или непроводящий) переключателя 72 возбуждения. Разрешающие сигналы могут включать в себя один или более сигналов выбора и один или более сигналов адреса.

Шина 76 запуска принимает сигнал энергии, содержащий импульсы энергии, и подает импульс энергии нагревательному резистору 52. В одном варианте воплощения электронный контроллер 30 подает импульсы энергии в заданное по времени время начало и с заданной по времени продолжительностью для обеспечения надлежащего количества энергии для нагревания и испарения жидкости в камере 56 испарения генератора 60 капель. Если переключатель 72 возбуждения включен (проводит ток), импульс энергии нагревает нагревательный резистор 52 для нагревания и эжекции флюида из генератора 60 капель. Если переключатель 72 возбуждения выключен (не проводит ток), импульс энергии не нагревает нагревательный резистор 52 и жидкость остается в генераторе 60 капель.

На фиг.5 представлен вариант воплощения массива 100 нагревательной ячейки струйной печатающей головки. Массив 100 нагревательной ячейки содержит множество нагревательных ячеек 70, размещенных в n группах 102a-102n. В одном варианте воплощения нагревательные ячейки 70 размещены в шести нагревательных группах 102a-102n. В других вариантах воплощения нагревательные ячейки 70 могут быть размещены в любом подходящем количестве нагревательных групп 102a-102n, например четырех или более нагревательных групп 102a-102n.

Нагревательные ячейки 70 в массиве 100 схематически размещены в L рядов и m столбцов. L рядов нагревательных ячеек 70 электрически соединены с шинами 104 разрешающих сигналов, которые принимают разрешающие сигналы. Каждый ряд нагревательных ячеек 70, называемый здесь как подгруппа ряда или подгруппа нагревательных ячеек 70, электрически соединен с одним набором шин 106a-106L разрешающих сигналов подгрупп. Шины 106a-106L разрешающих сигналов подгрупп принимают разрешающие сигналы SG1, SG2... SGL подгрупп, которые активируют соответствующую подгруппу нагревательных ячеек 70.

m столбцов электрически соединены с m шин 108a-108m данных, которые принимают сигналы D1, D2... Dm данных соответственно. Каждый из m столбцов содержит нагревательные ячейки 70 в каждой из n нагревательных групп 102a-102n, и каждый столбец нагревательных ячеек 70, называемый здесь группой шины данных или группой данных, электрически соединен с одной из шин 108a-108m данных. Другими словами,

каждая из шин 108a-108m данных электрически соединена с каждой из нагревательных ячеек 70 в одном столбце, в том числе, с нагревательными ячейками 70 в каждой из нагревательных групп 102a-102n. Например, шина 108a данных электрически соединена с каждой из нагревательных ячеек 70 в крайнем левом столбце, в том числе с

5 нагревательными ячейками 70 в каждой из нагревательных групп 102a-102n. Шина 108b данных электрически соединена с каждой из нагревательных ячеек 70 в смежном столбце и так далее до шины 108m данных включительно, которая электрически соединена с каждой из нагревательных ячеек 70 в крайнем правом столбце, в том числе с нагревательными ячейками 70 в каждой из нагревательных групп 102a-102n.

10 В одном варианте воплощения массив 100 организован в шесть нагревательных групп 102a-102n и каждая из этих шести нагревательных групп 102a-102n содержит 13 подгрупп и восемь групп шины данных. В других вариантах воплощения массив 100 может содержать любое подходящее количество нагревательных групп 102a-102n и любое

15 подходящее количество подгрупп и групп шины данных. В любом варианте воплощения нагревательные группы 102a-102n не ограничены наличием одного и того же количества подгрупп и групп шины данных. Вместо этого каждая из нагревательных групп 102a-102n может иметь различное количество подгрупп и/или групп шины данных по сравнению с

20 любой другой нагревательной группой 102a-102n. Кроме того, каждая подгруппа может иметь различное количество нагревательных ячеек 70 по сравнению с любой другой подгруппой, и каждая группа шины данных может иметь различное количество

нагревательных ячеек 70 по сравнению с любой другой группой шины данных.

Нагревательные ячейки 70 в каждой из нагревательных групп 102a-102n электрически соединены с одной из шин 110a-110n зажигания. В нагревательной группе 102a каждая из нагревательных ячеек 70 электрически соединена с шиной 110a зажигания, которая

25 принимает сигнал зажигания или сигнал FIRE1 энергии. В нагревательной группе 102b каждая из нагревательных ячеек 70 электрически соединена с шиной 110b зажигания, которая принимает сигнал зажигания или сигнал FIRE2 энергии и так далее до

нагревательной группы 102n включительно, в которой каждая из нагревательных ячеек 70 электрически соединена с шиной 110n зажигания, которая принимает сигнал зажигания или

30 сигнал FIREn энергии. Кроме того, каждая из нагревательных ячеек 70 в каждой из нагревательных групп 102a-102n электрически соединена с общей опорной шиной 112, которая связана с землей.

Во время работы разрешающие сигналы SG1, SG2... SGL подгруппы подаются на шины 106a-106L разрешающих сигналов подгруппы для активирования одной подгруппы

35 нагревательных ячеек 70. Активированные нагревательные ячейки 70 сохраняют сигналы D1, D2... Dm на шинах 108a-108m данных. Сигналы D1, D2... Dm данных сохраняются в схемах 74 памяти активированных нагревательных ячеек 70. Каждый из сохраненных сигналов D1, D2... Dm данных устанавливает состояние переключателя 72 возбуждения в

одной из активированных нагревательных ячеек 70. Переключатель 72 возбуждения

40 устанавливается для проведения тока или непроведения тока на основе сохраненного значения сигнала данных.

После того как состояния выбранных переключателей 72 возбуждения установлены, сигнал FIRE1-FIREn энергии подается на шину 110a-110n зажигания, соответствующую

нагревательной группе 102a-102n, которая включает в себя выбранную подгруппу

45 нагревательных ячеек 70. Сигнал FIRE1-FIREn энергии содержит импульс энергии. Импульс энергии подается на выбранную шину 110a-110n зажигания для подачи энергии на

нагревательные резисторы 52 в нагревательных ячейках 70, которые имеют проводящие переключатели 72 возбуждения. Нагревательные резисторы 52, на которые подана энергия, нагревают и эжектируют чернила на печатный носитель 36 для печати

50 изображения, представленного сигналами D1, D2... Dm данных. Процесс активирования подгруппы нагревательных ячеек 70, хранения сигналов D1, D2... Dm данных в активированной подгруппе и обеспечения сигнала FIRE1-FIREn энергии для подачи энергии на нагревательные резисторы 52 в активированной подгруппе продолжается, пока печать

не остановится.

В одном варианте воплощения, когда сигнал FIRE1-FIREn энергии подается к выбранной нагревательной группе 102a-102n, разрешающие сигналы SG1, SG2... SGL подгруппы изменяются для выбора и активирования другой подгруппы в другой нагревательной группе 102a-102n. Новая активированная подгруппа сохраняет сигналы D1, D2... Dm данных на шинах 108a-108m данных, и сигналы FIRE1-FIREn энергии подаются на одну из шин 110a-110n зажигания для подачи энергии на нагревательные резисторы 52 в новых активированных нагревательных ячейках 70. В любой момент только одна подгруппа нагревательных ячеек 70 активируется разрешающими сигналами SG1, SG2... SGL подгруппы для сохранения сигналов D1, D2... Dm данных на шинах 108a-108m данных. В этом случае сигналы D1, D2... Dm данных на шинах 108a-108m данных являются мультиплексированными сигналами данных с разделением по времени. Кроме того, только одна подгруппа в отобранной нагревательной группе 102a-102n включает в себя переключатели 72 возбуждения, которые установлены для проведения тока, когда сигнал FIRE1-FIREn энергии подается к выбранной нагревательной группе 102a-102n. Однако сигналы FIRE1-FIREn энергии, подаваемые различным нагревательным группам 102a-102n, могут накладываться и накладываются.

На фиг.6 представлен вариант воплощения предварительно заряженной нагревательной ячейки 120. Предварительно заряженная нагревательная ячейка 120 является одним вариантом воплощения нагревательной ячейки 70. Предварительно заряженная нагревательная ячейка 120 содержит переключатель 172 возбуждения, электрически соединенный с нагревательным резистором 52. В одном варианте воплощения переключатель 172 возбуждения является полевым транзистором, включающий в себя линию исток-сток, электрически соединенную с одного конца с одним выводом нагревательного резистора 52 и с другого конца с опорной шиной 122. Опорная шина 122 связана с опорным напряжением, таким как земля. Другой вывод нагревательного резистора 52 электрически соединен с шиной 124 зажигания, которая принимает сигнал зажигания или сигнал FIRE энергии, содержащий импульсы энергии. Импульсы энергии активируют нагревательный резистор 52, если переключатель 172 включен (проводит ток).

Затвор переключателя 172 возбуждения образует емкостное сопротивление 126 узла хранения, который функционирует как элемент памяти для хранения данных в соответствии с последовательной активацией транзистора 128 предварительной зарядки 128 и транзистора 130 выбора. Сток-исток и затвор транзистора 128 предварительной зарядки электрически соединены с шиной 132 предварительной зарядки, которая принимает сигнал предварительной зарядки. Затвор переключателя 172 возбуждения электрически соединен с линией исток-сток транзистора 128 предварительной зарядки и исток-сток транзистора 130 выбора. Ворота транзистора 130 выбора электрически соединены с шиной 134 выбора, которая принимает сигнал выбора. Емкостное сопротивление 126 узла хранения показано пунктирными линиями, поскольку оно является частью переключателя 172 возбуждения. В качестве альтернативы конденсатор, отдельный от переключателя 172 возбуждения, может использоваться как элемент памяти.

Транзистор 136 данных, первый транзистор 138 адреса и второй транзистор 140 адреса содержат исток-сток, которые электрически соединены параллельно. Параллельная комбинация транзистора 136 данных, первого транзистора 138 адреса и второго транзистора 140 адреса, электрически соединена между сток-исток транзистора 130 выбора и опорной шиной 122. Последовательная схема, содержащая транзистор 130 выбора, соединенный с параллельной комбинацией транзистора 136 данных, первого транзистора 138 адреса и второго транзистора 140 адреса электрически соединена через емкостное сопротивление 126 узла переключателя 172 возбуждения. Затвор транзистора 136 данных электрически соединен с шиной 142 данных, которая принимает сигналы ~DATA данных. Затвор первого транзистора 138 адреса электрически соединен с шиной 144 адреса, которая принимает сигналы ~ADDRESS1 адреса, и затвор второго транзистора 140 адреса электрически соединен со второй шиной 146 адреса, которая

принимает сигналы $\sim$ ADDRESS2 адреса. Сигналы $\sim$ DATA данных и сигналы $\sim$ ADDRESS1 и $\sim$ ADDRESS2 являются активными при низком уровне сигнала, как обозначено тильдой ($\sim$) в начале названия сигнала. Емкостное сопротивление 126 узла, транзистор 128 предварительной зарядки, транзистор 130 выбора, транзистор 136 данных и транзисторы 138 и 140 адреса образуют ячейку памяти.

Во время работы емкостное сопротивление 126 узла предварительно заряжается через транзистор 128 предварительной зарядки путем подачи импульса напряжения высокого уровня на шину 132 предварительной зарядки. В одном варианте воплощения после подачи импульса напряжения высокого уровня на шину 132 предварительной зарядки сигнал $\sim$ DATA данных подается на шину 142 данных для установки состояния транзистора 136 данных и сигналы $\sim$ ADDRESS1 и $\sim$ ADDRESS2 адреса подаются на шины 144 и 146 адреса для установки состояния первого транзистора 138 адреса и второго транзистора 140 адреса. Импульс напряжения достаточной величины подается на шину 134 выбора для включения транзистора 130 выбора, и емкостное сопротивление 126 узла разряжается, если транзистор 136 данных, первый транзистор 138 адреса и/или второй транзистор 140 адреса включены. В качестве альтернативы емкостное сопротивление 126 узла остается заряженным, если транзистор 136 данных, первый транзистор 138 адреса и второй транзистор 140 адреса все выключены.

Предварительно заряженная нагревательная ячейка 120 является адресной нагревательной ячейкой, если оба сигнала $\sim$ ADDRESS1 и $\sim$ ADDRESS2 адреса имеют низкий уровень, и емкостное сопротивление 126 узла либо разряжается, если сигнал $\sim$ DATA данных имеет высокий уровень, либо остается заряженным, если сигнал $\sim$ DATA данных имеет низкий уровень. Предварительно заряженная нагревательная ячейка 120 не является адресной нагревательной ячейкой, если, по меньшей мере, один из сигналов $\sim$ ADDRESS1 и $\sim$ ADDRESS2 адреса имеет высокий уровень, и емкостное сопротивление 126 узла разряжается независимо от уровня напряжения сигнала $\sim$ DATA данных. Первый и второй транзисторы 136 и 138 адреса содержат дешифратор адреса, а транзистор 136 данных управляет уровнем напряжения на емкостном сопротивлении 126 узла, если предварительно заряженная нагревательная ячейка 120 является адресной.

Предварительно заряженная нагревательная ячейка 120 может использовать любое количество других топологий или компоновок, пока поддерживаются описанные выше операционные отношения. Например, клапан "ИЛИ" может быть соединен с шинами 144 и 146 адреса, вывод которого соединен с одним транзистором.

На фиг.7 представлен один вариант воплощения массива 200 нагревательных ячеек струйной печатающей головки. Массив 200 нагревательных ячеек содержит множество предварительно заряженных нагревательных ячеек 120, скомпонованных в шесть нагревательных групп 202a-202f. Предварительно заряженные нагревательные ячейки 120 в каждой нагревательной группе 202a-202f схематично скомпонованы в 13 рядов и восемь столбцов. Нагревательные группы 202a-202f и предварительно заряженные нагревательные ячейки 120 в массиве 200 схематично скомпонованы в 78 рядов и восемь столбцов, хотя количество предварительно заряженных нагревательных ячеек и их компоновка могут быть изменены.

Восемь столбцов предварительно заряженных нагревательных ячеек 120 электрически соединены с восемью шинами 208a-208h данных, которые принимают сигналы $\sim$ D1, $\sim$ D2... $\sim$ D8 данных соответственно. Каждый из восьми столбцов, называемых здесь группой шины данных или группой данных, включает в себя предварительно заряженные нагревательные ячейки 120 в каждой из шести нагревательных групп 202a-202f. Каждая из нагревательных ячеек 120 в каждом столбце предварительно заряженных нагревательных ячеек 120 электрически соединена с одной из шин 208a-208h данных. Все предварительно заряженные нагревательные ячейки 120 в группе шины данных электрически соединены с той же самой шиной 208a-208-ой данных, которая электрически соединена с затворами транзисторов 136 данных в предварительно заряженных нагревательных ячейках 120 в столбце.

Шина 208a данных электрически соединена с каждой из предварительно заряженных нагревательных ячеек 120 в крайне левом столбце, в том числе с предварительно заряженными нагревательными ячейками в каждой из нагревательных групп 202a-202f.

Шина 208b данных электрически соединена с каждой из предварительно заряженных нагревательных ячеек 120 в смежном столбце и так далее до шины 208h данных включительно, которая электрически соединена с каждой из предварительно заряженных нагревательных ячеек 120 в крайнем правом столбце, в том числе с предварительно заряженными нагревательными ячейками 120 в каждой из нагревательных групп 202a-202f.

Ряды предварительно заряженных нагревательных ячеек 120 электрически соединены с шинами 206a-206g адреса, которые принимают сигналы ~A1, ~A2... ~A7 адреса соответственно. Каждая предварительно заряженная нагревательная ячейка 120 в ряду предварительно заряженных нагревательных ячеек 120, называемом здесь подгруппой ряда или подгруппой предварительно заряженных нагревательных ячеек 120, электрически соединена с двумя из шин 206a-206g адреса. Все предварительно заряженные нагревательные ячейки 120 в подгруппе ряда электрически соединены с теми же самыми двумя шинами 206a-206g адреса.

Подгруппы нагревательных групп 202a-202f идентифицированы как подгруппы от SG1-1 до SG1-13 в нагревательной группе 202a один (FG1), подгруппы от SG2-1 до SG2-13 в нагревательной группе 202b два (FG2) и так далее до подгруппы от SG6-1 до SG6-13 включительно в нагревательной группе 202f шесть (FG6). В других вариантах воплощения каждая нагревательная группа 202a-202f может включать в себя любое подходящее количество подгрупп, например 14 или более подгрупп.

Каждая подгруппа предварительно заряженных нагревательных ячеек 120 электрически соединена с двумя шинами 206a-206g адреса. Две шины 206a-206g адреса, соответствующие подгруппе, электрически соединены с первым и вторым транзисторами 138 и 140 адреса во всех предварительно заряженных нагревательных ячейках 120 из подгруппы. Одна шина 206a-206g адреса электрически соединена с затвором одного из первого и второго транзисторов 138 и 140 адреса, и другая шина 206a-206g адреса электрически соединена с затвором другого из первого и второго транзисторов 138 и 140 адреса. Шины 206a-206g адреса принимают сигналы ~A1, ~A2... ~A7 адреса и соединены для подачи сигналов ~A1, ~A2... ~A7 адреса подгруппам массива 200 следующим образом:

Сигналы адреса подгруппы ряда	Подгруппы ряда
~A1, ~A2	SG1-1, SG2-1... SG6-1
~A1, ~A3	SG1-2, SG2-2... SG6-2
~A1, ~A4	SG1-3, SG2-3... SG6-3
~A1, ~A5	SG1-4, SG2-4... SG6-4
~A1, ~A6	SG1-5, SG2-5... SG6-5
~A1, ~A7	SG1-6, SG2-6... SG6-6
~A2, ~A3	SG1-7, SG2-7... SG6-7
~A2, ~A4	SG1-8, SG2-8... SG6-8
~A2, ~A5	SG1-9, SG2-9... SG6-9
~A2, ~A6	SG1-10, SG2-10... SG6-10
~A2, ~A7	SG1-11, SG2-11... SG6-11
~A3, ~A4	SG1-12, SG2-12... SG6-12
~A3, ~A5	SG1-13, SG2-13... SG6-13

К подгруппам предварительно заряженных нагревательных ячеек 120 обращаются путем подачи сигналов ~A1, ~A2... ~A7 адреса на шинах 206a-206g адреса. В одном варианте воплощения шины 206a-206g адреса электрически соединены с одним или более генераторами адреса на матрице 40 печатающей головки.

Шины 210a-210f предварительной зарядки принимают сигналы PRE1, PRE2... PRE6 предварительной зарядки и подают сигналы PRE1, PRE2... PRE6 предварительной зарядки соответствующим нагревательным группам 202a-202f. Шина 210a предварительной зарядки электрически соединена со всеми из предварительно заряженных нагревательных ячеек 120 в FG1 202a. Шина 210b предварительной зарядки электрически соединена со всеми предварительно заряженными нагревательными ячейками 120 в FG2 202b и так

далее до шины 210f предварительной зарядки включительно, которая электрически соединена со всеми предварительно заряженными нагревательными ячейками 120 в FG6 202f. Каждая из шин предварительной зарядки 210a-210f электрически соединена с затвором и линией сток-исток всех транзисторов 128 предварительной зарядки в

5 соответствующей нагревательной группе 202a-202f, и все предварительно заряженные нагревательные ячейки 120 в нагревательной группе 202a-202f электрически соединены только с одной шиной 210a-210f предварительной зарядки. Таким образом, емкостные сопротивления 126 узла из всех предварительно заряженных нагревательных ячеек 120 в нагревательной группе 202a-202f заряжаются путем подачи соответствующего сигнала

10 PRE1, PRE2.... PRE6 предварительной зарядки соответствующей шине 210a-210f предварительной зарядки.

Шины 212a-212f выбора принимают сигналы SEL1, SEL2... SEL6 выбора и подают сигналы SEL1, SEL2... SEL6 выбора соответствующим нагревательным группам 202a-202f. Шина 212a выбора электрически соединена со всеми предварительно заряженными

15 нагревательными ячейками 120 в FG1 202a. Шина 212b выбора электрически соединена со всеми предварительно заряженными нагревательными ячейками 120 в FG2 202b и так далее до шины 212f выбора включительно, которая электрически соединена со всеми предварительно заряженными нагревательными ячейками 120 в FG6 202f. Каждая шина 212a-212f выбора электрически соединена с затвором всех транзисторов 130 выбора в

20 соответствующей нагревательной группе 202a-202f, и все предварительно заряженные нагревательные ячейки 120 в нагревательной группе 202a-202f электрически соединены только с одной шиной 212a-212f выбора.

Шины 214a-214f зажигания принимают сигналы зажигания или сигналы FIRE1, FIRE2... FIRE6 энергии и подают сигналы FIRE1, FIRE2... FIRE6 энергии соответствующим

25 нагревательным группам 202a-202f. Шина 214a зажигания электрически соединена со всеми предварительно заряженными нагревательными ячейками 120 в FG1 202a. Шина 214b зажигания электрически соединена со всеми предварительно заряженными нагревательными ячейками 120 в FG2 202b и так далее до шины 214f зажигания включительно, которая электрически соединена со всеми предварительно заряженными

30 нагревательными ячейками 120 в FG6 202f. Каждая из шин 214a-214f зажигания электрически соединена со всеми нагревательными резисторами 52 в соответствующей нагревательной группе 202a-202f, и все предварительно заряженные нагревательные ячейки 120 в нагревательной группе 202a-202f электрически соединены только с одной шиной 214a-214f зажигания. Шины 214a-214f зажигания электрически соединены со схемой

35 внешнего питания соответствующими интерфейсными контактными площадками. Все предварительно заряженные нагревательные ячейки 120 в массиве 200 электрически соединены с опорной шиной 216, на которую подается опорное напряжение. Таким образом, предварительно заряженные нагревательные ячейки 120 в подгруппе ряда

40 предварительно заряженных нагревательных ячеек 120 электрически соединены с одной и той же шиной 206a-206g адреса, шиной 210a-210f предварительной зарядки, шиной 212a-212f выбора и шиной 214a-214f зажигания.

Во время работы в одном варианте воплощения нагревательные группы 202a-202f выбираются для последовательного зажигания. FG1 202a выбирается перед FG2 202b, которая выбирается перед FG3, и так далее до FG6 202f. После FG6 202f цикл

45 нагревательной группы начинается с FG1 202a. Однако могут использоваться другие последовательности и непоследовательные выборы.

Сигналы ~A1, ~A2... ~A7 адреса циклически проходят 13 адресов подгруппы ряда перед повторением адреса подгруппы ряда. Сигналы ~A1, ~A2... ~A7 адреса на шинах 206a-206g адреса установлены в один адрес подгруппы ряда в течение каждого цикла через

50 нагревательные группы 202a-202f. Сигналы ~A1 ~A2... ~A7 адреса выбирают одну подгруппу ряда в каждой из нагревательных групп 202a-202f для одного цикла через нагревательные группы 202a-202f. Для следующего цикла через нагревательные группы 202a-202f сигналы ~A1, ~A2... ~A7 адреса изменяются для выбора другой подгруппы ряда в

каждой из нагревательных групп 202a-202f. Это продолжается до того, когда сигналы ~A1, ~A2... ~A7 адреса выбирают последнюю подгруппу ряда в нагревательных группах 202a-202f. После последней подгруппы ряда сигналы ~A1, ~A2... ~A7 адреса выбирают первую подгруппу ряда, чтобы начать цикл адреса снова.

5 В другом аспекте одной из нагревательных групп 202a-202f управляют путем подачи сигнала PRE1, PRE2... PRE6 предварительной зарядки на шину 210a-210f предварительной зарядки одной нагревательной группы 202a-202f. Сигнал PRE1, PRE2... PRE6 предварительной зарядки определяет интервал времени предварительной зарядки или период, в течение которого емкостное сопротивление узла 126 на каждом переключателе 10 172 возбуждения в одной нагревательной группе 202a-202f заряжается до высокого уровня напряжения для предварительной зарядки одной нагревательной группы 202a-202f.

Сигналы ~A1, ~A2... ~A7 адреса обеспечиваются на шинах 206a-206g адреса для обращения к одной подгруппе ряда в каждой из нагревательных групп 202a-202f, в том числе к одной подгруппе ряда в предварительно заряженной нагревательной группе 202a- 15 202f. Сигналы ~D1, ~D2... ~D8 данных обеспечиваются на шинах 208a-208h данных для обеспечения данных всем нагревательным группам 202a-202f, в том числе подгруппу ряда, к которой обращаются, в предварительно заряженной нагревательной группе 202a-202f.

Затем сигнал SEL1, SEL2... SEL6 выбора подается на шины 212a-212f выбора предварительно заряженной нагревательной группы 202a-202f для выбора предварительно 20 заряженной нагревательной группы 202a-202f. Сигнал SEL1, SEL2... SEL6 выбора определяет интервал времени разряда для разряда емкостного сопротивления 126 узла на каждом переключателе 172 возбуждения в предварительно заряженной нагревательной ячейке 120, которая либо находится не в подгруппе ряда, к которому обращаются, в отобранной нагревательной группе 202a-202f, либо к ней обращаются в выбранной 25 нагревательной группе 202a-202f, и она принимает сигнал данных ~D1, ~D2... ~D8 высокого уровня. Емкостное сопротивление 126 узла не разряжается в предварительно заряженных нагревательных ячейках 120, к которым обращаются в отобранной нагревательной группе 202a-202f и которые принимают сигнал ~D1, ~D2... ~D8 данных низкого уровня. Высокий уровень напряжения на емкостном сопротивлении 126 узла включает переключатель 172 30 возбуждения (проводит ток).

После того как переключатели 172 возбуждения в выбранной нагревательной группе 202a-202f установлены в проводящее или непроводящее состояние, импульс энергии или импульс напряжения подается на шину 214a-214f зажигания выбранной нагревательной группы 202a-202f. Предварительно заряженные нагревательные ячейки 120, которые 35 имеют проводящий переключатель 172 возбуждения, проводят ток через нагревательный резистор 52 для нагревания чернил и эжекции чернил из соответствующего генератора 60 капель.

При последовательной работе нагревательных групп 202a-202f сигнал SEL1, SEL2... SEL6 выбора для одной нагревательной группы 202a-202f используется как сигнал PRE1, 40 PRE2... PRE6 предварительной зарядки для следующей нагревательной группы 202a-202f. Сигнал PRE1, PRE2... PRE6 предварительной зарядки для одной нагревательной группы 202a-202f предшествует сигналу SEL1, SEL2... SEL6 выбора и сигналу FIRE1, FIRE2... FIRE6 энергии для одной нагревательной группы 202a-202f. После сигнала PRE1, PRE2... PRE6 предварительной зарядки сигналы ~D1, ~D2... ~D8 данных мультиплексируются по 45 времени и сохраняются в подгруппе ряда, к которой обращаются, одной нагревательной группы 202a-202f с помощью сигнала SEL1, SEL2... SEL6 выбора. Сигнал SEL1, SEL2... SEL6 выбора для выбранной нагревательной группы 202a-202f является также сигналом PRE1, PRE2... PRE6 предварительной зарядки для следующей нагревательной группы 202a-202f. После завершения сигнала SEL1, SEL2... SEL6 выбора для выбранной 50 нагревательной группы 202a-202f сигнал SEL1, SEL2... SEL6 выбора подается для следующей нагревательной группы 202a-202f. Предварительно заряженные нагревательные ячейки 120 в выбранной подгруппе выстреливают или нагревают чернила на основе сохраненного сигнала ~D1, ~D2... ~D8 данных по мере того, как сигнал FIRE1,

FIRE2... FIRE6 энергии, содержащий импульс энергии, подается к выбранной нагревательной группе 202a-202f.

На фиг.8 представлена временная диаграмма одного варианта воплощения массива нагревательной ячейки 200. Нагревательные группы 202a-202f выбираются

- 5 последовательно для подачи энергии на предварительно заряженные нагревательные ячейки 120 на основе сигналов ~D1, ~D2... ~D8 данных, обозначенных 300. Сигналы ~D1, ~D2... ~D8 300 данных изменяются в зависимости от сопел 302, которые должны эжектировать флюид для каждой комбинации адреса подгруппы ряда и нагревательной группы 202a-202f. Сигналы ~A1, ~A2... ~A7 адреса 304 подаются на шины
- 10 206a-206g для адресации одной подгруппы ряда из каждой из нагревательных групп 202a-202f. Сигналы ~A1, ~A2... ~A7 адреса в 304 устанавливаются в один адрес 306 для одного цикла через нагревательные группы 202a-202f. После того как цикл завершен, сигналы ~A1, ~A2... ~A7 адреса 304 заменяются на 308 для обращения к другой подгруппе
- 15 ряда из каждой из нагревательных групп 202a-202f. Сигналы ~A1, ~A2... ~A7 адреса 304 увеличиваются по подгруппам ряда для обращения к подгруппам ряда в последовательном порядке от одного до 13 и снова к одному. В других вариантах воплощения сигналы ~A1, ~A2... ~A7 адреса 304 могут быть установлены для обращения к подгруппам ряда в любом подходящем порядке.

- В течение цикла через нагревательные группы 202a-202f шина 212f выбора,
- 20 соединенная с FG6 202f, и шина 210a предварительной зарядки, соединенная с FG1 202a, принимают сигнал 309 SEL6/PRE1, содержащий импульс 310 сигнала SEL6/PRE1. В одном варианте воплощения шина 212f выбора и шина 210a предварительной зарядки электрически соединены вместе для принятия одного и того же сигнала. В другом варианте воплощения шина 212f выбора и шина 210a предварительной зарядки
- 25 электрически не соединены вместе, но принимают сходные сигналы.

- Импульс сигнала SEL6/PRE1 в 310 на шине 210a предварительной зарядки предварительно заряжает все нагревательные ячейки 120 в FG1 202a. Емкостное сопротивление 126 узла для каждой из предварительно заряженных нагревательных ячеек 120 в FG1 202a заряжены до высокого уровня напряжения. Емкостное сопротивление 126
- 30 узла для предварительно заряженных нагревательных ячеек 120 в одной подгруппе 311 SG1-K ряда предварительно заряжено до высокого уровня напряжения 312. Адрес подгруппы ряда 306 выбирает подгруппу SG1-K, и сигнал данных 314 подается на транзисторы 136 данных во всех предварительно заряженных нагревательных ячейках 120 из всех нагревательных групп 202a-202f, в том числе выбранной адресом подгруппы SG1-K
- 35 ряда.

- Шина 212a выбора для FG1 202a и шина 210b предварительной зарядки для FG2 202b принимают сигнал 315 SEL1/PRE2, содержащий импульс 316 сигнала SEL1/PRE2. Импульс 316 сигнала SEL1/PRE2 на шине 212a выбора включает транзистор 130 выбора в каждой из предварительно заряженных нагревательных ячеек 120 в FG1 202a. Емкостное
- 40 сопротивление 126 узла разряжается во всех предварительно заряженных нагревательных ячейках 120 в FG1 202a, которые не находятся в выбранной адресом подгруппе SG1-K ряда. В выбранной подгруппе SG1-K ряда 314 сохраняются данные 318 в емкостных сопротивлениях 126 узла переключателей 172 возбуждения в подгруппе SG1-K ряда для включения (проводящее состояние) либо выключения (непроводящее состояние)
- 45 переключателя возбуждения.

- Импульс сигнала SEL1/PRE2 316 на шине 210b предварительной зарядки предварительно заряжает все нагревательные ячейки 120 в FG2 202b. Емкостное сопротивление 126 узла для каждой из предварительно заряженных нагревательных ячеек 120 в FG2 202b заряжается до высокого уровня напряжения. Емкостное сопротивление 126
- 50 узла для предварительно заряженных нагревательных ячеек 120 в одной подгруппе 319 SG2-K ряда предварительно заряжается до высокого уровня напряжения в 320. Адрес подгруппы ряда в 306 выбирает подгруппу SG2-K, и сигнал данных 328 подается на транзисторы 136 данных во всех предварительно заряженных нагревательных ячейках 120

из всех нагревательных групп 202a-202f, в том числе выбранной адресом подгруппы SG2-K ряда.

Шина 214a зажигания принимает сигнал FIRE1 энергии 323, содержащий импульс энергии 322 для подачи энергии на нагревательные резисторы 52 в предварительно заряженных нагревательных ячейках 120, которые имеют проводящие переключатели 172 возбуждения в FG1 202a. Импульс FIRE1 энергии 322 идет на высоком уровне, пока импульс 316 сигнала SEL1/PRE2 имеет высокий уровень и пока напряжение на емкостном сопротивлении 126 узла на непроводящих переключателях 172 возбуждения активно понижается 324 на сигнале FIRE1 323 энергии. Переключение импульса 322 энергии на высокий уровень, пока напряжение на емкостных сопротивлениях 126 узла активно понижается, предотвращает непреднамеренную зарядку емкостных сопротивлений 126 узла через переключатель 172 возбуждения, когда импульс 322 энергии идет на высоком уровне. Сигнал 315 SEL1/PRE2 идет на низком уровне, и импульс 322 энергии подается на FG1 202a в течение определенного времени для нагревания чернил и эжекции чернил через сопла 34, соответствующие проводящим предварительно заряженным нагревательным ячейкам 120.

Шина 212b выбора для FG2 202b и шина 210c предварительной зарядки для FG3 202c принимают сигнал 325 SEL2/PRE3, содержащий импульс 326 сигнала SEL2/PRE3. После того как импульс 316 сигнала SEL1/PRE2 идет на низком уровне и пока импульс 322 энергии имеет высокий уровень, импульс 326 сигнала SEL2/PRE3 на шине 212b выбора включает транзистор 130 выбора в каждой из предварительно заряженных нагревательных ячеек 120 в FG2 202b. Емкостное сопротивление 126 узла разряжается на всех предварительно заряженных нагревательных ячейках 120 в FG2 202b, которые не находятся в выбранной адресом подгруппе SG2-K ряда. Сигнал данных, установленный 328 для подгруппы SG2-K, сохраняется в предварительно заряженных нагревательных ячейках 120 подгруппы SG2-K 330 для включения (проводящее состояние) либо выключения (непроводящее состояние) переключателя 172 возбуждения. Импульс сигнала SEL2/PRE3 на шине 210c предварительной зарядки предварительно заряжает все предварительно заряженные нагревательные ячейки 120 в FG3 202c.

Шина 214b зажигания принимает сигнал FIRE2 энергии 331, содержащий импульс 332 энергии для подачи энергии на нагревательные резисторы 52 в предварительно заряженных нагревательных ячейках 120 из FG2 202b, которые имеют проводящие переключатели 172 возбуждения. Импульс 332 энергии FIRE2 идет на высоком уровне, пока импульс 326 сигнала SEL2/PRE3 имеет высокий уровень 334. Импульс 326 сигнала SEL2/PRE3 идет на низком уровне, и импульс FIRE2 332 энергии остается на высоком уровне для нагревания и эжекции чернил из соответствующего генератора 60 капель.

После того как импульс 326 сигнала SEL2/PRE3 идет на низком уровне и пока импульс 332 энергии имеет высокий уровень, сигнал SEL3/PRE4 подается для выбора FG3 202c и предварительной зарядки FG4 202d. Процесс предварительной зарядки, выбора и подачи сигнала энергии, содержащего импульс энергии, продолжается до включительно FG6 202f.

Импульс сигнала SEL5/PRE6 на шине 210f предварительной зарядки предварительно заряжает все нагревательные ячейки 120 в FG6 202f. Емкостное сопротивление 126 узла для каждой из предварительно заряженных нагревательных ячеек 120 в FG6 202f заряжается до высокого уровня напряжения. Емкостные сопротивления 126 узла для предварительно заряженных нагревательных ячеек 120 в одной подгруппе ряда SG6-K 339 предварительно заряжаются до высокого уровня напряжения 341. Адрес подгруппы ряда в 306 выбирает подгруппу SG6-K, и сигнал данных 338 подается на транзисторы 136 данных во всех предварительно заряженных нагревательных ячейках 120 из всех нагревательных групп 202a-202f, в том числе выбранной подгруппы SG6-K ряда.

Шина 212f выбора для FG6 202f и шина 210a предварительной зарядки для FG1 202a принимает второй импульс сигнала SEL6/PRE1 336. Второй импульс 336 сигнала SEL6/PRE1 на шине 212f выбора включает транзистор 130 выбора в каждой из предварительно заряженных нагревательных ячеек 120 в FG6 202f. Емкостное

сопротивление 126 узла разряжается во всех предварительно заряженных нагревательных ячейках 120 в FG6 202f, которые не находятся в выбранной адресом подгруппе SG6-K ряда. В выбранной адресом подгруппе SG6-K ряда данные 338 сохраняются 340 в емкостном сопротивлении 126 узла каждого переключателя 172 возбуждения для

5 включения либо выключения переключателя возбуждения.

Сигнал SEL6/PRE1 на шине 210a предварительной зарядки предварительно заряжает емкостные сопротивления 126 узла во всех нагревательных ячейках 120 в FG1 202a, в том числе в нагревательных ячейках 120 в подгруппе SG1-K ряда 342 до высокого уровня напряжения. Нагревательные ячейки 120 в FG1 202a предварительно заряжаются, пока

10 сигналы ~A1, ~A2... ~A7 304 адреса выбирают подгруппы SG1-K, SG2-K и далее до подгруппы SG6-K ряда.

Шина 214f зажигания принимает сигнал FIRE6 энергии 343, содержащий импульс энергии 344, для подачи напряжения на нагревательные резисторы 52 в предварительно заряженных нагревательных ячейках 120, которые имеют проводящие переключатели 172

15 возбуждения в FG6 202f. Импульс 344 энергии идет на высоком уровне, пока импульс 336 сигнала SEL6/PRE1 имеет высокий уровень, и напряжение на емкостных сопротивлениях 126 узла на непроводящих переключателях 172 возбуждения активно понижается 346.

Переключение импульса 344 энергии на высокий уровень, пока напряжение на емкостных сопротивлениях 126 узла активно понижается, предотвращает емкостное сопротивление

20 126 узла от непреднамеренной зарядки через переключатель 172 возбуждения, когда импульс 344 имеет высокий уровень. Импульс 336 сигнала SEL6/PRE1 идет на низком уровне, и импульс 344 энергии поддерживается на высоком уровне в течение

определенного времени для нагревания чернил и эжекции чернил через сопла 34, соответствующие проводящим предварительно заряженным нагревательным ячейкам 120.

После того как импульс 336 сигнала SEL6/PRE1 имеет низкий уровень и пока импульс 344 энергии имеет высокий уровень, сигналы ~A1, ~A2... ~A7 304 адреса изменяются 308 для выбора другого набора подгрупп SG1-K+1, SG2-K+1 и так далее до SG6-K+1. Шина 212a выбора для FG1 202a и шина 210b предварительной зарядки для FG2 202b принимает импульс сигнала SEL1/PRE2 348. Импульс 348 сигнала SEL1/PRE2 на шине 212a выбора

30 включает транзистор 130 выбора в каждой из предварительно заряженных нагревательных ячеек 120 в FG1 202a. Емкостное сопротивление 126 узла разряжается во всех предварительно заряженных нагревательных ячейках 120 в FG1 202a, которые не

находятся в выбранной адресом подгруппе SG1-K+1. Сигнал данных 350 для подгруппы SG1-K+1 ряда, сохраняется в предварительно заряженных нагревательных ячейках 120 из

35 подгруппы SG1-K+1 для включения либо выключения переключателей 172 возбуждения. Импульс 348 сигнала SEL1/PRE2 на шине 210b предварительной зарядки предварительно заряжает все нагревательные ячейки 120 в FG2 202b.

Шина 214a зажигания принимает импульс 352 энергии для подачи энергии на нагревательные резисторы 52 и предварительно заряженные нагревательные ячейки 120

40 из FG1 202a, которые имеют проводящие переключатели 172 возбуждения. Импульс 352 энергии имеет высокий уровень, пока импульс сигнала SEL1/PRE2 348 имеет высокий уровень. Импульс 348 сигнала SEL1/PRE2 имеет низкий уровень, и импульс 352 энергии остается на высоком уровне для нагревания и эжекции чернил из соответствующих генераторов 60 капель. Процесс продолжается, пока печать не завершится.

На фиг.9 представлен вариант воплощения генератора 400 адреса в матрице 40 печатающей головки. Генератор 400 адреса содержит сдвиговый регистр 402, схему 404

45 направления и логическую матрицу 406. Сдвиговый регистр 402 электрически соединен со схемой 404 направления через шины 408 управления направлением. Кроме того, сдвиговый регистр 402 электрически соединен с логической матрицей 406 через шины

50 410a-410m вывода сдвигового регистра.

В вариантах воплощения, описанных ниже, генератор 400 адреса обеспечивает сигналы адреса нагревательным ячейкам 120. В одном варианте воплощения генератор 400 адреса принимает внешние сигналы, содержащие управляющий сигнал CSYNC и шесть

синхронизирующих сигналов T1-T6, и в ответ формирует семь сигналов ~A1, ~A2... ~A7 адреса. Сигналы ~A1, ~A2... ~A7 адреса активны, когда они находятся на низком уровне напряжения, как обозначено предшествующей тильдой (~) в каждом названии сигнала. В одном варианте воплощения синхронизирующие сигналы T1-T6 подаются на шины выбора (например, шины 212a-212f выбора на фиг.7). Генератор 400 адреса является одним

вариантом воплощения схемы управления, выполненной с возможностью отвечать на управляющий сигнал (например, CSYNC) для инициализации последовательности (например, последовательности адресов ~A1, ~A2... ~A7 в прямом или обратном порядке) для активации нагревательных ячеек 120.

Генератор 400 адреса содержит сети 412, 414 и 416 резисторных делителей, которые принимают синхронизирующие сигналы T2, T4 и T6. Сеть 412 резисторных делителей принимает синхронизирующий сигнал T2 через шину 418 синхронизирующего сигнала и делит уровень напряжения синхронизирующего сигнала T2 для формирования синхронизирующего сигнала T2 с уменьшенным уровнем напряжения на первой шине 420 сигналов оценки. Сеть 414 резисторных делителей принимает синхронизирующий сигнал T4 через шину 422 синхронизирующего сигнала и делит уровень напряжения синхронизирующего сигнала T4 для формирования синхронизирующего сигнала T4 с уменьшенным уровнем напряжения на второй шине 424 сигналов оценки. Сеть 416 резисторных делителей принимает синхронизирующий сигнал T6 через шину 426 синхронизирующего сигнала и делит уровень напряжения синхронизирующего сигнала T6 для формирования синхронизирующего сигнала T6 с уменьшенным уровнем напряжения на третьей шине 428 сигналов оценки.

Сдвиговой регистр 402 принимает управляющий сигнал CSYNC через шину 430 управляющих сигналов и сигналы направления через шины 408 сигналов направления. Кроме того, сдвиговой регистр 402 принимает синхронизирующий сигнал T1 через шину 432 синхронизирующих сигналов как первый сигнал PRE1 предварительной зарядки. Синхронизирующий сигнал T2 с уменьшенным уровнем напряжения принимается через первую шину 420 сигналов оценки как первый сигнал EVAL1 оценки. Синхронизирующий сигнал T3 принимается через шину 434 синхронизирующих сигналов как второй сигнал PRE2 предварительной зарядки, и синхронизирующий сигнал T4 с уменьшенным уровнем напряжения принимается через вторую шину 424 сигналов оценки как второй сигнал EVAL2 оценки. Сдвиговой регистр 402 подает выходные сигналы SO1-SO13 сдвигового регистра на шины 410a-410m выхода сдвигового регистра.

Сдвиговой регистр 402 включает в себя тринадцать ячеек 403a-403m сдвигового регистра, которые обеспечивают тринадцать выходных сигналов SO1-SO13 сдвигового регистра. Каждая ячейка 403a-403m сдвигового регистра обеспечивает один из выходных сигналов SO1-SO13 сдвигового регистра. Тринадцать ячеек 403a-403m сдвигового регистра электрически соединены последовательно для смещения в прямом направлении и в обратном направлении. В других вариантах воплощения сдвиговой регистр 402 может включать в себя любое подходящее количество ячеек 403 сдвигового регистра для обеспечения любого подходящего количества выходных сигналов сдвигового регистра для обеспечения любого количества желаемых сигналов адреса.

Ячейка 403a сдвигового регистра обеспечивает выходной сигнал SO1 сдвигового регистра на шине 410a выхода сдвигового регистра. Ячейка 403b сдвигового регистра обеспечивает выходной сигнал SO2 сдвигового регистра на шине 410b выхода сдвигового регистра. Ячейка 403c сдвигового регистра обеспечивает выходной сигнал SO3 сдвигового регистра на шине 410c выхода сдвигового регистра. Ячейка 403d сдвигового регистра обеспечивает выходной сигнал SO4 сдвигового регистра на шине 410d выхода сдвигового регистра. Ячейка 403e сдвигового регистра обеспечивает выходной сигнал SO5 сдвигового регистра на шине 410e выхода сдвигового регистра. Ячейка 403f сдвигового регистра обеспечивает выходной сигнал SO6 сдвигового регистра на шине 410f выхода сдвигового регистра. Ячейка 403g сдвигового регистра обеспечивает выходной сигнал SO7 сдвигового регистра на шине 410g выхода сдвигового регистра. Ячейка 403h сдвигового регистра

обеспечивает выходной сигнал SO8 сдвигового регистра на шине 410h выхода сдвигового регистра. Ячейка 403i сдвигового регистра обеспечивает выходной сигнал SO9 сдвигового регистра на шине 410i выхода сдвигового регистра. Ячейка 403j сдвигового регистра обеспечивает выходной сигнал SO10 сдвигового регистра на шине 410j выхода сдвигового регистра. Ячейка сдвигового регистра 403k обеспечивает выходной сигнал SO11 сдвигового регистра на шине 410k выхода сдвигового регистра. Ячейка 403l сдвигового регистра обеспечивает выходной сигнал SO12 сдвигового регистра на шине 410l выхода сдвигового регистра, и ячейка 403m сдвигового регистра обеспечивает выходной сигнал SO13 сдвигового регистра на шине 410m выхода сдвигового регистра.

Схема 404 направления принимает управляющий сигнал CSYNC на шине 430 управляющих сигналов. Синхронизирующий сигнал T3 принимается на шине 434 синхронизирующих сигналов как четвертый сигнал PRE4 предварительной зарядки. Синхронизирующий сигнал T4 с уменьшенным уровнем напряжения принимается на шине 424 сигналов оценки как четвертый сигнал EVAL4 оценки. Синхронизирующий сигнал T5 принимается на шине 436 синхронизирующих сигналов как третий сигнал PRE3 предварительной зарядки, и синхронизирующий сигнал T6 с уменьшенным уровнем напряжения принимается на шине 428 сигналов оценки как третий сигнал EVAL3 оценки. Схема 404 направления обеспечивает сигналы направления сдвиговому регистру 402 через шину 408 сигналов направления.

Логическая матрица 406 содержит транзисторы 438a-438g предварительной зарядки шины адреса, транзисторы 440a-440m оценки адреса, транзисторы 442a и 442b предотвращения оценки и транзистор 444 предварительной зарядки логической оценки. Кроме того, логическая матрица 406 содержит пары 446, 448... 470 транзисторов адреса, которые декодируют выходные сигналы SO1-SO13 сдвигового регистра на шинах 410a-410m выхода сдвигового регистра для обеспечения сигналов ~A1, ~A2... ~A7 адреса. Логическая матрица 406 содержит транзисторы 446a и 446b адреса один, транзисторы 448a и 448b адреса два, транзисторы 450a и 450b адреса три, транзисторы 452a и 452b адреса четыре, транзисторы 454a и 454b адреса пять, транзисторы 456a и 456b адреса шесть, транзисторы 458a и 458b адреса семь, транзисторы 460a и 460b адреса восемь, транзисторы 462a и 462b адреса девять, транзисторы 464a и 464b адреса десять, транзисторы 466a и 466b адреса одиннадцать, транзисторы 468a и 468b адреса двенадцать и транзисторы 470a и 470b адреса тринадцать.

Транзисторы 438a-438g предварительной зарядки шины адреса электрически соединены с шиной 434 сигнала T3 и шинами 472a-472g адреса. Затвор и одна сторона линии сток-исток транзистора 438a предварительной зарядки шины адреса электрически соединены с шиной 434 сигнала T3. Другая сторона линии сток-исток транзистора 438a предварительной зарядки шины адреса электрически соединена с шиной 472a адреса. Затвор и одна сторона линии сток-исток транзистора 438b предварительной зарядки шины адреса электрически соединены с шиной 434 сигнала T3. Другая сторона линии сток-исток транзистора 438b предварительной зарядки шины адреса электрически соединена с шиной 472b адреса. Затвор и одна сторона линии сток-исток транзистора 438c предварительной зарядки шины адреса электрически соединены с шиной 434 сигнала T3. Другая сторона линии сток-исток транзистора 438c предварительной зарядки шины адреса электрически соединена с шиной 472c адреса. Затвор и одна сторона линии сток-исток транзистора 438d предварительной зарядки шины адреса электрически соединены с шиной 434 сигнала T3. Другая сторона линии сток-исток транзистора 438d предварительной зарядки шины адреса электрически соединена с шиной 472d адреса. Затвор и одна сторона линии сток-исток транзистора 438e предварительной зарядки шины адреса электрически соединены с шиной 434 сигнала T3. Другая сторона линии сток-исток транзистора 438e предварительной зарядки шины адреса электрически соединена с шиной 472e адреса. Затвор и одна сторона линии сток-исток транзистора 438f предварительной зарядки шины адреса электрически соединены с шиной 434 сигнала T3. Другая сторона линии сток-исток транзистора 438f предварительной зарядки шины адреса электрически соединена с шиной

472f адреса. Затвор и одна сторона линии сток-исток транзистора 438g предварительной зарядки шины адреса электрически соединены с шиной 434 сигнала Т3. Другая сторона линии сток-исток транзистора 438g предварительной зарядки шины адреса электрически соединена с шиной 472g адреса. В одном варианте воплощения транзисторы 438а-438g

5 предварительной зарядки шины адреса электрически соединены с шиной 422 сигнала Т4 вместо шины 434 сигнала Т3. Шина 422 сигнала Т4 электрически соединена с затвором и одной стороной линии сток-исток каждого из транзисторов 438а-438g предварительной зарядки шины адреса.

Затвор каждого из транзисторов 440а-440m оценки адреса электрически соединен с

10 шиной 474 сигнала логической оценки. Одна сторона линии сток-исток каждого из транзисторов 440а-440m оценки адреса заземлена. Кроме того, линия сток-исток транзистора 440а оценки адреса электрически соединена с шиной 476а оценки. Линия сток-исток транзистора 440b оценки адреса электрически соединена с шиной 476b оценки. Линия сток-исток транзистора 440с оценки адреса электрически соединена с шиной 476с

15 оценки. Линия сток-исток транзистора 440d оценки адреса электрически соединена с шиной 476d оценки. Линия сток-исток транзистора 440е оценки адреса электрически соединена с шиной 476е оценки. Линия сток-исток транзистора 440f оценки адреса электрически соединена с шиной 476f оценки. Линия сток-исток транзистора 440g оценки адреса электрически соединена с шиной 476g оценки. Линия сток-исток транзистора 440h

20 оценки адреса электрически соединена с шиной 476h оценки. Линия сток-исток транзистора 440i оценки адреса электрически соединена с шиной 476i оценки. Линия сток-исток транзистора 440j оценки адреса электрически соединена с шиной 476j оценки. Линия сток-исток транзистора 440k оценки адреса электрически соединена с шиной 476k оценки. Линия сток-исток транзистора 440l оценки адреса электрически соединена с

25 шиной 476l оценки. Линия сток-исток транзистора 440m оценки адреса электрически соединена с шиной 476m оценки.

Затвор и одна сторона линии сток-исток транзистора 444 предварительной зарядки логической оценки электрически соединены с шиной 436 сигнала Т5, и другая сторона

линии сток-исток электрически соединена с шиной 474 сигнала логической оценки. Затвор

30 транзистора 442а предотвращения оценки электрически соединен с шиной 434 сигнала Т3. Линия сток-исток транзистора 442а предотвращения оценки электрически соединена с одной стороны с шиной 474 сигнала логической оценки и с другой стороны с землей 478. Затвор транзистора 442b предотвращения оценки электрически соединен с шиной 422 сигнала Т4. Линия сток-исток транзистора 442b предотвращения оценки электрически

35 соединена с одной стороны с шиной 474 сигнала логической оценки и с другой стороны с землей 478.

Линии сток-исток пар 446, 448... 470 транзисторов адреса электрически соединены между шинами 472а-472g адреса и шинами 476а-476m оценки. Затворы пар 446, 448... 470 транзисторов адреса управляются выходными сигналами SO1-SO13 сдвигового регистра

40 через шины 410а-410m выходного сигнала сдвигового регистра.

Затворы транзисторов 446а и 446b адреса электрически соединены с шиной 410а выходного сигнала сдвигового регистра. Сток-исток транзистора 446а адреса один электрически соединен с одной стороны с шиной 472а адреса и с другой стороны с шиной 476а оценки. Сток-исток транзистора 446b адреса один электрически соединен на одной

45 стороне с шиной 472b адреса и с другой стороны с шиной 476а оценки. Выходной сигнал SO1 сдвигового регистра с высоким уровнем на шине 410а выходного сигнала сдвигового регистра включает транзисторы 446а и 446b адреса один, в то время как транзистор 440а оценки адреса включается сигналом LEVAL оценки с высоким уровнем напряжения на шине 474 сигнала логической оценки. Транзистор 446а адреса один и транзистор 440а

50 оценки адреса проводят ток для активного снижения напряжения на шине 472а адреса до низкого уровня. Транзистор 446b адреса один и транзистор 440а оценки адреса проводят ток для активного снижения напряжения на шине 472b адреса до низкого уровня.

Затворы транзисторов 448а и 448b адреса два электрически соединены с шиной 410b

выходного сигнала сдвигового регистра. Сток-исток транзистора 448а адреса два электрически соединен с одной стороны с шиной 472а адреса и с другой стороны с шиной 476b оценки. Сток-исток транзистора 448b адреса два электрически соединен на одной стороне с шиной 472с адреса и с другой стороны с шиной 476b оценки. Выходной сигнал SO2 сдвигового регистра с высоким уровнем на шине 410b выходного сигнала сдвигового регистра включает транзисторы 448а и 448b адреса два, в то время как транзистор 440b оценки адреса включается сигналом LEVAL оценки с высоким уровнем напряжения на шине 474 сигнала логической оценки. Транзистор 448а адреса два и транзистор 440b оценки адреса проводят ток для активного снижения напряжения на шине 472а адреса до низкого уровня. Транзистор 448b адреса два и транзистор 440b оценки адреса проводят ток для активного снижения напряжения на шине 472с адреса до низкого уровня.

Затворы транзисторов 450а и 450b адреса три электрически соединены с шиной 410с выходного сигнала сдвигового регистра. Сток-исток транзистора 450а адреса три электрически соединен с одной стороны с шиной 472а адреса и с другой стороны с шиной 476с оценки. Сток-исток транзистора 450b адреса один электрически соединен на одной стороне с шиной 472d адреса и с другой стороны с шиной 476с оценки. Выходной сигнал SO3 сдвигового регистра с высоким уровнем на шине 410с выходного сигнала сдвигового регистра включает транзисторы 450а и 450b адреса три, в то время как транзистор 440с оценки адреса включается сигналом LEVAL оценки с высоким уровнем напряжения на шине 474 сигнала логической оценки. Транзистор 450а адреса три и транзистор 440с оценки адреса проводят ток для активного снижения напряжения на шине 472а адреса до низкого уровня. Транзистор 450b адреса три и транзистор 440с оценки адреса проводят ток для активного снижения напряжения на шине 472d адреса до низкого уровня.

Затворы транзисторов 452a и 452b адреса четыре электрически соединены с шиной 410d выходного сигнала сдвигового регистра. Сток-исток транзистора 452a адреса четыре электрически соединен с одной стороны с шиной 472a адреса и с другой стороны с шиной 476d оценки. Сток-исток транзистора 452b адреса четыре электрически соединен на одной стороне с шиной 472e адреса и с другой стороны с шиной 476d оценки. Выходной сигнал SO4 сдвигового регистра с высоким уровнем на шине 410d выходного сигнала сдвигового регистра включает транзисторы 452a и 452b адреса четыре, в то время как транзистор 440d оценки адреса включается сигналом LEVAL оценки с высоким уровнем напряжения на шине 474 сигнала логической оценки. Транзистор 452a адреса четыре и транзистор 440d оценки адреса проводят ток для активного снижения напряжения на шине 472a адреса до низкого уровня. Транзистор 452b адреса четыре и транзистор 440d оценки адреса проводят ток для активного снижения напряжения на шине 472e адреса до низкого уровня.

Затворы транзисторов 454a и 454b адреса пять электрически соединены с шиной 410е выходного сигнала сдвигового регистра. Сток-исток транзистора 454a адреса пять электрически соединен с одной стороны с шиной 472a адреса и с другой стороны с шиной 476е оценки. Сток-исток транзистора 454b адреса пять электрически соединен на одной стороне с шиной 472f адреса и с другой стороны с шиной 476е оценки. Выходной сигнал SO5 сдвигового регистра с высоким уровнем на шине 410е выходного сигнала сдвигового регистра включает транзисторы 454a и 454b адреса пять, в то время как транзистор 440е оценки адреса включается сигналом LEVAL оценки с высоким уровнем напряжения. Транзистор 454a адреса пять и транзистор 440е оценки адреса проводят ток для активного снижения напряжения на шине 472a адреса до низкого уровня. Транзистор 454b адреса пять и транзистор 440е оценки адреса проводят ток для активного снижения напряжения на шине 472f адреса до низкого уровня.

Затворы транзисторов 456a и 456b адреса шесть электрически соединены с шиной 410f выходного сигнала сдвигового регистра. Сток-исток транзистора 456a адреса шесть электрически соединен с одной стороны с шиной 472a адреса и с другой стороны с шиной 476f оценки. Сток-исток транзистора 456b адреса шесть электрически соединен на одной стороне с шиной 472g адреса и с другой стороны с шиной 476f оценки. Выходной сигнал SO6 сдвигового регистра с высоким уровнем на шине 410f выходного сигнала сдвигового

напряжения на шине 472f адреса до низкого уровня.

Затворы транзисторов 466a и 466b адреса одиннадцать электрически соединены с шиной 410k выходного сигнала сдвигового регистра. Сток-исток транзистора 466a адреса одиннадцать электрически соединен с одной стороны с шиной 472b адреса и с другой стороны с шиной 476k оценки. Сток-исток транзистора 466b адреса одиннадцать электрически соединен на одной стороне с шиной 472g адреса и с другой стороны с шиной 476k оценки. Выходной сигнал SO11 сдвигового регистра с высоким уровнем на шине 410k выходного сигнала сдвигового регистра включает транзисторы 466a и 466b адреса одиннадцать, в то время как транзистор 440k оценки адреса включается сигналом LEVAL оценки с высоким уровнем напряжения. Транзистор 466a адреса одиннадцать и транзистор 440k оценки адреса проводят ток для активного снижения напряжения на шине 472b адреса до низкого уровня. Транзистор 466b адреса одиннадцать и транзистор 440k оценки адреса проводят ток для активного снижения напряжения на шине 472g адреса до низкого уровня.

Затворы транзисторов 468a и 468b адреса двенадцать электрически соединены с шиной 410l выходного сигнала сдвигового регистра. Сток-исток транзистора 468a адреса двенадцать электрически соединен с одной стороны с шиной 472c адреса и с другой стороны с шиной 476l оценки. Сток-исток транзистора 468b адреса двенадцать электрически соединен на одной стороне с шиной 472d адреса и с другой стороны с шиной 476l оценки. Выходной сигнал SO12 сдвигового регистра с высоким уровнем на шине 410l выходного сигнала сдвигового регистра включает транзисторы 468a и 468b адреса двенадцать, в то время как транзистор 440l оценки адреса включается сигналом LEVAL оценки с высоким уровнем напряжения. Транзистор 468a адреса двенадцать и транзистор 440l оценки адреса проводят ток для активного снижения напряжения на шине 472c адреса до низкого уровня. Транзистор 468b адреса двенадцать и транзистор 440l оценки адреса проводят ток для активного снижения напряжения на шине 472d адреса до низкого уровня.

Затворы транзисторов 470a и 470b адреса тринадцать электрически соединены с шиной 410m выходного сигнала сдвигового регистра. Сток-исток транзистора 470a адреса тринадцать электрически соединен с одной стороны с шиной 472c адреса и с другой стороны с шиной 476m оценки. Сток-исток транзистора 470b адреса тринадцать электрически соединен на одной стороне с шиной 472e адреса и с другой стороны с шиной 476m оценки. Выходной сигнал SO13 сдвигового регистра с высоким уровнем на шине 410m выходного сигнала сдвигового регистра включает транзисторы 470a и 470b адреса тринадцать, в то время как транзистор 440m оценки адреса включается сигналом LEVAL оценки с высоким уровнем напряжения. Транзистор 470a адреса тринадцать и транзистор 440m оценки адреса проводят ток для активного снижения напряжения на шине 472c адреса до низкого уровня. Транзистор 470b адреса тринадцать и транзистор 440m оценки адреса проводят ток для активного снижения напряжения на шине 472e адреса до низкого уровня.

Сдвиговый регистр 402 сдвигает один выходной сигнал с высоким уровнем напряжения с одной шины 410a-410m выходного сигнала сдвигового регистра на следующую шину 410a-410m выходного сигнала сдвигового регистра. Сдвиговый регистр 402 принимает управляющий импульс в управляющем сигнале CSYNC на шине 430 управления и последовательность синхронизирующих импульсов из синхронизирующих сигналов T1-T4 для сдвига принятого управляющего импульса в сдвиговый регистр 402. В ответ сдвиговый регистр 402 подает один выходной сигнал SO1 или SO13 сдвигового регистра с высоким уровнем напряжения. Все другие выходные сигналы SO1-SO13 сдвигового регистра подаются с низким уровнем напряжения. Сдвиговый регистр 402 принимает другую последовательность синхронизирующих импульсов из синхронизирующих сигналов T1-T4 и сдвигает один выходной сигнал с высоким уровнем напряжения с одного выходного сигнала SO1-SO13 сдвигового регистра к следующему выходному сигналу SO1-SO13 сдвигового регистра, все другие выходные сигналы SO1-SO13 сдвигового регистра имеют низкий уровень напряжения. Сдвиговый регистр 402 принимает повторяющиеся последовательности синхронизирующих импульсов, и в ответ на каждую

последовательность синхронизирующих импульсов сдвиговый регистр 402 сдвигает один выходной сигнал с высоким уровнем напряжения для обеспечения последовательности до тринадцати выходных сигналов SO1-SO13 сдвигового регистра с высоким уровнем напряжения. Каждый выходной сигнал SO1-SO13 сдвигового регистра с высоким уровнем

5 напряжения включает две пары 446, 448... 470 транзисторов адреса для подачи сигналов $\sim A_1$, $\sim A_2$... $\sim A_7$ адреса нагревательным ячейкам 120. Сигналы $\sim A_1$, $\sim A_2$... $\sim A_7$ адреса подаются в тринадцати интервалах времени адреса, которые соответствуют тринадцати выходным сигналам SO1-SO13 сдвигового регистра. В другом варианте воплощения сдвиговый регистр 402 может включать в себя любое подходящее количество

10 выходных сигналов сдвигового регистра, например четырнадцать, для подачи сигналов $\sim A_1$, $\sim A_2$... $\sim A_7$ адреса в любом подходящем количестве интервалов времени адреса, например четырнадцать интервалов времени адреса.

Сдвиговый регистр 402 принимает сигналы направления от схемы 404 направления через шины 408 сигнала направления. Сигналы направления устанавливают направление

15 сдвига в сдвиговом регистре 402. Сдвиговый регистр 402 может быть настроен для сдвига выходного сигнала с высоким уровнем напряжения в прямом направлении от выходного сигнала SO1 сдвигового регистра к выходному сигналу SO13 сдвигового регистра или в обратном направлении от выходного сигнала SO13 сдвигового регистра к выходному сигналу SO1 сдвигового регистра.

В прямом направлении сдвиговый регистр 402 принимает управляющий импульс в управляющем сигнале CSYNC и выдает выходной сигнал SO1 сдвигового регистра с

20 высоким уровнем напряжения. Все другие выходные сигналы SO2-SO13 сдвигового регистра имеют низкий уровень напряжения. Сдвиговый регистр 402 принимает следующую последовательность синхронизирующих импульсов и выдает выходной сигнал SO2

25 сдвигового регистра с высоким уровнем напряжения со всеми другими выходными сигналами SO1 и SO3-SO13 сдвигового регистра, имеющими низкий уровень напряжения. Сдвиговый регистр 402 принимает следующую последовательность синхронизирующих импульсов и выдает выходной сигнал SO3 сдвигового регистра с высоким уровнем

30 напряжения со всеми другими выходными сигналами SO1, SO2 и SO4-SO13 сдвигового регистра, имеющими низкий уровень напряжения. Сдвиговый регистр 402 продолжает сдвигать выходной сигнал с высоким уровнем напряжения в ответ на каждую последовательность синхронизирующих импульсов вплоть до выдачи выходного сигнала SO13 сдвигового регистра с высоким уровнем напряжения со всеми другими выходными

35 сигналами SO1-SO12 сдвигового регистра, имеющими низкий уровень напряжения. После выдачи выходного сигнала SO13 сдвигового регистра с высоким уровнем напряжения сдвиговый регистр 402 принимает следующую последовательность синхронизирующих импульсов и выдает сигналы с низким уровнем напряжения для всех выходных сигналов SO1-SO13 сдвигового регистра. Для запуска или инициализации сдвигового регистра 402 для смещения в последовательности прямого направления выходных сигналов с высоким

40 уровнем напряжения от выходного сигнала SO1 сдвигового регистра до выходного сигнала SO13 сдвигового регистра выдается другой управляющий импульс в управляющем сигнале CSYNC.

В обратном направлении сдвиговый регистр 402 принимает управляющий импульс в управляющем сигнале CSYNC и выдает выходной сигнал SO13 сдвигового регистра с

45 высоким уровнем напряжения. Все другие выходные сигналы SO1-SO12 сдвигового регистра выдаются с низким уровнем напряжения. Сдвиговый регистр 402 принимает следующую последовательность синхронизирующих импульсов и обеспечивает выходной сигнал SO12 сдвигового регистра с высоким уровнем напряжения со всеми другими

50 выходными сигналами SO1-SO11 и SO13 сдвигового регистра с низким уровнем напряжения. Сдвиговый регистр 402 принимает следующую последовательность синхронизирующих импульсов и обеспечивает выходной сигнал SO11 сдвигового регистра с высоким уровнем напряжения со всеми другими выходными сигналами SO1-SO10, SO12 и SO13 сдвигового регистра с низким уровнем напряжения. Сдвиговый регистр 402

продолжает сдвигать выходной сигнал с высоким уровнем напряжения в ответ на каждую последовательность синхронизирующих импульсов для обеспечения выходного сигнала SO1 сдвигового регистра с высоким уровнем напряжения со всеми другими выходными сигналами SO2-SO13 сдвигового регистра с низким уровнем напряжения. После

5 обеспечения выходного сигнала SO1 сдвигового регистра с высоким уровнем напряжения сдвиговый регистр 402 принимает следующую последовательность синхронизирующих импульсов и выдает сигналы с низким уровнем напряжения для всех выходных сигналов SO1-SO13 сдвигового регистра. Для запуска или инициализации сдвигового регистра 402 для смещения в обратном направлении выходных сигналов с высоким уровнем напряжения

10 от выходного сигнала SO13 сдвигового регистра до выходного сигнала SO1 сдвигового регистра формируется другой управляющий импульс в управляющем сигнале CSYNC.

Схема направления 404 формирует два сигнала направления через шины 408 сигнала направления. Сигналы направления устанавливают прямое/обратное направление смещения в сдвиговом регистре 402. Кроме того, сигналы направления могут

15 использоваться для очистки выходного сигнала с высоким уровнем напряжения из сдвигового регистра 402.

Схема 404 направления принимает повторяющуюся последовательность синхронизирующих импульсов из синхронизирующих сигналов T3-T6. Кроме того, схема 404 направления принимает управляющие импульсы в управляющем сигнале CSYNC на шине

20 430 управления. Схема 404 направления выдает сигналы прямого направления в ответ на прием управляющего импульса, совпадающего с синхронизирующим импульсом из синхронизирующего сигнала T4. Сигналы прямого направления настраивают сдвиговый регистр 402 для сдвига в прямом направлении от выходного сигнала SO1 сдвигового регистра к выходному сигналу SO13 сдвигового регистра. Схема 404 направления выдает

25 сигналы обратного направления в ответ на прием управляющего импульса, совпадающего с синхронизирующим импульсом из синхронизирующего сигнала T6. Сигналы обратного направления настраивают сдвиговый регистр 402 для сдвига в обратном направлении от выходного сигнала SO13 сдвигового регистра к выходному сигналу SO1 сдвигового регистра. Схема 404 направления выдает сигналы направления, которые очищают

30 сдвиговый регистр 402 в ответ на прием схемой 404 направления управляющего импульса, совпадающего как с синхронизирующим импульсом из синхронизирующего сигнала T4, так и с синхронизирующим импульсом из синхронизирующего сигнала T6.

Логическая матрица 406 принимает выходные сигналы SO1-SO13 сдвигового регистра на шинах 410a-410m выходного сигнала сдвигового регистра и синхронизирующие

35 импульсы из синхронизирующих сигналов T3-T5 на шинах 434, 422 и 436 синхронизирующих сигналов. В ответ на один выходной сигнал с высоким уровнем напряжения в выходных сигналах SO1-SO13 сдвигового регистра и синхронизирующие импульсы из синхронизирующих сигналов T3-T5. Логическая матрица 406 выдает два сигнала адреса с низким уровнем напряжения из семи сигналов ~A1, ~A2... ~A7 адреса.

40 Логическая матрица 406 принимает синхронизирующий импульс из синхронизирующего сигнала T3, который включает транзистор 442a предотвращения оценки для понижения напряжения на шине 474 сигнала до низкого уровня и выключения транзисторов 440 оценки адреса. Кроме того, синхронизирующий импульс из синхронизирующего сигнала T3 повышает напряжение на шинах 472a-472g адреса до высокого уровня через транзисторы

45 438 предварительной зарядки шины адреса. В одном варианте воплощения синхронизирующий импульс из синхронизирующего сигнала T3 заменен синхронизирующим импульсом из синхронизирующего сигнала T4 для повышения напряжения на шинах 472a-472g адреса до высокого уровня через транзисторы 438 предварительной зарядки шины адреса.

50 Синхронизирующий импульс из синхронизирующего сигнала T4 включает транзистор 442b предотвращения оценки для понижения напряжения на шине 474 сигнала оценки до низкого уровня и выключения транзисторов 440 оценки адреса. Выходные сигналы SO1-SO13 сдвигового регистра устанавливаются в допустимые выходные сигналы в течение

синхронизирующего импульса из синхронизирующего сигнала T4. Один выходной сигнал с высоким уровнем напряжения в выходных сигналах SO1-SO13 сдвигового регистра подается на затворы пар 446, 448... 470 транзисторов адреса в логической матрице 406.

Синхронизирующий импульс из синхронизирующего сигнала T5 повышает напряжение на шине 474 сигнала оценки до высокого уровня напряжения для включения транзисторов 440 оценки адреса. Поскольку транзисторы 440 оценки адреса включены, пара 446, 448... или 470 транзисторов адреса в логической матрице 406, которая принимает выходной сигнал SO1-SO13 сдвигового регистра с высоким уровнем напряжения, проводит ток для разрядки соответствующей шины 472 адреса. На соответствующих шинах 472 адреса напряжение активно понижается через пары 446, 448... 470 проводящих транзисторов адреса и проводящий транзистору 440 оценки адреса. Другие шины 472 адреса остаются заряженными до высокого уровня напряжения.

Логическая матрица 406 формирует два сигнала адреса с низким уровнем напряжения из семи сигналов $\sim A1$, $\sim A2$... $\sim A7$ адреса в каждом интервале времени адреса. Если выходной сигнал SO1 сдвигового регистра имеет высокий уровень напряжения, транзисторы 446a и 446b адреса один проводят ток для понижения напряжения на шинах 472a и 472b адреса до низкого уровня и выдачи активных низких сигналов $\sim A1$ и $\sim A2$ адреса. Если выходной сигнал SO2 сдвигового регистра имеет высокий уровень напряжения, транзисторы 448a и 448b адреса два проводят ток для понижения напряжения на шинах 472a и 472c адреса до низкого уровня и выдачи активных низких сигналов $\sim A1$ и $\sim A3$ адреса. Если выходной сигнал SO3 сдвигового регистра имеет высокий уровень напряжения, транзисторы 450a и 450b адреса три проводят ток для понижения напряжения на шинах 472a и 472d до низкого уровня и выдачи активных низких сигналов $\sim A1$ и $\sim A4$ адреса, и так далее для каждого выходного сигнала SO4-SO13 сдвигового регистра. Сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса для каждого из тринадцати интервалов времени адреса, которые находятся в соответствии с выходными сигналами SO1-SO13 сдвигового регистра, представлены в Таблице:

Таблица	
Интервал времени адреса	Активные сигналы адреса
1	$\sim A1$ и $\sim A2$
2	$\sim A1$ и $\sim A3$
3	$\sim A1$ и $\sim A4$
4	$\sim A1$ и $\sim A5$
5	$\sim A1$ и $\sim A6$
6	$\sim A1$ и $\sim A7$
7	$\sim A2$ и $\sim A3$
8	$\sim A2$ и $\sim A4$
9	$\sim A2$ и $\sim A5$
10	$\sim A2$ и $\sim A6$
11	$\sim A2$ и $\sim A7$
12	$\sim A3$ и $\sim A4$
13	$\sim A3$ и $\sim A5$

В другом варианте воплощения логическая матрица 406 может формировать активные сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса для каждого из тринадцати слотов времени адреса, как показано в Таблице:

Таблица	
Интервал времени адреса	Активные сигналы адреса
1	$\sim A1$ и $\sim A3$
2	$\sim A1$ и $\sim A4$
3	$\sim A1$ и $\sim A5$
4	$\sim A1$ и $\sim A6$
5	$\sim A2$ и $\sim A4$
6	$\sim A2$ и $\sim A5$
7	$\sim A2$ и $\sim A6$
8	$\sim A2$ и $\sim A7$
9	$\sim A3$ и $\sim A5$

10	~A3 и ~A6
11	~A3 и ~A7
12	~A4 и ~A6
13	~A4 и ~A7

5 Кроме того, в других вариантах воплощения логическая матрица 406 может включать в себя транзисторы адреса, которые формируют любое подходящее количество сигналов ~A1, ~A2... ~A7 адреса с низким уровнем напряжения для каждого выходного сигнала SO1-SO13 с высоким уровнем напряжения и в любой подходящей последовательности сигналов адреса ~A1, ~A2... ~A7 с низким уровнем напряжения. Это
10 может быть сделано, например, путем соответствующего расположения каждой пары 446 448... 470 транзисторов для разрядки любых двух желаемых шин 672a-g адреса.

В других вариантах воплощения логическая матрица 406 может включать в себя любое подходящее количество шин адреса для выдачи любого подходящего количества сигналов адреса в любом подходящем количестве интервалов времени адреса.

15 Во время работы повторяющаяся последовательность из шести синхронизирующих импульсов обеспечивается от синхронизирующих сигналов T1-T6. Каждый из синхронизирующих сигналов T1-T6 обеспечивает один синхронизирующий импульс в каждой последовательности шести синхронизирующих импульсов. За синхронизирующим импульсом от синхронизирующего сигнала T1 следует синхронизирующий импульс от
20 синхронизирующего сигнала T2, за которым следует синхронизирующий импульс от синхронизирующего сигнала T3, за которым следует синхронизирующий импульс от синхронизирующего сигнала T4, за которым следует синхронизирующий импульс от синхронизирующего сигнала T5, за которым следует синхронизирующий импульс от синхронизирующего сигнала T6. Последовательность из шести синхронизирующих
25 импульсов повторяется в повторяющейся последовательности из шести синхронизирующих импульсов.

В одной последовательности из шести синхронизирующих импульсов схема 404 направления принимает синхронизирующий импульс от синхронизирующего сигнала T3 в четвертом сигнале PRE4 предварительной зарядки. Синхронизирующий импульс в
30 четвертом сигнале PRE4 предварительной зарядки повышает напряжение первой из шин 408 направления до высокого уровня. Схема 404 направления принимает синхронизирующий импульс с уменьшенным уровнем напряжения от синхронизирующего сигнала T4 в четвертом сигнале EVAL4 оценки. Если схема 404 направления принимает управляющий импульс в управляющем сигнале CSYNC, совпадающий (в то же самое
35 время) с четвертым сигналом EVAL4 оценки, схема 404 направления разряжает первую шину 408 направления. Если схема 404 направления принимает управляющий сигнал CSYNC с низким уровнем напряжения, совпадающий с синхронизирующим импульсом в четвертом сигнале EVAL4 оценки, первая шина 408 направления остается заряженной до высокого уровня напряжения.

40 Затем схема 404 направления принимает синхронизирующий импульс от синхронизирующего сигнала T5 в третьем сигнале PRE3 предварительной зарядки. Синхронизирующий импульс в третьем сигнале PRE3 предварительной зарядки повышает напряжение второй из шин 408 направления. Схема 404 направления принимает синхронизирующий импульс с уменьшенным уровнем напряжения от синхронизирующего
45 сигнала T6 в третьем сигнале EVAL3 оценки. Если схема 404 направления принимает управляющий импульс в управляющем сигнале CSYNC, совпадающий с синхронизирующим импульсом в третьем сигнале EVAL3 оценки, схема 404 направления разряжает вторую шину 408 направления до низкого уровня напряжения. Если схема 404 направления принимает управляющий сигнал CSYNC с низким уровнем напряжения, совпадающий с синхронизирующим импульсом в третьем сигнале EVAL3 оценки, вторая
50 шина 408 направления остается заряженной до высокого уровня напряжения.

Если первая шина 408 направления разряжается до низкого уровня напряжения и вторая шина 408 направления остается на высоком уровне напряжения, уровни сигнала на

первой и второй шинах 408 направления настраивают сдвиговый регистр 402 для сдвига в прямом направлении. Если первая шина 408 направления остается на высоком уровне напряжения и вторая шина 408 направления разряжается до низкого уровня напряжения, уровни сигнала на шинах 408 направления настраивают сдвиговый регистр 402 для сдвига

- 5 в обратном направлении. Если и первая, и вторая шины 408 направления разряжаются до низкого уровня напряжения, сдвиговый регистр 402 не может обеспечить выходной сигнал SO1-SO13 сдвигового регистра с высоким уровнем напряжения. Сигналы направления на шинах 408 направления устанавливаются в течение каждой последовательности из шести синхронизирующих импульсов.
- 10 Сначала направление устанавливается в одной последовательности из шести синхронизирующих импульсов, и сдвиговый регистр 402 инициализируется в следующей последовательности из шести синхронизирующих импульсов. Для инициализации сдвигового регистра 402 сдвиговый регистр 402 принимает синхронизирующий импульс от синхронизирующего сигнала T1 в первом сигнале PRE1 предварительной зарядки.
- 15 Синхронизирующий импульс в первом сигнале PRE1 предварительной зарядки предварительно заряжает внутренний узел в каждой из тринадцати ячеек сдвигового регистра 403a-403m. Сдвиговый регистр 402 принимает синхронизирующий импульс с уменьшенным уровнем напряжения от синхронизирующего сигнала T2 в первом сигнале EVAL1 оценки. Если управляющий импульс в управляющем сигнале CSYNC принят
- 20 сдвиговым регистром 402 одновременно с синхронизирующим импульсом в первом сигнале EVAL1 оценки, сдвиговый регистр 402 разряжает внутренний узел одной из тринадцати ячеек сдвигового регистра для обеспечения низкого уровня напряжения в разряженном внутреннем узле. Если управляющий сигнал CSYNC остается на низком уровне напряжения одновременно с синхронизирующим импульсом в первом сигнале EVAL1
- 25 оценки, внутренний узел в каждой из тринадцати ячеек сдвигового регистра остается на высоком уровне напряжения.

- Сдвиговый регистр 402 принимает синхронизирующий импульс от синхронизирующего сигнала T3 во втором сигнале PRE2 предварительной зарядки. Синхронизирующий импульс во втором сигнале PRE2 предварительной зарядки предварительно заряжает
- 30 каждую из тринадцати шин 410a-410m вывода сдвигового регистра для обеспечения выходных сигналов SO1-SO13 сдвигового регистра с высоким уровнем напряжения. Сдвиговый регистр 402 принимает синхронизирующий импульс с уменьшенным уровнем напряжения от синхронизирующего сигнала T4 во втором сигнале EVAL2 оценки. Если внутренний узел в ячейке сдвигового регистра 403 находится на низком уровне
- 35 напряжения, как после приема управляющего импульса от управляющего сигнала CSYNC, совпадающего с синхронизирующим импульсом в первом сигнале EVAL1 оценки, сдвиговый регистр 402 поддерживает выходной сигнал SO1-SO13 сдвигового регистра на высоком уровне напряжения. Если внутренний узел в ячейке сдвигового регистра 403 находится на высоком уровне напряжения, как во всех других ячейках сдвигового
- 40 регистра 403, сдвиговый регистр 402 разряжает шину 410a-410m вывода сдвигового регистра для обеспечения выходных сигналов SO1-SO13 сдвигового регистра с низким уровнем напряжения. Сдвиговый регистр 402 инициализируется в одной последовательности из шести синхронизирующих импульсов. Выходные сигналы SO1-SQ13 сдвигового регистра становятся допустимыми в течение синхронизирующего
- 45 импульса от синхронизирующего сигнала T4 во втором сигнале EVAL2 оценки и остаются допустимыми до синхронизирующего импульса от синхронизирующего сигнала T3 в следующей последовательности из шести синхронизирующих импульсов. В каждой последующей последовательности из шести синхронизирующих импульсов сдвиговый регистр 402 сдвигает выходной сигнал SO1-SO13 сдвигового регистра с высоким уровнем
- 50 напряжения от одной ячейки 403 сдвигового регистра к следующей ячейке 403 сдвигового регистра.

Логическая матрица 406 принимает выходные сигналы SO1-SO13 сдвигового регистра. В одном варианте воплощения логическая матрица 406 принимает синхронизирующий

импульс от синхронизирующего сигнала Т3 для предварительной зарядки шины 472 адреса и выключения транзисторов 440 оценки адреса. В одном варианте воплощения логическая матрица 406 принимает синхронизирующий импульс от синхронизирующего сигнала Т3 для выключения транзисторов 440 оценки адреса и синхронизирующий импульс от

5 синхронизирующего сигнала Т4 для предварительной зарядки шины 472 адреса.

Логическая матрица 406 принимает синхронизирующий импульс от синхронизирующего сигнала Т4 для выключения транзисторов 440 оценки адреса, когда выходные сигналы SO1-SO13 сдвигового регистра устанавливаются в допустимые выходные сигналы SO1-SO13 сдвигового регистра. Если сдвиговый регистр 402 инициализирован, один выходной

10 сигнал SO1-SO13 сдвигового регистра остается на высоком уровне напряжения после синхронизирующего импульса от синхронизирующего сигнала Т4. Логическая матрица 406 принимает синхронизирующий импульс от синхронизирующего сигнала Т5 для повышения напряжения на шине 474 сигнала оценки включения транзистора 440 оценки адреса. Пара 446, 448... 470 транзисторов адреса, которая принимает выходной сигнал SO1-SO13

15 сдвигового регистра с высоким уровнем напряжения, включается для понижения напряжения на двух из семи шин 472a-472g адресов до низкого уровня напряжения. Два сигнала адреса с низким уровнем напряжения в сигналах ~A1, ~A2... ~A7 адреса используются для разрешения активации нагревательных ячеек 120 и подгрупп нагревательных ячеек. Сигналы ~A1, ~A2... ~A7 адреса становятся допустимыми в течение

20 синхронизирующего импульса от синхронизирующего сигнала Т5 и остаются допустимыми до синхронизирующего импульса от синхронизирующего сигнала Т3 в следующей последовательности из шести синхронизирующих импульсов.

Если сдвиговый регистр 402 не инициализирован, все шины 410 вывода сдвигового регистра разряжены для обеспечения выходного сигнала SO1-SO13 сдвигового регистра с

25 низким уровнем напряжения. Выходные сигналы SO1-SO13 сдвигового регистра с низким уровнем напряжения выключают пары 446, 448... 470 транзисторов адреса, и шины 472 адреса остаются заряженными для обеспечения сигналов ~A1, ~A2... ~A7 адреса с высоким уровнем напряжения. Сигналы ~A1, ~A2... ~A7 адреса с высоким уровнем напряжения предотвращают нагревательные ячейки 120 и подгруппы нагревательных

30 ячеек от разрешения активации.

Хотя на фиг.9 показан один вариант воплощения схемы адреса, могут быть использованы другие варианты воплощения, использующие другие логические элементы. Например, может быть использован контроллер, который принимает описанные входные сигналы, например, сигналы Т1-Т6, и который формирует сигналы ~A1, ~A2... ~A7 адреса.

35 На фиг.10А представлена ячейка 403a сдвигового регистра в сдвиговом регистре 402. Сдвиговый регистр 402 содержит тринадцать ячеек 403a-403m сдвигового регистра, которые выдают тринадцать выходных сигналов SO1-SO13 сдвигового регистра. Каждая ячейка 403a-403m сдвигового регистра выдает один из выходных сигналов SO1-SO13 сдвигового регистра, и каждая ячейка 403a-403m сдвигового регистра является сходной с

40 ячейкой 403a сдвигового регистра. Тринадцать ячеек 403 сдвигового регистра электрически соединены последовательно для обеспечения сдвига в прямом и обратном направлениях. В других вариантах воплощения сдвиговый регистр 402 может включать в себя любое подходящее количество ячеек 403 сдвигового регистра для обеспечения любого подходящего количества выходных сигналов сдвигового регистра.

45 Ячейка 403 сдвигового регистра включает в себя первую ступень, которая является входной ступенью, обозначенную пунктирной линией 500, и вторую ступень, которая является ступенью вывода, обозначенную пунктирной линией 502. Первая ступень 500 содержит первый транзистор 504 предварительной зарядки, первый транзистор 506 оценки, транзистор 508 прямого входа, транзистор 510 обратного входа, транзистор 512 прямого

50 направления и транзистор 514 обратного направления. Вторая ступень 502 содержит второй транзистор 516 предварительной зарядки, второй транзистор 518 оценки и транзистор 520 внутреннего узла.

В первой ступени 500 затвор и одна сторона сток-исток первого транзистора 504

предварительной зарядки электрически соединены с шиной 432 синхронизирующего сигнала. Шина 432 синхронизирующего сигнала обеспечивает синхронизирующий сигнал T1 на сдвиговый регистр 402 как первый сигнал PRE1 предварительной зарядки. Другая сторона сток-исток первого транзистора 504 предварительной зарядки электрически

5 соединена с одной стороной сток-исток первого транзистора 506 оценки и затвором транзистора 520 внутреннего узла через внутренний узел 522. Внутренний узел 522 обеспечивает сигнал SN1 внутреннего узла сдвигового регистра между ступенями 500 и 502 затвору транзистора 520 внутреннего узла.

Затвор первого транзистора 506 оценки электрически соединен с первой шиной 420 сигнала оценки. Первая шина 420 сигнала оценки обеспечивает синхронизирующий сигнал T2 с уменьшенным уровнем напряжения на сдвиговый регистр 402 как первый сигнал EVAL1 оценки. Другая сторона сток-исток первого транзистора 506 оценки электрически

10 соединена с одной стороной сток-исток транзистора 508 прямого входа и с одной стороной сток-исток транзистора 510 обратного входа через внутренний путь 524.

Другая сторона сток-исток транзистора 508 прямого входа электрически соединена с одной стороной сток-исток транзистора 512 прямого направления 526, и другая сторона сток-исток транзистора 510 обратного входа электрически соединена с одной стороной сток-исток транзистора 514 обратного направления 528. Сток-исток транзистора 512 прямого направления и транзистора 514 обратного направления электрически соединены с

15 землей 530.

Затвор транзистора 512 прямого направления электрически соединен с шиной 408a направления, которая принимает сигнал DIRF прямого направления от схемы 404 направления. Затвор транзистора 514 обратного направления электрически соединен с шиной 408b направления, которая принимает сигнала DIRR обратного направления от

20 схемы 404 направления.

Во второй ступени 502 затвор и одна сторона сток-исток второго транзистора 516 предварительной зарядки электрически соединены с шиной 434 синхронизирующего сигнала. Шина 434 синхронизирующего сигнала обеспечивает синхронизирующий сигнал T3 на сдвиговый регистр 402 как второй сигнал PRE2 предварительной зарядки. Другая

30 сторона сток-исток второго транзистора 516 предварительной зарядки электрически соединена с одной стороной сток-исток второго транзистора 518 оценки и с шиной 410a вывода сдвигового регистра. Другая сторона сток-исток второго транзистора 518 оценки электрически соединена с одной стороной сток-исток транзистора 520 внутреннего узла в 532. Затвор второго транзистора 518 оценки электрически соединен со второй шиной 424

35 сигнала оценки для обеспечения синхронизирующего сигнала T4 с уменьшенным уровнем напряжения сдвиговому регистру 402 как второго сигнала EVAL2 оценки. Затвор транзистора 520 внутреннего узла электрически соединен с внутренним узлом 522, и другая сторона сток-исток транзистора 520 внутреннего узла электрически соединена с землей в 534. Затвор транзистора 520 внутреннего узла включает в себя емкостное

40 сопротивление в 536 для сохранения сигнала SN1 внутреннего узла ячейки сдвигового регистра. Шина 410a выходного сигнала сдвигового регистра включает в себя емкостное сопротивление в 538 для сохранения выходного сигнала SO1 сдвигового регистра.

Каждая ячейка 403a-403m сдвигового регистра в последовательности из тринадцати ячеек 403 сдвигового регистра подобна ячейке сдвигового регистра 403a. Затвор

45 транзистора 508 прямого направления в каждой ячейке 403a-403m сдвигового регистра электрически соединен с шиной 430 управления или одной из шин 410a-410l вывода сдвигового регистра для сдвига в прямом направлении. Затвор транзистора 510 обратного направления в каждой ячейке 403a-403m сдвигового регистра электрически соединен с шиной 430 управления или одной из шин 410b-410m вывода сдвигового регистра для

50 сдвига в обратном направлении. Шины 410 выходного сигнала сдвигового регистра электрически соединены с одним прямым транзистором 508 и одним обратным транзистором 510 за исключением шин 410a и 410m выходного сигнала сдвигового регистра. Шина 410a выходного сигнала сдвигового регистра электрически соединена с

транзистором 508 прямого направления в ячейке 403b сдвигового регистра, но не с транзистором 510 обратного направления. Шина 410m выходного сигнала сдвигового регистра электрически соединена с транзистором 510 обратного направления в ячейке сдвигового регистра 403l, а не с транзистором 508 прямого направления.

5 Ячейка 403a сдвигового регистра является первым сдвиговым регистром 403 в последовательности из тринадцати сдвиговых регистров 403, когда сдвиговый регистр 402 сдвигает в прямом направлении. Затвор транзистора 508 прямого входа в ячейке 403a сдвигового регистра электрически соединен с шиной 430 управляющего сигнала для приема управляющего сигнала CSYNC. Вторая ячейка 403b сдвигового регистра включает
10 в себя затвор транзистора прямого входа, электрически соединенный с шиной 410a вывода сдвигового регистра для приема выходного сигнала SO1 сдвигового регистра. Третья ячейка 403c сдвигового регистра включает в себя затвор транзистора прямого входа, электрически соединенный с шиной 410b вывода сдвигового регистра для приема выходного сигнала SO2 сдвигового регистра. Четвертая ячейка 403d сдвигового регистра
15 включает в себя затвор транзистора прямого входа, электрически соединенный с шиной 410c вывода сдвигового регистра для приема выходного сигнала SO3 сдвигового регистра. Пятая ячейка 403e сдвигового регистра включает в себя затвор транзистора прямого входа, электрически соединенный с шиной вывода сдвигового регистра 410d для приема выходного сигнала SO4 сдвигового регистра. Шестая ячейка 403f сдвигового регистра
20 включает в себя затвор транзистора прямого входа, электрически соединенный с шиной 410e вывода сдвигового регистра для приема выходного сигнала SO5 сдвигового регистра. Седьмая ячейка 403g сдвигового регистра включает в себя затвор транзистора прямого входа, электрически соединенный со шиной 410f вывода сдвигового регистра для приема выходного сигнала SO6 сдвигового регистра. Восьмая ячейка 403h сдвигового регистра
25 включает в себя затвор транзистора прямого входа, электрически соединенный с шиной 410g вывода сдвигового регистра для приема выходного сигнала SO7 сдвигового регистра. Девятая ячейка 403i сдвигового регистра включает в себя затвор транзистора прямого входа, электрически соединенный с шиной 410h вывода сдвигового регистра для приема выходного сигнала SO8 сдвигового регистра. Десятая ячейка 403j сдвигового регистра
30 включает в себя затвор транзистора прямого входа, электрически соединенный с шиной 410i вывода сдвигового регистра для приема выходного сигнала SO9 сдвигового регистра. Одиннадцатая ячейка 403k сдвигового регистра включает в себя затвор транзистора прямого входа, электрически соединенный с шиной 410j вывода сдвигового регистра для приема выходного сигнала SO10 сдвигового регистра. Двенадцатая ячейка 403l сдвигового
35 регистра включает в себя затвор транзистора прямого входа, электрически соединенный с шиной 410k вывода сдвигового регистра для приема выходного сигнала SO11 сдвигового регистра. Тринадцатая ячейка 403m сдвигового регистра включает в себя затвор транзистора прямого входа, электрически соединенный с шиной 410l вывода сдвигового регистра для приема выходного сигнала SO12 сдвигового регистра.

40 Ячейка 403a сдвигового регистра является последней ячейкой 403 сдвигового регистра в последовательности из тринадцати ячеек 403 сдвигового регистра, когда сдвиговый регистр 402 сдвигает в обратном направлении. Затвор транзистора 510 обратного входа в ячейке 403a сдвигового регистра электрически соединен с шиной вывода 410b предыдущего сдвигового регистра для приема выходного сигнала SO2 сдвигового регистра.
45 Ячейка 403b сдвигового регистра включает в себя затвор транзистора обратного входа, электрически соединенный с шиной 410c вывода сдвигового регистра для приема выходного сигнала SO3 сдвигового регистра. Ячейка 403c сдвигового регистра включает в себя затвор транзистора обратного входа, электрически соединенный с шиной 410d вывода сдвигового регистра для приема выходного сигнала SO4 сдвигового регистра. Ячейка 403d
50 сдвигового регистра включает в себя затвор транзистора обратного входа, электрически соединенный с шиной 410e вывода сдвигового регистра для приема выходного сигнала SO5 сдвигового регистра. Ячейка 403e сдвигового регистра включает в себя затвор транзистора обратного входа, электрически соединенный с шиной 410f вывода сдвигового

регистра для приема выходного сигнала SO6 сдвигового регистра. Ячейка 403f сдвигового регистра включает в себя затвор транзистора обратного входа, электрически соединенный с шиной 410g вывода сдвигового регистра для приема выходного сигнала SO7 сдвигового регистра. Ячейка 403g сдвигового регистра включает в себя затвор транзистора

5 обратного входа, электрически соединенный с шиной 410h вывода сдвигового регистра для приема выходного сигнала SO8 сдвигового регистра. Ячейка 403h сдвигового регистра включает в себя затвор транзистора обратного входа, электрически соединенный с шиной 410i вывода сдвигового регистра для приема выходного сигнала SO9 сдвигового регистра. Ячейка 403i сдвигового регистра включает в себя затвор транзистора обратного входа,
10 электрически соединенный с шиной 410j вывода сдвигового регистра для приема выходного сигнала SO10 сдвигового регистра. Ячейка 403j сдвигового регистра включает в себя затвор транзистора обратного входа, электрически соединенный с шиной 410k вывода сдвигового регистра для приема выходного сигнала SO11 сдвигового регистра. Ячейка 403k сдвигового регистра включает в себя затвор транзистора обратного входа,
15 электрически соединенный с шиной 410l вывода сдвигового регистра для приема выходного сигнала SO12 сдвигового регистра. Ячейка 403l сдвигового регистра включает в себя затвор транзистора обратного входа, электрически соединенный с шиной 410m вывода сдвигового регистра для приема выходного сигнала SO13 сдвигового регистра. Ячейка 403m сдвигового регистра включает в себя затвор транзистора обратного входа,
20 электрически соединенный с шиной 430 управляющего сигнала для приема управляющего сигнала CSYNC. Шины 410a-410m вывода сдвигового регистра также электрически соединены с логической матрицей 406.

Сдвиговый регистр 402 принимает управляющий импульс в управляющем сигнале CSYNC и обеспечивает один выходной сигнал с высоким уровнем напряжения. Как описано
25 выше и подробно описано ниже, направление сдвига сдвигового регистра 402 устанавливается в ответ на сигналы DIRF и DIRR направления, которые формируются в течение синхронизирующих импульсов в синхронизирующих сигналах T3-T6 на основе управляющего сигнала CSYNC на шине 430 управляющего сигнала. Если сдвиговый регистр 402 сдвигает в прямом направлении, сдвиговый регистр 402 устанавливает шину
30 410a вывода сдвигового регистра и выходной сигнал SO1 сдвигового регистра на высокий уровень напряжения в ответ на управляющий импульс и синхронизирующие импульсы на синхронизирующих сигналах T1-T4. Если сдвиговый регистр 402 сдвигает в обратном направлении, сдвиговый регистр 402 устанавливает шину 410m вывода сдвигового регистра и выходной сигнал SO13 сдвигового регистра на высокий уровень напряжения в
35 ответ на управляющий импульс и синхронизирующие импульсы в синхронизирующем сигнале T1-T4. Выходной сигнал SO1 или SO13 с высоким уровнем напряжения сдвигается через сдвиговый регистр 402 от одной ячейки 403 сдвигового регистра к следующей ячейке 403 сдвигового регистра в ответ на синхронизирующие импульсы в синхронизирующих сигналах T1-T4.

40 Сдвиговый регистр 402 сдвигает в импульсе управления и сдвигает один выходной сигнал высокого уровня от одной ячейки 403 сдвигового регистра к следующей ячейке 403 сдвигового регистра с использованием двух операций предварительной зарядки и двух операций оценки. Первая ступень 500 каждой из ячеек 403 сдвигового регистра принимает сигнал DIRF прямого направления и сигнал DIRR обратного направления. Кроме того,
45 первая ступень 500 каждого из сдвиговых регистров 403 принимают прямой входной сигнал SIF сдвигового регистра и обратный входной сигнал SIR сдвигового регистра. Все ячейки 403 сдвигового регистра в сдвиговом регистре 402 устанавливаются для сдвига в одном и том же направлении и в одно и то же время, когда принимаются синхронизирующие импульсы в синхронизирующих сигналах T1-T4.

50 Первая ступень 500 каждой из ячеек 403 сдвигового регистра сдвигает либо в прямом входном сигнале SIF сдвигового регистра, либо в обратном входном сигнале SIR сдвигового регистра. Высокий или низкий уровень напряжения выбранного входного сигнала SIF или SIR сдвигового регистра предоставляется как выходной сигнал SO1-SO13

сдвигового регистра. Первая ступень 500 каждой из ячеек 403 сдвигового регистра предварительно заряжает внутренний узел 522 в течение синхронизирующего импульса от синхронизирующего сигнала T1 и оценивает выбранный входной сигнал SIF или SIR сдвигового регистра в течение синхронизирующего импульса от синхронизирующего сигнала T2. Вторая ступень 502 в каждой ячейке 403 сдвигового регистра предварительно заряжает шины вывода 410a-410m сдвигового регистра в течение синхронизирующего импульса от синхронизирующего сигнала T3 и оценивает сигнал SN (например, SN1) внутреннего узла в течение синхронизирующего импульса от синхронизирующего сигнала T4.

Сигналы DIRF и DIRR направления устанавливают прямое/обратное направление сдвига в ячейке 403a сдвигового регистра и всех других ячейках 403 сдвигового регистра в сдвиговом регистре 402. Сдвиговый регистр 402 сдвигает в прямом направлении, если сигнал DIRF прямого направления находится на высоком уровне напряжения и сигнал DIRR обратного направления находится на низком уровне напряжения. Сдвиговый регистр 402 сдвигает в обратном направлении, если сигнал DIRR обратного направления находится на высоком уровне напряжения и сигнал DIRF прямого направления находится на низком уровне напряжения. Если оба сигнала DIRF и DIRR направления находятся на низких уровнях напряжения, сдвиговый регистр 402 не сдвигает ни в одном направлении и все выходные сигналы SO1-SO13 сдвигового регистра очищаются на неактивный низкий уровень напряжения.

При операции сдвига ячейки 403a сдвигового регистра в прямом направлении сигнал DIRF прямого направления устанавливается на высокий уровень напряжения и сигнал DIRR обратного направления устанавливается на низкий уровень напряжения. Сигнал DIRF прямого направления с высоким уровнем напряжения включает транзистор 512 прямого направления, и сигнал DIRR обратного направления с низким уровнем напряжения выключает транзистор 514 обратного направления. Синхронизирующий импульс от синхронизирующего сигнала T1 подается на сдвиговый регистр 402 в первом сигнале PRE1 предварительной зарядки для повышения напряжения на внутреннем узле 522 до высокого уровня через первый транзистор 504 предварительной зарядки. Затем синхронизирующий импульс от синхронизирующего сигнала T2 подается в сеть 412 резисторных делителей, и синхронизирующий импульс T2 с уменьшенным уровнем напряжения подается на сдвиговый регистр 402 в первом сигнале EVAL1 оценки. Синхронизирующий импульс в первом сигнале EVAL1 оценки включает первый транзистор 506 оценки. Если прямой входной сигнал SIF сдвигового регистра находится на высоком уровне напряжения, транзистор 508 прямого входа включается, и при уже включенном транзисторе 512 прямого направления внутренний узел 522 разряжается для выдачи сигнала SN1 внутреннего узла с низким уровнем напряжения. Внутренний узел 522 разряжается через первый транзистор 506 оценки, транзистор 508 прямого входа и транзистор 512 прямого направления. Если прямой входной сигнал SIF сдвигового регистра находится на низком уровне напряжения, транзистор 508 прямого входа выключается и внутренний узел 522 остается заряженным для обеспечения сигнала SN1 внутреннего узла с высоким уровнем напряжения. Обратный входной сигнал SIR сдвигового регистра управляет транзистором 510 обратного входа. Однако транзистор 514 обратного направления выключен, таким образом, внутренний узел 522 не может быть разряжен через транзистор 510 обратного входа.

Сигнал SN1 внутреннего узла на внутреннем узле 522 управляет транзистором 520 внутреннего узла. Сигнал SN1 внутреннего узла с низким уровнем напряжения выключает транзистор 520 внутреннего узла и сигнал SN1 внутреннего узла с высоким уровнем напряжения включает транзистор 520 внутреннего узла.

Синхронизирующий импульс от синхронизирующего сигнала T3 подается на сдвиговый регистр 402 как второй сигнал PRE2 предварительной зарядки. Синхронизирующий импульс во втором сигнале PRE2 предварительной зарядки повышает напряжение на шине 410a вывода сдвигового регистра до высокого уровня через второй транзистор 516

предварительной зарядки. Затем синхронизирующий импульс от синхронизирующего сигнала T4 подается в сеть 414 резисторных делителей и синхронизирующий импульс T4 с уменьшенным уровнем напряжения подается на сдвиговый регистр 402 как второй сигнал EVAL2 оценки. Синхронизирующий импульс во втором сигнале EVAL2 оценки включает

5 второй транзистор 518 оценки. Если транзистор 520 внутреннего узла выключен, шина 410а вывода сдвигового регистра остается заряженной до высокого уровня напряжения. Если транзистор 520 внутреннего узла включен, шина 410а вывода сдвигового регистра разряжается до низкого уровня напряжения. Выходной сигнал SO1 сдвигового регистра является инверсией по высокому/низкому уровню сигнала SN1 внутреннего узла, который

10 являлся инверсией по высокому/низкому уровню прямого входного сигнала SIF сдвигового регистра. Уровень прямого входного сигнала SIF сдвигового регистра был сдвинут к выходному сигналу SO1 сдвигового регистра.

В ячейке 403а сдвигового регистра прямой входной сигнал SIF сдвигового регистра является управляющим сигналом CSYNC на шине 430 управления. Чтобы разрядить

15 внутренний узел 522 до низкого уровня напряжения, управляющий импульс в управляющем сигнале CSYNC подается в то же самое время, как синхронизирующий импульс в первом сигнале EVAL1 оценки. Управляющий импульс в управляющем сигнале CSYNC, который совпадает по времени с синхронизирующим импульсом от синхронизирующего сигнала T2, инициализирует сдвиговый регистр 402 для сдвига в прямом направлении.

20 При операции сдвига ячейки 403а сдвигового регистра в обратном направлении сигнал DIRF прямого направления устанавливается на низкий уровень напряжения и сигнал DIRR обратного направления устанавливается на высокий уровень напряжения. Сигнал DIRF прямого направления с низким уровнем напряжения выключает транзистор 512 прямого направления, и сигнал DIRR обратного направления с высоким уровнем напряжения

25 включает транзистор 514 обратного направления. Синхронизирующий импульс от синхронизирующего сигнала T1 подается в первом сигнале PRE1 предварительной зарядки для повышения напряжения на внутреннем узле 522 до высокого уровня через первый транзистор 504 предварительной зарядки. Затем синхронизирующий импульс от синхронизирующего сигнала T2 подается в сеть 412 резисторных делителей и

30 синхронизирующий импульс T2 с уменьшенным уровнем напряжения подается в первом сигнале EVAL1 оценки. Синхронизирующий импульс в первом сигнале EVAL1 оценки включает первый транзистор 506 оценки. Если обратный входной сигнал SIR сдвигового регистра находится на высоком уровне напряжения, транзистор 510 обратного входа включен, и при уже включенном транзисторе 514 обратного направления внутренний узел

35 522 разряжается для обеспечения сигнала SN1 внутреннего узла с низким уровнем напряжения. Внутренний узел 522 разряжается через первый транзистор 506 оценки, транзистор 510 обратного входа и транзистор 514 обратного направления. Если обратный входной сигнал SIR сдвигового регистра находится на низком уровне напряжения, транзистор 510 обратного входа выключен, и внутренний узел 522 остается заряженным

40 для обеспечения сигнала SN1 внутреннего узла с высоким уровнем напряжения. Прямой входной сигнал SIF сдвигового регистра управляет транзистором 508 прямого входа. Однако транзистор 512 прямого направления выключен, таким образом, внутренний узел 522 не может быть разряжен через транзистор 508 прямого входа.

Синхронизирующий импульс от синхронизирующего сигнала T3 подается во втором

45 сигнале PRE2 предварительной зарядки. Синхронизирующий импульс во втором сигнале PRE2 предварительной зарядки повышает напряжение на шине 410а вывода сдвигового регистра до высокого уровня через второй транзистор 516 предварительной зарядки. Затем синхронизирующий импульс от синхронизирующего сигнала T4 подается в сеть 414 резисторных делителей и синхронизирующий импульс T4 с уменьшенным уровнем

50 напряжения подается во втором сигнале EVAL2 оценки. Синхронизирующий импульс во втором сигнале EVAL2 оценки включает второй транзистор 518 оценки. Если транзистор 520 внутреннего узла выключен, шина 410а вывода сдвигового регистра остается заряженной на высоком уровне напряжения. Если транзистор 520 внутреннего узла

включен, шина 410a вывода сдвигового регистра разряжается до низкого уровня напряжения. Выходной сигнал SO1 сдвигового регистра является инверсией по высокому/низкому уровню сигнала SN1 внутреннего узла, который являлся инверсией по высокому/низкому уровню обратного входного сигнала SIR сдвигового регистра. Уровень обратного входного сигнала SIR сдвигового регистра был сдвинут к выходному сигналу SO1 сдвигового регистра.

В ячейке 403a сдвигового регистра обратный входной сигнал SIR сдвигового регистра является выходным сигналом SO2 сдвигового регистра на шине 410b вывода сдвигового регистра. В ячейке 403m сдвигового регистра обратный входной сигнал SIR сдвигового регистра является управляющим сигналом CSYNC на шине 430 управления. Чтобы разрядить внутренний узел 522 в ячейке 403m сдвигового регистра до низкого уровня напряжения, управляющий импульс в управляющем сигнале CSYNC подается в то же самое время, как синхронизирующий импульс в первом сигнале EVAL1 оценки. Управляющий импульс в управляющем сигнале CSYNC, который совпадает по времени с синхронизирующим импульсом от синхронизирующего сигнала T2, инициализирует сдвиговый регистр 402 для сдвига в обратном направлении от ячейки 403m сдвигового регистра к ячейке 403a сдвигового регистра.

При очистке ячейки 403a сдвигового регистра и всех ячеек 403 сдвигового регистра в сдвиговом регистре 402 сигналы DIRF и DIRR направления устанавливаются на низкие уровни напряжения. Сигнал DIRF прямого направления с низким уровнем напряжения выключает транзистор 512 прямого направления, и сигнал DIRR обратного направления с низким уровнем напряжения выключает транзистор 514 обратного направления. Синхронизирующий импульс от синхронизирующего сигнала T1 подается в первом сигнале PRE1 предварительной зарядки для зарядки внутреннего узла 522 и обеспечения сигнала SN1 внутреннего узла с высоким уровнем напряжения. Синхронизирующий импульс от синхронизирующего сигнала T2 подается как синхронизирующий импульс T2 с уменьшенным уровнем напряжения в первом сигнале EVAL1 оценки для включения первого транзистора 506 оценки. Как транзистор 512 прямого направления, так и транзистор 514 обратного направления выключены, таким образом, внутренний узел 522 не разряжается через либо транзистор 508 прямого входа, либо транзистор 510 обратного входа.

Сигнал SN1 внутреннего узла с высоким уровнем напряжения включает транзистор 520 внутреннего узла. Синхронизирующий импульс от синхронизирующего сигнала T3 подается во втором сигнале PRE2 предварительной зарядки для зарядки шины 410a выходного сигнала сдвигового регистра и всех шин 410 выходного сигнала сдвигового регистра. Затем синхронизирующий импульс от синхронизирующего сигнала T4 подается как синхронизирующий импульс T4 с уменьшенным уровнем напряжения во втором сигнале EVAL2 оценки для включения второго транзистора 518 оценки. Шина 410a вывода сдвигового регистра разряжается через второй транзистор 518 оценки и транзистор 520 внутреннего узла для обеспечения выходного сигнала SO1 сдвигового регистра с низким уровнем напряжения. Кроме того, все другие шины 410 вывода сдвигового регистра разряжаются для обеспечения сигналов SO2-SO13 сдвигового регистра с неактивным низким уровнем напряжения.

На фиг.10B представлена схема 404 направления. Схема 404 направления содержит схему 550 сигнала прямого направления и схему 552 сигнала обратного направления. Схема 550 сигнала прямого направления содержит третий транзистор 554 предварительной зарядки, третий транзистор 556 оценки и первый транзистор 558 управления. Схема 552 сигнала обратного направления включает в себя четвертый транзистор 560 предварительной зарядки, четвертый транзистор 562 оценки и второй транзистор 564 управления.

Затвор и одна сторона сток-исток третьего транзистора 554 предварительной зарядки электрически соединены с шиной 436 синхронизирующего сигнала. Шина 436 синхронизирующего сигнала подает синхронизирующий сигнал T5 на схему 404

направления как третий сигнал PRE3 предварительной зарядки. Другая сторона сток-исток третьего транзистора 554 предварительной зарядки электрически соединена с одной стороной сток-исток третьего транзистора 556 оценки через шину 408a сигнала направления. Шина 408a сигнала направления подает сигнал DIRF прямого направления на затвор транзистора прямого направления в каждой ячейке 403 сдвигового регистра в сдвиговом регистре 402, такой как затвор транзистора 512 прямого направления в ячейке 403a сдвигового регистра. Затвор третьего транзистора 556 оценки электрически соединен с третьей шиной 428 сигнала оценки, которая подает синхронизирующий сигнал T6 с уменьшенным уровнем напряжения на схему 404 направления. Другая сторона сток-исток третьего транзистора 556 оценки электрически соединена с сток-исток транзистора 558 управления в 566. Сток-исток транзистора 558 управления также электрически соединен с землей в 568. Затвор транзистора 558 управления электрически соединен с шиной 430 управления для приема управляющего сигнала CSYNC.

Затвор и одна сторона сток-исток четвертого транзистора 560 предварительной зарядки электрически соединены с шиной 434 синхронизирующего сигнала. Шина 434 синхронизирующего сигнала подает синхронизирующий сигнал T3 на схему 404 направления как четвертый сигнал PRE4 предварительной зарядки. Другая сторона сток-исток четвертого транзистора 560 предварительной загрузки электрически соединена с одной стороной сток-исток четвертого транзистора 562 оценки через шину 408b сигнала направления. Шина 408b сигнала направления подает сигнал DIRR обратного направления к затвору транзистора обратного направления в каждой ячейке 403 сдвигового регистра в сдвиговом регистре 402, такой как затвор транзистора 514 обратного направления в ячейке 403a сдвигового регистра. Затвор четвертого транзистора 562 оценки электрически соединен с четвертой шиной 424 сигнала оценки, которая подает синхронизирующий сигнал T4 с уменьшенным уровнем напряжения в схему 404 направления. Другая сторона сток-исток четвертого транзистора 562 оценки электрически соединена с сток-исток транзистора 564 управления в 570. Сток-исток транзистора 564 управления также электрически соединен с землей в 572. Затвор транзистора 564 управления электрически соединен с шиной 430 управления для приема управляющего сигнала CSYNC.

Сигналы DIRF и DIRR направления устанавливают направление сдвига в сдвиговом регистре 402. Если сигнал DIRF прямого направления установлен на высокий уровень напряжения и сигнал DIRR обратного направления установлен на низкий уровень напряжения, транзисторы прямого направления, такие как транзистор 512 прямого направления, включены, и транзисторы обратного направления, такие как транзистор 514 обратного направления, выключены. Сдвиговый регистр 402 сдвигает в прямом направлении. Если сигнал DIRF прямого направления установлен на низкий уровень напряжения и сигнал DIRR обратного направления установлен на высокий уровень напряжения, транзисторы прямого направления, такие как 512 транзистор прямого направления, выключены и транзисторы обратного направления, такие как транзистор 514 обратного направления, включены. Сдвиговый регистр 402 сдвигает в обратном направлении. Сигналы DIRF и DIRR направления устанавливаются в течение каждой последовательности синхронизирующих импульсов от синхронизирующего сигнала T3-T6, когда сдвиговый регистр 402 активно сдвигает либо в прямом, либо в обратном направлении. Чтобы прекратить сдвигание или предотвратить сдвигание сдвигового регистра 402, сигналы DIRF и DIRR устанавливаются на низкие уровни напряжения. Это очищает один сигнал с высоким уровнем напряжения из выходных сигналов SO1-SO13 сдвигового регистра, таким образом, все выходные сигналы SO1-SO13 сдвигового регистра имеют низкий уровень напряжения. Выходные сигналы SO1-SO13 сдвигового регистра с низким уровнем напряжения выключают все пары 446, 448... 470 транзисторов адреса, и сигналы ~A1, ~A2... ~A7 адреса остаются на высоких уровнях напряжения, которые не активируют нагревательные ячейки 120.

Во время работы шина 434 синхронизирующего сигнала подает синхронизирующий

импульс от синхронизирующего сигнала T3 на схему 404 направления в четвертом сигнале PRE4 предварительной зарядки. Синхронизирующий импульс в четвертом сигнале PRE4 предварительной зарядки поднимает напряжение на шине 408b сигнала обратного направления до высокого уровня. Синхронизирующий импульс от синхронизирующего

5 сигнала T4 подается в сеть 414 резисторных делителей, которая формирует синхронизирующий импульс T4 с уменьшенным уровнем напряжения на схему 404 направления в четвертом сигнале EVAL4 оценки. Синхронизирующий импульс в четвертом сигнале EVAL4 оценки включает четвертый транзистор 562 оценки. Если управляющий импульс от управляющего сигнала CSYNC подается на затвор транзистора 564 управления

10 в то же самое время, что и синхронизирующий импульс в четвертом сигнале EVAL4 оценки подается на четвертый транзистор 562 оценки, шина 408b сигнала обратного направления разряжается до низкого уровня напряжения. Если управляющий сигнал CSYNC остается на низком уровне напряжения, когда синхронизирующий импульс в четвертом сигнале EVAL4 оценки обеспечивается на четвертый транзистор 562 оценки, шина 408b сигнала обратного

15 направления остается заряженной до высокого уровня напряжения.

Шина 436 синхронизирующего сигнала обеспечивает синхронизирующий импульс от синхронизирующего сигнала T5 на схему 404 направления в третьем сигнале PRE3 предварительной зарядки. Синхронизирующий импульс в третьем сигнале PRE3 предварительной зарядки повышает напряжение на шине 408a сигнала прямого

20 направления до высокого уровня. Синхронизирующий импульс от синхронизирующего сигнала T6 подается в сеть 416 резисторных делителей, которая формирует синхронизирующий импульс T6 с уменьшенным уровнем напряжения на схему 404 направления в третьем сигнале EVAL3 оценки. Синхронизирующий импульс в третьем сигнале EVAL3 оценки включает третий транзистор 556 оценки. Если управляющий

25 импульс от управляющего сигнала CSYNC подается на затвор транзистора 558 управления в то же самое время, как и синхронизирующий импульс в третьем сигнале EVAL3 оценки подается на третий транзистор 556 оценки, шина 408a сигнала прямого направления разряжается до низкого уровня напряжения. Если управляющий сигнал CSYNC остается на низком уровне напряжения, когда синхронизирующий импульс в третьем сигнале EVAL3

30 оценки подается на третий транзистор 556 оценки, шина 408a сигнала прямого направления остается заряженной до высокого уровня напряжения.

На фиг.11 представлена временная диаграмма работы генератора адреса 400 в прямом направлении. Синхронизирующие сигналы T1-T6 обеспечивают последовательность из шести повторяющихся импульсов. Каждый из синхронизирующих сигналов T1-T6

35 обеспечивает один импульс в последовательности из шести импульсов.

В одной последовательности из шести импульсов синхронизирующий сигнал T1 600 включает в себя синхронизирующий импульс 602, синхронизирующий сигнал T2 604 включает в себя синхронизирующий импульс 606, синхронизирующий сигнал T3 608 включает в себя синхронизирующий импульс 610, синхронизирующий сигнал T4 612

40 включает в себя синхронизирующий импульс 614, синхронизирующий сигнал T5 616 включает в себя синхронизирующий импульс 618 и синхронизирующий сигнал T6 620 включает в себя синхронизирующий импульс 622. Управляющий сигнал CSYNC 624 включает в себя управляющие импульсы, которые устанавливают направление смещения в сдвиговом регистре 402 и инициализируют сдвиговый регистр 402 для формирования

45 сигналов ~A1, ~A2... ~A7 адреса, обозначенных 625.

Синхронизирующий импульс 602 от синхронизирующего сигнала T1 600 подается на сдвиговый регистр 402 в первом сигнале PRE1 предварительной зарядки. В течение синхронизирующего импульса 602 внутренний узел 522 в каждой из ячеек 403a-403m сдвигового регистра заряжается для обеспечения сигналов SN1-SN13 внутреннего узла с

50 высоким уровнем напряжения. Все сигналы 626 SN внутреннего узла сдвигового регистра устанавливаются на высокие уровни напряжения 628. Сигнал SN 626 внутреннего узла с высоким уровнем напряжения включают транзистор 520 внутреннего узла в каждой из ячеек 403a-403m сдвигового регистра. В этом примере последовательность шести

синхронизирующих импульсов была обеспечена перед синхронизирующим импульсом 602 и сдвиговый регистр 402 не был инициализирован, таким образом, все выходные сигналы SO 630 сдвигового регистра разряжены до низких уровней напряжения 632 и все сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса 625 остаются на высоких уровнях напряжения 633.

5 Синхронизирующий импульс 606 от синхронизирующего сигнала T2 604 подается на сдвиговый регистр 402 в первом сигнале EVAL1 оценки. Синхронизирующий импульс 606 включает первый транзистор 506 оценки в каждой из ячеек 403a-403m сдвигового регистра. Пока управляющий сигнал CSYNC 624 остается на низком уровне напряжения 634 все выходные сигналы SO 630 сдвигового регистра остаются на низких уровнях
10 напряжения 636, транзистор 508 прямого входа и транзистор 510 обратного входа в каждой из ячеек 403a-403m сдвигового регистра выключены. Не проводящие ток транзисторы 508 прямого входа и не проводящие ток транзисторы 510 обратного входа предотвращают разрядку внутреннего узла 522 в каждой из ячеек 403a-403m сдвигового регистра до низкого уровня напряжения. Все сигналы SN 626 внутреннего узла сдвигового
15 регистра остаются на высоких уровнях напряжения 638.

Синхронизирующий импульс 610 от синхронизирующего сигнала T3 608 подается на сдвиговый регистр 402 во втором сигнале PRE2 предварительной зарядки, на схему 404 направления в четвертом сигнале PRE4 предварительной зарядки и на транзисторы 438 предварительной зарядки шины адреса и транзистор 422a предотвращения оценки в
20 логической матрице 406. В течение синхронизирующего импульса 610 во втором сигнале PRE2 предварительной зарядки все выходные сигналы SO 630 сдвигового регистра заряжаются до высокого уровня напряжения 640. Кроме того, в течение синхронизирующего импульса 610 в четвертом сигнале PRE4 предварительной зарядки сигнал DIRR 642 обратного направления заряжается до высокого уровня напряжения 644.
25 Кроме того, синхронизирующий импульс 610 заряжает все сигналы 625 адреса до высокого уровня напряжения 646 и включают транзистор 422a предотвращения оценки для понижения напряжения на сигнале LEVAL 648 логической оценки до низкого уровня 650.

Синхронизирующий импульс 614 от синхронизирующего сигнала T4 612 подается на сдвиговый регистр 402 во втором сигнале EVAL2 оценки, на схему 404 направления в
30 четвертом сигнале EVAL4 оценки и на транзистор 422b предотвращения оценки в логической матрице 406. Синхронизирующий импульс 614 во втором сигнале EVAL2 оценки включает второй транзистор 518 оценки в каждой из ячеек 403a-403m сдвигового регистра. При сигналах SN 626 внутреннего узла на высоких уровнях напряжения, включивших транзистор 520 внутреннего узла в каждой из ячеек 403a-403m сдвигового
35 регистра, все выходные сигналы SO 630 сдвигового регистра разряжаются до низкого уровня напряжения 652. Кроме того, синхронизирующий импульс 614 в четвертом сигнале EVAL4 оценки включает четвертый транзистор 562 оценки. Управляющий импульс 654 от управляющего сигнала CSYNC 624 включает транзистор 564 управления. При включенных четвертом транзисторе 562 оценки и транзисторе 564 управления сигнал DIRR 642
40 направления разряжается до низкого уровня напряжения 656. Кроме того, синхронизирующий импульс 614 включает транзистор 442b предотвращения оценки для удерживания сигнала LEVAL 648 логической оценки на низком уровне напряжения 658. Сигнал LEVAL логической оценки с низким уровнем напряжения выключает транзисторы 440 оценки адреса.

45 Синхронизирующий импульс 618 от синхронизирующего сигнала T5 616 подается на схему 404 направления в третьем сигнале PRE3 предварительной зарядки и на транзистор 444 предварительной зарядки логической оценки в логической матрице 406. В течение синхронизирующего импульса 618 в третьем сигнале PRE3 предварительной зарядки сигнал DIRF 658 прямого направления заряжается до высокого уровня напряжения 660.
50 Сигнал DIRF 658 прямого направления с высоким уровнем напряжения включает транзистор 512 прямого направления в каждой из ячеек 403a-403m сдвигового регистра для настройки сдвигового регистра 402 для сдвига в прямом направлении. Кроме того, в течение синхронизирующего импульса 618 сигнал LEVAL 648 логической оценки

заряжается до высокого уровня напряжения 662, что включает все логические транзисторы 440 оценки. Когда все выходные сигналы SO 630 сдвигового регистра имеют низкие уровни напряжения, все пары 446, 448... 470 транзисторов адреса выключены и все сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса 625 остаются на высоких уровнях напряжения.

- 5 Синхронизирующий импульс 622 от синхронизирующего сигнала T6 620 подается на схему 404 направления как третий сигнал EVAL3 оценки. Синхронизирующий импульс 622 включает третий транзистор 556 оценки. Поскольку управляющий сигнал CSYNC 624 остается на низком уровне напряжения 664, транзистор 558 управления выключается и сигнал DIRF 658 прямого направления остается на высоком уровне напряжения. Сигнал
- 10 DIRF 658 прямого направления с высоким уровнем напряжения и сигнал DIRR 642 обратного направления с низким уровнем напряжения настраивают каждую из ячеек 403a-403m сдвигового регистра для сдвига в прямом направлении.

- В следующей последовательности из шести синхронизирующих импульсов синхронизирующий импульс 666 поднимает напряжение на всех сигналах SN 626
- 15 внутреннего узла до высокого уровня. Синхронизирующий импульс 668 включает первый транзистор 506 оценки в каждой из ячеек 403a-403m сдвигового регистра. Управляющий сигнал CSYNC 624 обеспечивает управляющий импульс 670 на транзистор 508 прямого входа в ячейке 403a сдвигового регистра. При уже включенном транзисторе 512 прямого направления сигнал SN1 внутреннего узла в ячейке 403a сдвигового регистра разряжается
- 20 до низкого уровня напряжения 672. Выходные сигналы SO 630 сдвигового регистра имеют низкие уровни напряжения 674, что выключает транзистор прямого входа в ячейках 403b-403m сдвигового регистра. При выключенном транзисторе прямого входа каждый из других сигналов SN2-SN13 внутреннего узла в ячейках 403b~403m сдвигового регистра остается на высоком уровне напряжения 676.

- 25 В течение синхронизирующего импульса 678 все выходные сигналы SO 630 сдвигового регистра заряжаются до высокого уровня напряжения 680 и сигнал DIRR 642 обратного направления заряжается до высокого уровня напряжения 682. Кроме того, в течение синхронизирующего импульса 678 все сигналы $\sim A1$, $\sim A2$... $\sim A7$ 625 адреса заряжаются до высокого уровня напряжения 684 и сигнал LEVAL 648 логической оценки разряжается до
- 30 низкого уровня напряжения 686. Сигнал LEVAL 648 логической оценки с низким уровнем напряжения выключает транзисторы 440 оценки адреса, что предотвращает понижение напряжения на сигналах $\sim A1$, $\sim A2$... $\sim A7$ 625 адреса до низкого уровня напряжения парами 446, 448... 470 транзисторов адреса.

- В течение синхронизирующего импульса 688 выходные сигналы SO2-SO13 сдвигового
- 35 регистра разряжаются до низкого уровня напряжения 690. Выходной сигнал SO1 сдвигового регистра остается на высоком уровне напряжения 692 вследствие выключения сигналом SN1 внутреннего узла 672 транзистора 520 внутреннего узла из ячейки 403a сдвигового регистра. Кроме того, синхронизирующий импульс 688 включает второй транзистор 562 оценки, и импульс управления 694 включает транзистор 564 управления
- 40 для понижения напряжения на сигнале DIRR 642 обратного направления до низкого уровня 696. Кроме того, синхронизирующий импульс 688 включает транзистор 442b предотвращения оценки для понижения напряжения на сигнале LEVAL 648 логической оценки до низкого уровня 698 и удерживания транзисторов 440 оценки выключенными.

- В течение синхронизирующего импульса 700 сигнал DIRF 658 прямого направления
- 45 поддерживается на высоком уровне напряжения, и сигнал LEVAL 648 логической оценки заряжается до высокого уровня напряжения 702. Сигнал LEVAL 648 логической оценки с высоким уровнем напряжения 702 включает транзисторы 440 оценки. Выходной сигнал SO1 сдвигового регистра с высоким уровнем 692 включает пары 446a и 446b транзисторов адреса, и напряжение на сигналах $\sim A1$ и $\sim A2$ 625 адреса активно понижается до низкого
- 50 уровня 704. Напряжение на других выходных сигналах SO2-SO13 сдвигового регистра понижается до низких уровней 690, таким образом, транзисторы 448, 450... 470 адреса выключаются, а сигналы $\sim A3$ ~ $\sim A7$ адреса остаются на высоких уровнях напряжения 706. Сигналы $\sim A1$, $\sim A2$... $\sim A7$ 625 адреса становятся допустимыми в течение

синхронизирующего импульса 700 в синхронизирующем сигнале T5 616.

Синхронизирующий импульс 708 включает третий транзистор 556 оценки. Однако управляющий сигнал CSYNC 624 имеет низкий уровень напряжения 710, и сигнал DIRF 658 прямого направления остается на высоком уровне напряжения 712.

5 В следующей последовательности из шести синхронизирующих импульсов синхронизирующий импульс 714 заряжает все сигналы SN 626 внутреннего узла до высоких уровней напряжения 716. Синхронизирующий импульс 718 включает первый транзистор 506 оценки в каждой из ячеек 403a-403m сдвигового регистра, чтобы позволить разрядить узел 522, если прямой входной сигнал SIF в каждой из ячеек 403a-403m сдвигового
10 регистра находится на высоком уровне напряжения. Прямой входной сигнал SIF в ячейке 403a сдвигового регистра является управляющим сигналом CSYNC 624, который имеет низкий уровень напряжения 720. Прямой входной сигнал SIF в каждой из других ячеек 403b-403m сдвигового регистра является выходным сигналом SO 630 сдвигового регистра из предыдущей ячейки 403 сдвигового регистра. Выходной сигнал SO1 сдвигового регистра
15 имеет высокий уровень напряжения 692 и является прямым входным сигналом SIF второй ячейки 403b сдвигового регистра. Выходные сигналы SO2-SO13 сдвигового регистра все имеют низкие уровни напряжения 690.

Ячейки 403a и 403c-403m сдвигового регистра принимают прямые входные сигналы SIF с низким уровнем напряжения, которые выключают транзистор 508 прямого входа в каждой
20 из ячеек 403a и 403c-403m сдвигового регистра, таким образом, сигналы SN1 и SN3-SN13 внутреннего узла остаются на высоком уровне 722. Ячейка 403b сдвигового регистра принимает выходной сигнал SO1 сдвигового регистра с высоким уровнем напряжения как прямой входной сигнал SIF, который включает транзистор прямого входа для разрядки сигнала SN2 внутреннего узла 724.

25 В течение синхронизирующего импульса 726 все выходные сигналы SO 630 сдвигового регистра заряжаются до высокого уровня напряжения 728 и сигнал DIRR 642 обратного направления до высокого уровня напряжения 730. Кроме того, синхронизирующий импульс 726 заряжает все сигналы ~A1, ~A2... ~A7 625 адреса до высокого уровня напряжения 732 и включает транзистор 442a предотвращения оценки для понижения напряжения на LEVAL
30 648 до низкого уровня 734.

Сигналы ~A1, ~A2... ~A7 625 адреса были допустимы с тех пор, как напряжение на сигналах ~A1 и ~A2 было понижено 704, и до тех пор, пока напряжение на всех сигналах ~A1, ~A2... ~A7 625 адреса не повышено 732. Сигналы ~A1, ~A2... ~A7 625 адреса являются допустимыми в течение синхронизирующего импульса 708 от синхронизирующего
35 сигнала T6 620 из предыдущей последовательности из шести синхронизирующих импульсов и синхронизирующих импульсов 714 и 718 от синхронизирующих сигналов T1 600 и T2 604 из текущей последовательности из шести синхронизирующих импульсов.

Синхронизирующий импульс 736 включает второй транзистор 518 оценки в каждой из ячеек 403a-403m сдвигового регистра для оценки сигналов SN 626 внутреннего узла.
40 Сигналы SN1 и SN3-SN13 внутреннего узла имеют высокие уровни напряжения 722 и разряжают выходные сигналы SO1 и SO3-SO13 сдвигового регистра до низкого уровня напряжения 738. Сигнал SN2 внутреннего узла имеет низкий уровень напряжения 724, который выключает транзистор внутреннего узла ячейки 403b сдвигового регистра и поддерживает выходной сигнал SO2 сдвигового регистра на высоком уровне напряжения
45 740.

Когда четвертый транзистор 562 оценки включен синхронизирующим импульсом 736 и управляющий импульс 742 в CSYNC 624 включает транзистор 564 управления, сигнал DIRR 642 обратного направления разряжается до низкого уровня напряжения 744. Сигналы DIRR 642 и DIRF 658 направления устанавливаются в течение каждой последовательности
50 из шести синхронизирующих импульсов. В дополнение, синхронизирующий импульс 736 включает транзистор 442b предотвращения оценки для поддержания сигнала LEVAL 648 на низком уровне напряжения 746.

В течение синхронизирующего импульса 748 сигнал DIRF 658 прямого направления

поддерживается на высоком уровне напряжения 750 и сигнал LEVAL 648 заряжается до высокого уровня напряжения 752. Сигнал LEVAL 678 логической оценки с высоким уровнем напряжения 752 включает транзисторы 440 оценки. Выходной сигнал SO2 сдвигового регистра с высоким уровнем напряжения 740 включает транзисторы 448a и 448b адреса для понижения напряжения на сигналах $\sim A1$ и $\sim A3$ адреса до низкого уровня 754. Другие сигналы $\sim A2$ и $\sim A4 \sim A7$ адреса поддерживаются на высоких уровнях напряжения 756.

Синхронизирующий импульс 758 включает третий транзистор 556 оценки. Управляющий сигнал CSYNC 624 остается на низком уровне напряжения 760 для выключения транзистора 558 управления и поддержания сигнала DIRF 642 прямого направления на высоком уровне напряжения.

Следующая последовательность из шести синхронизирующих импульсов сдвигает выходной сигнал SO2 сдвигового регистра с высоким уровнем напряжения в следующую ячейку 403с сдвигового регистра, которая обеспечивает выходной сигнал SO3 сдвигового регистра с высоким уровнем напряжения. Сдвиг продолжается с каждой последовательностью из шести синхронизирующих импульсов, пока каждый выходной сигнал SO1-SO13 сдвигового регистра не побывает один раз на высоком уровне. После того как выходной сигнал SO13 сдвигового регистра был на высоком уровне, последовательность выходных сигналов SO 630 сдвигового регистра с высоким уровнем напряжения останавливается. Сдвиговый регистр 402 может быть инициализирован снова путем обеспечения управляющего импульса в управляющем сигнале CSYNC, такого как управляющий импульс 670, совпадающий по времени с синхронизирующим импульсом от синхронизирующего сигнала T2 604.

При прямом направлении управляющий импульс в управляющем сигнале CSYNC 624 совпадает по времени с синхронизирующим импульсом от синхронизирующего сигнала T4 612 для установки сдвига в прямом направлении. Кроме того, управляющий импульс от управляющего сигнала CSYNC 624 совпадает по времени с синхронизирующим импульсом от синхронизирующего сигнала T2 604 для запуска или инициализации сдвигового регистра 402 для смещения сигналов с высоким уровнем напряжения через выходные сигналы SO1-SO13 сдвигового регистра.

На фиг.12 показана работа генератора адреса 400 в обратном направлении. Синхронизирующие сигналы T1-T6 обеспечивают повторяющуюся последовательность из шести импульсов. Каждый из синхронизирующих сигналов T1-T6 обеспечивает один импульс в последовательности из шести импульсов. В одной последовательности из шести импульсов синхронизирующий сигнал T1 800 содержит синхронизирующий импульс 802, синхронизирующий сигнал T2 804 содержит синхронизирующий импульс 806, синхронизирующий сигнал T3 808 содержит синхронизирующий импульс 810, синхронизирующий сигнал T4 812 содержит синхронизирующий импульс 814, синхронизирующий сигнал T5 816 содержит синхронизирующий импульс 818 и синхронизирующий сигнал T6 820 содержит синхронизирующий импульс 822. Управляющий сигнал CSYNC 824 содержит управляющие импульсы, которые устанавливают направление смещения в сдвиговом регистре 402 и инициализируют сдвиговый регистр 402 для формирования сигналов $\sim A1$, $\sim A2 \dots \sim A7$ адреса 825.

Синхронизирующий импульс 802 подается на сдвиговый регистр 402 в первом сигнале PRE1 предварительной зарядки. В течение синхронизирующего импульса 802 внутренний узел 522 в каждой из ячеек 403a-403m сдвигового регистра заряжается для обеспечения соответствующего сигнала SN1-SN13 внутреннего узла с высоким уровнем напряжения. Сигналы SN 826 внутреннего узла сдвигового регистра устанавливаются на высокие уровни напряжения 828. Сигнал SN 826 внутреннего узла с высоким уровнем напряжения включает транзисторы 520 внутреннего узла в ячейках 403 сдвигового регистра. В этом примере последовательность из шести синхронизирующих импульсов была обеспечена перед синхронизирующим импульсом 802 и без инициализации сдвигового регистра 402, таким образом все выходные сигналы SO 830 сдвигового регистра разряжены до низких уровней напряжения 832, и все сигналы $\sim A1$, $\sim A2 \dots \sim A7$ 825 адреса остаются на высоких уровнях

напряжения 833.

Синхронизирующий импульс 806 подается на сдвиговый регистр 402 в первом сигнале EVAL1 оценки. Синхронизирующий импульс 806 включает первый транзистор 506 оценки в каждой из ячеек 403a-403m сдвигового регистра. Управляющий сигнал CSYNC 824 остается на низком уровне напряжения 834 и все выходные сигналы SO 830 сдвигового регистра остаются на низких уровнях напряжения 836 для выключения транзистора 508 прямого входа и транзистора 510 обратного входа в каждой из ячеек 403a-403m сдвигового регистра. Не проводящие ток транзисторы 508 и 510 прямого и обратного входа предотвращают разрядку внутреннего узла 522 в каждой из ячеек 403a-403m сдвигового регистра до низкого уровня напряжения. Все сигналы SN 826 внутреннего узла сдвигового регистра остаются на высоких уровнях напряжения 838.

Синхронизирующий импульс 810 подается на сдвиговый регистр 402 во втором сигнале PRE2 предварительной загрузки, на схему 404 направления в четвертом сигнале PRE4 предварительной зарядки и на транзисторы 438 предварительной зарядки шины адреса и транзистор 422a предотвращения оценки в логической матрице 406. В течение синхронизирующего импульса 810 все выходные сигналы SO 830 сдвигового регистра заряжаются до высоких уровней напряжения 840. Кроме того, в течение синхронизирующего импульса 810 сигнал DIRR 842 обратного направления заряжается до высокого уровня напряжения 844. В дополнение, синхронизирующий импульс 810 поддерживает все сигналы 825 адреса на высоких уровнях напряжения и включает транзистор 422a предотвращения оценки для понижения напряжения на сигнале LEVAL 848 логической оценки до низкого уровня 850.

Синхронизирующий импульс 814 подается на сдвиговый регистр 402 во втором сигнале EVAL2 оценки, на схему 404 направления в четвертом сигнале EVAL4 оценки и на транзистор 422b предотвращения оценки в логической матрице 406. Синхронизирующий импульс 814 включает второй транзистор 518 оценки в каждой из ячеек 403a-403m сдвигового регистра. При сигналах SN 826 внутреннего узла на высоких уровнях напряжения, которые включают транзистор 520 внутреннего узла в каждой из ячеек 403a-403m сдвигового регистра, все выходные сигналы SO 830 сдвигового регистра разряжаются до низких уровней напряжения 852. Кроме того, синхронизирующий импульс 814 включает четвертый транзистор 562 оценки, и управляющий сигнал CSYNC 824 обеспечивает низкое напряжение для выключения транзистора 564 управления. При выключенном транзисторе 564 управления сигнал DIRR 842 обратного направления остается заряженным до высокого уровня напряжения. В дополнение, синхронизирующий импульс 814 включает транзистор 442b предотвращения оценки для удержания сигнала LEVAL 848 логической оценки на низком уровне напряжения 858. Сигнал LEVAL 848 логической оценки с низким уровнем напряжения выключает транзисторы 440 оценки адреса.

Синхронизирующий импульс 818 подается на схему 404 направления 404 в третьем сигнале PRE3 предварительной зарядки и к транзистору 444 предварительной зарядки логической оценки в логической матрице 406. В течение синхронизирующего импульса 818 сигнал DIRF 858 прямого направления заражается до высокого уровня напряжения 860. Кроме того, в течение синхронизирующего импульса 818 сигнал LEVAL 848 логической оценки заряжается до высокого уровня напряжения 862 для включения всех транзисторов 440 логической оценки. При том что все выходные сигналы SO 830 сдвигового регистра имеют низкие уровни напряжения, все пары 446, 448... 470 транзисторов адреса выключены и все сигналы ~A1, ~A2...~A7 адреса 825 остаются на высоких уровнях напряжения.

Синхронизирующий импульс 822 подается на схему 404 направления как третий сигнал EVAL3 оценки. Синхронизирующий импульс 822 включает третий транзистор 556 оценки. Управляющий сигнал CSYNC 824 обеспечивает управляющий импульс 864 для включения транзистора 558 управления, и сигнал DIRF 858 прямого направления разряжается до низкого уровня напряжения 865. Сигнал DIRF 858 прямого направления с низким уровнем

напряжения и сигнал DIRR 842 обратного направления с высоким уровнем напряжения настраивают каждую из ячеек 403a-403m сдвигового регистра для сдвига в обратном направлении.

В следующей последовательности из шести синхронизирующих импульсов в течение
 5 синхронизирующего импульса 866 все сигналы SN 826 внутреннего узла заряжаются до
 высоких уровней напряжения. Синхронизирующий импульс 868 включает первый
 транзистор 506 оценки в каждой из ячеек 403a-403m сдвигового регистра. Управляющий
 импульс 870, который может быть в управляющем сигнале CSYNC, подается для
 10 включения транзистора обратного входа в ячейке 403m сдвигового регистра, и при
 включенном транзисторе обратного направления сигнал SN13 внутреннего узла
 разряжается до низкого уровня напряжения 872. Выходные сигналы SO 830 сдвигового
 регистра имеют низкие уровни напряжения 874, которые выключают транзистор обратного
 входа в ячейках 403a-403l сдвигового регистра. При выключенных транзисторах обратного
 15 входа каждый из других сигналов SN1-SN12 внутреннего узла остается на высоком уровне
 напряжения 876.

В течение синхронизирующего импульса 878 все выходные сигналы SO 830 сдвигового
 регистра заряжаются до высокого уровня напряжения 880, и сигнал DIRR 842 обратного
 направления поддерживается на высоком уровне напряжения 882. В дополнение,
 синхронизирующий импульс 878 поддерживает все сигналы ~A1, ~A2... ~A7 825 адреса на
 20 высоких уровнях напряжения 884 и понижает напряжение на сигнале LEVAL 848 логической
 оценки до низкого уровня 886. Сигнал логической оценки LEVAL 848 низкого уровня
 напряжения выключает транзисторы 440 оценки, что предотвращает понижение
 напряжения на сигналах ~A1, ~A2... ~A7 825 адреса до низкого уровня парами 446, 448...
 470 транзисторов адреса.

В течение синхронизирующего импульса 888 выходные сигналы SO1-SO12 сдвигового
 регистра разряжаются до низких уровней напряжения 890. Выходной сигнал SO13
 сдвигового регистра остается на высоком уровне напряжения 892 на основе сигнала SN13
 внутреннего узла с низким уровнем напряжения 872, который выключает транзистор 520
 внутреннего узла из ячейки 403m сдвигового регистра. Кроме того, синхронизирующий
 30 импульс 888 включает второй транзистор оценки, и управляющий сигнал CSYNC 824
 выключает транзистор 564 управления для поддержания сигнала DIRR 842 обратного
 направления на высоком уровне напряжения 896. В дополнение, синхронизирующий
 импульс 888 включает транзистор 442b предотвращения оценки для удержания сигнала
 LEVAL 848 логической оценки на низком уровне напряжения 898 и сохранения
 35 транзисторов 440 оценки выключенными. Выходные сигналы SO 830 сдвигового регистра
 устанавливаются в течение синхронизирующего импульса 888, таким образом, один
 выходной сигнал SO13 сдвигового регистра имеет высокий уровень напряжения и все
 другие выходные сигналы SO1-SO12 сдвигового регистра имеют низкие уровни
 напряжения.

В течение синхронизирующего импульса 900 сигнал DIRF 858 прямого направления
 заряжается до высокого уровня напряжения 901, и сигнал LEVAL 848 логической оценки
 заряжается до высокого уровня напряжения 902. Сигнал логической оценки LEVAL 848 с
 высоким уровнем напряжения 902 включает транзисторы 440 оценки. Выходной сигнал
 SO13 сдвигового регистра с высоким уровнем напряжения 892 включает транзисторы 470a
 45 и 470b адреса, и напряжение на сигналах ~A3 и ~A5 адреса активно понижается до низкого
 уровня 904. Напряжение на других выходных сигналах SO1-SO12 сдвигового регистра
 понижается до низкого уровня 890, таким образом, пары 446, 448... 468 транзисторов
 адреса выключаются и сигналы ~A1, ~A2, ~A4, ~A6 и ~A7 адреса остаются на высоких
 уровнях напряжения 906. Сигналы ~A1, ~A2... ~A7 825 адреса становятся допустимыми в
 50 течение синхронизирующего импульса 900. Синхронизирующий импульс 908 включает
 третий транзистор 556 оценки, и управляющий импульс 910 в управляющем сигнале
 CSYNC 824 включает транзистор 558 управления для разрядки сигнала DIRF 858 прямого
 направления до низкого напряжения 912.

В следующей последовательности из шести синхронизирующих импульсов в течение синхронизирующего импульса 914 все сигналы SN 826 внутреннего узла заряжаются до высоких уровней напряжения 916. Синхронизирующий импульс 918 включает первый транзистор 506 оценки в каждой из ячеек 403а-403м сдвигового регистра для разрядки узла 522, если обратный входной сигнал SIR в каждой из ячеек 403а-403м сдвигового регистра имеет высокий уровень напряжения. Обратный входной сигнал SIR в ячейке 403м сдвигового регистра является управляющим сигналом CSYNC 824, который имеет низкий уровень напряжения 920. Обратный входной сигнал SIR в каждой из других ячеек 403а-403л сдвигового регистра является выходным сигналом SO 830 сдвигового регистра из следующей ячейки 403 сдвигового регистра. Выходной сигнал SO13 сдвигового регистра имеет высокий уровень напряжения 892 и является обратным входным сигналом SIR ячейки 403л сдвигового регистра. Все выходные сигналы SO1-SO12 сдвигового регистра находятся на низких уровнях напряжения 890. Ячейки 403а-403к и 403м сдвигового регистра имеют обратные входные сигналы SIR с низким уровнем напряжения, которые выключают транзистор 510 обратного входа, таким образом, сигналы SN1-SN11 и SN13 внутреннего узла остаются на высоких уровнях напряжения 922. Ячейка 403л сдвигового регистра принимает выходной сигнал SO13 сдвигового регистра с высоким уровнем напряжения как обратный входной сигнал SIR, который включает транзистор обратного входа для разрядки сигнала SN12 внутреннего узла 924.

В течение синхронизирующего импульса 926 все выходные сигналы SO 830 сдвигового регистра заряжаются до высоких уровней напряжения 928, и сигнал DIRR 842 обратного направления поддерживается на высоком уровне напряжения 930. Кроме того, в течение синхронизирующего импульса 926 все сигналы ~A1, ~A2... ~A7 825 адреса заряжаются до высокого уровня напряжения 932, и транзистор 442а предотвращения оценки включается для понижения напряжения на сигнале LEVAL 848 до низкого уровня 934. Сигналы ~A1, ~A2... ~A7 825 адреса являлись допустимыми с тех пор, как напряжение на сигналах ~A3 и ~A5 адреса было понижено 904, и до тех пор, пока напряжение на всех сигналах ~A1, ~A2... ~A7 825 адреса не повышено 932. Сигналы ~A1, ~A2... ~A7 825 адреса являются допустимыми в течение синхронизирующих импульсов 908, 914 и 918.

Синхронизирующий импульс 936 включает второй транзистор 518 оценки в каждой из ячеек 403а-403м сдвигового регистра для оценки сигналов SN 826 внутреннего узла. Сигналы SN1-SN11 и SN13 внутреннего узла имеют высокий уровень напряжения 922 для разрядки выходных сигналов SO1-SO11 и SO13 сдвигового регистра до низких уровней напряжения 938. Сигнал SN12 внутреннего узла имеет низкий уровень напряжения 924, который выключает транзистор внутреннего узла ячейки 403л сдвигового регистра и поддерживает выходной сигнал SO12 сдвигового регистра на высоком уровне напряжения 940.

Кроме того, синхронизирующий импульс 936 включает четвертый транзистор 562 оценки, и управляющий сигнал CSYNC 824 имеет низкий уровень напряжения для выключения транзистора 564 управления для поддержания сигнала DIRR 842 обратного направления на высоком уровне напряжения 944. В дополнение, синхронизирующий импульс 936 включает транзистор 442b предотвращения оценки для поддержания сигнала LEVAL 848 на низком уровне напряжения 946.

В течение синхронизирующего импульса 948 сигнал DIRF 858 прямого направления заряжается до высокого уровня напряжения 950 и сигнал LEVAL 848 заряжается до высокого уровня напряжения 952. Сигнал LEVAL 848 логической оценки с высоким уровнем напряжения 952 включает транзисторы 440 оценки. Выходной сигнал SO12 сдвигового регистра с высоким уровнем напряжения 940 включает транзисторы 468а и 468b адреса для понижения напряжения на сигналах ~A3 и ~A4 адреса до низкого уровня 954. Другие сигналы ~A1, ~A2 и ~A5 - ~A7 адреса поддерживаются на высоких уровнях напряжения 956.

Синхронизирующий импульс 958 включает третий транзистор 556 оценки. Управляющий импульс 960 в управляющем сигнале CSYNC 824 включает транзистор 558 управления, и

сигнал DIRF 842 прямого направления разряжается до низкого уровня напряжения 962.

Следующая последовательность из шести синхронизирующих импульсов сдвигает выходной сигнал SO12 сдвигового регистра с высоким уровнем напряжения на следующую ячейку 403k сдвигового регистра, которая обеспечивает выходной сигнал SO11 сдвигового регистра с высоким уровнем напряжения. Сдвиг продолжается с каждой последовательностью из шести синхронизирующих импульсов, пока каждый выходной сигнал SO1-SO13 сдвигового регистра не побывает один раз на высоком уровне. После того как выходной сигнал SO1 сдвигового регистра имеет высокий уровень, последовательность выходных сигналов SO 830 сдвигового регистра с высоким уровнем напряжения останавливается. Сдвиговый регистр 402 может быть инициализирован снова путем подачи управляющего импульса, такого как управляющий импульс 870, совпадающий по времени с синхронизирующим импульсом от синхронизирующего сигнала T2 804.

В операции обратного направления управляющий импульс от сигнала CSYNC 824 подается совпадающим по времени с синхронизирующим импульсом от синхронизирующего сигнала T6 820 для установки направления сдвига в обратном направлении. Кроме того, импульс управления от сигнала CSYNC 824 подается совпадающим по времени с синхронизирующим импульсом от синхронизирующего сигнала T2 804 для запуска или инициализации сдвигового регистра 402 для сдвига сигнала с высоким уровнем напряжения через выходные сигналы SO1-SO13 сдвигового регистра.

На фиг.13 показана блок-схема одного варианта воплощения двух генераторов 1000 и 1002 адреса и шести нагревательных групп 1004a-1004f. Каждый из генераторов 1000 и 1002 адреса аналогичен генератору 400 адреса (фиг.9), а нагревательные группы 1004a-1004f аналогичны нагревательным группам 202a-202f (фиг.7). Генератор 1000 адреса электрически соединен с нагревательными группами 1004a-1004c через первые шины 1006 адреса. Шины 1006 адреса обеспечивают сигналы ~A1, ~A2... ~A7 адреса от генератора 1000 адреса на каждую из нагревательных групп 1004a-1004c. Кроме того, генератор 1000 адреса электрически соединен с шиной 1010 управления. Шина 1010 управления принимает (проводит) управляющий сигнал CSYNC на генератор 1000 адреса. В одном варианте воплощения сигнал CSYNC подается внешним контроллером на матрицу печатающей головки, на которой изготовлены два генератора 1000 и 1002 адреса и шесть нагревательных групп 1004a-1004f. В дополнение, генератор 1000 адреса электрически соединен с шинами 1008a-1008f выбора. Шины 1008a-1008f выбора аналогичны шинам 212a-212f выбора (фиг.7). Шины 1008a-1008f выбора проводят сигналы SEL1, SEL2... SEL6 выбора на генератор 1000 адреса, а также на соответствующие нагревательные группы 1004a-1004f (не показаны).

Шина 1008a выбора подает сигнал SEL1 выбора на генератор 1000 адреса, который в одном варианте воплощения является синхронизирующим сигналом T3, синхронизирующим сигналом T6. Шина 1008b выбора проводит сигнал SEL2 выбора на генератор 1000 адреса, который в одном варианте воплощения является синхронизирующим сигналом T3, синхронизирующим сигналом T1. Шина 1008c выбора проводит сигнал SEL3 выбора на генератор 1000 адреса, который в одном варианте воплощения является синхронизирующим сигналом T3, синхронизирующим сигналом T2. Шина 1008d выбора проводит сигнал SEL4 выбора на генератор 1000 адреса, который в одном варианте воплощения является синхронизирующим сигналом T3, синхронизирующим сигналом T3. Шина 1008e выбора проводит сигнал SEL5 выбора на генератор 1000 адреса, который в одном варианте воплощения является синхронизирующим сигналом T3, синхронизирующим сигналом T4, и шина 1008f выбора проводит сигнал SEL6 выбора на генератор 1000 адреса, который в одном варианте воплощения является синхронизирующим сигналом T3, синхронизирующим сигналом T5.

Генератор 1002 адреса электрически соединен с нагревательными группами 1004d-1004f через вторые шины 1012 адреса. Шина 1012 адреса подает сигналы ~B1, ~B2... ~B7 адреса от генератора 1002 адреса на каждую из нагревательных групп 1004d-1004f. Кроме того, генератор 1002 адреса электрически соединен с шиной 1010 управления, которая проводит

управляющий сигнал CSYNC на генератор 1002 адреса. В дополнение, генератор 1002 адреса электрически соединен с шинами 1008a-1008f выбора. Шины 1008a-1008f выбора проводят сигналы SEL1, SEL2... SEL6 выбора на генератор 1002 адреса, а также на соответствующие нагревательные группы 1004a-1004f (не показаны).

5 Шина 1008a выбора проводит сигнал SEL1 выбора на генератор 1002 адреса, который в одном варианте воплощения является синхронизирующим сигналом T3. Шина 1008b выбора проводит сигнал SEL2 выбора на генератор 1002 адреса, который в одном варианте воплощения является синхронизирующим сигналом T4. Шина 1008c выбора проводит сигнал SEL3 выбора на генератор 1002 адреса, который в одном варианте
10 воплощения является синхронизирующим сигналом T5. Шина 1008d выбора проводит сигнал SEL4 выбора на генератор 1002 адреса, который в одном варианте воплощения является синхронизирующим сигналом T6. Шина 1008e выбора проводит сигнал SEL5 выбора на генератор 1002 адреса, который в одном варианте воплощения является синхронизирующим сигналом T1, и шина 1008f выбора проводит сигнал SEL6 выбора на
15 генератор 1002 адреса, который в одном варианте воплощения является синхронизирующим сигналом T2.

Сигналы SEL1, SEL2... SEL6 выбора включают в себя последовательность из шести импульсов, которая повторяется в повторяющейся последовательности из шести импульсов. Каждый из сигналов SEL1, SEL2... SEL6 выбора включает в себя один импульс
20 в последовательности из шести импульсов. В одном варианте воплощения за импульсом в сигнале SEL1 выбора следует импульс в сигнале SEL2 выбора, за которым следует импульс в сигнале SEL3 выбора, за которым следует импульс в сигнале SEL4 выбора, за которым следует импульс в сигнале SEL5 выбора, за которым следует импульс в сигнале SEL6 выбора. После импульса в сигнале SEL6 выбора последовательность повторяется
25 начиная с импульса в сигнале SEL1 выбора. Управляющий сигнал CSYNC содержит импульсы, совпадающие по времени с импульсами в сигналах SEL1, SEL2... SEL6 выбора для инициализации генераторов 1000 и 1002 адреса и установки направления сдвига или генерации адреса в генераторах 1000 и 1002 адреса (фиг.11 и 12). Чтобы инициализировать генерацию адресов от генератора 1000 адреса, управляющий сигнал
30 CSYNC содержит управляющий импульс, совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале T2, который соответствует синхронизирующему импульсу в сигнале SEL3 выбора.

Генератор 1000 адреса формирует сигналы ~A1, ~A2... ~A7 адреса в ответ на сигналы SEL1, SEL2... SEL6 выбора и управляющий сигнал CSYNC. Сигналы ~A1, ~A2... ~A7 адреса
35 подаются через первые шины 1006 адреса на нагревательные группы 1004a-1004c.

В генераторе 1000 адреса сигналы ~A1, ~A2... ~A7 адреса являются допустимыми в течение синхронизирующих импульсов в синхронизирующих сигналах T6, T1 и T2, которые соответствуют синхронизирующим импульсам в сигналах SEL1, SEL2 и SEL3 выбора. Управляющий сигнал CSYNC содержит управляющий импульс, совпадающий по времени с
40 синхронизирующим импульсом в синхронизирующем сигнале T4, который соответствует синхронизирующему импульсу в сигнале SEL5 выбора, для настройки генератора 1000 адреса для сдвига в прямом направлении. Управляющий сигнал CSYNC содержит импульс управления, совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале T6, который соответствует синхронизирующему импульсу в
45 сигнале SEL1 выбора, для настройки генератора 1000 адреса для сдвига в обратном направлении.

Нагревательные группы 1004a-1004c принимают допустимые сигналы ~A1, ~A2... ~A7 адреса в течение импульсов в сигналах SEL1, SEL2 и SEL3 выбора. Когда нагревательная группа один (FG1) 1004a принимает сигналы ~A1, ~A2... ~A7 адреса и импульс в сигнале
50 SEL1 выбора, нагревательные ячейки 120 в выбранных подгруппах SG1 ряда допускаются для активации сигналом FIRE1 зажигания. Когда нагревательная группа два (FG2) 1004b принимает сигналы ~A1, ~A2... ~A7 адреса и импульс в сигнале SEL2 выбора, нагревательные ячейки 120 в выбранных подгруппах SG2 ряда допускаются для активации

сигналом FIRE2 зажигания. Когда нагревательная группа три (FG3) 1004с принимает сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса и импульс в сигнале SEL3 выбора, нагревательные ячейки 120 в выбранных подгруппах SG3 ряда допускаются для активации сигналом FIRE3 зажигания.

- 5 Генератор 1002 адреса формирует сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса в ответ на сигналы SEL1, SEL2... SEL6 выбора и управляющий сигнал CSYNC. Сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса подаются через вторые шины 1012 адреса на нагревательные группы 1004d-1004f. В генераторе 1002 адреса сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса являются допустимыми в течение синхронизирующих импульсов в синхронизирующих сигналах T6, T1 и T2, которые
- 10 соответствуют синхронизирующим импульсам в сигналах SEL4, SEL5 и SEL6 выбора. Управляющий сигнал CSYNC содержит управляющий импульс, совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале T4, который соответствует синхронизирующему импульсу в сигнале SEL2 выбора, для настройки генератора 1002 адреса для сдвига в прямом направлении. Управляющий сигнал CSYNC содержит импульс
- 15 управления, совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале T6, который соответствует синхронизирующему импульсу в сигнале SEL4 выбора, для настройки генератора 1002 адреса для сдвига в обратном направлении. Чтобы инициализировать генерацию адресов от генератора 1002 адреса, управляющий сигнал CSYNC содержит управляющий импульс, совпадающий по времени с
- 20 синхронизирующим импульсом в синхронизирующем сигнале T2, который соответствует синхронизирующему импульсу в сигнале SEL6 выбора.

- Нагревательные группы 1004d-1004f принимают допустимые сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса в течение импульсов в сигналах SEL4, SEL5 и SEL6 выбора. Когда нагревательная группа четыре (FG4) 1004d принимает сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса и импульс в сигнале
- 25 SEL4 выбора, нагревательные ячейки 120 в выбранных подгруппах SG4 ряда допускаются для активации сигналом FIRE4 зажигания. Когда нагревательная группа пять (FG5) 1004е принимает сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса и импульс в сигнале SEL5 выбора, нагревательные ячейки 120 в выбранных подгруппах SG5 ряда допускаются для активации сигналом FIRE5 зажигания. Когда нагревательная группа шесть (FG6) 1004f принимает
- 30 сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса и импульс в сигнале SEL6 выбора, нагревательные ячейки 120 в выбранных подгруппах SG6 ряда допускаются для активации сигналом FIRE6 зажигания.

- В одном случае в течение одной последовательности из шести импульсов управляющий сигнал CSYNC содержит управляющие импульсы, совпадающие по времени с
- 35 синхронизирующими импульсами в сигналах SEL2 и SEL5 выбора, для настройки генераторов 1000 и 1002 адреса для сдвига в прямом направлении. Управляющий импульс, совпадающий по времени с синхронизирующим импульсом в сигнале SEL2 выбора, настраивает генератор 1002 адреса для сдвига в прямом направлении. Управляющий импульс, совпадающий по времени с синхронизирующим импульсом в сигнале SEL5
- 40 выбора, настраивает генератор 1000 адреса для сдвига в прямом направлении.

- В следующей последовательности из шести импульсов управляющий сигнал CSYNC содержит управляющие импульсы, совпадающие по времени с синхронизирующими импульсами в сигналах SEL2, SEL3, SEL5 и SEL6 выбора. Управляющие импульсы, совпадающие по времени с синхронизирующими импульсами в сигналах SEL2 и SEL5
- 45 выбора, устанавливают направление сдвига в прямом направлении в генераторах 1000 и 1002 адреса. Управляющие импульсы, совпадающие по времени с синхронизирующими импульсами в сигналах SEL3 и SEL6 выбора, инициализируют генераторы 1000 и 1002 адреса для формирования сигналов $\sim A1$, $\sim A2$... $\sim A7$ и $\sim B1$, $\sim B2$... $\sim B7$ адреса. Управляющий импульс, совпадающий по времени с синхронизирующим импульсом в
- 50 сигнале SEL3 выбора, инициализирует генератор 1000 адреса, и управляющий импульс, совпадающий по времени с синхронизирующим импульсом в сигнале SEL6 выбора, инициализирует генератор 1002 адреса.

В течение третьей последовательности синхронизирующих импульсов генератор 1000

адреса формирует сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса, которые являются допустимыми, в течение синхронизирующих импульсов в сигналах SEL1, SEL2 и SEL3 выбора. Допустимые сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса используются для активации нагревательных ячеек 120 в подгруппах SG1, SG2 и SG3 ряда в нагревательных группах FG1, FG2 и FG3 1004a-1004c. В течение третьей последовательности синхронизирующих импульсов генератор 1002 адреса формирует сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса, которые являются допустимыми в течение синхронизирующих импульсов в сигналах SEL4, SEL5 и SEL6 выбора. Допустимые сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса используются для активации нагревательных ячеек 120 в подгруппах SG4, SG5 и SG6 ряда в нагревательных группах FG4, FG5 и FG6 1004d-1004f.

В течение третьей последовательности синхронизирующих импульсов в сигналах SEL1, SEL2... SEL6 выбора сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса включают в себя сигналы с низким уровнем напряжения, которые соответствуют одному из тринадцати адресов, и сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса включают в себя сигналы с низким уровнем напряжения, которые соответствуют тому же самому адресу из тринадцати адресов. В течение каждой последующей последовательности синхронизирующих импульсов от сигналов SEL1, SEL2... SEL6 выбора сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса и сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса включают в себя сигналы с низким уровнем напряжения, которые соответствуют одному и тому же адресу из тринадцати адресов. Каждая последовательность синхронизирующих импульсов является интервалом времени адреса, таким образом, один из тринадцати адресов обеспечивается в течение каждой последовательности синхронизирующих импульсов.

В операции прямого направления генераторами 1000 и 1002 адреса сначала обеспечивается адрес один, за которым следует адрес два и так далее до адреса тринадцать. После адреса тринадцать генераторы 1000 и 1002 адреса обеспечивают все сигналы $\sim A1$, $\sim A2$... $\sim A7$ и $\sim B1$, $\sim B2$... $\sim B7$ адреса с высоким уровнем напряжения. Кроме того, в течение каждой последовательности синхронизирующих импульсов из сигналов SEL1, SEL2... SEL6 выбора управляющие импульсы совпадают по времени с синхронизирующими импульсами в сигналах SEL2 и SEL5 выбора для продолжения сдвига в прямом направлении.

В другом случае в течение одной последовательности из шести импульсов управляющий сигнал CSYNC включает в себя управляющие импульсы, совпадающие по времени с синхронизирующими импульсами в сигналах SEL1 и SEL4 выбора для настройки генераторов 1000 и 1002 адреса для сдвига в обратном направлении. Управляющий импульс, совпадающий по времени с синхронизирующим импульсом в сигнале SEL1 выбора, настраивает генератор 1000 адреса для сдвига в обратном направлении. Управляющий импульс, совпадающий по времени с синхронизирующим импульсом в сигнале SEL4 выбора, настраивает генератор 1002 адреса для сдвига в обратном направлении.

В следующей последовательности из шести импульсов управляющий сигнал CSYNC включает в себя управляющие импульсы, совпадающие по времени с синхронизирующими импульсами в сигналах SEL1, SEL3, SEL4 и SEL6 выбора. Управляющие импульсы, совпадающие по времени с синхронизирующими импульсами в сигналах SEL1 и SEL4 выбора, устанавливают направление сдвига в обратном направлении в генераторах 1000 и 1002 адреса. Управляющие импульсы, совпадающие по времени с синхронизирующими импульсами в сигналах SEL3 и SEL6 выбора, инициализируют генераторы 1000 и 1002 адреса для формирования сигналов $\sim A1$, $\sim A2$... $\sim A7$ и $\sim B1$, $\sim B2$... $\sim B7$ адреса. Управляющие импульсы, совпадающие по времени с синхронизирующим импульсом в сигнале SEL3 выбора, инициализируют генератор 1000 адреса, и управляющий импульс, совпадающий с синхронизирующим импульсом в сигнале SEL6 выбора, инициализирует генератор 1002 адреса.

В течение третьей последовательности синхронизирующих импульсов генератор 1000 адреса формирует сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса, которые являются допустимыми в течение синхронизирующих импульсов в сигналах SEL1, SEL2 и SEL3 выбора. Допустимые

сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса используются для активации нагревательных ячеек 120 в подгруппах SG1, SG2 и SG3 ряда в нагревательных группах FG1, FG2 и FG3 1004a-1004c. Генератор 1002 адреса формирует сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса, которые являются допустимыми в течение синхронизирующих импульсов в сигналах SEL4, SEL5 и SEL6

5 выбора в течение третьей последовательности синхронизирующих импульсов. Допустимые сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса используются для активации нагревательных ячеек 120 в подгруппах SG4, SG5 и SG6 ряда в нагревательных группах FG4, FG5 и FG6 1004d-1004f.

В течение третьей последовательности синхронизирующих импульсов в сигналах SEL1, SEL2... SEL6 выбора в операции обратного направления сигналы $\sim A1$, $\sim A2$... $\sim A7$ адреса включают в себя сигналы с низким уровнем напряжения, которые соответствуют одному из тринадцати адресов, и сигналы $\sim B1$, $\sim B2$... $\sim B7$ адреса включают в себя сигналы с низким уровнем напряжения, которые соответствуют тому же самому адресу из тринадцати адресов. В течение каждой последующей последовательности синхронизирующих импульсов от сигналов SEL1, SEL2... SEL6 выбора сигналы $\sim A1$, $\sim A2$... $\sim A7$

15 и $\sim B1$, $\sim B2$... $\sim B7$ адреса включают в себя сигналы с низким уровнем напряжения, которые соответствуют одному и тому же адресу из тринадцати адресов. Каждая последовательность синхронизирующих импульсов является интервалом времени адреса, таким образом, один из тринадцати адресов подается в течение каждой последовательности синхронизирующих импульсов.

20 В операции обратного направления сначала генератором 1000 и 1002 адреса формируют адрес тринадцать, за которым следует адрес двенадцать и так далее до адреса один. После адреса один генераторы 1000 и 1002 адреса формируют все сигналы $\sim A1$, $\sim A2$... $\sim A7$ и $\sim B1$, $\sim B2$... $\sim B7$ адреса с высоким уровнем напряжения. Кроме того, в течение каждой последовательности синхронизирующих импульсов от сигналов SEL1, SEL2... SEL6 выбора управляющие импульсы совпадают по времени с синхронизирующими импульсами в сигналах SEL1 и SEL4 выбора для продолжения сдвига в обратном направлении.

Чтобы закончить или предотвратить генерацию адресов, управляющий сигнал CSYNC содержит управляющие импульсы, совпадающие по времени с синхронизирующими импульсами в сигналах SEL1, SEL2, SEL4 и SEL5 выбора. Это очищает сдвиговые регистры, такие как сдвиговый регистр 402 в генераторах 1000 и 1002 адреса. Постоянный высокий уровень напряжения или последовательность импульсов высокого напряжения в управляющем сигнале CSYNC также заканчивает или предотвращает генерацию адресов, и постоянный низкий уровень напряжения в управляющем сигнале CSYNC не будет инициализировать генераторы 1000 и 1002 адреса.

35 На фиг.14 представлена временная диаграмма, иллюстрирующая прямую и обратную работу генераторов 1000 и 1002 адреса. Управляющий сигнал, используемый для сдвига в прямом направлении, - это сигнал CSYNC (FWD) 1124, и управляющий сигнал, используемый для сдвига в обратном направлении, - это сигнал CSYNC (REV) 1126. Сигналы $\sim A1$, $\sim A2$... $\sim A7$ 1128 адреса обеспечиваются генератором 1000 адреса и включают в себя адресные ссылки как прямой, так и обратной операции. Сигналы $\sim B1$, $\sim B2$... $\sim B7$ 1130 адреса формируются генератором 1002 адреса и включают в себя адресные ссылки как прямой, так и обратной операции.

Сигналы SEL1, SEL2... SEL6 выбора обеспечивают повторяющуюся последовательность 45 из шести импульсов. Каждый из сигналов SEL1, SEL2, SEL6 выбора включает в себя один импульс в последовательности из шести импульсов. В одной последовательности повторившейся последовательности из шести импульсов сигнал SEL1 1100 выбора включает в себя синхронизирующий импульс 1102, сигнал SEL2 1104 выбора включает в себя синхронизирующий импульс 1106, сигнал SEL3 1108 выбора включает в себя синхронизирующий импульс 1110, сигнал SEL4 1112 выбора включает в себя синхронизирующий импульс 1114, сигнал SEL5 1116 выбора включает в себя синхронизирующий импульс 1118 и сигнал SEL6 1120 выбора включает в себя синхронизирующий импульс 1122.

В операции прямого направления управляющий сигнал CSYNC (FWD) 1124 содержит управляющий импульс 1132, совпадающий по времени с синхронизирующим импульсом 1106 в сигнале SEL2 1104 выбора. Управляющий импульс 1132 настраивает генератор 1002 адреса для сдвига в прямом направлении. Кроме того, управляющий сигнал CSYNC (FWD) 1124 включает в себя управляющий импульс 1134, совпадающий по времени с синхронизирующим импульсом 1118 в сигнале SEL5 1116 выбора. Управляющий импульс 1134 настраивает генератор 1000 адреса для сдвига в прямом направлении.

В следующей повторяющейся последовательности из шести импульсов сигнал SEL1 1100 выбора содержит синхронизирующий импульс 1136, сигнал SEL2 1104 выбора содержит синхронизирующий импульс 1138, сигнал SEL3 1108 выбора содержит синхронизирующий импульс 1140, сигнал SEL4 1112 выбора содержит синхронизирующий импульс 1142, сигнал SEL5 1116 выбора содержит синхронизирующий импульс 1144 и сигнал SEL6 1120 выбора содержит синхронизирующий импульс 1146.

Управляющий сигнал CSYNC (FWD) 1124 содержит управляющий импульс 1148, совпадающий по времени с синхронизирующим импульсом 1138, для продолжения настройки генератора 1002 адреса для сдвига в прямом направлении и управляющий импульс 1152, совпадающий по времени с синхронизирующим импульсом 1144, для продолжения настройки генератора 1000 адреса для сдвига в прямом направлении. Кроме того, управляющий сигнал CSYNC (FWD) 1124 содержит управляющий импульс 1150, совпадающий по времени с синхронизирующим импульсом 1140 в сигнале SEL3 1108 выбора. Управляющий импульс 1150 инициализирует генератор 1000 адреса для формирования сигналов ~A1, ~A2... ~A7 1128 адреса. В дополнение, управляющий сигнал CSYNC (FWD) 1124 включает в себя управляющий импульс 1154, совпадающий по времени с синхронизирующим импульсом 1146 в сигнале SEL6 1120 выбора. Управляющий импульс 1154 инициализирует генератор 1002 адреса для формирования сигналов ~B1, ~B2... ~B7 1130 адреса.

В следующей или третьей последовательности из шести импульсов сигнал SEL1 1100 выбора содержит синхронизирующий импульс 1156, сигнал SEL2 1104 выбора содержит синхронизирующий импульс 1158, сигнал SEL3 1108 выбора содержит синхронизирующий импульс 1160, сигнал SEL4 1112 выбора содержит синхронизирующий импульс 1162, сигнал SEL5 1116 выбора содержит синхронизирующий импульс 1164 и сигнал SEL6 1120 выбора содержит синхронизирующий импульс 1166. Управляющий сигнал CSYNC (FWD) 1124 содержит управляющий импульс 1168, совпадающий по времени с синхронизирующим импульсом 1158, для продолжения настройки генератора 1002 адреса для сдвига в прямом направлении и управляющий импульс 1170, совпадающий по времени с синхронизирующим импульсом 1164, для продолжения настройки генератора 1000 адреса для сдвига в прямом направлении.

Генератор 1000 адреса формирует сигналы ~A1, ~A2... ~A7 1128 адреса. После инициализации в операции прямого направления генератор 1000 адреса и сигналы ~A1, ~A2... ~A7 1128 адреса формируют адрес один 1172. Адрес один 1172 становится допустимым в течение синхронизирующего импульса 1146 в сигнале SEL6 1120 выбора и остается допустимым до синхронизирующего импульса 1162 в сигнале SEL4 1112 выбора. Адрес один 1172 является допустимым в течение синхронизирующих импульсов 1156, 1158 и 1160 в сигналах SEL1 1100, SEL2 1104 и SEL3 1108 выбора.

Генератор 1002 адреса формирует сигналы ~B1, ~B2... ~B7 1130 адреса. После инициализации в операции прямого направления генератор 1002 адреса и сигналы ~B1, ~B2... ~B7 1130 адреса формируют адрес один 1174. Адрес один 1174 становится допустимым в течение синхронизирующего импульса 1160 в сигнале SEL3 1108 выбора и остается допустимым до синхронизирующего импульса 1176 в сигнале SEL1 1100 выбора. Адрес один 1174 является допустимым в течение синхронизирующих импульсов 1162, 1164 и 1166 в сигналах SEL4 1112, SEL5 1116 и SEL6 1120 выбора.

Сигналы ~A1, ~A2... ~A7 1128 и ~B1, ~B2... ~B7 1130 адреса обеспечивают один и тот же адрес, адрес один 1172 и 1174. Адрес один обеспечивается в течение последовательности

из шести синхронизирующих импульсов, начинающейся с синхронизирующего импульса 1156 и заканчивающейся синхронизирующим импульсом 1166, которая является интервалом времени адреса для адреса один. В течение следующей последовательности из шести импульсов, начинающейся с синхронизирующего импульса 1176,

5 сигналы $\sim A1$, $\sim A2 \dots \sim A7$ 1128 адреса обеспечивают адрес два 1178, и сигналы 431, $\sim B2 \dots \sim B7$ 1130 адреса также обеспечивают адрес два. Таким образом, генераторы 1000 и 1002 адреса формируют адреса от адреса один до адреса тринадцать в прямом направлении. После адреса тринадцать генераторы 1000 и 1002 адреса повторно инициализируются для циклического прохода через допустимые адреса снова таким же

10 образом.
В операции обратного направления управляющий сигнал CSYNC (REV) 1126 содержит управляющий импульс 1180, совпадающий по времени с синхронизирующим импульсом 1102 в сигнале SEL1 1100 выбора. Управляющий импульс 1180 настраивает генератор 1000 адреса для сдвига в обратном направлении. Кроме того, управляющий сигнал CSYNC (REV) 1126 содержит управляющий импульс 1182, совпадающий по времени с синхронизирующим импульсом 1114 в сигнале SEL4 1112 выбора. Управляющий импульс 1182 настраивает генератор 1002 адреса для сдвига в обратном направлении.

15 Управляющий сигнал CSYNC (REV) 1126 содержит управляющий импульс 1184, совпадающий по времени с синхронизирующим импульсом 1136, для продолжения настройки генератора 1000 адреса для сдвига в обратном направлении и управляющий импульс 1188, совпадающий по времени с синхронизирующим импульсом 1142, для продолжения настройки генератора 1002 адреса для сдвига в обратном направлении. Кроме того, управляющий сигнал CSYNC (REV) 1126 включает в себя управляющий импульс 1186, совпадающий по времени с синхронизирующим импульсом 1140 в сигнале

25 SEL3 1108 выбора. Управляющий импульс 1186 инициализирует генератор 1000 адреса для формирования сигналов $\sim A1$, $\sim A2 \dots \sim A7$ 1128 адреса. Кроме того, управляющий сигнал CSYNC (REV) 1126 включает в себя управляющий импульс 1190, совпадающий по времени с синхронизирующим импульсом 1146 в сигнале SEL6 1120 выбора. Управляющий импульс 1190 инициализирует генератор 1002 адреса для формирования сигналов $\sim B1$, $\sim B2 \dots \sim B7$

30 1130 адреса.
Управляющий сигнал CSYNC (REV) 1126 включает в себя управляющий импульс 1192, совпадающий по времени с синхронизирующим импульсом 1156, для продолжения настройки генератора 1000 адреса для сдвига в обратном направлении и управляющий импульс 1194, совпадающий по времени с синхронизирующим импульсом 1162, для

35 продолжения настройки генератора 1002 адреса для сдвига в обратном направлении.

Генератор 1000 адреса формирует сигналы $\sim A1 \sim A7$ в 1128 адреса. После инициализации в операции обратного направления генератор 1000 адреса и сигналы $\sim A1$, $\sim A2 \dots \sim A7$ 1128 адреса формируют адрес тринадцать 1172. Адрес тринадцать 1172 становится допустимым в течение синхронизирующего импульса 1146 и остается

40 допустимым до синхронизирующего импульса 1162. Адрес тринадцать 1172 является допустимым в течение синхронизирующих импульсов 1156, 1158 и 1160 в сигналах SEL1 1100, SEL2 1104 и SEL3 1108 выбора.

Генератор 1002 адреса формирует сигналы $\sim B1$, $\sim B2 \dots \sim B7$ 1130 адреса. После инициализации в операции обратного направления генератор 1002 адреса и

45 сигналы $\sim B1$, $\sim B2 \dots \sim B7$ 1130 адреса формируют адрес тринадцать 1174. Адрес тринадцать 1174 становится допустимым в течение синхронизирующего импульса 1160 и остается допустимым до синхронизирующего импульса 1176. Адрес тринадцать 1174 является допустимым в течение синхронизирующих импульсов 1162, 1164 и 1166 в сигналах SEL4 1112, SEL5 1116 и SEL6 1120 выбора.

50 Сигналы $\sim A1$, $\sim A2 \dots \sim A7$ 1128 и $\sim B1$, $\sim B2 \dots \sim B7$ 1130 адреса обеспечивают один и тот же адрес, адрес тринадцать 1172 и 1174. Адрес тринадцать обеспечивается в течение последовательности из шести синхронизирующих импульсов, начинающейся с синхронизирующего импульса 1156 и заканчивающейся синхронизирующим импульсом

1166, которая является интервалом времени адреса для адреса тринадцать. В течение следующей последовательности из шести импульсов, начинающейся с синхронизирующего импульса 1176, сигналы $\sim A1$, $\sim A2$... $\sim A7$ 1128 адреса обеспечивают адрес двенадцать 1178 и сигналы $\sim B1$, $\sim B2$... $\sim B7$ 1130 адреса также обеспечивают адрес двенадцать. Генераторы 1000 и 1002 адреса формируют адреса от адреса тринадцать до адреса один в обратном направлении. После адреса один генераторы 1000 и 1002 адреса повторно инициализируются для обеспечения допустимых адреса снова.

На фиг.15 представлен один вариант воплощения генератора 1200 адреса выбора банка в матрице 40 печатающей головки. Генератор 1200 адреса выбора банка является одним вариантом воплощения схемы управления в матрице 40 печатающей головки. Генератор 1200 адреса выбора банка выполнен с возможностью обеспечивать двадцать шесть комбинаций сигнала адреса, называемых адресами 1-26, в восьми сигналах $\sim A1$, $\sim A2$... $\sim A8$ адреса. Адреса 1-13 с меньшими номерами, называемые адресами 1-13 младшего банка, обеспечиваются для активации нагревательных ячеек в первой группе нагревательных ячеек, называемой младшим банком нагревательных ячеек. Адреса 14-26 с большими номерами, называемые адресами 14-26 старшего банка, служат для активации нагревательных ячеек во второй группе нагревательных ячеек, называемой старшим банком нагревательных ячеек. В одном варианте воплощения два из восьми сигналов $\sim A1$, $\sim A2$... $\sim A8$ адреса активны одновременно для обеспечения двадцати шести адресов 1-26.

Генератор 1200 адреса выбора банка содержит сдвиговый регистр 1202 младшего банка, сдвиговый регистр 1204 старшего банка, логическую схему 1206 младшего банка, логическую схему 1208 старшего банка 1208 и схему 1210 направления. Сдвиговый регистр 1202 младшего банка аналогичен сдвиговому регистру 402 (показанному на фиг.9), а сдвиговый регистр 1204 старшего банка аналогичен сдвиговому регистру 402. Сдвиговый регистр 1202 младшего банка принимает синхронизирующие сигналы, отличающиеся от тех, которые принимает сдвиговый регистр 402, и сдвиговый регистр 1204 старшего банка принимает синхронизирующие сигналы, отличающиеся от тех, которые принимает сдвиговый регистр 402. Логическая схема 1206 младшего банка включает в себя транзисторную логику, аналогичную логической схеме 406 (фиг.9), для обеспечения адресов 1-13 младшего банка, и логическая схема 1208 старшего банка включает в себя транзисторную логику, аналогичную логической схеме 406, для обеспечения адресов 14-26 старшего банка.

Сдвиговый регистр 1202 младшего банка электрически соединен с логической схемой 1206 младшего банка через шины 1212a-1212m вывода сдвигового регистра. Шины 1212a-1212m вывода сдвигового регистра подают выходные сигналы SO1-SO13 сдвигового регистра на логическую схему 1206 как входные сигналы AI1-AI13 логической схемы соответственно. Кроме того, сдвиговый регистр 1202 младшего банка электрически соединен с шиной 1214 управляющего сигнала, которая обеспечивает управляющий сигнал CSYNC на сдвиговый регистр 1202 младшего банка. Кроме того, сдвиговый регистр 1202 младшего банка принимает синхронизирующие импульсы в синхронизирующих сигналах BT1, BT4, BT5 и BT6 банка.

Сдвиговый регистр 1202 младшего банка электрически соединен с шиной 1216 синхронизирующего сигнала, который обеспечивает синхронизирующий сигнал BT6 банка на сдвиговый регистр 1202 младшего банка как первый сигнал PRE1 предварительной зарядки. Сдвиговый регистр 1202 младшего банка электрически соединен с первой сетью 1218 резисторных делителей через первую шину 1220 сигнала оценки. Первая сеть 1218 резисторных делителей электрически соединена с шиной 1222 синхронизирующего сигнала, которая обеспечивает синхронизирующий сигнал BT1 банка на первую сеть 1218 резисторных делителей. Первая сеть 1218 резисторных делителей обеспечивает синхронизирующий сигнал BT1 с уменьшенным уровнем напряжения на сдвиговый регистр 1202 младшего банка на первой шине 1220 сигнала оценки как первый сигнал EVAL1 оценки. Сдвиговый регистр 1202 младшего банка электрически соединен с шиной 1224

синхронизирующего сигнала, которая обеспечивает синхронизирующий сигнал BT4 банка на сдвиговый регистр 1202 младшего банка как второй сигнал PRE2 предварительной зарядки, и сдвиговый регистр 1202 младшего банка электрически соединен со второй сетью 1226 резисторных делителей через вторую шину 1228 сигнала оценки. Вторая сеть 1226 резисторных делителей электрически соединена с шиной 1230 синхронизирующего сигнала, которая обеспечивает синхронизирующий сигнал BT5 банка на вторую сеть 1226 резисторных делителей. Вторая сеть 1226 резисторных делителей обеспечивает синхронизирующий сигнал BT5 с уменьшенным уровнем напряжения на сдвиговый регистр 1202 младшего банка через вторую шину 1228 сигнала оценки как второй сигнал EVAL2 оценки.

Сдвиговый регистр 1204 старшего банка электрически соединен с логической схемой 1208 старшего банка через шины 1232a-1232m вывода сдвигового регистра. Шины 1232a-1232m вывода сдвигового регистра подают выходные сигналы SO1-SO13 сдвигового регистра на логическую схему 1208 как выходные сигналы AI14-AI26 логической схемы соответственно. Кроме того, сдвиговый регистр 1204 старшего банка электрически соединен с шиной 1214 управляющего сигнала, которая обеспечивает управляющий сигнал CSYNC на сдвиговый регистр 1204 старшего банка. Кроме того, сдвиговый регистр 1204 старшего банка принимает синхронизирующие импульсы в синхронизирующих сигналах BT3, BT4, BT5 и BT6.

Сдвиговый регистр 1204 старшего банка электрически соединен с шиной 1216 синхронизирующего сигнала, которая обеспечивает синхронизирующий сигнал BT6 банка на сдвиговый регистр 1204 старшего банка как первый сигнал PRE1 предварительной зарядки. Сдвиговый регистр 1204 старшего банка электрически соединен с третьей сетью 1227 резисторных делителей через первую шину 1221 сигнала оценки. Третья сеть 1227 резисторных делителей электрически соединена с шиной 1229 синхронизирующего сигнала, которая обеспечивает синхронизирующий сигнал BT3 банка на третью сеть 1227 резисторных делителей. Третья сеть 1227 резисторных делителей обеспечивает синхронизирующий сигнал BT3 с уменьшенным уровнем напряжения на сдвиговый регистр 1204 старшего банка через первую шину 1221 сигнала оценки как первый сигнал EVAL1 оценки. Сдвиговый регистр 1204 старшего банка электрически соединен с шиной 1224 синхронизирующего сигнала, который обеспечивает синхронизирующий сигнал BT4 банка на сдвиговый регистр 1204 старшего банка как второй сигнал PRE2 предварительной зарядки. Сдвиговый регистр 1204 старшего банка электрически соединен со второй шиной 1228 сигнала оценки, которая обеспечивает синхронизирующий сигнал BT5 с уменьшенным уровнем напряжения на сдвиговый регистр 1204 старшего банка как второй сигнал EVAL2 оценки.

Схема 1210 направления электрически соединена со сдвиговым регистром 1202 младшего банка и со сдвиговым регистром 1204 старшего банка через шины 1240 сигнала направления. Шины 1240 сигнала направления обеспечивают сигналы DIRR и DIRF направления от схемы 1210 направления на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка. Кроме того, схема 1210 направления электрически соединена с шиной 1214 управляющего сигнала, которая подает управляющий сигнал CSYNC на схему 1210 направления. В дополнение, схема 1210 направления принимает синхронизирующие импульсы в синхронизирующих сигналах BT4-BT6.

Схема 1210 направления электрически соединена с шиной синхронизирующего сигнала 1224, которая обеспечивает синхронизирующий сигнал BT4 на схему 1210 направления как третий сигнал PRE3 предварительной зарядки. Схема 1210 направления электрически соединена со второй шиной 1228 сигнала оценки, которая обеспечивает синхронизирующий сигнал BT5 с уменьшенным напряжением на схему 1210 направления как третий сигнал EVAL3 оценки. Кроме того, схема 1210 направления электрически соединена с четвертой сетью 1246 резисторных делителей через шину 1248 сигнала оценки. Четвертая сеть 1246 резисторных делителей электрически соединена с шиной 1216

синхронизирующего сигнала, которая подает синхронизирующий сигнал BT6 банка на четвертую сеть 1246 резисторных делителей. Четвертая сеть 1246 резисторных делителей подает синхронизирующий сигнал BT6 с уменьшенным напряжением на схему 1210 направления как четвертый сигнал EVAL4 оценки.

5 Логическая схема 1206 младшего банка электрически соединена с шинами 1212a-1212m вывода сдвигового регистра для приема выходных сигналов SO1-SO13 сдвигового регистра как входных сигналов AI1-AI13 соответственно. Кроме того, логическая схема 1206 младшего банка электрически соединена с шинами 1252a-1252h адреса для обеспечения сигналов ~A1, ~A2... ~A8 адреса соответственно. Кроме того, логическая схема 1206 младшего банка электрически соединена с шиной 1224 синхронизирующего сигнала, которая подает синхронизирующий сигнал BT4 на логическую схему 1206 младшего банка как синхронизирующий сигнал T3, с шиной 1230 синхронизирующего сигнала, которая подает синхронизирующий сигнал BT5 на логическую схему 1206 младшего банка как синхронизирующий сигнал T4, и с шиной 1216 синхронизирующего сигнала, которая подает синхронизирующий сигнал BT6 на логическую схему 1206 младшего банка как синхронизирующий сигнал T5.

Логическая схема 1208 старшего банка электрически соединена с шинами 1232a-1232m вывода сдвигового регистра для приема выходных сигналов SO1-SO13 сдвигового регистра как входных сигналов AI14-AI26 соответственно. Кроме того, логическая схема 1208 старшего банка электрически соединена к шинам 1252a-1252h адреса для подачи сигналов ~A1, ~A2... ~A8 адреса соответственно. Кроме того, логическая схема 1208 старшего банка электрически соединена с шиной 1224 синхронизирующего сигнала, которая подает синхронизирующий сигнал BT4 на логическую схему 1208 старшего банка как синхронизирующий сигнал T3, с шиной 1230 синхронизирующего сигнала, которая подает синхронизирующий сигнал BT5 на логическую схему 1208 старшего банка как синхронизирующий сигнал T4, и с шиной 1216 синхронизирующего сигнала, которая подает синхронизирующий сигнал BT6 на логическую схему 1206 старшего банка как синхронизирующий сигнал T5.

Сдвиговой регистр 1202 младшего банка и логическая схема 1206 младшего банка подают сигналы с низким уровнем напряжения в сигналах ~A1, ~A2... ~A8 адреса для обеспечения тринадцати адресов 1-13 младшего банка. Сдвиговой регистр 1202 младшего банка и логическая схема 1206 младшего банка обеспечивает адреса 1-13 младшего банка в прямом направлении от адреса один до адреса тринадцать и в обратном направлении от адреса тринадцать до адреса один. Сдвиговой регистр 1204 старшего банка и логическая 1208 схема старшего банка обеспечивает сигналы с низким уровнем напряжения в сигналах ~A1, ~A2... ~A8 адреса для обеспечения тринадцати адресов 14-26 старшего банка. Сдвиговой регистр 1204 старшего банка и логическая схема 1208 старшего банка обеспечивает адреса 14-26 старшего банка в прямом направлении от адреса четырнадцать до адреса двадцать шесть и в обратном направлении от адреса двадцать шесть до адреса четырнадцать. Схема 1210 направления обеспечивает сигналы DIRF и DIRR направления, которые устанавливают прямое или обратное направление операции в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка.

Каждая из тринадцати ячеек сдвигового регистра электрически соединена для приема первого сигнала PRE1 предварительной зарядки, первого сигнала EVAL1 оценки, второго сигнала PRE2 предварительной зарядки и второго сигнала EVAL2 оценки. Сдвиговой регистр 1202 младшего банка инициализирован посредством приема управляющего импульса в управляющем сигнале CSYNC, существенно совпадающем с синхронизирующим импульсом в синхронизирующем сигнале BT1. В ответ сигнал с высоким уровнем напряжения обеспечивается в SO1 или SO13. В течение каждой последующей последовательности из шести синхронизирующих импульсов сдвиговой регистр 1202 младшего банка сдвигает сигнал с высоким уровнем напряжения к следующей ячейке 403 сдвигового регистра и сигнал с высоким уровнем напряжения как один из выходных сигналов SO1-SO13 сдвигового регистра. В прямом направлении сигнал с

высоким уровнем напряжения сдвигается от выходного сигнала SO1 сдвигового регистра к выходному сигналу SO2 сдвигового регистра и так далее до включительно выходного сигнала SO13 сдвигового регистра. В обратном направлении сигнал с высоким уровнем напряжения сдвигается от выходного сигнала SO13 сдвигового регистра к выходному

- 5 сигналу SO12 сдвигового регистра и так далее до включительно выходного сигнала SO1 сдвигового регистра. После того как каждый из выходных сигналов SO1-SO13 сдвигового регистра был установлен на высокий уровень напряжения в течение последовательности, все выходные сигналы SO1-SO13 сдвигового регистра устанавливаются на низкие уровни напряжения.
- 10 Логическая схема 1206 младшего банка содержит транзисторную логику, которая обеспечивает сигналы адреса с низким уровнем напряжения в сигналах $\sim A1, \sim A2 \dots \sim A8$ адреса. Логическая схема 1206 младшего банка принимает сигнал с высоким уровнем
- 15 напряжения в одном из входных адресов AI1-AI13 младшего банка и обеспечивает соответствующий набор сигналов адреса с низким уровнем напряжения в сигналах $\sim A1, \sim A2 \dots \sim A8$ адреса. Входные сигналы AI1-AI13 младшего банка соответствуют адресам 1-13 младшего банка соответственно. В одном варианте воплощения в ответ на
- 20 входной сигнал AI1 с высоким уровнем напряжения логическая схема 1206 младшего банка обеспечивает два сигнала адреса с низким уровнем напряжения, такие как $\sim A1$ и $\sim A2$, в сигналах $\sim A1, \sim A2 \dots \sim A8$ адреса как адрес 1 младшего банка. В ответ на входной сигнал
- 25 AI2 с высоким уровнем напряжения логическая схема 1206 младшего банка обеспечивает два сигнала адреса с низким уровнем напряжения, такие как $\sim A1$ и $\sim A3$, в сигналах $\sim A1, \sim A2 \dots \sim A8$ адреса как адрес 2 младшего банка. Это продолжается до приема логической схемой 1206 младшего банка входного сигнала AI13 с высоким уровнем
- напряжения и обеспечения двух сигналов адреса с низким уровнем напряжения в сигналах $\sim A1, \sim A2 \dots \sim A8$ адреса как адреса 13 младшего банка.

- Сдвиговой регистр 1204 старшего банка содержит тринадцать ячеек 403 сдвигового регистра, которые обеспечивают тринадцать выходных сигналов SO1-SO13 сдвигового регистра. Каждая из тринадцати ячеек сдвигового регистра электрически соединена для приема первого сигнала PRE1 предварительной зарядки, первого сигнала EVAL1 оценки,
- 30 второго сигнала PRE2 предварительной зарядки и второго сигнала EVAL2 оценки. Сдвиговой регистр 1204 старшего банка инициализируется посредством приема управляющего импульса в управляющем сигнале CSYNC, существенно совпадающем по времени с синхронизирующим импульсом в синхронизирующем сигнале BT3. В ответ
- 35 сигнал с высоким уровнем напряжения обеспечивается на SO1 или SO13. В течение каждой последующей последовательности из шести синхронизирующих импульсов сдвиговой регистр 1204 старшего банка сдвигает сигнал высокого уровня напряжения к следующей ячейке 403 сдвигового регистра и одному из выходных сигналов SO1-SO13 сдвигового регистра. В прямом направлении сигнал с высоким уровнем напряжения
- 40 сдвигается от выходного сигнала SO1 сдвигового регистра к выходному сигналу SO2 сдвигового регистра и так далее до включительно выходного сигнала SO13 сдвигового регистра. В обратном направлении сигнал с высоким уровнем напряжения сдвигается от выходного сигнала SO13 сдвигового регистра к выходному сигналу SO12 сдвигового
- 45 регистра и так далее до включительно выходного сигнала SO1 сдвигового регистра. После того как каждый из выходных сигналов SO1-SO13 сдвигового регистра устанавливался на высокий уровень напряжения, все выходные сигналы SO1-SO13 сдвигового регистра устанавливаются на низкие уровни напряжения.

- Логическая схема 1208 старшего банка включает в себя транзисторную логику, которая обеспечивает сигналы адреса с низким уровнем напряжения в сигналах $\sim A1, \sim A2 \dots \sim A8$ адреса. Логическая схема 1208 старшего банка принимает сигнал с высоким уровнем
- 50 напряжения в одном из входных сигналов AI14-AI26 старшего банка и обеспечивает соответствующий набор сигналов адреса с низким уровнем напряжения в сигналах $\sim A1, \sim A2 \dots \sim A8$ адреса. Входные сигналы AI14-AI26 старшего банка соответствуют адресам 14-26 старшего банка соответственно. В одном варианте воплощения в ответ на

входной сигнал A14 с высоким уровнем напряжения логическая схема 1208 старшего банка обеспечивает два сигнала адреса с низким уровнем напряжения в сигналах $\sim A1$, $\sim A2 \dots \sim A8$ как адрес 14 старшего банка. В ответ на входной сигнал A15 с высоким уровнем напряжения логическая схема 1208 старшего банка обеспечивает два

5 сигнала адреса с низким уровнем напряжения в сигналах $\sim A1$, $\sim A2 \dots \sim A8$ адреса как адрес 15 старшего банка. Это продолжается до приема логической схемой 1208 старшего банка входного сигнала A126 с высоким уровнем напряжения и обеспечения двух сигналов адреса с низким уровнем напряжения в сигналах $\sim A1$, $\sim A2 \dots \sim A8$ адреса как адреса 26 старшего банка.

10 Схема 1210 направления формирует сигналы DIRF и DIRR направления на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка для установки направления сдвига. Если схема 1210 направления принимает управляющий импульс в управляющем сигнале CSYNC, существенно совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5, схема 1210 направления

15 обеспечивает сигнал DIRR направления с низким уровнем напряжения и сигнал DIRF направления с высоким уровнем напряжения для сдвига и обеспечения адресов в прямом направлении. Если схема 1210 направления не принимает управляющий импульс, существенно совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5, схема 1210 направления обеспечивает сигнал DIRF

20 направления с низким уровнем напряжения и сигнал DIRR направления с высоким уровнем напряжения для сдвига и обеспечения адресов в обратном направлении.

Синхронизирующие сигналы BT1-BT6 банка обеспечивают повторяющуюся последовательность из шести импульсов. Каждый синхронизирующий сигнал BT1-BT6 обеспечивает один импульс в последовательности из шести импульсов, и

25 синхронизирующие сигналы BT1-BT6 обеспечивают импульсы по порядку от синхронизирующего сигнала BT1 до синхронизирующего сигнала BT6.

В операции прямого направления сдвигового регистра 1202 младшего банка схема 1210 направления принимает синхронизирующий импульс в синхронизирующем сигнале BT4 для предварительной зарядки сигналов DIRR и DIRF направления до высоких уровней

30 напряжения. Схема 1210 направления принимает управляющий импульс в управляющем сигнале CSYNC, существенно совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5, для разрядки сигнала DIRR направления до низкого уровня напряжения. Сигнал DIRF направления с высоким уровнем напряжения и сигнал DIRR направления с низким уровнем напряжения настраивают сдвиговый регистр 1202

35 младшего банка и сдвиговый регистр 1204 старшего банка для сдвига в прямом направлении. Направление операции устанавливается в течение каждой последовательности синхронизирующих импульсов в синхронизирующих сигналах BT1-BT6. Кроме того, в течение синхронизирующего импульса в синхронизирующем сигнале BT6 все внутренние узлы SN в ячейках 403 сдвигового регистра предварительно

40 заряжаются до высоких уровней напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка.

Для инициализации сдвигового регистра 1202 младшего банка в следующей последовательности из шести импульсов в синхронизирующих сигналах BT1-BT6 управляющий импульс в управляющем сигнале CSYNC совпадает по времени с

45 синхронизирующим импульсом в синхронизирующем сигнале BT1. В течение управляющего импульса в управляющем сигнале CSYNC, совпадающего по времени с синхронизирующим импульсом в синхронизирующем сигнале BT1, внутренний узел SN1 в сдвиговом регистре 1202 младшего банка разряжается до низкого уровня напряжения. Внутренние узлы SN2-SN13 в сдвиговом регистре 1202 младшего банка остаются на

50 высоких уровнях напряжения, и внутренние узлы SN1-SN13 в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения. Сдвиговый регистр 1204 старшего банка не инициализируется.

Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка

принимают синхронизирующий импульс в синхронизирующем сигнале BT4, в течение которого все выходные сигналы SO1-SO13 сдвигового регистра предварительно заряжаются до высоких уровней напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT5, в течение которого выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка разряжаются.

Выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1202 младшего банка остается на высоком уровне напряжения, поскольку сигнал SN1 внутреннего узла имеет низкий уровень напряжения. Сдвиговый регистр 1202 младшего банка подает выходной сигнал SO1 с высоким уровнем напряжения на логическую схему 1206 младшего банка.

Логическая схема 1206 младшего банка и логическая схема 1208 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT4 для предварительной зарядки шин 1252a-1252h адреса. Синхронизирующий импульс в синхронизирующем сигнале BT5 препятствует включению транзисторов логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В одном варианте воплощения шины 1252a-1252h предварительно заряжаются в течение синхронизирующего импульса в синхронизирующем сигнале BT5, а несинхронизирующего импульса - в синхронизирующем сигнале BT4.

Затем логическая схема 1206 младшего банка и логическая схема 1208 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT6 для включения транзисторов логической оценки. Логическая схема 1206 младшего банка принимает один выходной сигнал SO1 сдвигового регистра с высоким уровнем напряжения как входной сигнал AI1 младшего банка и выходные сигналы SO2-SO13 сдвигового регистра с низким уровнем напряжения как входные сигналы AI2-AI13 младшего банка соответственно. В ответ логическая схема 1206 младшего банка активно понижает напряжение до низкого уровня на шинах адреса, соответствующих сигналам адреса с низким уровнем напряжения в адресе 1 младшего банка. Логическая схема 1208 старшего банка принимает выходные сигналы SO1-SO13 сдвигового регистра низкого уровня напряжения как входные сигналы AI14-AI26 старшего банка и не разряжает ни одну из шин 1252a-1252h адреса.

Каждая последующая последовательность из шести импульсов сдвигает сигнал с высоким уровнем напряжения от одного из выходных сигналов SO1-SO13 сдвигового регистра к смежному сигналу из выходных сигналов SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка. Логическая схема 1206 младшего банка принимает каждый выходной SO1-SO13 сигнал с высоким уровнем напряжения и обеспечивает соответствующий адрес 1-13 младшего банка от адреса 1 младшего банка до адреса 13 младшего банка в сигналах ~A1, ~A2... ~A8 адреса. После того как выходной сигнал SO13 сдвигового регистра имел высокий уровень, все выходные сигналы SO1-SO13 сдвигового регистра устанавливаются на низкие уровни напряжения, и сигналы ~A1, ~A2... ~A8 адреса остаются заряженными до высоких уровней напряжения, пока логическая схема не инициализируется снова или шины адреса не разрядятся логической схемой другого банка.

При прямом направлении сдвигового регистра 1204 старшего банка схема 1210 направления принимает синхронизирующий импульс в синхронизирующем сигнале BT4 для предварительной зарядки сигналов DIRR и DIRF направления до высоких уровней напряжения. Схема 1210 направления принимает управляющий импульс в управляющем сигнале CSYNC, существенно совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5 для разрядки сигнала DIRR направления до низкого уровня напряжения. Схема 1210 направления принимает синхронизирующий импульс в синхронизирующем сигнале BT6, и при сигнале DIRR направления на низком уровне напряжения сигнал DIRF направления остается на высоком уровне напряжения. Сигнал направления DIRF с высоким уровнем напряжения и сигнал направления DIRR с низким

уровнем напряжения настраивают сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка для сдвига в прямом направлении. Направление операции устанавливается в течение каждой последовательности синхронизирующих импульсов в синхронизирующих сигналах BT1-BT6. Кроме того, в течение синхронизирующего импульса

5 в синхронизирующем сигнале BT6 все внутренние узлы SN в ячейках 403 сдвигового регистра предварительно заряжаются до высоких уровней напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка.

Для инициализации сдвигового регистра 1204 старшего банка в следующей последовательности из шести импульсов в синхронизирующих сигналах BT1-BT6

10 управляющий импульс в управляющем сигнале CSYNC обеспечивается существенно совпадающим по времени с синхронизирующим импульсом в синхронизирующем сигнале BT3. Управляющий импульс в управляющем сигнале CSYNC совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT3, в течение которого

15 внутренний узел SN1 разряжается до низкого уровня напряжения в сдвиговом регистре 1204 старшего банка. Внутренние узлы SN2-SN13 в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения, и внутренние узлы SN1-SN13 в сдвиговом регистре 1202 младшего банка остаются на высоких уровнях напряжения. Сдвиговый регистр 1202 младшего банка не инициализируется.

Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка

20 принимает синхронизирующий импульс в синхронизирующем сигнале BT4, в течение которого выходные сигналы SO1-SO13 сдвигового регистра заряжаются до высоких уровней напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT5,

25 в течение которого все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка разряжаются. Выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1204 старшего банка остается на высоком уровне напряжения, поскольку сигнал SN1 внутреннего узла находится на низком уровне

30 напряжения. Сдвиговый регистр 1204 старшего банка обеспечивает выходной сигнал SO1 с высоким уровнем напряжения на логическую схему 1208 старшего банка.

Логическая схема 1206 младшего банка и логическая схема 1208 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT4 для предварительной зарядки шин 1252a-1252h адреса. Синхронизирующий импульс в

35 синхронизирующем сигнале BT5 препятствует включению транзисторов логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В одном варианте воплощения шины 1252a-1252h предварительно заряжаются в течение синхронизирующего импульса в синхронизирующем сигнале BT5, а несинхронизирующего импульса - в синхронизирующем сигнале BT4.

40 Затем логическая схема 1206 младшего банка и логическая схема 1208 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT6 для включения транзисторов логической оценки. Логическая схема 1208 старшего банка принимает один выходной сигнал SO1 сдвигового регистра с высоким уровнем напряжения как входной сигнал AI14 старшего банка и выходные сигналы SO2-SO13 сдвигового регистра с низким

45 уровнем напряжения как входные сигналы AI15-AI26 старшего банка соответственно. В ответ логическая схема 1208 старшего банка активно понижает напряжение до низкого уровня на шинах адреса, соответствующих сигналам адреса с низким уровнем напряжения в адресе 14 старшего банка. Логическая схема 1206 младшего банка принимает выходные сигналы SO1-SO13 сдвигового регистра с низким уровнем напряжения как входные сигналы

50 AI1-AI13 младшего банка и не разряжает ни одну из шин 1252a-1252h адреса.

Каждая последующая последовательность из шести импульсов сдвигает сигнал с высоким уровнем напряжения от одного из выходных сигналов SO1-SO13 сдвигового регистра к следующему сигналу из выходных сигналов SO1-SO13 сдвигового регистра в

сдвиговом регистре 1204 старшего банка. Логическая схема 1208 старшего банка принимает каждый выходной сигнал SO1-SO13 с высоким уровнем напряжения и обеспечивает соответствующий адрес 14-26 старшего банка от адреса 14 старшего банка до адреса 26 старшего банка в сигналах $\sim A1$, $\sim A2$... $\sim A8$ адреса. После того как выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка имел высокий уровень, все выходные сигналы SO1-SO13 сдвигового регистра устанавливаются на низкие уровни напряжения, и сигналы $\sim A1$, $\sim A2$... $\sim A8$ адреса остаются заряженными до высоких уровней напряжения, пока логическая схема не инициализируется снова или шины адреса не разряжены логической схемой другого банка.

В операции обратного направления сдвигового регистра 1202 младшего банка в одной последовательности из шести импульсов в синхронизирующих сигналах BT1-BT6 схема 1210 направления принимает синхронизирующий импульс в синхронизирующем сигнале BT4 для предварительной зарядки сигналов DIRR и DIRF направления до высоких уровней напряжения. Схема 1210 направления принимает управляющий сигнал CSYNC с низким уровнем напряжения, существенно совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5 для поддержания сигнала DIRR направления на высоком уровне напряжения. Схема 1210 направления принимает синхронизирующий импульс в синхронизирующем сигнале BT6 и при сигнале DIRR направления на высоком уровне напряжения, и затем сигнал DIRF направления разряжается до низкого уровня напряжения. Сигнал направления DIRF с низким уровнем напряжения и сигнал направления DIRR с высоким уровнем напряжения настраивают сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка для сдвига в обратном направлении. Направление операции устанавливается в течение каждой последовательности синхронизирующих импульсов в синхронизирующих сигналах BT1-BT6. Кроме того, в течение синхронизирующего импульса в синхронизирующем сигнале BT6 все внутренние узлы SN в ячейках 403 сдвигового регистра предварительно заряжаются до высоких уровней напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка.

Для инициализации сдвигового регистра 1202 младшего банка в следующей последовательности из шести импульсов в синхронизирующих сигналах BT1-BT6 управляющий импульс в управляющем сигнале CSYNC существенно совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT1. Управляющий импульс в управляющем сигнале CSYNC совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT1, внутренний узел SN13 в сдвиговом регистре 1202 младшего банка разряжается до низкого уровня напряжения. Внутренние узлы SN1-SN12 в сдвиговом регистре 1202 младшего банка остаются на высоких уровнях напряжения, и внутренние узлы SN1-SN13 в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения. Сдвиговый регистр 1204 старшего банка не инициализируется.

Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT4, в течение которого все выходные сигналы SO1-SO13 сдвигового регистра предварительно заряжаются до высоких уровней напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT5, в течение которого выходные сигналы SO1-SO12 сдвигового регистра разряжаются в сдвиговом регистре 1202 младшего банка и все выходные сигналы SO1-SO13 сдвигового регистра - в сдвиговом регистре 1204 старшего банка. Выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка остается на высоком уровне напряжения, поскольку сигнал SN13 внутреннего узла имеет низкий уровень напряжения. Сдвиговый регистр 1202 младшего банка обеспечивает выходной сигнал SO13 с высоким уровнем напряжения на логическую схему 1206 младшего банка.

Логическая схема 1206 младшего банка и логическая схема 1208 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT4 для предварительной зарядки шин 1252a-1252h адреса. Синхронизирующий импульс в синхронизирующем сигнале BT5 препятствует включению транзисторов логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В одном варианте воплощения шины адреса 1252a-1252h предварительно заряжаются в течение синхронизирующего импульса в синхронизирующем сигнале BT5, а несинхронизирующего импульса - в синхронизирующем сигнале BT4.

Затем логическая схема 1206 младшего банка и логическая схема 1208 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT6 для включения транзисторов логической оценки. Логическая схема 1206 младшего банка принимает один выходной сигнал SO13 сдвигового регистра с высоким уровнем напряжения как входной сигнал AI13 младшего банка и выходные сигналы SO1-SO12 сдвигового регистра с низким уровнем напряжения как входные сигналы AI1-AI12 младшего банка соответственно. В ответ логическая схема 1206 младшего банка активно понижает напряжение до низкого уровня на шинах адреса, соответствующих сигналам адреса с низким уровнем напряжения в адресе 13 младшего банка. Логическая схема 1208 старшего банка принимает выходные сигналы SO1-SO13 сдвигового регистра с низким уровнем напряжения как входные сигналы AI14-AI26 старшего банка и не разряжает ни одну из шин 1252a-1252h адреса.

Каждая последующая последовательность из шести импульсов сдвигает сигнал с высоким уровнем напряжения от одного из выходных сигналов SO1-SO13 сдвигового регистра к следующему сигналу из выходных сигналов SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка. Логическая схема 1206 младшего банка принимает каждый выходной сигнал SO1-SO13 с высоким уровнем напряжения и обеспечивает соответствующий адрес 1-13 младшего банка от адреса 13 младшего банка до адреса 1 младшего банка в сигналах ~A1, ~A2... ~A8 адреса. После того как выходной сигнал SO1 сдвигового регистра имел высокий уровень, все выходные сигналы SO1-SO13 сдвигового регистра устанавливаются на низкие уровни напряжения, и сигналы ~A1, ~A2... ~A8 адреса остаются заряженными до высоких уровней напряжения, пока логическая схема не инициализируется снова или шины адреса не разрядятся логической схемой другого банка.

В операции обратного направления сдвигового регистра 1204 старшего банка в одной последовательности из шести импульсов в синхронизирующих сигналах BT1-BT6 схема 1210 направления принимает синхронизирующий импульс в синхронизирующем сигнале BT4 для предварительной зарядки сигналов DIRR и DIRF направления до высоких уровней напряжения. Схема 1210 направления принимает управляющий сигнал CSYNC с низким уровнем напряжения, существенно совпадающий по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5, для поддержания сигнала DIRR направления на высоком уровне напряжения. Схема 1210 направления принимает синхронизирующий импульс в синхронизирующем сигнале BT6 и при сигнале DIRR направления на высоком уровне напряжения, и сигнал DIRF направления разряжается до низкого уровня напряжения. Сигнал направления DIRF с низким уровнем напряжения и сигнал DIRR направления с высоким уровнем напряжения настраивают сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка для сдвига в обратном направлении. Направление операции устанавливается в течение каждой последовательности синхронизирующих импульсов в синхронизирующих сигналах BT1-BT6. Кроме того, синхронизирующий импульс в синхронизирующем сигнале BT6 все внутренние узлы SN в ячейках 403 сдвигового регистра предварительно заряжаются до высоких уровней напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка.

Для инициализации сдвигового регистра 1204 старшего банка в следующей последовательности из шести импульсов в синхронизирующих сигналах BT1-BT6 управляющий импульс в управляющем сигнале CSYNC существенно совпадает по времени

с синхронизирующим импульсом в синхронизирующем сигнале BT3. Управляющий импульс в управляющем сигнале CSYNC совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT3, внутренний узел SN13 в сдвиговом регистре 1204 старшего банка разряжается до низкого уровня напряжения. Внутренние узлы SN1-SN12 в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения, и внутренние узлы SN1-SN13 в сдвиговом регистре 1202 младшего банка остаются на высоких уровнях напряжения. Сдвиговый регистр 1202 младшего банка не инициализируется.

Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT4, в течение которого все выходные сигналы SO1-SO13 сдвигового регистра заряжаются до высоких уровней напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT5, все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1204 старшего банка разряжаются. Выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка остается на высоком уровне напряжения, поскольку сигнал SN13 внутреннего узла находится на низком уровне напряжения. Сдвиговый регистр 1204 старшего банка обеспечивает выходной сигнал SO13 с высоким уровнем напряжения на логическую схему 1208 старшего банка.

Логическая схема 1206 младшего банка и логическая схема 1208 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT4 для предварительной зарядки шин 1252a-1252h адреса. Синхронизирующий импульс в синхронизирующем сигнале BT5 препятствует включению транзисторов логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В одном варианте воплощения шины 1252a-1252h адреса предварительно заряжаются в течение синхронизирующего импульса в синхронизирующем сигнале BT5, а несинхронизирующего импульса - в синхронизирующем сигнале BT4.

Затем логическая схема 1206 младшего банка и логическая схема 1208 старшего банка принимают синхронизирующий импульс в синхронизирующем сигнале BT6 для включения транзисторов логической оценки. Логическая схема 1208 старшего банка принимает один выходной сигнал SO13 сдвигового регистра с высоким уровнем напряжения как входной сигнал AI26 старшего банка и выходные сигналы SO1-SO12 сдвигового регистра с низким уровнем напряжения как входные сигналы AI14-AI25 старшего банка соответственно. В ответ логическая схема 1208 старшего банка активно понижает напряжение до низкого уровня на шинах адреса, соответствующих сигналам адреса с низким уровнем напряжения в адресе 26 старшего банка. Логическая схема 1206 младшего банка принимает выходные сигналы SO1-SO13 сдвигового регистра с низким уровнем напряжения как входные сигналы AI1-AI13 младшего банка и не разряжает ни одну из шин 1252a-1252h адреса.

Каждая последующая последовательность из шести импульсов сдвигает сигнал с высоким уровнем напряжения от одного из выходных сигналов SO1-SO13 сдвигового регистра к следующему сигналу из выходных сигналов SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка. Логическая схема 1208 старшего банка принимает каждый выходной сигнал SO1-SO13 с высоким уровнем напряжения и обеспечивает соответствующий адрес 14-26 старшего банка от адреса 26 старшего банка до адреса 14 старшего банка в сигналах ~A1, ~A2... ~A8 адреса. После того как выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1204 старшего банка имел высокий уровень, все выходные сигналы SO1-SO13 сдвигового регистра устанавливаются на низкие уровни напряжения, и сигналы ~A1, ~A2... ~A8 адреса остаются заряженными до высоких уровней напряжения, пока логическая схема не инициализируется снова или шины адреса не разрядятся логической схемой другого банка.

Во время работы сдвиговый регистр 1202 младшего банка инициализируется

независимо от сдвигового регистра 1204 старшего банка для обеспечения адресов 1-13 младшего банка в сигналах $\sim A1$, $\sim A2$... $\sim A8$ адреса либо в прямом, либо в обратном направлении, и сдвиговый регистр 1204 старшего банка инициализируется независимо от сдвигового регистра 1202 младшего банка для обеспечения адресов 14-26 старшего банка в сигналах $\sim A1$, $\sim A2$... $\sim A8$ адреса либо в прямом, либо в обратном направлении. Кроме того, сдвиговый регистр 1202 младшего банка может быть инициализирован время от времени для повторного формирования адресов 1-13 младшего банка в сигналах $\sim A1$, $\sim A2$... $\sim A8$ адреса, и сдвиговый регистр 1204 старшего банка может быть инициализирован время от времени для повторного формирования адресов 14-26 старшего банка в сигналах $\sim A1$, $\sim A2$... $\sim A8$ адреса. В дополнение, сдвиговый регистр 1202 младшего банка может быть инициализирован для формирования адресов 1-13 младшего банка, и за этим может следовать инициализация сдвигового регистра 1204 старшего банка для формирования адресов 14-26 старшего банка, или наоборот.

Следует отметить, что в некоторых вариантах воплощения сдвиговый регистр 1202 младшего банка и логическая схема 1206 младшего банка и сдвиговый регистр 1204 старшего банка и логическая схема 1208 старшего банка расположены рядом друг с другом на матрице 40 печатающей головки. В других вариантах воплощения сдвиговый регистр 1202 младшего банка и логическая схема 1206 младшего банка и сдвиговый регистр 1204 старшего банка и логическая схема 1208 старшего банка не расположены рядом друг с другом на матрице 40 печатающей головки. В этих последних вариантах воплощения используются две схемы 1210 направления, одна вблизи каждого из сдвигового регистра 1202 младшего банка и логической схемы 1206 младшего банка и сдвигового регистра 1204 старшего банка и логической схемы 1208 старшего банка.

На фиг.16 представлена схема 1210 направления. Схема 1210 направления содержит ступень 1260 сигнала обратного направления и ступень 1262 сигнала прямого направления. Ступень 1260 сигнала обратного направления включает в себя транзистор 1264 предварительной зарядки, транзистор 1266 оценки и транзистор 1268 управления. Ступень 1262 сигнала прямого направления включает в себя транзистор 1270 предварительной зарядки, транзистор 1272 оценки и транзистор 1274 управления.

Затвор и одна сторона сток-исток транзистора 1264 предварительной зарядки электрически соединены с шиной 1224 синхронизирующего сигнала. Шина 1224 синхронизирующего сигнала подает синхронизирующий сигнал BT4 на схему 1210 направления как третий сигнал PRE3 предварительной зарядки. Другая сторона сток-исток транзистора 1264 предварительной зарядки электрически соединена с одной стороной сток-исток транзистора 1266 оценки через шину 1240b сигнала направления. Шина 1240b сигнала направления обеспечивает сигнал DIRR обратного направления на затвор транзистора обратного направления в каждой ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Затвор транзистора 1266 оценки электрически соединен с шиной 1228 сигнала оценки, которая обеспечивает синхронизирующий сигнал BT5 с уменьшенным уровнем напряжения на схему 1210 направления как третий сигнал EVAL3 оценки. Другая сторона сток-исток транзистора 1266 оценки электрически соединена с сток-истоком транзистора 1268 управления в 1276. Сток-исток транзистора 1268 управления также электрически соединен с землей в 1278. Затвор транзистора 1268 управления электрически соединен с шиной 1214 управления для приема управляющего сигнала CSYNC.

Затвор и одна сторона сток-исток транзистора 1270 предварительной зарядки электрически соединены с шиной 1224 синхронизирующего сигнала. Другая сторона транзистора 1270 предварительной зарядки сток-исток электрически соединена с одной стороной сток-исток транзистора 1272 оценки через шину 1240a сигнала направления. Шина 1240a сигнала направления обеспечивает сигнал DIRF прямого направления на затвор транзистора прямого направления в каждом сдвиговом регистре в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Затвор транзистора 1272 оценки электрически соединен с шиной 1248 сигнала оценки, которая

обеспечивает синхронизирующий сигнал BT6 с уменьшенным уровнем напряжения на схему 1210 направления как четвертый сигнал EVAL4 оценки. Другая сторона сток-исток транзистора 1272 оценки электрически соединена с сток-истоком транзистора 1274 управления в 1280. Сток-исток транзистора 1274 управления электрически соединен с землей в 1282. Затвор транзистора 1274 управления электрически соединен с шиной 1240b сигнала направления для приема сигнала DIRR обратного направления.

Сигналы DIRF и DIRR направления устанавливают направление смещения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Если сигнал DIRF прямого направления устанавливается на высокий уровень напряжения и сигнал DIRR обратного направления устанавливается на низкий уровень напряжения, транзисторы прямого направления, такие как транзистор 512 прямого направления, включены, и транзисторы обратного направления, такие как транзистор 514 обратного направления, выключены. Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка сдвигают в прямом направлении. Если сигнал DIRF прямого направления установлен на низкий уровень напряжения и сигнал DIRR обратного направления установлен на высокий уровень напряжения, транзисторы прямого направления, такие как транзистор 512 прямого направления, выключены, и транзисторы обратного направления, такие как транзистор 514 обратного направления, включены. Сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка сдвигают в обратном направлении. Сигналы DIRF и DIRR направления устанавливаются в течение синхронизирующих импульсов в синхронизирующих сигналах BT4, BT5 и BT6.

Во время работы шина 1224 синхронизирующего сигнала подает синхронизирующий импульс в синхронизирующем сигнале BT4 к схеме 1210 направления в третьем сигнале PRE3 предварительной зарядки. В течение синхронизирующего импульса в третьем сигнале PRE3 предварительной зарядки шина 1240a сигнала прямого направления и шина 1240b сигнала обратного направления заряжаются до высокого уровня напряжения. Синхронизирующий импульс в синхронизирующем сигнале BT5 подается на сеть 1226 резисторных делителей, которая обеспечивает синхронизирующий импульс BT5 с уменьшенным уровнем напряжения на схему 1210 направления в третьем сигнале EVAL3 оценки. Синхронизирующий импульс в третьем сигнале EVAL3 оценки включает транзистор 1266 оценки. Если управляющий импульс в управляющем сигнале CSYNC обеспечивается к затвору транзистора 1268 управления в то же самое время, как и синхронизирующий импульс в третьем сигнале EVAL3 оценки обеспечивается к транзистору 1266 оценки, шина 1240b сигнала обратного направления разряжается до низкого уровня напряжения. Если управляющий сигнал CSYNC остается на низком уровне напряжения, когда синхронизирующий импульс в третьем сигнале EVAL3 оценки обеспечивается на транзистор 1266 оценки, шина сигнала 1240b обратного направления остается заряженной до высокого уровня напряжения.

Синхронизирующий импульс в синхронизирующем сигнале BT6 подается на сеть 1246 резисторных делителей, которая обеспечивает синхронизирующий импульс BT6 с уменьшенным уровнем напряжения на схему 1210 направления в четвертом сигнале EVAL4 оценки. Синхронизирующий импульс в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки. Если сигнал DIRR обратного направления имеет высокий уровень напряжения, шина 1240a сигнала прямого направления разряжается до низкого уровня напряжения. Если сигнал DIRR обратного направления имеет низкий уровень напряжения, шина 1240a сигнала прямого направления остается заряженной до высокого уровня напряжения.

На фиг.17 представлена временная диаграмма, иллюстрирующая работу генератора 1200 адреса выбора банка в прямом направлении. Синхронизирующие сигналы BT1-BT6 формируют последовательность из шести импульсов, которые повторяются в повторяющейся последовательности из шести импульсов. Каждый из синхронизирующих сигналов BT1-BT6 формирует один импульс в последовательности из шести импульсов.

В одной последовательности из шести импульсов синхронизирующий сигнал BT1 1300

включает в себя синхронизирующий импульс 1302, синхронизирующий сигнал BT2 1304
 включает в себя синхронизирующий импульс 1306, синхронизирующий сигнал BT3 1308
 включает в себя синхронизирующий импульс 1310, синхронизирующий сигнал BT4 1312
 включает в себя синхронизирующий импульс 1314, синхронизирующий сигнал BT5 1316
 5 включает в себя синхронизирующий импульс 1318 и синхронизирующий сигнал BT6 1320
 включает в себя синхронизирующий импульс 1322. Управляющий сигнал CSYNC 1324
 включает в себя управляющие импульсы, которые устанавливают направление сдвига в
 генераторе 1200 адреса выбора банка и инициализируют сдвиговый регистр 1202
 младшего банка и сдвиговый регистр 1204 старшего банка для формирования адресов 1-
 10 26.

Сначала ни сдвиговый регистр 1202 младшего банка, ни сдвиговый регистр 1204
 старшего банка не сдвигают и схема 1210 направления не была настроена управляющим
 импульсом в управляющем сигнале CSYNC 1324. Сигнал DIRR 1326 обратного
 направления заряжен до высокого уровня напряжения, который включает транзистор 1274
 15 управления, который предварительно разрядил сигнал DIRF 1328 прямого направления до
 низкого уровня напряжения. Сигналы SN 1330 внутреннего узла в ячейках сдвигового
 регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего
 банка остаются заряженными до высоких уровней напряжения, которые разряжают все
 выходные сигналы SO 1332 сдвигового регистра до низких уровней напряжения. Сигналы
 20 LEVAL 1334 логической оценки в логической схеме 1206 младшего банка и логической
 схеме 1208 старшего банка остаются заряженными до высоких уровней напряжения от
 предыдущего импульса в синхронизирующем сигнале BT6 1320. Кроме того, при выходных
 сигналах SO 1332 сдвигового регистра на низких уровнях напряжения
 сигналы ~A1, ~A2.... ~A8 1336 адреса остаются заряженными до высоких уровней
 25 напряжения, если логическая схема не инициализирована снова или шины адреса не
 разряжены логической схемой другого банка.

Синхронизирующий импульс 1302 в синхронизирующем сигнале BT1 1300 подается на
 сдвиговый регистр 1202 младшего банка в первом сигнале EVAL1 оценки.
 Синхронизирующий импульс 1302 включает каждый из первых транзисторов оценки в
 30 ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка. Управляющий
 сигнал CSYNC 1324 остается на низком уровне напряжения, и все выходные сигналы SO
 1332 сдвигового регистра находятся на низких уровнях напряжения, которые выключают
 каждый из транзисторов прямого входа и каждый из транзисторов обратного входа в
 ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом
 35 регистре 1204 старшего банка. Не проводящие ток транзисторы прямого и обратного входа
 предотвращают разрядку до низкого уровня напряжения сигналов SN 1330 внутреннего
 узла в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и
 сдвиговом регистре 1204 старшего банка. Все сигналы SN 1330 внутреннего узла
 сдвигового регистра остаются на высоких уровнях напряжения. Синхронизирующий
 40 импульс 1306 в синхронизирующем сигнале BT2 1304 не обеспечивается на генератор 1200
 адреса выбора банка, и каждый сигнал, остается неизменным в течение
 синхронизирующего импульса 1306.

Затем синхронизирующий импульс 1310 в синхронизирующем сигнале BT3 1308
 подается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для
 45 включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего
 банка. Управляющий сигнал CSYNC 1324 остается на низком уровне напряжения, и все
 выходные сигналы SO 1332 сдвигового регистра находятся на низких уровнях напряжения,
 которые выключают каждый из транзисторов прямого входа и каждый из транзисторов
 обратного входа в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего
 50 банка и сдвиговом регистре 1204 старшего банка. Не проводящие ток транзисторы прямого
 и обратного входа предотвращают разгрузку до низкого уровня напряжения сигналов SN
 1330 внутреннего узла в ячейках сдвигового регистра в сдвиговом регистре 1202
 младшего банка и сдвиговом регистре 1204 старшего банка. Все сигналы SN 1330

внутреннего узла сдвигового регистра остаются на высоких уровнях напряжения.

Синхронизирующий импульс 1314 в синхронизирующем сигнале BT4 1312 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка во втором сигнале PRE2 предварительной зарядки, на схему 1210 направления в третьем сигнале PRE3 предварительной зарядки и на логическую схему 1206 младшего банка и логическую схему 1208 старшего банка. В течение синхронизирующего импульса 1314 во вторых сигналах PRE2 предварительной зарядки все выходные сигналы SO 1332 сдвигового регистра заряжаются до высоких уровней напряжения в 1338 в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Кроме того, в течение синхронизирующего импульса 1314 в третьем сигнале PRE3 предварительной зарядки сигнал DIRF 1328 прямого направления заряжается до высокого уровня напряжения в 1340 и поддерживает сигнал DIRR 1326 обратного направления на высоком уровне напряжения. Синхронизирующий импульс 1314 обеспечивается на каждый из транзисторов предварительной зарядки шины адреса и транзисторов предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Синхронизирующий импульс 1314 поддерживает сигналы ~A1,-A2.... ~A8 1336 адреса на высоких уровнях напряжения и включает транзисторы предотвращения оценки для понижения напряжения на сигналах LEVAL 1334 логической оценки до низких уровней напряжения в 1342.

Синхронизирующий импульс 1318 в синхронизирующем сигнале BT5 1316 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка во втором сигнале EVAL2 оценки, на схему 1210 направления в третьем сигнале EVAL3 оценки и на логическую схему 1206 младшего банка и логическую схему 1208 старшего банка. Синхронизирующий импульс 1318 во втором сигнале EVAL2 оценки включает каждый из вторых транзисторов оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. При сигналах SN 1330 внутреннего узла на высоких уровнях напряжения для включения каждого из транзисторов внутреннего узла в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка все выходные сигналы SO 1332 сдвигового регистра разряжаются до низких уровней напряжения в 1344. Кроме того, синхронизирующий импульс 1318 в третьем сигнале EVAL3 оценки включает транзистор 1266 оценки. Управляющий импульс 1346 в управляющем сигнале CSYNC 1324 включает транзистор 1268 управления. При включенных транзисторе 1266 оценки и транзисторе 1268 управления сигнал DIRR 1326 направления разряжается до низкого уровня напряжения в 1348. Синхронизирующий импульс 1318 подается на каждый из транзисторов предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Синхронизирующий импульс 1318 включает каждый из транзисторов предотвращения оценки для удерживания сигналов LEVAL 1334 логической оценки на низких уровнях напряжения. Сигналы LEVAL 1334 логической оценки с низким уровнем напряжения выключают транзисторы оценки адреса.

Синхронизирующий импульс 1322 в синхронизирующем сигнале BT6 1320 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в первом сигнале PRE1 предварительной зарядки, на схему 1210 направления в четвертом сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Синхронизирующий импульс 1322 в первых сигналах PRE1 предварительной зарядки поддерживает все сигналы SN 1330 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий импульс 1322 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме 1210 направления. Сигнал DIRR 1326 обратного направления с низким уровнем напряжения выключает транзистор 1274 управления. При выключенном транзисторе 1274 управления сигнал DIRF 1328 направления остается заряженным до высокого уровня напряжения. В течение синхронизирующего импульса 1322 каждый из

сигналов LEVAL 1334 логической оценки заряжается до высокого уровня напряжения в 1350 в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. При всех выходных сигналах SO 1332 сдвигового регистра на низких уровнях напряжения все транзисторы адреса в логической схеме 1206 младшего банка и логической схеме 1208

5 старшего банка выключены, и сигналы $\sim A1$, $\sim A2$... $\sim A8$ адреса остаются на высоких уровнях напряжения. Сигнал DIRF 1328 прямого направления с высоким уровнем напряжения и сигнал DIRR 1326 обратного направления с низким уровнем напряжения настраивают сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка для сдвига в прямом направлении.

10 В следующей последовательности из шести синхронизирующих импульсов синхронизирующий сигнал BT1 1300 содержит синхронизирующий импульс 1352, синхронизирующий сигнал BT2 1304 содержит синхронизирующий импульс 1354, синхронизирующий сигнал BT3 1308 содержит синхронизирующий импульс 1356, синхронизирующий сигнал BT4 1312 содержит синхронизирующий импульс 1358,

15 синхронизирующий сигнал BT5 1316 содержит синхронизирующий импульс 1396 и синхронизирующий сигнал BT6 1320 содержит синхронизирующий импульс 1362.

Синхронизирующий импульс 1352 включает каждый из первых транзисторов оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка. Управляющий импульс 1364 в управляющем сигнале CSYNC 1324 включает каждый из транзисторов

20 прямого входа в первой ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Кроме того, транзисторы прямого направления включаются сигналом DIRF 1328 прямого направления. При включенных первых транзисторах оценки в сдвиговом регистре 1202 младшего банка, включенных транзисторах прямого входа в первых ячейках сдвигового регистра и включенных

25 транзисторах прямого направления сигнал внутреннего узла SN1 в первой ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка разряжается до низкого уровня напряжения, обозначенного 1366.

Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка не включаются синхронизирующим импульсом 1352, и все сигналы SN 1330

30 внутреннего узла остаются на высоких уровнях напряжения в сдвиговом регистре 1204 старшего банка. Кроме того, выходные сигналы SO 1332 сдвигового регистра находятся на низких уровнях напряжения, который выключает транзисторы прямого входа во всех других ячейках сдвигового регистра. При выключенных транзисторах прямого входа каждый из других сигналов SN2-SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка

35 остаются на высоких уровнях напряжения. Синхронизирующий импульс 1354 в синхронизирующем сигнале BT2 1304 не обеспечивается на генератор 1200 адреса выбора банка, и каждый сигнал остается неизменным в течение синхронизирующего импульса 1354.

Затем синхронизирующий импульс 1356 в синхронизирующем сигнале BT3 1308

40 обеспечивается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего банка. Управляющий сигнал CSYNC 1324 остается на низком уровне напряжения, и выходные сигналы SO 1332 сдвигового регистра находятся на низких уровнях напряжения в сдвиговом регистре 1204 старшего банка, что выключает каждый из

45 транзисторов прямого входа и каждого из транзисторов обратного входа в сдвиговом регистре 1204 старшего банка. Непроводящие транзисторы прямого и обратного входа предотвращают разрядку до низкого уровня напряжения сигналов SN 1330 внутреннего узла в сдвиговом регистре 1204 старшего банка. Все сигналы SN 1330 внутреннего узла сдвигового регистра в сдвиговом регистре 1204 старшего банка остаются на высоких

50 уровнях напряжения.

В течение синхронизирующего импульса 1358 в синхронизирующем сигнале BT4 1312 все выходные сигналы SO 1322 сдвигового регистра заряжаются до высоких уровней напряжения в 1368. Кроме того, в течение синхронизирующего импульса 1358 сигнал DIRR

1326 обратного направления заряжается до высокого уровня напряжения в 1370 и поддерживает сигнал DIRF 1328 прямого направления на высоком уровне напряжения. В дополнение, синхронизирующий импульс 1358 поддерживает все сигналы $\sim A1$, $\sim A2$... $\sim A8$ 1336 адреса на высоких уровнях напряжения и понижает напряжение на сигналах LEVAL 1334 логической оценки до низкого уровня в 1372. Сигналы LEVAL 1334 логической оценки с низким уровнем напряжения выключают транзисторы оценки адреса для предотвращения понижения напряжения на сигналах $\sim A1$, $\sim A2$... $\sim A8$ 1336 адреса до низкого уровня транзисторами адреса.

Синхронизирующий импульс 1360 в синхронизирующем сигнале BT5 1316 включает вторые транзисторы оценки в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. При сигналах SN2-SN13 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и при сигналах SN1-SN13 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1204 старшего банка и в течение синхронизирующего импульса 1360 выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка разряжаются до низких уровней напряжения в 1374. При сигнале SN1 внутреннего узла на низком уровне напряжения в сдвиговом регистре 1202 младшего банка выходной сигнал SO1 сдвигового регистра остается на высоком уровне напряжения в сдвиговом регистре 1202 младшего банка, обозначенном 1376.

Синхронизирующий импульс 1360 также включает транзистор 1266 оценки, и управляющий импульс 1378 в управляющем сигнале CSYNC 1324 включает транзистор 1268 управления для разрядки сигнала DIRR 1326 обратного направления до низкого уровня напряжения в 1380. Кроме того, синхронизирующий импульс 1360 включает транзисторы предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка для поддержания сигналов LEVAL 1334 логической оценки на низком уровне напряжения, который выключает транзисторы оценки. Выходные сигналы SO 1332 сдвигового регистра устанавливаются в течение синхронизирующего импульса 1360, таким образом, один выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1202 младшего банка устанавливается на высоком уровне напряжения и все другие выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка устанавливаются на низких уровнях напряжения.

Синхронизирующий импульс 1362 в синхронизирующем сигнале BT6 1320 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в первых сигналах PRE1 предварительной зарядки, на схему 1210 направления в четвертом сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В течение синхронизирующего импульса 1362 в первых сигналах PRE1 предварительной зарядки сигнал SN1 внутреннего узла в сдвиговом регистре 1202 младшего банка заряжается до высокого уровня напряжения в 1382 и поддерживает все другие сигналы SN 1330 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий импульс 1362 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме 1210 направления. Сигнал DIRR 1326 обратного направления с низким уровнем напряжения выключает транзистор 1274 управления, и сигнал DIRF 1328 направления остается заряженным до высокого уровня напряжения. Кроме того, в течение синхронизирующего импульса 1362 каждый из сигналов LEVAL 1334 логической оценки заряжается до высокого уровня напряжения в 1384 в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Выходной сигнал SO1 сдвигового регистра с высоким уровнем в сдвиговом регистре 1202 младшего банка принимается как входной сигнал AI1 в логической схеме 1206 младшего банка. Входной сигнал AI1 с высоким уровнем напряжения включает транзисторы адреса в логической схеме 1206 младшего банка для

активного понижения напряжения на сигналах адреса в сигналах $\sim A1$, $\sim A2$... $\sim A8$ адреса до низкого уровня для обеспечения адреса 1 младшего банка в 1386. Другие выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего

5 банка имеют низкие уровни напряжения, которые выключают транзисторы адреса в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка, чтобы не разряжать сигналы $\sim A1$, $\sim A2$... $\sim A8$ адреса. Сигналы $\sim A1$, $\sim A2$... $\sim A8$ адреса устанавливаются в допустимые значения в течение синхронизирующего импульса 1362.

В следующей последовательности из шести синхронизирующих импульсов

10 синхронизирующий сигнал BT1 1300 содержит синхронизирующий импульс 1388, синхронизирующий сигнал BT2 1304 содержит синхронизирующий импульс 1390, синхронизирующий сигнал BT3 1308 содержит синхронизирующий импульс 1392, синхронизирующий сигнал BT4 1312 содержит синхронизирующий импульс 1394, синхронизирующий сигнал BT5 1316 содержит синхронизирующий импульс 1396 и

15 синхронизирующий сигнал BT6 1320 содержит синхронизирующий импульс 1398.

Синхронизирующий импульс 1388 включает каждый из первых транзисторов оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка для оценки каждого из прямых входных сигналов SIF (показанных на фиг.10A) в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка. Прямой входной сигнал SIF первой

20 ячейки сдвигового регистра является управляющим сигналом CSYNC 1324, который находится на низком уровне напряжения. Прямой входной сигнал SIF в каждой из других ячеек сдвигового регистра является предыдущим выходным сигналом SO 1332 сдвигового регистра. Выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1202 младшего банка находится на высоком уровне напряжения и является прямым входным сигналом SIF

25 второй ячейки сдвигового регистра в сдвиговом регистре 1202 младшего банка.

Выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1202 младшего банка включает транзистор прямого входа во второй ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка. Кроме того, транзисторы прямого направления включаются сигналом DIRF 1328 прямого направления. При включенных первых транзисторах оценки в

30 сдвиговом регистре 1202 младшего банка, включенном транзисторе прямого входа во второй ячейке сдвигового регистра и включенном транзисторе прямого направления сигнал SN2 внутреннего узла во второй ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка разряжается до низкого уровня напряжения, обозначенного 1400.

Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка не включаются синхронизирующим импульсом 1388, и все сигналы SN 1330 внутреннего узла в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях

35 напряжения. Кроме того, управляющий сигнал CSYNC 1324 и выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка находятся на низких уровнях напряжения, что выключает транзисторы прямого входа в других ячейках

40 сдвигового регистра в сдвиговом регистре 1202 младшего банка. При выключенных транзисторах прямого входа каждый из других сигналов SN1 и SN3-SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка остается на высоком уровне напряжения. Синхронизирующий импульс 1390 в синхронизирующем сигнале BT2 1304 не подается на генератор 1200 адреса выбора банка, и каждый сигнал остается неизменным в течение

45 синхронизирующего импульса 1390.

Затем синхронизирующий импульс 1392 в синхронизирующем сигнале BT3 1308 подается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего

50 банка. Управляющий сигнал CSYNC 1324 остается на низком уровне напряжения, и выходные сигналы SO 1332 сдвигового регистра в сдвиговом регистре 1204 старшего банка находятся на низком уровне напряжения, который выключает каждый из транзисторов прямого входа и каждого из транзисторов обратного входа в сдвиговом регистре 1204 старшего банка. Не проводящие ток транзисторы прямого и обратного входа

предотвращают разгрузку до низких уровней напряжения сигналов SN 1330 внутреннего узла в сдвиговом регистре 1204 старшего банка. Все сигналы SN 1330 внутреннего узла сдвигового регистра в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения.

- 5 В течение синхронизирующего импульса 1394 в синхронизирующем сигнале BT4 1312 выходные сигналы SO 1332 сдвигового регистра заряжаются и/или поддерживаются на высоких уровнях напряжения в 1402. Кроме того, в течение синхронизирующего импульса 1394 сигнал DIRR 1326 обратного направления заряжается до высокого уровня напряжения в 1404, и сигнал DIRF 1328 прямого направления поддерживается на высоком уровне
- 10 напряжения. В дополнение, в течение синхронизирующего импульса 1394 сигналы $\sim A1$, $\sim A2 \dots \sim A8$ 1336 адреса заряжаются и/или поддерживаются на высоких уровнях напряжения в 1406, и напряжение на сигналах LEVAL 1334 логической оценки понижается до низкого уровня в 1408. Сигналы LEVAL 1334 логической оценки с низким уровнем напряжения выключают транзисторы оценки адреса, чтобы предотвратить
- 15 понижение напряжения на адресах $\sim A1$, $\sim A2 \dots \sim A8$ 1336 до низкого уровня транзисторами адреса. Сигналы адреса для адреса 1 младшего банка в сигналах $\sim A1$, $\sim A2 \dots \sim A8$ 1336 адреса являлись допустимыми в течение синхронизирующих импульсов 1388, 1390 и 1392.

Синхронизирующий импульс 1396 в синхронизирующем сигнале BT5 1316 включает вторые транзисторы оценки в сдвиговом регистре 1202 младшего банка и сдвиговом

20 регистре 1204 старшего банка. При сигналах SN1 и SN3-SN13 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и при сигналах SN1-SN13 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1204 старшего банка синхронизирующий импульс 1396 разряжает выходные сигналы SO1 и SO3-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и выходные сигналы SO1-

25 SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка до низких уровней напряжения в 1410. При сигнале SN2 внутреннего узла на низком уровне напряжения в сдвиговом регистре 1202 младшего банка выходной сигнал SO2 сдвигового регистра остается на высоком уровне напряжения в сдвиговом регистре 1202 младшего банка, обозначенном 1412.

- 30 Синхронизирующий импульс 1396 также включает транзистор 1266 оценки, и управляющий импульс 1414 в управляющем сигнале CSYNC 1324 включает транзистор 1268 управления для разрядки сигнала DIRR 1326 обратного направления до низкого уровня напряжения в 1416. Кроме того, синхронизирующий импульс 1360 включает транзисторы предотвращения оценки в логической схеме 1206 младшего банка и
- 35 логической схеме 1208 старшего банка для поддержания сигналов LEVAL 1334 логической оценки на низком уровне напряжения, который выключает транзисторы оценки. Выходные сигналы SO 1332 сдвигового регистра устанавливаются в течение синхронизирующего импульса 1396 таким образом, что один выходной сигнал SO2 сдвигового регистра в сдвиговом регистре 1202 младшего банка устанавливается на высокий уровень
- 40 напряжения и все другие выходные сигналы SO1 и SO3-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка устанавливаются на низкие уровни напряжения.

Синхронизирующий импульс 1398 в синхронизирующем сигнале BT6 1320 подается на

45 сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в первых сигналах PRE1 предварительной зарядки, на схему 1210 направления в четвертом сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В течение синхронизирующего импульса 1398 в первых сигналах PRE1 предварительной

50 зарядки сигнал SN2 внутреннего узла в сдвиговом регистре 1202 младшего банка заряжается до высокого уровня напряжения в 1418, и все другие сигналы SN 1330 внутреннего узла поддерживаются на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий

импульс 1398 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме 1210 направления. Сигнал DIRR 1326 обратного направления с низким уровнем напряжения выключает транзистор 1274 управления, и сигнал направления DIRF 1328 остается заряженным до высокого уровня напряжения. В течение синхронизирующего импульса 1398 каждый из сигналов LEVAL 1334 логической оценки заряжается до высокого уровня напряжения в 1420 в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Выходной сигнал SO2 сдвигового регистра высокого уровня в сдвиговом регистре 1202 младшего банка принимается как входной сигнал AI2 в логической схеме 1206 младшего банка. Входной сигнал AI2 с высоким уровнем напряжения включает транзисторы адреса в логической схеме 1206 младшего банка для активного понижения напряжения на сигналах адреса в сигналах $\sim A1$, $\sim A2$... $\sim A8$ адреса для обеспечения адреса 2 младшего банка в 1422. Другие выходные сигналы SO1 и SO3-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка находятся на низких уровнях напряжения, которые выключают транзисторы адреса в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка, чтобы не разряжать сигналы $\sim A1$, $\sim A2$... $\sim A8$ адреса. Сигналы $\sim A1$, $\sim A2$... $\sim A8$ адреса устанавливаются в допустимые значения в течение синхронизирующего импульса 1398.

Следующая последовательность из шести синхронизирующих импульсов в синхронизирующих сигналах BT1-BT6 сдвигает выходной сигнал SO2 сдвигового регистра с высоким уровнем напряжения к следующей ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка для обеспечения выходного сигнала SO3 сдвигового регистра с высоким уровнем напряжения в сдвиговом регистре 1202 младшего банка и адреса 3 младшего банка в сигналах $\sim A1$, $\sim A2$... $\sim A8$ 1336 адреса. Сдвиг продолжается с каждой последовательностью из шести синхронизирующих импульсов до тех пор, пока каждый выходной сигнал SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка не был однажды на высоком уровне. Последовательность останавливается после того, как выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка имел высокий уровень и адрес 13 младшего банка был обеспечен в сигналах $\sim A1$, $\sim A2$... $\sim A8$ 1336 адреса. Для начала следующей последовательности сдвиговый регистр 1202 младшего банка или сдвиговый регистр 1204 старшего банка могут быть инициализированы для обеспечения адресов 1-13 младшего банка или адресов 14-26 старшего банка соответственно либо в прямом, либо в обратном направлении. В этом случае, поскольку адрес 13 младшего банка подается в 1424 в сигналах $\sim A1$, $\sim A2$... $\sim A8$ 1336 адреса, сдвиговый регистр 1204 старшего банка инициализируется для получения адресов 14-26 старшего банка в прямом направлении.

В последовательности из шести синхронизирующих импульсов синхронизирующий сигнал BT1 1300 содержит синхронизирующий импульс 1426, синхронизирующий сигнал BT2 1304 содержит синхронизирующий импульс 1428, синхронизирующий сигнал BT3 1308 содержит синхронизирующий импульс 1430, синхронизирующий сигнал BT4 1312 содержит синхронизирующий импульс 1432, синхронизирующий сигнал BT5 1316 содержит синхронизирующий импульс 1434 и синхронизирующий сигнал BT6 1320 содержит синхронизирующий импульс 1436.

Синхронизирующий импульс 1426 включает каждый из первых транзисторов оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка, и сигнал DIRF 1328 прямого направления включает каждый из транзисторов прямого направления в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Управляющий сигнал CSYNC 1324 находится на низком уровне напряжения для выключения каждого из транзисторов прямого входа в первых ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Кроме того, выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1202 младшего банка находятся на низких уровнях напряжения, которые выключают транзисторы прямого входа во всех других ячейках сдвигового регистра в сдвиговом

регистре 1202 младшего банка. При выключенных транзисторах прямого входа каждый из сигналов SN1-SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка остается на высоком уровне напряжения. В дополнение, первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка не включены

5 синхронизирующим импульсом 1352, и все сигналы SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения. Синхронизирующий импульс 1428 в синхронизирующем сигнале BT2 1304 не подается на генератор 1200 адреса выбора банка, и каждый сигнал остается неизменным в течение синхронизирующего импульса 1428.

10 Затем синхронизирующий импульс 1430 в синхронизирующем сигнале BT3 1308 подается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего банка. Управляющий импульс 1438 в управляющем сигнале CSYNC 1324 включает каждый из транзисторов прямого входа в первых ячейках сдвигового регистра в сдвиговом
15 регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Кроме того, транзисторы прямого направления включаются сигналом DIRF 1328 прямого направления. При включенных транзисторах оценки в сдвиговом регистре 1204 старшего банка, включенных транзисторах прямого входа в первых ячейках сдвигового регистра и включенных транзисторах прямого направления сигнал SN1 внутреннего узла в первой
20 ячейке сдвигового регистра в сдвиговом регистре 1204 старшего банка разряжается до низкого уровня напряжения, обозначенного 1440.

Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка не включаются синхронизирующим импульсом 1430, и все сигналы SN1-SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка остаются на высоких
25 уровнях напряжения. Кроме того, выходные сигналы cSO1-SO12 сдвигового регистра в сдвиговом регистре 1204 старшего банка находятся на низких уровнях напряжения, которые выключают транзисторы прямого входа во всех других ячейках сдвигового регистра. При выключенных транзисторах прямого входа каждый из других сигналов SN2-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка остается на высоком
30 уровне напряжения.

В течение синхронизирующего импульса 1432 в синхронизирующем сигнале BT4 1312 все выходные сигналы SO 1332 сдвигового регистра заряжаются до высоких уровней напряжения в 1442. Кроме того, в течение синхронизирующего импульса 1432 сигнал DIRR 1326 обратного направления заряжается до высокого уровня напряжения в 1444 и
35 поддерживает сигнал DIRF 1328 прямого направления на высоком уровне напряжения. В дополнение, в течение синхронизирующего импульса 1432 сигналы ~A1, ~A2... ~A8 1336 адреса заряжаются и/или поддерживаются на высоких уровнях напряжения в 1446, и напряжение на сигналах LEVAL 1334 логической оценки понижается до низкого уровня в 1448. Сигналы LEVAL 1334 логической оценки с низкими уровнями напряжения выключают
40 транзисторы оценки адреса, чтобы препятствовать транзисторам адреса понижать напряжение на сигналах ~A1, ~A2... ~A8 1336 адреса до низкого уровня.

Синхронизирующий импульс 1434 в синхронизирующем сигнале BT5 1316 включает вторые транзисторы оценки в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. При сигналах SN2-SN13 внутреннего узла на высоких
45 уровнях напряжения в сдвиговом регистре 1204 старшего банка и при сигналах SN1-SN13 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка в течение синхронизирующего импульса 1434 выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка разряжаются до
50 низких уровней напряжения в 1450. При сигнале SN1 внутреннего узла на низком уровне напряжения в сдвиговом регистре 1204 старшего банка выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1204 старшего банка остается на высоком уровне напряжения, обозначенном 1452.

Синхронизирующий импульс 1434 также включает транзистор 1266 оценки, и управляющий импульс 1454 в управляющем сигнале CSYNC 1324 включает транзистор 1268 управления для разрядки сигнала DIRR 1326 обратного направления до низкого уровня напряжения в 1456. В дополнение, синхронизирующий импульс 1434 включает

5 транзисторы предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка для поддержания сигналов LEVAL 1334 логической оценки на низких уровнях напряжения, которые выключают транзисторы оценки. Выходные сигналы SO 1332 сдвигового регистра устанавливаются в течение синхронизирующего импульса 1434 таким образом, что один выходной сигнал SO1 сдвигового регистра в

10 сдвиговом регистре 1204 старшего банка устанавливается на высокий уровень напряжения и все другие выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка устанавливаются на низкие уровни напряжения.

Синхронизирующий импульс 1436 в синхронизирующем сигнале BT6 1320 подается на

15 сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в первых сигналах PRE1 предварительной зарядки, на схему 1210 направления в четвертом сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В течение синхронизирующего импульса 1436 в первых сигналах PRE1 предварительной

20 зарядки сигнал SN1 внутреннего узла в сдвиговом регистре 1204 старшего банка заряжается до высокого уровня напряжения в 1458, и все другие сигналы SN 1330 внутреннего узла поддерживаются на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий импульс 1436 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме

25 1210 направления. Сигнал DIRR 1326 обратного направления с низким уровнем напряжения выключает транзистор 1274 управления, и сигнал DIRF 1328 направления остается заряженным до высокого уровня напряжения. Кроме того, в течение синхронизирующего импульса 1436 каждый из сигналов LEVAL 1334 логической оценки заряжается до высокого уровня напряжения в 1460 в логической схеме 1206 младшего

30 банка и логической схеме 1208 старшего банка. Выходной сигнал SO1 сдвигового регистра с высоким уровнем в сдвиговом регистре 1204 старшего банка принимается как входной сигнал AI14 в логической схеме 1208 старшего банка. Входной сигнал AI14 с высоким уровнем напряжения включает транзисторы адреса в логической схеме 1208 старшего

35 банка для активного понижения напряжения на сигналах адреса в сигналах ~A1, ~A2... ~A8 адреса для обеспечения адреса 14 старшего банка в 1462. Другие выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка находятся на низких уровнях напряжения, которые выключают транзисторы адреса в

40 логической схеме 1206 младшего банка и логической схеме 1208 старшего банка, чтобы не разряжать сигналы ~A1, ~A2... ~A8 адреса. Сигналы ~A1, ~A2... ~A8 адреса имеют допустимые значения в течение синхронизирующего импульса 1436.

Синхронизирующий импульс 1464 включает каждый из первых транзисторов оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка для оценки

45 каждого из прямых входных сигналов SIF (показанных на фиг.10A) в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка. Прямой входной сигнал SIF первой ячейки сдвигового регистра является управляющим сигналом CSYNC 1324, который имеет низкий уровень напряжения. Прямой входной сигнал SIF в каждой из других ячеек сдвигового регистра является одним из предыдущих выходных сигналов SO1-SO12 сдвигового регистра, которые имеют низкие уровни напряжения. При управляющем сигнале

50 CSYNC 1324 и выходных сигналах SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка на низких уровнях напряжения транзисторы прямого входа в сдвиговом регистре 1202 младшего банка выключаются, и каждый из сигналов SN1-SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка остается на высоком уровне

напряжения. Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка не включаются синхронизирующим импульсом 1464, и сигналы SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения. Синхронизирующий импульс 1466 в синхронизирующем

5 сигнале BT2 1304 не подается на генератор 1200 адреса выбора банка, и каждый сигнал остается неизменным в течение синхронизирующего импульса 1466.

Затем синхронизирующий импульс 1468 в синхронизирующем сигнале BT3 1308 подается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для

10 включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего банка для оценки каждого из прямых входных сигналов SIF (показанных на фиг.10A) в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка. Прямой входной сигнал SIF первой ячейки сдвигового регистра является управляющим сигналом CSYNC 1324, который имеет низкий уровень напряжения. Прямой входной сигнал SIF в каждой из

15 других ячеек сдвигового регистра является предыдущим выходным сигналом SO1-SO12 сдвигового регистра. Выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1204 старшего банка имеет высокий уровень напряжения и является прямым входным сигналом SIF второй ячейки сдвигового регистра в сдвиговом регистре 1204 старшего банка.

Выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1204 старшего банка

20 включает транзистор прямого входа во второй ячейке сдвигового регистра в сдвиговом регистре 1204 старшего банка. Кроме того, транзисторы прямого направления включаются сигналом DIRF 1328 прямого направления. При включенных первых транзисторах оценки во включенном сдвиговом регистре 1204 старшего банка, включенном транзисторе прямого входа во второй ячейке сдвигового регистра и включенном транзисторе прямого

25 направления сигнал SN2 внутреннего узла во второй ячейке сдвигового регистра в сдвиговом регистре 1204 старшего банка разряжается до низкого уровня напряжения, обозначенного 1476.

Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка не включаются синхронизирующим импульсом 1468, и все сигналы SN1-

30 SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка остаются на высоких уровнях напряжения в 1478. Кроме того, управляющий сигнал CSYNC 1324 и выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка находятся на низких уровнях напряжения, которые выключают транзисторы прямого входа в других ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка. При

35 выключенных транзисторах прямого входа каждый из других сигналов SN1 и SN3-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка остается на высоком уровне напряжения в 1478.

В течение синхронизирующего импульса 1470 в синхронизирующем сигнале BT4 1312 выходные сигналы SO 1332 сдвигового регистра заряжаются и/или поддерживаются на

40 высоких уровнях напряжения в 1480. Кроме того, в течение синхронизирующего импульса 1470 сигнал DIRR 1326 обратного направления заряжается до высокого уровня напряжения в 1482, и сигнал DIRF 1328 прямого направления поддерживается на высоком уровне напряжения. В дополнение, в течение синхронизирующего импульса 1470 сигналы ~A1, ~A2... ~A8 1336 адреса заряжаются и/или поддерживаются на высоких

45 уровнях напряжения в 1484, и напряжение на сигналах LEVAL 1334 логической оценки понижается до низкого уровня в 1486. Сигналы LEVAL 1334 логической оценки с низкими уровнями напряжения выключают транзисторы оценки адреса, чтобы транзисторы адреса не понизили напряжение на сигналах ~A1, ~A2... ~A8 1336 адреса до низкого уровня. Сигналы адреса для адреса 14 старшего банка в сигналах ~A1, ~A2... ~A8 1336 адреса

50 являются допустимыми в течение синхронизирующих импульсов 1464, 1466 и 1468.

Синхронизирующий импульс 1472 в синхронизирующем сигнале BT5 1316 включает вторые транзисторы оценки в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. При сигналах SN1 и SN3-SN13 внутреннего узла на высоких

уровнях напряжения в сдвиговом регистре 1204 старшего банка и при сигналах SN1-SN13 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка в течение синхронизирующего импульса 1472 выходные сигналы SO1 и SO3-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка разряжаются до низких уровней напряжения в 1488. При сигнале SN2 внутреннего узла на низком уровне напряжения в сдвиговом регистре 1204 старшего банка выходной сигнал SO2 сдвигового регистра остается на высоком уровне напряжения в сдвиговом регистре 1204 старшего банка, обозначенном 1490.

Синхронизирующий импульс 1472 также включает транзистор 1266 оценки, и управляющий импульс 1492 в управляющем сигнале CSYNC 1324 включает транзистор 1268 управления для разрядки сигнала DIRR 1326 обратного направления до низкого уровня напряжения в 1494. Кроме того, синхронизирующий импульс 1472 включает транзисторы предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка для поддержания сигналов LEVAL 1334 логической оценки на низком уровне напряжения, который выключает транзисторы оценки. Выходные сигналы SO 1332 сдвигового регистра в течение синхронизирующего импульса 1472 являются такими, что один выходной сигнал SO2 сдвигового регистра в сдвиговом регистре 1204 старшего банка находится на высоком уровне напряжения, и все другие выходные сигналы SO1 и SO3-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка находятся на низких уровнях напряжения.

Синхронизирующий импульс 1474 в синхронизирующем сигнале BT6 1320 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в первых сигналах PRE1 предварительной зарядки, на схему 1210 направления в четвертом сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В течение синхронизирующего импульса 1474 в первых сигналах PRE1 предварительной зарядки сигнал SN2 внутреннего узла в сдвиговом регистре 1204 старшего банка заряжается до высокого уровня напряжения в 1496, и все другие сигналы SN 1330 внутреннего узла поддерживаются на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий импульс 1474 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме 1210 направления. Сигнал DIRR 1326 обратного направления с низким уровнем напряжения выключает транзистор 1274 управления, и сигнал DIRF 1328 направления остается заряженным до высокого уровня напряжения. В течение синхронизирующего импульса 1474 каждый из сигналов LEVAL 1334 логической оценки заряжается до высокого уровня напряжения в 1497 в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Выходной сигнал SO2 сдвигового регистра с высоким уровнем в сдвиговом регистре 1204 старшего банка принимается как входной сигнал AI15 в логической схеме 1208 старшего банка. Входной сигнал AI15 с высоким уровнем напряжения включает транзисторы адреса в логической схеме 1208 старшего банка для активного понижения напряжения на сигналах адреса до низкого уровня в сигналах ~A1, ~A2... ~A8 адреса и обеспечения адреса 15 старшего банка в 1498. Другие выходные сигналы SO1 и SO3-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка находятся на низких уровнях напряжения, которые выключают транзисторы адреса в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка, чтобы не разряжать сигналы ~A1, ~A2... ~A8 1336 адреса. Сигналы ~A1, ~A2.... ~A8 1336 адреса устанавливаются в допустимые значения в течение синхронизирующего импульса 1474.

Следующая последовательность из шести синхронизирующих импульсов в синхронизирующих сигналах BT1-BT6 сдвигает выходной сигнал SO2 сдвигового регистра

высокого уровня напряжения к следующей ячейке сдвигового регистра в сдвиговом регистре 1204 старшего банка для обеспечения выходного сигнала SO3 сдвигового регистра с высоким уровнем напряжения в сдвиговом регистре 1204 старшего банка и адреса 16 старшего банка в сигналах ~A1, ~A2... ~A8 1336 адреса. Сдвиг продолжается с

каждой последовательностью из шести синхронизирующих импульсов до тех пор, пока каждый выходной сигнал SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка не имел однажды высокий уровень. Последовательность останавливается после того, как выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка перейдет на высокий уровень и адрес 26 старшего банка обеспечен в сигналах ~A1, ~A2... ~A8 1336 адреса. Для начала следующей последовательности адресов сдвиговый регистр 1202 младшего банка или сдвиговый регистр 1204 старшего банка могут быть инициализированы для обеспечения адресов 1-13 младшего банка или адресов 14-26 старшего банка соответственно либо в прямом, либо в обратном направлении.

В операции прямого направления сдвигового регистра 1202 младшего банка и обеспечении адресов 1-13 младшего банка 1-13 управляющий импульс в управляющем сигнале CSYNC 1324 существенно совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5 1316 для установки направления сдвига в прямое направление. Кроме того, управляющий импульс в управляющем сигнале CSYNC 1324 существенно совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT1 1300 для запуска или инициализации сдвигового регистра 1202 младшего банка, сдвигающего сигнал с высоким уровнем напряжения через выходные сигналы SO1-SO13 сдвигового регистра.

В операции прямого направления сдвигового регистра 1204 старшего банка и обеспечении адресов 14-26 старшего банка управляющий импульс в управляющем сигнале CSYNC 1324 существенно совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5 1316 для установки направления смещения в прямое направление. Кроме того, управляющий импульс в управляющем сигнале CSYNC 1324 существенно совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT3 1308 для запуска или инициализации сдвигового регистра 1204 старшего банка, сдвигающего сигнал с высоким уровнем напряжения через выходные сигналы SO1-SO13 сдвигового регистра.

На фиг.18 представлена временная диаграмма, иллюстрирующая работу генератора 1200 адреса выбора банка в обратном направлении. Синхронизирующие сигналы BT1-BT6 обеспечивают последовательность из шести импульсов, которая повторяется в повторяющейся последовательности из шести импульсов. Каждый из синхронизирующих сигналов BT1-BT6 обеспечивает один импульс в последовательности из шести импульсов.

В одной последовательности из шести импульсов синхронизирующий сигнал BT1 в 1500 содержит синхронизирующий импульс 1502, синхронизирующий сигнал BT2 1504 содержит синхронизирующий импульс 1506, синхронизирующий сигнал BT3 1508 содержит синхронизирующий импульс 1510, синхронизирующий сигнал BT4 1512 содержит синхронизирующий импульс 1514, синхронизирующий сигнал BT5 1516 содержит синхронизирующий импульс 1518 и синхронизирующий сигнал BT6 1520 содержит синхронизирующий импульс 1522. Управляющий сигнал CSYNC 1524 содержит управляющие импульсы, которые устанавливают направление сдвига в генераторе 1200 адреса выбора банка и инициализируют сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка для формирования адресов 1-26.

Сначала ни сдвиговый регистр 1202 младшего банка, ни сдвиговый регистр 1204 старшего банка не сдвигает и схема 1210 направления не настроена управляющим импульсом в управляющем сигнале CSYNC 1524. Сигнал DIRR 1526 обратного направления заряжен до высокого уровня напряжения, который включает транзистор 1274 управления, который предварительно разрядил сигнал DIRF 1528 прямого направления до низкого уровня напряжения. Сигналы SN 1530 внутреннего узла в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего

банка остаются заряженными до высоких уровней напряжения, которые разряжают все выходные сигналы SO 1532 сдвигового регистра до низких уровней напряжения. Сигналы LEVAL 1534 логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка остаются заряженными до высоких уровней напряжения от

5 предыдущего импульса в синхронизирующем сигнале BT6 1520. Кроме того, при выходных сигналах SO 1532 сдвигового регистра на низких уровнях напряжения сигналы $\sim A1$, $\sim A2$... $\sim A8$ 1536 адреса остаются заряженными до высоких уровней напряжения, если логическая схема не инициализирована снова или шины адреса не разряжены логической схемой другого банка.

10 Синхронизирующий импульс 1502 в синхронизирующем сигнале BT1 1500 подается на сдвиговый регистр 1202 младшего банка в первом сигнале EVAL1 оценки. Синхронизирующий импульс 1502 включает каждый из первых транзисторов оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка. Управляющий сигнал CSYNC 1524 остается на низком уровне напряжения, и все выходные сигналы SO

15 1532 сдвигового регистра находятся на низких уровнях напряжения, которые выключают каждый из транзисторов прямого входа и каждый из транзисторов обратного входа в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Не проводящие ток транзисторы прямого и обратного входа предотвращают разгрузку до низкого уровня напряжения сигналов SN 1530 внутреннего

20 узла в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Все сигналы SN 1530 внутреннего узла сдвигового регистра остаются на высоких уровнях напряжения. Синхронизирующий импульс 1506 в синхронизирующем сигнале BT2 1504 не обеспечивается на генератор 1200 адреса выбора банка, и каждый сигнал остается неизменным в течение

25 синхронизирующего импульса 1506.

Затем синхронизирующий импульс 1510 в синхронизирующем сигнале BT3 1508 подается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего

30 банка. Управляющий сигнал CSYNC 1524 остается на низком уровне напряжения, и все выходные сигналы SO 1532 сдвигового регистра находятся на низких уровнях напряжения, которые выключают каждый из транзисторов прямого входа и каждый из транзисторов обратного входа в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего

банка и сдвиговом регистре 1204 старшего банка. Не проводящие ток транзисторы прямого и обратного входа предотвращают разрядку до низкого уровня напряжения сигналов SN

35 1530 внутреннего узла в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Все сигналы SN 1530 внутреннего узла сдвигового регистра остаются на высоких уровнях напряжения.

Синхронизирующий импульс 1514 в синхронизирующем сигнале BT4 1512 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка во

40 втором сигнале PRE2 предварительной зарядки, на схему 1210 направления в третьем сигнале PRE3 предварительной зарядки и на логическую схему 1206 младшего банка и логическую схему 1208 старшего банка. В течение синхронизирующего импульса 1514 во вторых сигналах PRE2 предварительной зарядки все выходные сигналы SO 1532 сдвигового регистра заряжаются до высоких уровней напряжения в 1538 в сдвиговом

45 регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Кроме того, в течение синхронизирующего импульса 1514 в третьем сигнале PRE3 предварительной зарядки сигнал DIRF 1528 прямого направления заряжается до высокого уровня напряжения в 1540 и сигнал DIRR 1526 обратного направления поддерживается на высоком уровне напряжения. Синхронизирующий импульс 1514 подается на каждый из

50 транзисторов предварительной зарядки шины адреса и транзисторов предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Синхронизирующий импульс 1514 поддерживает сигналы $\sim A1$, $\sim A2$... $\sim A8$ 1536 адреса на высоких уровнях напряжения и включает транзисторы предотвращения оценки для

понижения напряжения на сигналах LEVAL 1534 логической оценки до низкого уровня в 1542.

Синхронизирующий импульс 1518 в синхронизирующем сигнале BT5 1516 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка во
 5 вторых сигналах EVAL2 оценки, на схему 1210 направления в третьем сигнале EVAL3 оценки и на логическую схему 1206 младшего банка и логическую схему 1208 старшего банка. Синхронизирующий импульс 1518 во вторых сигналах EVAL2 оценки включает каждый из вторых транзисторов оценки в ячейках сдвигового регистра в сдвиговом
 10 регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. При сигналах SN 1530 внутреннего узла на высоких уровнях напряжения для включения каждого из транзисторов внутреннего узла в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка все выходные сигналы SO 1532 сдвигового регистра разряжаются до низких уровней напряжения в 1544. Кроме того, синхронизирующий импульс 1518 в третьем сигнале EVAL3 оценки включает транзистор
 15 1266 оценки. Управляющий сигнал CSYNC 1524 находится на низком уровне напряжения для выключения транзистора 1268 управления, и сигнал DIRR 1526 направления остается заряженным до высокого уровня напряжения. Синхронизирующий импульс 1518 обеспечивается на каждый из транзисторов предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Синхронизирующий
 20 импульс 1518 включает каждый из транзисторов предотвращения оценки для удержания сигналов LEVAL 1534 логической оценки на низких уровнях напряжения. Сигналы LEVAL 1534 логической оценки с низким уровнем напряжения выключают транзисторы оценки адреса.

Синхронизирующий импульс 1522 в синхронизирующем сигнале BT6 1520 подается на
 25 сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в первых сигналах PRE1 предварительной зарядки, на схему 1210 направления в четвертом сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Синхронизирующий импульс 1522 в первых сигналах PRE1 предварительной зарядки
 30 поддерживает все сигналы SN 1530 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий импульс 1522 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме 1210 направления. Сигнал DIRR 1526 обратного направления с высоким уровнем напряжения включает транзистор 1274 управления для разрядки сигнала
 35 направления DIRF 1528 до низкого уровня напряжения в 1548. В течение синхронизирующего импульса 1522 каждый из сигналов LEVAL 1534 логической оценки заряжается до высокого уровня напряжения в 1550 в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. При всех выходных сигналах SO 1532 сдвигового регистра на низких уровнях напряжения все транзисторы адреса в логической
 40 схеме 1206 младшего банка и логической схеме 1208 старшего банка выключаются, и сигналы ~A1, ~A2... ~A8 адреса остаются на высоких уровнях напряжения. Сигнал DIRF 1528 прямого направления с низким уровнем напряжения и сигнал DIRR 1526 обратного направления с высоким уровнем напряжения настраивают сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка для сдвига в обратном
 45 направлении.

В следующей последовательности из шести синхронизирующих импульсов синхронизирующий сигнал BT1 1500 содержит синхронизирующий импульс 1552, синхронизирующий сигнал BT2 1504 содержит синхронизирующий импульс 1554, синхронизирующий сигнал BT3 1508 содержит синхронизирующий импульс 1556,
 50 синхронизирующий сигнал BT4 1512 содержит синхронизирующий импульс 1558, синхронизирующий сигнал BT5 1516 содержит синхронизирующий импульс 1596 и синхронизирующий сигнал BT6 1520 содержит синхронизирующий импульс 1562.

Синхронизирующий импульс 1552 включает каждый из первых транзисторов оценки в

ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка. Управляющий импульс 1564 в управляющем сигнале CSYNC 1524 включает каждый из транзисторов обратного входа в последних или тринадцатых ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Кроме того, транзисторы обратного направления включаются сигналом DIRR 1526 обратного направления. При включенных первых транзисторах оценки в сдвиговом регистре 1202 младшего банка, включенных транзисторах обратного входа в последних ячейках сдвигового регистра и включенных транзисторах обратного направления сигнал SN13 внутреннего узла в тринадцатой ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка разряжается до низкого уровня напряжения, обозначенного 1566.

Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка не включаются синхронизирующим импульсом 1552, и все сигналы SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения. Кроме того, выходные сигналы SO 1532 сдвигового регистра находятся на низких уровнях напряжения, которые выключают транзисторы обратного входа во всех других ячейках сдвигового регистра, например ячейках 403a-403l сдвигового регистра, в сдвиговом регистре 1202 младшего банка. При выключенных транзисторах обратного входа каждый из сигналов SN1-SN12 внутреннего узла в сдвиговом регистре 1202 младшего банка остается на высоком уровне напряжения.

Синхронизирующий импульс 1554 в синхронизирующем сигнале BT2 1504 не подается на генератор 1200 адреса выбора банка, и каждый сигнал остается неизменным в течение синхронизирующего импульса 1554.

Затем синхронизирующий импульс 1556 в синхронизирующем сигнале BT3 1508 подается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего банка. Управляющий сигнал CSYNC 1524 остается на низком уровне напряжения, и выходные сигналы SO 1532 сдвигового регистра находятся на низких уровнях напряжения в сдвиговом регистре 1204 старшего банка, которые выключают каждый из транзисторов прямого входа и каждый из транзисторов обратного входа в сдвиговом регистре 1204 старшего банка. Не проводящие ток транзисторы прямого и обратного входа предотвращают разрядку до низкого уровня напряжения сигналов SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка. Все сигналы SN1-SN13 внутреннего узла сдвигового регистра в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения.

В течение синхронизирующего импульса 1558 в синхронизирующем сигнале BT4 1512 все выходные сигналы SO 1532 сдвигового регистра заряжаются до высоких уровней напряжения в 1568. Кроме того, в течение синхронизирующего импульса 1558 сигнал DIRR 1526 обратного направления поддерживается на высоком уровне напряжения и сигнал DIRF 1528 прямого направления заражается до высокого уровня напряжения в 1570. Кроме того, в течение синхронизирующего импульса 1558 все сигналы ~A1, ~A2... ~A8 1536 адреса поддерживаются на высоких уровнях напряжения, и напряжение на сигналах LEVAL 1534 логической оценки понижается до низкого уровня напряжения в 1572. Сигналы логической оценки LEVAL 1534 с низким уровнем напряжения выключают транзисторы оценки адреса, чтобы препятствовать транзисторам адреса понизить напряжение на сигналах ~A1, ~A2... ~A8 1536 адреса до низкого уровня.

Синхронизирующий импульс 1560 в синхронизирующем сигнале BT5 1516 включает вторые транзисторы оценки в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. При сигналах SN1-SN12 внутреннего узла в сдвиговом регистре 1202 младшего банка на высоких уровнях напряжения и при сигналах SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка на высоких уровнях напряжения в течение синхронизирующего импульса 1560 выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1202 младшего банка и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка разряжаются до

низких уровней напряжения в 1574. При сигнале SN13 внутреннего узла на низком уровне напряжения в сдвиговом регистре 1202 младшего банка выходной сигнал SO13 сдвигового регистра остается на высоком уровне напряжения в сдвиговом регистре 1202 младшего банка, обозначенном 1576.

5 Синхронизирующий импульс 1560 также включает транзистор 1266 оценки в схеме 1210 направления. Управляющий сигнал CSYNC 1524 находится на низком уровне напряжения для выключения транзистора 1268 управления, и сигнал DIRR 1526 обратного направления остается заряженным до высокого уровня напряжения. Кроме того, синхронизирующий импульс 1560 включает транзисторы предотвращения оценки в логической схеме 1206
10 младшего банка и логической схеме 1208 старшего банка для поддержания сигналов LEVAL 1534 логической оценки на низких уровнях напряжения для выключения транзисторов оценки. Выходные сигналы SO 1532 сдвигового регистра устанавливаются в течение синхронизирующего импульса 1560 таким образом, что один выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка устанавливается на
15 высокий уровень напряжения и все другие выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1202 младшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка устанавливаются на низкие уровни напряжения.

Синхронизирующий импульс 1562 в синхронизирующем сигнале BT6 1520 подается на
20 сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в первых сигналах PRE1 предварительной зарядки, на схему 1210 направления в четвертом сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В течение синхронизирующего импульса 1562 в первых сигналах PRE1 предварительной
25 зарядки сигнал SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка заряжается до высокого уровня напряжения в 1582 и поддерживает все другие сигналы SN 1530 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий импульс 1562 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме 1210
30 направления. Сигнал DIRR 1526 обратного направления с высоким уровнем напряжения включает транзистор 1274 управления, и в это время сигнал направления DIRF 1528 разряжается до низкого уровня напряжения в 1580. Кроме того, в течение синхронизирующего импульса 1562 каждый из сигналов LEVAL 1534 логической оценки заряжается до высокого уровня напряжения в 1584 в логической схеме 1206 младшего
35 банка и логической схеме 1208 старшего банка. Выходной сигнал SO13 сдвигового регистра с высоким уровнем в сдвиговом регистре 1202 младшего банка принимается как входной сигнал AI13 в логической схеме 1206 младшего банка. Входной сигнал AI13 с высоким уровнем напряжения включает транзисторы адреса в логической схеме 1206 младшего банка для активного понижения напряжения до низкого уровня на сигналах
40 адреса в сигналах ~A1, ~A2... ~A8 1536 адреса для обеспечения адреса 13 младшего банка в 1586. Другие выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1202 младшего банка и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка находятся на низких уровнях напряжения, которые выключают транзисторы адреса в логической схеме 1206 младшего банка и логической
45 схеме 1208 старшего банка, чтобы не разряжать сигналы ~A1, ~A2... ~A8 адреса в 1536. Сигналы ~A1, ~A2.... ~A8 1536 адреса устанавливаются в допустимые значения в течение синхронизирующего импульса 1562.

В следующей последовательности из шести синхронизирующих импульсов синхронизирующий сигнал BT1 1500 содержит синхронизирующий импульс 1588,
50 синхронизирующий сигнал BT2 1504 содержит синхронизирующий импульс 1590, синхронизирующий сигнал BT3 1508 содержит синхронизирующий импульс 1592, синхронизирующий сигнал BT4 1512 содержит синхронизирующий импульс 1594, синхронизирующий сигнал BT5 1516 содержит синхронизирующий импульс 1596 и

синхронизирующий сигнал BT6 1520 содержит синхронизирующий импульс 1598.

Синхронизирующий импульс 1588 включает каждый из первых транзисторов оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка для оценки каждого из обратных входных сигналов SIR (показанных на фиг.10A) в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка. Обратный входной сигнал SIR последней ячейки сдвигового регистра является управляющим сигналом CSYNC 1524, который имеет низкий уровень напряжения. Обратный входной сигнал SIR в каждой из других ячеек сдвигового регистра является следующим по очереди выходным сигналом SO2-SO13 сдвигового регистра. Выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка находится на высоком уровне напряжения и является обратным входным сигналом SIR предпоследней или двенадцатой ячейки сдвигового регистра в сдвиговом регистре 1202 младшего банка.

Выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка включает транзистор обратного входа в двенадцатой ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка. Кроме того, транзисторы обратного направления включаются сигналом DIRR 1526 обратного направления. При включенных первых транзисторах оценки в сдвиговом регистре 1202 младшего банка, включенном транзисторе обратного входа в двенадцатой ячейке сдвигового регистра и включенном транзисторе обратного направления сигнал SN12 внутреннего узла в двенадцатой ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка разряжается до низкого уровня напряжения, обозначенного 1600.

Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка не включаются синхронизирующим импульсом 1588, и все сигналы SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения. Кроме того, управляющий сигнал CSYNC 1524 и выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1202 младшего банка находятся на низких уровнях напряжения, которые выключают транзисторы обратного входа в других ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка. При выключенных транзисторами обратного входа каждый из других сигналов SN1-SN11 и SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка остается на высоком уровне напряжения. Синхронизирующий импульс 1590 в синхронизирующем сигнале BT2 1504 не подается на генератор 1200 адреса выбора банка, и каждый сигнал остается неизменным в течение синхронизирующего импульса 1590.

Затем синхронизирующий импульс 1592 в синхронизирующем сигнале BT3 1508 подается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего банка. Управляющий сигнал CSYNC 1524 остается на низком уровне напряжения, и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка находятся на низких уровнях напряжения, которые выключают каждый из транзисторов прямого входа и каждый из транзисторов обратного входа в сдвиговом регистре 1204 старшего банка. Не проводящие ток транзисторы прямого и обратного входа предотвращают разгрузку до низких уровней напряжения сигналов SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка. Все сигналы SN1-SN13 внутреннего узла сдвигового регистра в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения.

В течение синхронизирующего импульса 1594 в синхронизирующем сигнале BT4 1512 выходные сигналы SO 1532 сдвигового регистра заряжаются и/или поддерживаются на высоких уровнях напряжения 1602. Кроме того, в течение синхронизирующего импульса 1594 сигнал DIRR 1526 обратного направления поддерживается на высоком уровне напряжения, и сигнал DIRF 1528 прямого направления заряжается до высокого уровня напряжения 1604. В дополнение, в течение синхронизирующего импульса 1594 сигналы ~A1, ~A2... ~A8 1536 адреса заряжаются и/или поддерживаются на высоких уровнях напряжения 1606 и понижают напряжение на сигналах LEVAL 1534 логической

оценки до низкого уровня 1608. Сигналы LEVAL 1534 логической оценки с низким уровнем напряжения выключают транзисторы оценки адреса, чтобы препятствовать транзисторам адреса понижать напряжение на сигналах $\sim A1$, $\sim A2$... $\sim A8$ 1536 адреса до низкого уровня. Сигналы адреса для адреса 13 младшего банка в сигналах $\sim A1$, $\sim A2$... $\sim A8$ 1536 адреса

5 являлись допустимыми в течение синхронизирующих импульсов 1588, 1590 и 1592.

Синхронизирующий импульс 1596 в синхронизирующем сигнале BT5 1516 включает вторые транзисторы оценки в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. При сигналах SN1-SN11 и SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка на высоких уровнях напряжения и при сигналах

10 SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка, находящихся на высоких уровнях напряжения, в течение синхронизирующего импульса 1596 выходные сигналы SO1-SO11 и SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего

банка разряжаются до низких уровней напряжения 1610. При сигнале SN12 внутреннего

15 узла, находящемся на низком уровне напряжения в сдвиговом регистре 1202 младшего банка, выходной сигнал SO12 сдвигового регистра остается на высоком уровне напряжения 1612 в сдвиговом регистре 1202 младшего банка.

Синхронизирующий импульс 1596 также включает транзистор 1266 оценки в схеме 1210 направления. Управляющий сигнал CSYNC 1524 находится на низком уровне напряжения

20 для выключения транзистора 1268 управления, и сигнал DIRR 1526 обратного направления остается на высоком уровне напряжения. Кроме того, синхронизирующий импульс 1560 включает транзисторы предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка для поддержания сигналов LEVAL 1534 логической

оценки на низких уровнях напряжения, которые выключают транзисторы оценки. Выходные

25 сигналы SO 1532 сдвигового регистра устанавливаются в течение синхронизирующего импульса 1596 таким образом, что один выходной сигнал SO12 сдвигового регистра в сдвиговом регистре 1202 младшего банка устанавливается на высокий уровень

напряжения, и все другие выходные сигналы SO1-SO11 и SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и все выходные сигналы SO1-SO13 сдвигового

30 регистра в сдвиговом регистре 1204 старшего банка устанавливаются на низкие уровни напряжения.

Синхронизирующий импульс 1598 в синхронизирующем сигнале BT6 1520 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в

первых сигналах PRE1 предварительной зарядки, на схему 1210 направления в четвертом

35 сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. В течение синхронизирующего импульса 1598 в первом сигнале PRE1 предварительной

зарядки сигнал SN12 внутреннего узла в сдвиговом регистре 1202 младшего банка заряжается до высокого уровня напряжения 1618 и поддерживает все другие сигналы SN

40 1530 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий импульс 1598 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме 1210

направления. Сигнал DIRR 1526 обратного направления с высоким уровнем напряжения включает транзистор 1274 управления, и сигнал DIRF 1528 направления разряжается до

45 низкого уровня напряжения 1616. Кроме того, в течение синхронизирующего импульса 1598 каждый из сигналов LEVAL 1534 логической оценки заряжается до высокого уровня

напряжения 1620 в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Выходной сигнал SO12 сдвигового регистра с высоким уровнем в сдвиговом регистре 1202 младшего банка принимается как входной сигнал AI12 в

50 логической схеме 1206 младшего банка. Входной сигнал AI12 с высоким уровнем напряжения включает транзисторы адреса в логической схеме 1206 младшего банка для активного понижения напряжения на сигналах адреса в сигналах $\sim A1$, $\sim A2$... $\sim A8$ 1536

адреса для обеспечения адреса 12 младшего банка 1622. Другие выходные сигналы SO1-

SO11 и SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка находятся на низких уровнях напряжения, которые выключают транзисторы адреса в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка, чтобы не разряжать сигналы $\sim A1$, $\sim A2 \dots \sim A8$ 1536 адреса. Устанавливаются допустимые значения сигналов $\sim A1$, $\sim A2 \dots \sim A8$ 1536 адреса в течение синхронизирующего импульса 1598.

Следующая последовательность из шести синхронизирующих импульсов в синхронизирующих сигналах BT1-BT6 сдвигает выходной сигнал SO12 сдвигового регистра с высоким уровнем напряжения к предыдущей ячейке сдвигового регистра в сдвиговом регистре 1202 младшего банка для обеспечения выходного сигнала SO11 сдвигового регистра с высоким уровнем напряжения в сдвиговом регистре 1202 младшего банка и адреса 11 младшего банка в сигналах $\sim A1$, $\sim A2 \dots \sim A8$ 1536 адреса. Смещение продолжается с каждой последовательностью из шести синхронизирующих импульсов до тех пор, пока каждый выходной сигнал SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка однажды не имел высокого уровня. Последовательность останавливается после того, как выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1202 младшего банка переходит на высокий уровень и адрес 1 младшего банка обеспечивался в сигналах $\sim A1$, $\sim A2 \dots \sim A8$ 1536 адреса. Для начала следующей последовательности сдвиговый регистр 1202 младшего банка или сдвиговый регистр 1204 старшего банка могут быть инициализированы для обеспечения адресов 1-13 младшего банка или адресов 14-26 старшего банка соответственно либо в прямом, либо в обратном направлении. В этом примере, когда адрес 1 младшего банка обеспечивается 1624 в сигналах $\sim A1$, $\sim A2 \dots \sim A8$ 1536 адреса, сдвиговый регистр 1204 старшего банка инициализируется для обеспечения адресов 14-26 старшего банка в обратном направлении.

В последовательности из шести синхронизирующих импульсов синхронизирующий сигнал BT1 1500 содержит синхронизирующий импульс 1626, синхронизирующий сигнал BT2 1504 содержит синхронизирующий импульс 1628, синхронизирующий сигнал BT3 1508 содержит синхронизирующий импульс 1630, синхронизирующий сигнал BT4 1512 содержит синхронизирующий импульс 1632, синхронизирующий сигнал BT5 1516 содержит синхронизирующий импульс 1634 и синхронизирующий сигнал BT6 1520 содержит синхронизирующий импульс 1636.

Синхронизирующий импульс 1626 включает каждый из первых транзисторов оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка, и сигнал DIRR 1526 обратного направления включает каждый из транзисторов обратного направления в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Управляющий сигнал CSYNC 1524 находится на низком уровне напряжения для выключения каждого из транзисторов обратного входа в тринадцатых ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Кроме того, выходные сигналы SO2-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка находятся на низких уровнях напряжения, которые выключают транзисторы обратного входа во всех других ячейках сдвигового регистра, например ячейках 403a-403l сдвигового регистра, в сдвиговом регистре 1202 младшего банка. При выключенных транзисторах обратного входа каждый из сигналов SN1-SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка остается на высоком уровне напряжения. В дополнение, первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка не включаются синхронизирующим импульсом 1552, и все сигналы SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях напряжения. Синхронизирующий импульс 1628 в синхронизирующем сигнале BT2 1504 не подается на генератор 1200 адреса выбора банка, и каждый сигнал остается неизменным в течение синхронизирующего импульса 1628.

Затем синхронизирующий импульс 1630 в синхронизирующем сигнале BT3 1508 подается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для

включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего банка. Управляющий импульс 1638 в управляющем сигнале CSYNC 1524 включает каждый из транзисторов обратного входа в тринадцатых ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Кроме того,

5 транзисторы обратного направления включаются сигналом DIRR 1526 обратного направления. При включенных первых транзисторах оценки в сдвиговом регистре 1204 старшего банка, включенных транзисторах обратного входа в тринадцатых ячейках сдвигового регистра и включенных транзисторах обратного направления сигнал SN13 внутреннего узла в тринадцатой ячейке сдвигового регистра в сдвиговом регистре 1204

10 старшего банка разряжается до низкого уровня напряжения 1640.

Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка не включаются синхронизирующим импульсом 1630, и все сигналы SN1-SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка остаются на высоких уровнях напряжения. Кроме того, выходные сигналы SO1-SO13 сдвигового регистра в

15 сдвиговом регистре 1204 старшего банка находятся на низких уровнях напряжения, которые выключают транзисторы обратного входа во всех других ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка. При выключенных транзисторах обратного входа каждый из других сигналов SN1-SN12 внутреннего узла в сдвиговом регистре 1204 старшего банка остается на высоком уровне напряжения.

20 В течение синхронизирующего импульса 1632 в синхронизирующем сигнале BT4 1512 все выходные сигналы SO 1532 сдвигового регистра заряжаются до высоких уровней напряжения 1642. Кроме того, в течение синхронизирующего импульса 1632 сигнал DIRR 1526 обратного направления поддерживается на высоком уровне напряжения, и сигнал DIRF 1528 прямого направления заряжается до высокого уровня напряжения 1644. В

25 дополнение, в течение синхронизирующего импульса 1632 сигналы ~A1, ~A2... ~A8 1536 адреса заряжаются к и/или поддерживаются на высоких уровнях напряжения 1646, и напряжение на сигналах LEVAL 1534 логической оценки понижается до низкого уровня 1648. Сигналы LEVAL 1534 логической оценки с низким уровнем напряжения выключают транзисторы оценки адреса, чтобы препятствовать транзисторам адреса понижать

30 напряжение сигналов ~A1, ~A2... ~A8 1536 адреса до низкого уровня.

Синхронизирующий импульс 1634 в синхронизирующем сигнале BT5 1516 включает вторые транзисторы оценки в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. При сигналах SN1-SN12 внутреннего узла в сдвиговом регистре 1204 старшего банка, находящихся на высоких уровнях напряжения, и при

35 сигналах SN1-SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка, находящихся на высоких уровнях напряжения, синхронизирующий импульс 1634 разряжает выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1204 старшего банка и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка до низких уровней напряжения 1650. При сигнале SN13 внутреннего узла,

40 находящемся на низком уровне напряжения в сдвиговом регистре 1204 старшего банка, выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка остается на высоком уровне напряжения 1652.

Синхронизирующий импульс 1634 также включает транзистор 1266 оценки в схеме 1210 направления. Управляющий сигнал CSYNC 1524 находится на низком уровне напряжения

45 для выключения транзистора 1268 управления, и сигнал DIRR 1526 обратного направления остается на высоком уровне напряжения. Кроме того, синхронизирующий импульс 1634 включает транзисторы предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка для поддержания сигналов LEVAL 1534 логической оценки на низких уровнях напряжения, которые выключают транзисторы оценки. Выходные

50 сигналы SO 1532 сдвигового регистра устанавливаются в течение синхронизирующего импульса 1634 таким образом, что один выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка устанавливается на высоком уровне напряжения, и все другие выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1204

старшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка устанавливаются на низкие уровни напряжения.

Синхронизирующий импульс 1636 в синхронизирующем сигнале BT6 1520 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в
 5 первых сигналах PRE1 предварительной зарядки, на схему 1210 направления в четвертом сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Синхронизирующий импульс 1636 в первых сигналах PRE1 предварительной зарядки заряжает сигнал SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка до
 10 высокого уровня напряжения 1658 и поддерживает все другие сигналы SN 1530 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий импульс 1636 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме 1210 направления. Сигнал DIRR 1526 обратного направления с высоким уровнем напряжения
 15 включает транзистор 1274 управления, и сигнал DIRF 1528 направления разряжается до низкого уровня напряжения 1656. Синхронизирующий импульс 1636 также заряжает каждый из сигналов LEVAL 1534 логической оценки до высокого уровня напряжения 1660 в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Выходной сигнал SO13 сдвигового регистра с высоким уровнем в сдвиговом регистре 1204
 20 старшего банка принимается как входной сигнал AI26 в логической схеме 1208 старшего банка. Входной сигнал AI26 с высоким уровнем напряжения включает транзисторы адреса в логической схеме 1208 старшего банка для активного понижения напряжения на сигналах адреса в сигналах ~A1, ~A2... ~A8 1536 адреса для обеспечения адреса 26 старшего банка 1662. Другие выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1204
 25 старшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка находятся на низких уровнях напряжения, которые выключают транзисторы адреса в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка, чтобы не разряжать сигналы ~A1, ~A2... ~A8 1536 адреса. Устанавливаются допустимые значения сигналов ~A1, ~A2.... ~A8 1536 адреса в течение
 30 синхронизирующего импульса 1636.

В следующей последовательности из шести синхронизирующих импульсов синхронизирующий сигнал BT1 1500 содержит синхронизирующий импульс 1664, синхронизирующий сигнал BT2 1504 содержит синхронизирующий импульс 1666, синхронизирующий сигнал BT3 1508 содержит синхронизирующий импульс 1668,
 35 синхронизирующий сигнал BT4 1512 содержит синхронизирующий импульс 1670, синхронизирующий сигнал BT5 1516 содержит синхронизирующий импульс 1672 и синхронизирующий сигнал BT6 1520 содержит синхронизирующий импульс 1674.

Синхронизирующий импульс 1664 включает каждый из первых транзисторов оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка для оценки
 40 каждого из обратных входных сигналов SIR (показанных на фиг.10A) в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка. Обратный входной сигнал SIR последней ячейки сдвигового регистра является управляющим сигналом CSYNC 1524, который находится на низком уровне напряжения. Обратный входной сигнал SIR в каждой из других ячеек сдвигового регистра является одним из следующих по очереди выходных
 45 сигналов SO2-SO13 сдвигового регистра, которые находятся на низких уровнях напряжения. При управляющем сигнале CSYNC 1524 и выходных сигналах SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка, находящихся на низких уровнях напряжения, транзисторы обратного входа в сдвиговом регистре 1202 младшего банка выключаются, и каждый из сигналов SN1-SN13 внутреннего узла в сдвиговом
 50 регистре 1202 младшего банка остается на высоком уровне напряжения. Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка не включаются синхронизирующим импульсом 1664, и сигналы SN1-SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка остаются на высоких уровнях

напряжения. Синхронизирующий импульс 1666 в синхронизирующем сигнале BT2 1504 не подается на генератор 1200 адреса выбора банка, и каждый сигнал остается неизменным в течение синхронизирующего импульса 1666.

Затем синхронизирующий импульс 1668 в синхронизирующем сигнале BT3 1508 подается на сдвиговый регистр 1204 старшего банка в первом сигнале EVAL1 оценки для включения каждого из первых транзисторов оценки в сдвиговом регистре 1204 старшего банка для оценки каждого из обратных входных сигналов SIR (показанных на фиг.10A) в ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка. Обратный входной сигнал SIR последней ячейки сдвигового регистра является управляющим сигналом CSYNC 1524, который находится на низком уровне напряжения. Обратный входной сигнал SIR в каждой из других ячеек сдвигового регистра является следующим по очереди выходным сигналом SO2-SO13 сдвигового регистра. Выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка находится на высоком уровне напряжения и является обратным входным сигналом SIR предпоследней ячейки сдвигового регистра в сдвиговом регистре 1204 старшего банка.

Выходной сигнал SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка включает транзистор обратного входа в предпоследней ячейке сдвигового регистра в сдвиговом регистре 1204 старшего банка. Кроме того, транзисторы обратного направления включаются сигналом DIRR 1526 обратного направления. При включенных первых транзисторах оценки в сдвиговом регистре 1204 старшего банка, включенном транзисторе обратного входа в предпоследней ячейке сдвигового регистра и включенном транзисторе обратного направления сигнал SN12 внутреннего узла в предпоследней или двенадцатой ячейке сдвигового регистра в сдвиговом регистре 1204 старшего банка разряжается до низкого уровня напряжения 1676.

Первые транзисторы оценки в ячейках сдвигового регистра в сдвиговом регистре 1202 младшего банка не включаются синхронизирующим импульсом 1668, и все сигналы SN1-SN13 внутреннего узла в сдвиговом регистре 1202 младшего банка остаются на высоких уровнях напряжения 1678. Кроме того, управляющий сигнал CSYNC 1524 и выходные сигналы SO1-SO12 сдвигового регистра в сдвиговом регистре 1204 старшего банка находятся на низких уровнях напряжения, которые выключают транзисторы обратного входа в других ячейках сдвигового регистра в сдвиговом регистре 1204 старшего банка. При выключенных других транзисторах обратного входа каждый из других сигналов SN1-SN11 и SN13 внутреннего узла в сдвиговом регистре 1204 старшего банка остается на высоком уровне напряжения 1678.

Синхронизирующий импульс 1670 в синхронизирующем сигнале BT4 1512 заряжает и/или поддерживает выходные сигналы SO 1532 сдвигового регистра на высоких уровнях напряжения 1680. Кроме того, синхронизирующий импульс 1670 поддерживает сигнал DIRR 1526 обратного направления на высоком уровне напряжения и заряжает сигнал DIRF 1528 прямого направления до высокого уровня напряжения 1682. Кроме того, синхронизирующий импульс 1670 заряжает и/или поддерживает ~A1, ~A2... ~A8 1536 сигналы адреса на высоких уровнях напряжения 1684 и понижает напряжение на сигналах LEVAL 1534 логической оценки до низкого уровня 1686. Сигналы LEVAL 1534 логической оценки с низким уровнем напряжения выключают транзисторы оценки адреса, чтобы препятствовать транзисторам адреса понижать напряжение на сигналах ~A1, ~A2... ~A8 1536 адреса до низкого уровня. Сигналы адреса для адреса 26 старшего банка в сигналах ~A1, ~A2... ~A8 1536 адреса являлись допустимыми в течение синхронизирующих импульсов 1664, 1666 и 1668.

Синхронизирующий импульс 1672 в синхронизирующем сигнале BT5 1516 включает вторые транзисторы оценки в сдвиговом регистре 1202 младшего банка и сдвиговом регистре 1204 старшего банка. При сигналах SN1-SN11 и SN13 внутреннего узла, находящихся на высоких уровнях напряжения в сдвиговом регистре 1204 старшего банка, и при сигналах SN1-SN13 внутреннего узла, находящихся на высоких уровнях напряжения в сдвиговом регистре 1202 младшего банка, синхронизирующий импульс 1672 разряжает

выходные сигналы SO1-SO11 и SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка, и выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка до низких уровней напряжения 1688. При сигнале SN12 внутреннего узла в сдвиговом регистре 1204 старшего банка, находящемся на низком уровне

5 напряжения, выходной сигнал SO12 сдвигового регистра остается на высоком уровне напряжения 1690 в сдвиговом регистре 1204 старшего банка.

Синхронизирующий импульс 1672 также включает транзистор 1266 оценки в схеме 1210 направления. Управляющий сигнал CSYNC 1524 находится на низком уровне напряжения для выключения транзистора 1268 управления, и сигнал DIRR 1526 обратного направления

10 остается заряженным до высокого уровня напряжения. Кроме того, синхронизирующий импульс 1672 включает транзисторы предотвращения оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка для поддержания сигналов LEVAL 1534 логической оценки на низких уровнях напряжения, которые выключают транзисторы оценки. Выходные сигналы SO 1532 сдвигового регистра устанавливаются в

15 течение синхронизирующего импульса 1672 таким образом, что один выходной сигнал SO12 сдвигового регистра в сдвиговом регистре 1204 старшего банка устанавливается на высокий уровень напряжения, и все другие выходные сигналы SO1-SO11 и SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка

20 устанавливаются на низкие уровни напряжения.

Синхронизирующий импульс 1674 в синхронизирующем сигнале BT6 1520 подается на сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка в первых сигналах PRE1 предварительной зарядки, на схему 1210 направления в четвертом

25 сигнале EVAL4 оценки и на транзисторы предварительной зарядки логической оценки в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка.

Синхронизирующий импульс 1674 в первых сигналах PRE1 предварительной зарядки заряжает сигнал SN12 внутреннего узла в сдвиговом регистре 1204 старшего банка до высокого уровня напряжения 1696 и поддерживает все другие сигналы SN 1530 внутреннего узла на высоких уровнях напряжения в сдвиговом регистре 1202 младшего

30 банка и сдвиговом регистре 1204 старшего банка. Синхронизирующий импульс 1674 в четвертом сигнале EVAL4 оценки включает транзистор 1272 оценки в схеме 1210 направления. Сигнал DIRR 1526 обратного направления с высоким уровнем напряжения включает транзистор 1274 управления, и сигнал направления DIRF 1528 разряжается до низкого уровня напряжения 1694. Синхронизирующий импульс 1674 также заряжает каждый

35 из сигналов LEVAL 1534 логической оценки до высокого уровня напряжения 1697 в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка. Выходной сигнал SO12 сдвигового регистра с высоким уровнем в сдвиговом регистре 1204 старшего банка принимается как входной сигнал AI25 в логической схеме 1208 старшего

40 банка. Входной сигнал AI25 с высоким уровнем напряжения включает транзисторы адреса в логической схеме 1208 старшего банка для активного понижения напряжения на сигналах адреса до низкого уровня в сигналах ~A1, ~A2... ~A8 1536 адреса и обеспечения адреса 25 старшего банка 1698. Другие выходные сигналы SO1-SO11 и SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка и все выходные сигналы SO1-SO13 сдвигового регистра в сдвиговом регистре 1202 младшего банка находятся на низких уровнях

45 напряжения, которые выключают транзисторы адреса в логической схеме 1206 младшего банка и логической схеме 1208 старшего банка, чтобы не разряжать сигналы ~A1, ~A2... ~A8 1536 адреса. Допустимые значения сигналов ~A1, ~A2.... ~A8 1536 адреса устанавливаются в течение синхронизирующего импульса 1674.

Следующая последовательность из шести синхронизирующих импульсов в

50 синхронизирующих сигналах BT1-BT6 сдвигает выходной сигнал SO12 сдвигового регистра высокого уровня напряжения к предыдущей ячейке сдвигового регистра в сдвиговом регистре 1204 старшего банка для обеспечения выходного сигнала SO11 сдвигового регистра с высоким уровнем напряжения в сдвиговом регистре 1204 старшего банка и

адреса 24 старшего банка в сигналах $\sim A1$, $\sim A2 \dots \sim A8$ 1536 адреса. Сдвиг продолжается с каждой последовательностью из шести синхронизирующих импульсов до тех пор, пока каждый выходной сигнал SO1-SO13 сдвигового регистра в сдвиговом регистре 1204 старшего банка не имел однажды высокий уровень. Последовательность останавливается

5 после того, как выходной сигнал SO1 сдвигового регистра в сдвиговом регистре 1204 старшего банка имел высокий уровень и адрес 14 старшего банка был обеспечен в сигналах $\sim A1$, $\sim A2 \dots \sim A8$ 1536 адреса. Для начала следующей последовательности адресов сдвиговый регистр 1202 младшего банка или сдвиговый регистр 1204 старшего банка могут быть инициализированы для обеспечения адресов 1-13 младшего банка или адресов 14-26

10 старшего банка соответственно либо в прямом, либо в обратном направлении.

В операции обратного направления сдвигового регистра 1202 младшего банка и обеспечения адресов 13-1 младшего банка управляющий сигнал CSYNC 1524 с низким уровнем напряжения существенно совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5 1516 для установки направления смещения в обратное

15 направление. Кроме того, управляющий импульс в управляющем сигнале CSYNC 1524 существенно совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT1 1500 для запуска или инициализации сдвигового регистра 1202 младшего банка, сдвигающего сигнал с высоким уровнем напряжения через выходные сигналы сдвигового регистра от SO13 до SO1.

В операции обратного направления сдвигового регистра 1204 старшего банка и обеспечения адресов 26-14 старшего банка управляющий сигнал CSYNC 1524 с низким уровнем напряжения существенно совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT5 1516 для установки направления смещения в обратное

направление. Кроме того, управляющий импульс в управляющем сигнале CSYNC 1524

25 существенно совпадает по времени с синхронизирующим импульсом в синхронизирующем сигнале BT3 1508 для запуска или инициализации сдвигового регистра 1204 старшего банка, сдвигающего сигнал с высоким уровнем напряжения через выходные сигналы сдвигового регистра от SO13 до SO1.

Управляющий сигнал CSYNC управляет работой одного или более генераторов адреса в матрице печатающей головки. Каждым из генераторов адреса управляют управляющие

30 импульсы в управляющем сигнале CSYNC, которые существенно совпадают с синхронизирующими импульсами в синхронизирующих сигналах, для установки направления операции и инициализации операции. В одном варианте воплощения два генератора адреса обеспечивают допустимые сигналы адреса в течение шести

35 синхронизирующих импульсов в шести сигналах выбора, которые соответствуют шести сигналам зажигания. Один генератор адреса обеспечивает допустимые сигналы адреса в течение трех из шести синхронизирующих импульсов, и другой генератор адреса обеспечивает допустимые сигналы адреса в течение других трех из шести синхронизирующих импульсов. В одном варианте воплощения каждый из этих двух

40 генераторов адреса аналогичен генератору 400 адреса. В другом варианте воплощения каждый из этих двух генераторов адреса аналогичен генератору 1200 адреса выбора банка.

Синхронизация управляющих импульсов в управляющем сигнале CSYNC для управления генератором 400 адреса отличается от синхронизации управляющих

45 импульсов в управляющем сигнале CSYNC для управления генератором 1200 адреса выбора банка. Синхронизирующие импульсы в синхронизирующем сигнале T3 (показанном на фиг.9) и синхронизирующем сигнале BT4 (показанном на фиг.15) предварительно заряжают вторую ступень ячеек сдвигового регистра в генераторе 400 адреса и генераторе 1200 адреса выбора банка соответственно. Предварительная зарядка второй

50 ступени ячеек сдвигового регистра заряжает выходные сигналы SO сдвигового регистра до высоких уровней напряжения и потенциально разрушает допустимые активно возбужденные сигналы адреса. Чтобы сформировать следующие допустимые сигналы адреса, выходные сигналы SO сдвигового регистра оцениваются по допустимым значениям

и сигналы адреса оцениваются по допустимым сигналам адреса. Выходные сигналы SO сдвигового регистра оцениваются по допустимым значениям в течение синхронизирующего импульса в синхронизирующем сигнале T4 в генераторе 400 адреса и в течение синхронизирующего импульса в синхронизирующем сигнале BT5 в генераторе 1200 адреса выбора банка. Допустимые выходные сигналы SO сдвигового регистра подаются на логическую схему, и сигналы адреса оцениваются по допустимым значениям в течение синхронизирующего импульса в синхронизирующем сигнале T5 в генераторе 400 адреса и в течение синхронизирующего импульса в синхронизирующем сигнале BT6 в генераторе 1200 адреса выбора банка для обеспечения допустимых сигналов адреса. Это приводит к следующей последовательности.

T3/BT4	T4/BT5	T5/BT6	T6/BT1	T1/BT2	T2/BT3	T3/BT4	T4/BT5	T5/BT6	T6/BT1	T1/BT2	T2/BT3
SO высокий	SO оценка	SO допустимый	SO допустимый	SO допустимый	SO допустимый	SO высокий	SO оценка	SO допустимый	SO допустимый	SO допустимый	SO допустимый
Адрес разрушен		Оценка адреса	Адрес допустимый	Адрес допустимый	Адрес допустимый	Адрес разрушен		Оценка адреса	Адрес допустимый	Адрес допустимый	Адрес допустимый

Сигналы адреса могут быть предварительно заряжены, в то время как выходные сигналы SO сдвигового регистра предварительно заряжаются в течение синхронизирующего сигнала T3 или BT4. Сигналы адреса предварительно заряжены перед тем, как они оцениваются по допустимым сигналам адреса в синхронизирующем сигнале T5 или BT6. Таким образом, сигналы адреса могут быть предварительно заряжены в течение синхронизирующих импульсов в синхронизирующих сигналах T3 или T4 в генераторе 400 адреса и в течение синхронизирующих импульсов в синхронизирующих сигналах BT4 или BT5 в генераторе 1200 адреса выбора банка. Сигнал LEVAL логической оценки выключает транзисторы логической оценки в генераторе 400 адреса и генераторе 1200 адреса выбора банка, в то время как выходные сигналы SO сдвигового регистра заряжаются до высоких уровней напряжения и оцениваются по допустимым значениям в течение синхронизирующих импульсов в синхронизирующих сигналах T3 и T4 в генераторе 400 адреса и в течение синхронизирующих импульсов в синхронизирующих сигналах BT4 и BT5 в генераторе 1200 адреса выбора банка. Предварительная зарядка сигнала адреса добавлена к следующей последовательности.

T3/BT4	T4/BT5	T5/BT6	T6/BT1	T1/BT2	T2/BT3	T3/BT4	T4/BT5	T5/BT6	T6/BT1	T1/BT2	T2/BT3
SO высокий	Оценка SO	SO допус- тимый	SO допус- тимый	SO допус- тимый	SO допус- тимый	SO высокий	Оценка SO	SO допус- тимый	SO допус- тимый	SO допус- тимый	SO допус- тимый
Адрес разрушен		Оценка Адреса	Адрес допус- тимый	Адрес допус- тимый	Адрес допус- тимый	Адрес разрушен		Оценка Адреса	Адрес допус- тимый	Адрес допус- тимый	Адрес допус- тимый
Предварительная зарядка адреса						Предварительная зарядка адреса					

Сигналы SN внутреннего узла в ячейках сдвигового регистра должны быть допустимыми, в то время как выходные сигналы SO сдвигового регистра оцениваются по допустимым значениям. Самое раннее, когда сигналы SN внутреннего узла могут быть предварительно заряжены, в течение синхронизирующего импульса в синхронизирующем сигнале T5 или BT6, после того как выходные сигналы SO сдвигового регистра допустимы. Поскольку выходные сигналы SO сдвигового регистра используются для входных сигналов на предшествующие или последующие ячейки сдвигового регистра в генераторах 400 и 1200 адреса, сигналы SN внутреннего узла оцениваются перед тем, как выходные сигналы SO сдвигового регистра предварительно заряжаются до высоких уровней напряжения в течение синхронизирующего импульса в синхронизирующем сигнале T3 или BT4. Сигналы SN внутреннего узла оцениваются перед или в течение синхронизирующего импульса в синхронизирующем сигнале T2 или BT3. Кроме того, сигналы SN внутреннего узла оцениваются существенно одновременно с управляющим импульсом в управляющем сигнале CSYNC для инициализации сдвигового регистра. Возможности для предварительной зарядки и оценки сигнала внутреннего узла добавлены к следующей последовательности.

T3/BT4	T4/BT5	T5/BT6	T6/BT1	T1/BT2	T2/BT3	T3/BT4	T4/BT5	T5/BT6	T6/BT1	T1/BT2	T2/BT3
SO высокий	Оценка SO	SO до- пустимый	SO до- пустимый	SO до- пусти- мый	SO допус- тимый	SO высокий	Оценка SO	SO до- пустимый	SO до- пустимый	SO до- пустимый	SO до- пустимый
Адрес раз- рушен		Оценка Адреса	Адрес до- пусти- мый	Адрес до- пусти- мый	Адрес до- пустимый	Адрес раз- рушен		Оценка Адреса	Адрес до- пусти- мый	Адрес до- пусти- мый	Адрес до- пусти- мый
Предварительная зарядка адреса						Предварительная зарядка адреса					
		SN предварительная зарядка						SN предварительная зарядка			
SN допустимый	SN до- пус- тимый		Оценка SN			SN допус- тимый	SN допус- тимый				Оценка SN

Сигналы SN внутреннего узла предварительно заряжаются в течение

синхронизирующего импульса в синхронизирующем сигнале T1 и оцениваются в течение синхронизирующего импульса в синхронизирующем сигнале T2 в генераторе 400 адреса. Для инициализации генератора 400 адреса управляющий импульс в управляющем сигнале CSYNC обеспечивается в течение синхронизирующего импульса в синхронизирующем сигнале T2.

Сигналы SN внутреннего узла для сдвигового регистра 1202 младшего банка и сдвигового регистра 1204 старшего банка в генераторе 1200 адреса выбора банка предварительно заряжаются в течение синхронизирующего импульса в синхронизирующем сигнале BT6. Сигналы SN внутреннего узла в сдвиговом регистре 1202 младшего банка оцениваются в течение синхронизирующего импульса в синхронизирующем сигнале BT1, и сигналы внутреннего узла в сдвиговом регистре 1204 старшего банка оцениваются в течение синхронизирующего импульса в синхронизирующем сигнале BT3. Для инициализации сдвигового регистра 1202 младшего банка управляющий импульс в управляющем сигнале CSYNC подается в течение синхронизирующего импульса в синхронизирующем сигнале BT1, и для инициализации сдвигового регистра 1204 старшего банка управляющий импульс в управляющем сигнале CSYNC подается в течение синхронизирующего импульса в синхронизирующем сигнале BT3.

Сигналы DIRR и DIRF направления являются допустимыми, пока оцениваются сигналы SN внутреннего узла. В генераторе 400 адреса сигнал DIRR обратного направления предварительно заряжается в течение синхронизирующего импульса в синхронизирующем сигнале T3 сразу после того, как сигналы SN внутреннего узла оценены. Сигнал DIRR обратного направления оценивается в течение синхронизирующего импульса в синхронизирующем сигнале T4. Сигнал DIRF прямого направления предварительно заряжается в течение синхронизирующего импульса в синхронизирующем сигнале T5 и оценивается в течение синхронизирующего импульса в синхронизирующем сигнале T6 для обеспечения допустимых сигналов DIRR и DIRF направления в течение синхронизирующих импульсов в синхронизирующих сигналах T1 и T2.

В генераторе 1200 адреса выбора банка сигналы DIRR и DIRF направления устанавливаются одним управляющим импульсом в управляющем сигнале CSYNC в течение каждой последовательности из шести синхронизирующих импульсов. Два других управляющих импульса в управляющем сигнале CSYNC инициализируют сдвиговый регистр 1202 младшего банка и сдвиговый регистр 1204 старшего банка. Кроме того, сигналы SN внутреннего узла оцениваются в течение синхронизирующих импульсов в синхронизирующих сигналах BT1 и BT3, и сигналы DIRR и DIRF направления должны быть допустимыми в течение синхронизирующих импульсов в синхронизирующих сигналах BT1 и BT3.

В генераторе 1200 адреса выбора банка и схеме 1210 направления (фиг.16) сигналы DIRR и DIRF направления предварительно заряжаются в течение синхронизирующего импульса в синхронизирующем сигнале BT4 сразу после того, как сигналы SN внутреннего узла в сдвиговом регистре 1204 старшего банка оценены. Сигнал DIRR направления оценивается в течение синхронизирующего импульса в синхронизирующем сигнале BT5, и сигнал DIRF направления оценивается в течение синхронизирующего импульса в синхронизирующем сигнале BT6. Сигналы DIRR и DIRF направления являются допустимыми в течение синхронизирующих импульсов в синхронизирующих сигналах BT1, BT2 и BT3. Управляющий импульс в управляющем сигнале CSYNC обеспечивается в

течение синхронизирующего импульса в синхронизирующем сигнале BT5 для установки направления смещения и обеспечения сигналов адреса.

В одном варианте воплощения шесть синхронизирующих импульсов в сигналах SEL1, SEL2... SEL6 выбора соответствуют шести сигналам зажигания, обеспеченным шести
 5 нагревательным группам. Эти шесть синхронизирующих импульсов в сигналах SEL1, SEL2... SEL6 выбора обеспечивают шесть возможных позиций для управляющих импульсов в управляющем сигнале CSYNC для управления генераторами адреса, такими как генератор 400 адреса или генератор 1200 адреса выбора банка. В генераторе 400
 10 адреса один управляющий импульс в управляющем сигнале CSYNC используется для инициализации сдвигового регистра 402 и два управляющих импульса в управляющем сигнале CSYNC используются для установки сигналов DIRR и DIRF направления. Управляющий импульс в управляющем сигнале CSYNC для инициализации сдвигового
 15 регистра 402 обеспечивается в течение синхронизирующего импульса в синхронизирующем сигнале T2. Управляющий импульс в управляющем сигнале CSYNC для установки сигнала DIRR направления обеспечивается в течение синхронизирующего импульса в синхронизирующем сигнале T4, и управляющий импульс в управляющем
 20 сигнале CSYNC для установки сигнала DIRF направления обеспечивается в течение синхронизирующего импульса в синхронизирующем сигнале T6.

В генераторе 1200 адреса выбора банка сигналы DIRR и DIRF направления
 25 устанавливаются одним управляющим импульсом или низким уровнем напряжения в управляющем сигнале CSYNC, существенно совпадающим с синхронизирующим импульсом в синхронизирующем сигнале BT5. Генератор 1200 адреса выбора банка инициализируется с использованием двух управляющих импульсов в управляющем
 30 сигнале CSYNC. Один управляющий импульс в управляющем сигнале CSYNC инициализирует сдвиговый регистр 1202 младшего банка, и другой управляющий импульс в управляющем сигнале CSYNC инициализирует сдвиговый регистр 1204 старшего банка. Сдвиговый регистр 1202 младшего банка инициализируется управляющим импульсом в
 35 управляющем сигнале CSYNC, существенно совпадающим по времени с синхронизирующим импульсом в синхронизирующем сигнале BT1, и сдвиговый регистр 1204 старшего банка инициализируется управляющим импульсом в управляющем сигнале CSYNC, существенно совпадающим по времени с синхронизирующим импульсом в
 40 синхронизирующем сигнале BT3. Управляющие импульсы в управляющем сигнале CSYNC, обеспечиваемые в течение синхронизирующих импульсов в синхронизирующих сигналах BT1, BT3 и BT5, управляют работой генератора 1200 адреса выбора банка.

В одном варианте воплощения два генератора 1200 адреса выбора банка используются
 45 в матрице 40 печатающей головки. Один из двух генераторов 1200 адреса выбора банка обеспечивает сигналы адреса на нагревательные группы 1-3, и другой генератор 1200 адреса выбора банка обеспечивает сигналы адреса на нагревательные группы 4-6. Управляющие импульсы в управляющем сигнале CSYNC сдвигаются тремя
 50 синхронизирующими импульсами для того, чтобы они совпадали по времени с синхронизирующими импульсами в синхронизирующих сигналах BT2, BT4 и BT6 для управления вторым генератором 1200 адреса выбора банка.

На фиг.19 представлен вариант воплощения двух генераторов 1700 и 1702 адреса
 55 выбора банка и шести нагревательных групп 1704a-1704f в матрице 40 печатающей головки. Генераторы 1700 и 1702 адреса выбора банка являются одним вариантом воплощения схемы управления в матрице 40 печатающей головки. Каждый из генераторов 1700 и 1702 адреса выбора банка аналогичен генератору 1200 адреса выбора банка, и
 60 нагревательные группы 1704a-1704f аналогичны нагревательным группам 202a-202f, проиллюстрированным на фиг.7.

Генератор 1700 адреса выбора банка электрически соединен с нагревательными
 65 группами 1704a-1704c через шины 1712 адреса. Шины 1712 адреса подают сигналы ~A1, ~A2... ~A8 адреса от генератора 1700 адреса выбора банка на нагревательные ячейки 120 в каждой из нагревательных групп 1704a-1704c. Кроме того,

генератор 1700 адреса выбора банка электрически соединен с шиной 1710 управления. Шина 1710 управления принимает управляющий сигнал CSYNC и обеспечивает управляющий сигнал CSYNC на генератор 1700 адреса выбора банка. Кроме того, генератор 1700 адреса выбора банка электрически соединен с шинами 1708a-1708f выбора. Шины 1708a-1708f выбора принимают сигналы SEL1, SEL2... SEL6 выбора и обеспечивают сигналы SEL1, SEL2... SEL6 выбора на генератор 1700 адреса выбора банка, а также на соответствующие нагревательные группы 1704a-1704f.

Шина 1708a выбора подает сигнал SEL1 выбора на генератор 1700 адреса выбора банка как синхронизирующий сигнал BT1. Шина 1708b выбора подает сигнал SEL2 выбора на генератор 1700 адреса выбора банка как синхронизирующий сигнал BT2. Шина 1708c выбора подает сигнал SEL3 выбора на генератор 1700 адреса выбора банка как синхронизирующий сигнал BT3. Шина 1708d выбора подает сигнал SEL4 выбора на генератор 1700 адреса выбора банка как синхронизирующий сигнал BT4. Шина 1708e выбора подает сигнал SEL5 выбора на генератор 1700 адреса выбора банка как синхронизирующий сигнал BT5, и шина 1708f выбора подает сигнал SEL6 выбора на генератор 1700 адреса выбора банка как синхронизирующий сигнал BT6.

Генератор 1702 адреса выбора банка электрически соединен с нагревательными группами 1704d-1704f через шину 1716 адреса. Шина 1716 адреса подает сигналы ~B1, ~B2...~B8 адреса от генератора 1702 адреса выбора банка на нагревательные ячейки 120 в каждой из нагревательных групп 1704d-1704f. Кроме того, генератор 1702 адреса выбора банка электрически соединен с шиной 1710 управления, которая принимает управляющий сигнал CSYNC и подает управляющий сигнал CSYNC на генератор 1702 адреса выбора банка. Кроме того, генератор 1702 адреса выбора банка электрически соединен с шинами 1708a-1708f выбора. Шины 1708a-1708f выбора подают сигналы SEL1, SEL2... SEL6 выбора на генератор 1702 адреса выбора банка, а также на соответствующие нагревательные группы 1704a-1704f.

Шина 1708a выбора подает сигнал SEL1 выбора на генератор 1702 адреса выбора банка как синхронизирующий сигнал BT4. Шина 1708b выбора подает сигнал SEL2 выбора на генератор 1702 адреса выбора банка как синхронизирующий сигнал BT5. Шина 1708c выбора подает сигнал SEL3 выбора на генератор 1702 адреса выбора банка как синхронизирующий сигнал BT6. Шина 1708d выбора подает сигнал SEL4 выбора на генератор 1702 адреса выбора банка как синхронизирующий сигнал BT1. Шина 1708e выбора подает сигнал SEL5 выбора на генератор 1702 адреса выбора банка как синхронизирующий сигнал BT2, и шина 1708f выбора подает сигнал SEL6 выбора на генератор 1702 адреса выбора банка как синхронизирующий сигнал BT3.

Во время работы нагревательная группа один (FG1) 1704a принимает сигналы ~A1, ~A2... ~A8 адреса и импульс в сигнале SEL1 выбора для разрешения активации нагревательных ячеек 120 сигналом FIRE1 зажигания. Нагревательная группа два (FG2) 1704b принимает сигналы ~A1, ~A2... ~A8 адреса и импульс в сигнале выбора SEL2 для разрешения активации нагревательных ячеек 120 сигналом FIRE2 зажигания. Нагревательная группа три (FG3) 1704c принимает сигналы ~A1, ~A2... ~A8 адреса и импульс в сигнале SEL3 выбора для разрешения активации нагревательных ячеек 120 сигналом FIRE3 зажигания.

Нагревательная группа четыре (FG4) 1704d принимает сигналы ~B1, ~B2... ~B8 адреса и импульс в сигнале выбора SEL4 для разрешения активации нагревательных ячеек 120 сигналом FIRE4 зажигания. Нагревательная группа пять (FG5) 1704e принимает сигналы ~B1, ~B2... ~B8 адреса и импульс в сигнале SEL5 выбора для разрешения активации нагревательных ячеек 120 сигналом FIRE5 зажигания. Нагревательная группа шесть (FG6) 1704f принимает сигналы ~B1, ~B2... ~B8 адреса и импульс в сигнале SEL6 выбора для разрешения активации нагревательных ячеек 120 сигналом FIRE6 зажигания.

Каждый из генераторов 1700 и 1702 адреса выбора банка может быть независимо инициализирован для получения адресов 1-13 младшего банка или адресов 14-26 старшего банка в прямом направлении или обратном направлении. Генератор 1700 адреса выбора

банка может быть инициализирован для получения адресов 1-13 младшего банка или адресов 14-26 старшего банка либо в прямом направлении либо в обратном направлении без инициализации генератора 1702 адреса выбора банка, и генератор 1702 адреса выбора банка может быть инициализирован для получения адресов 1-13 младшего банка или
 5 адресов 14-26 старшего банка либо в прямом направлении, либо в обратном направлении без инициализации генератора 1700 адреса выбора банка. Кроме того, генератор 1700 адреса выбора банка может быть инициализирован для получения адресов 1-13 младшего банка или адресов 14-26 старшего банка либо в прямом направлении, либо в обратном направлении, в то время как генератор 1702 адреса выбора банка инициализирован для
 10 получения адресов 1-13 младшего банка или адресов 14-26 старшего банка либо в прямом направлении, либо в обратном направлении.

Допустимые сигналы ~A1, ~A2... ~A8 адреса используются для разрешения активации нагревательных ячеек 120 младшего банка в нагревательных группах FG1, FG2 и FG3 1704a-1704c. Допустимые сигналы ~B1, ~B2... ~B8 адреса используются для разрешения
 15 активации нагревательных ячеек 120 младшего банка в нагревательных группах FG4, FG5 и FG6 1704d-1704f.

В одном варианте воплощения нагревательные ячейки младшего или старшего банка являются теми нагревательными ячейками, которые соединены с одной и той же подгруппой шин выбора. В других вариантах воплощения нагревательные ячейки младшего
 20 или старшего банка находятся физически рядом друг с другом. В дальнейших вариантах воплощения схема младшего банка в генераторе 1700 адреса выбора банка электрически соединена с другими нагревательными ячейками по сравнению со схемой старшего банка в генераторе 1700 адреса выбора банка 1700, это размещение может также использоваться в отношении генератора 1702 адреса выбора банка.

В некоторых вариантах воплощения генераторы 1700 и 1702 адреса выбора банка включают в себя сдвиговый регистр младшего банка и логическую схему младшего банка, и сдвиговый регистр старшего банка и логическую схему старшего банка, и схему
 25 направления, которые размещены рядом друг с другом. В других вариантах воплощения каждый из генераторов 1700 и 1702 адреса выбора банка разделен на две части, первая часть включает в себя сдвиговый регистр младшего банка, логическую схему младшего
 30 банка и схему направления, и сдвиговый регистр старшего банка второй части, логическую схему старшего банка, и схему направления, где первая часть и вторая часть не должны быть расположены рядом друг с другом, но электрически соединены друг с другом.

На фиг.20 представлена временная диаграмма, иллюстрирующая операцию прямого направления и операцию обратного направления генераторов 1700 и 1702 адреса выбора
 35 банка в матрице 40 печатающей головки. Управляющий сигнал для сдвига в прямом направлении является сигналом CSYNC (FWD) 1824, и управляющий сигнал для сдвига в обратном направлении является сигналом CSYNC (REV) 1826. Сигналы ~A1 - ~A8 1828
 40 адреса представляют собой адреса, формируемые генератором 1700 адреса выбора банка, и включают в себя адресные ссылки операции прямого и обратного направления. Сигналы ~B1 - ~B8 1830 адреса формируются генератором 1702 адреса выбора банка и включают в себя адресные ссылки операции прямого или обратного направления.

Сигналы SEL1, SEL2... SEL6 выбора обеспечивают последовательность из шести
 45 импульсов в повторяющейся последовательности из шести импульсов. Каждый из сигналов SEL1, SEL2... SEL6 выбора обеспечивает один импульс в последовательности из шести импульсов. В одной последовательности из шести импульсов сигнал SEL1 1800 выбора содержит синхронизирующий импульс 1802, сигнал SEL2 1804 выбора содержит синхронизирующий импульс 1806, сигнал SEL3 1808 выбора содержит синхронизирующий
 50 импульс 1810, сигнал SEL4 1812 выбора содержит синхронизирующий импульс 1814, сигнал SEL5 1816 выбора содержит синхронизирующий импульс 1818 и сигнал SEL6 1820 выбора содержит синхронизирующий импульс 1822.

В операции прямого направления управляющий сигнал CSYNC (FWD) 1824

обеспечивает управляющий импульс 1832, существенно совпадающий по времени с синхронизирующим импульсом 1806 в сигнале SEL2 1804 выбора. Управляющий импульс 1832 генератора адреса предназначен для выбора банка наборов 1702 для того, чтобы сдвигаться в прямом направлении. Кроме того, управляющий сигнал CSYNC (FWD) 1824

5 обеспечивает управляющий импульс 1834, существенно совпадающий по времени с синхронизирующим импульсом 1818 в сигнале выбора SEL5 1816. Управляющий импульс 1834 настраивает генератор 1700 адреса выбора банка для сдвига в прямом направлении.

В следующей последовательности из шести импульсов сигнал SEL1 1800 выбора содержит синхронизирующий импульс 1836, сигнал SEL2 1804 выбора содержит

10 синхронизирующий импульс 1838, сигнал SEL3 1808 выбора содержит синхронизирующий импульс 1840, сигнал SEL4 1812 выбора содержит синхронизирующий импульс 1842, сигнал SEL5 1816 выбора содержит синхронизирующий импульс 1844 и сигнал SEL6 1820 выбора содержит синхронизирующий импульс 1846.

Управляющий сигнал CSYNC (FWD) 1824 обеспечивает управляющий импульс 1848, совпадающий по времени с синхронизирующим импульсом 1838, для продолжения

15 настройки генератора 1702 адреса выбора банка для сдвига в прямом направлении, и управляющий импульс 1850, существенно совпадающий по времени с синхронизирующим импульсом 1844 для продолжения настройки генератора 1700 адреса выбора банка для того сдвига в прямом направлении. Кроме того, управляющий сигнал CSYNC (FWD) 1824

20 обеспечивает управляющий импульс 1852, существенно совпадающий по времени с синхронизирующим импульсом 1836 в сигнале SEL1 1800 выбора. Управляющий импульс 1852 инициализирует сдвиговый регистр младшего банка в генераторе 1700 адреса выбора банка для формирования 1-13 адресов в сигналах ~A1 - ~A8 1828 адреса. Кроме того, управляющий сигнал CSYNC (FWD) 1824 обеспечивает управляющий импульс 1854,

25 существенно совпадающий по времени с синхронизирующим импульсом 1842 в сигнале SEL4 1812 выбора. Управляющий импульс 1854 инициализирует сдвиговый регистр младшего банка в генераторе 1702 адреса выбора банка для формирования адресов 1-13 в сигналах ~B1 - ~B8 1830 адреса.

В следующей, или третьей, последовательности из шести импульсов сигнал SEL1 1800

30 выбора содержит синхронизирующий импульс 1856, сигнал SEL2 1804 выбора содержит синхронизирующий импульс 1858, сигнал SEL3 1808 выбора содержит синхронизирующий импульс 1860, сигнал SEL4 1812 выбора содержит синхронизирующий импульс 1862, сигнал SEL5 1816 выбора содержит синхронизирующий импульс 1864 и сигнал SEL6 1820 выбора содержит синхронизирующий импульс 1866.

Управляющий сигнал CSYNC (FWD) 1824 обеспечивает управляющий импульс 1868, существенно совпадающий по времени с синхронизирующим импульсом 1858, для

35 продолжения настройки генератора адреса 1702 выбора банка для сдвига в прямом направлении и управляющий импульс 1870, существенно совпадающий по времени с синхронизирующим импульсом 1864 для продолжения настройки генератора 1700 адреса

40 выбора банка для сдвига в прямом направлении.

Генератор 1700 адреса выбора банка обеспечивает адрес 1 1872 младшего банка в сигналах ~A1 - ~A8 1828 адреса. Адрес 1 1872 младшего банка становится допустимым в течение синхронизирующего импульса 1846 в сигнале SEL6 1820 выбора и остается

45 допустимым до синхронизирующего импульса 1862 в сигнале SEL4 1812 выбора. Адрес 1 1872 младшего банка является допустимым в течение синхронизирующих импульсов 1856, 1858 и 1860 в сигналах SEL1 1800, SEL2 1804 и SEL3 1808 выбора.

Генератор 1702 адреса выбора банка обеспечивает адрес 1 1874 младшего банка в сигналах ~B1 - ~B8 1830 адреса. Адрес 1 1874 младшего банка становится допустимым в течение синхронизирующего импульса 1860 в сигнале SEL3 1808 выбора и остается

50 допустимым до синхронизирующего импульса 1876 в сигнале SEL1 1800 выбора. Адрес 1 1874 младшего банка является допустимым в течение синхронизирующих импульсов 1862, 1864 и 1866 в сигналах SEL4 1812, SEL5 1816 и SEL6 1820 выбора.

Сигналы ~A1 - ~A8 1828 и ~B1 - ~B8 1830 адреса обеспечивают один и тот же адрес,

адрес 1 1872 и 1874 младшего банка. Адрес 1 младшего банка подается в течение последовательности из шести синхронизирующих импульсов, начинающейся с синхронизирующего импульса 1856 и заканчивающейся синхронизирующим импульсом 1866, которая является интервалом времени адреса для адреса 1 младшего банка. В

5 течение следующей последовательности из шести импульсов, начинающейся с синхронизирующего импульса 1876, сигналы ~A1 - ~A8 1828 адреса обеспечивают адрес 2 младшего банка 2 1878, и сигналы ~B1 - ~B8 1830 адреса обеспечивают адрес 2 младшего банка. Генераторы 1700 и 1702 адреса выбора банка продолжают делать сдвиг для получения адресов 1-13 младшего банка от адреса 1 младшего банка до адреса 13
10 младшего банка в прямом направлении. Когда обеспечен адрес 13 младшего банка, генератор 1700 адреса выбора банка и/или генератор 1702 адреса выбора банка может быть инициализирован для получения адресов 1-13 младшего банка или адресов 14-26 старшего банка в прямом или обратном направлении.

В этом примере, когда обеспечивается адрес 13 1880 младшего банка в
15 сигналах ~A1 - ~A8 1828 адреса и обеспечивается адрес 13 1882 младшего банка в сигналах ~B1 - ~B8 1830 адреса, сигнал SEL1 1800 выбора содержит синхронизирующий импульс 1884, сигнал SEL2 1804 выбора содержит синхронизирующий импульс 1886, сигнал SEL3 1808 выбора содержит синхронизирующий импульс 1888, сигнал SEL4 1812 выбора содержит синхронизирующий импульс 1890, сигнал SEL5 1816 выбора содержит
20 синхронизирующий импульс 1892 и сигнал SEL6 1820 выбора содержит синхронизирующий импульс 1894.

Управляющий сигнал CSYNC (FWD) 1824 обеспечивает управляющий импульс 1896, существенно совпадающий по времени с синхронизирующим импульсом 1886, для продолжения установки генератора 1702 адреса выбора банка для сдвига в прямом
25 направлении и управляющий импульс 1898, существенно совпадающий по времени с синхронизирующим импульсом 1892, для продолжения установки генератора 1700 адреса выбора банка для сдвига в прямом направлении. Кроме того, управляющий сигнал CSYNC (FWD) 1824 обеспечивает управляющий импульс 1900, существенно совпадающий по времени с синхронизирующим импульсом 1888 в сигнале SEL3 1808 выбора. Управляющий
30 импульс 1900 инициализирует сдвиговый регистр старшего банка в генераторе 1700 адреса выбора банка для формирования адресов 14-26 старшего банка в сигналах ~A1 - ~A8 1828 адреса. Кроме того, управляющий сигнал CSYNC (FWD) 1824 обеспечивает управляющий импульс 1902, существенно совпадающий по времени с синхронизирующим импульсом 1894 в сигнале SEL6 1820 выбора. Управляющий импульс 1902 инициализирует сдвиговый
35 регистр старшего банка в генераторе 1702 адреса выбора банка для формирования адресов 14-26 старшего банка в сигналах ~B1 - ~B8 1830 адреса.

В следующей последовательности из шести импульсов сигнал SEL1 1800 выбора содержит синхронизирующий импульс 1904, сигнал SEL2 1804 выбора содержит синхронизирующий импульс 1906, сигнал SEL3 1808 выбора содержит синхронизирующий
40 импульс 1908, сигнал SEL4 1812 выбора содержит синхронизирующий импульс 1910, сигнал SEL5 1816 выбора содержит синхронизирующий импульс 1912 и сигнал SEL6 1820 выбора содержит синхронизирующий импульс 1914.

Управляющий сигнал CSYNC (FWD) 1824 обеспечивает управляющий импульс 1916, существенно совпадающий по времени с синхронизирующим импульсом 1906, для
45 продолжения установки генератора 1702 адреса выбора банка для сдвига в прямом направлении и управляющий импульс 1918, существенно совпадающий по времени с синхронизирующим импульсом 1912, для продолжения установки генератора 1700 адреса выбора банка для сдвига в прямом направлении.

Генератор 1700 адреса выбора банка обеспечивает адрес 14 1920 старшего банка в
50 сигналах ~A1 - ~A8 1828 адреса. Адрес 14 1920 старшего банка становится допустимым в течение синхронизирующего импульса 1894 в сигнале SEL6 1820 выбора и остается допустимым до синхронизирующего импульса 1910 в сигнале SEL4 1812 выбора. Адрес 14 1920 старшего банка является допустимым в течение синхронизирующих импульсов 1904,

1906 и 1908 в сигналах SEL1 1800, SEL2 1804 и SEL3 1808 выбора.

Генератор 1702 адреса выбора банка обеспечивает адрес 14 старшего банка в сигналах ~B1 - ~B8 1830 адреса. Адрес 14 1922 старшего банка становится допустимым в течение синхронизирующего импульса 1908 в сигнале SEL3 1808 выбора и остается допустимым до синхронизирующего импульса 1924 в сигнале SEL1 1800 выбора. Адрес 14 1922 старшего банка является допустимым в течение синхронизирующих импульсов 1910, 1912 и 1914 в сигналах SEL4 1812, SEL5 1816 и SEL6 1820 выбора.

Сигналы ~A1 - ~A8 1828 и ~B1 - ~B8 1830 адреса обеспечивают один и тот же адрес, адрес 14 1920 и 1922 старшего банка. Адрес 14 старшего банка обеспечивается в течение последовательности из шести синхронизирующих импульсов, начинающейся с синхронизирующего импульса 1904 и заканчивающейся синхронизирующим импульсом 1914, которая является интервалом времени адреса для адреса 14 старшего банка. В течение следующей последовательности из шести импульсов, начинающейся с синхронизирующего импульса 1924, сигналы ~A1 - ~A8 1828 адреса обеспечивают адрес старшего банка 15 1926, и сигналы ~B1 - ~B8 1830 адреса также получают адрес 15 старшего банка. Генераторы 1700 и 1702 адреса выбора банка продолжают делать сдвиг для обеспечения адресов 14-26 старшего банка от адреса 14 старшего банка до адреса 26 старшего банка 26 в прямом направлении.

В операции обратного направления в течение одной последовательности из шести импульсов в сигналах SEL1, SEL2... SEL6 выбора управляющий сигнал CSYNC (REV) 1826 обеспечивает низкий уровень напряжения в 1930, существенно совпадающий по времени с синхронизирующим импульсом 1806 в сигнале SEL2 1804 выбора, для настройки генератора 1702 адреса выбора банка для сдвига в обратном направлении. Кроме того, управляющий сигнал CSYNC (REV) 1826 обеспечивает низкий уровень напряжения в 1932, существенно совпадающий по времени с синхронизирующим импульсом 1818 в сигнале SEL5 1816 выбора, для настройки генератора 1700 адреса выбора банка для сдвига в обратном направлении.

В течение следующей последовательности из шести импульсов управляющий сигнал CSYNC (REV) 1826 обеспечивает низкий уровень напряжения в 1934, существенно совпадающий по времени с синхронизирующим импульсом 1838, для продолжения настройки генератора 1702 адреса выбора банка для сдвига в обратном направлении и низкий уровень напряжения в 1936, существенно совпадающий с синхронизирующим импульсом 1844, для продолжения настройки генератора 1700 адреса выбора банка для сдвига в обратном направлении. Кроме того, управляющий сигнал CSYNC (REV) 1826 обеспечивает управляющий импульс 1938, существенно совпадающий по времени с синхронизирующим импульсом 1836 в сигнале SEL1 1800 выбора. Управляющий импульс 1938 инициализирует сдвиговый регистр младшего банка в генераторе 1700 адреса выбора банка для формирования адресов 13-1 младшего банка в сигналах ~A1 - ~A8 1828 адреса. Кроме того, управляющий сигнал CSYNC (REV) 1826 обеспечивает управляющий импульс 1940, существенно совпадающий по времени с синхронизирующим импульсом 1842 в сигнале SEL4 1812 выбора. Управляющий импульс 1940 инициализирует сдвиговый регистр младшего банка в генераторе 1702 адреса выбора банка для формирования адресов 13-1 младшего банка в сигналах ~B1 - ~B8 в 1830 адреса.

В следующей, или третьей, последовательности из шести импульсов управляющий сигнал CSYNC (REV) 1826 обеспечивает низкий уровень напряжения в 1942, существенно совпадающий по времени с синхронизирующим импульсом 1858, для продолжения настройки генератора 1702 адреса выбора банка для сдвига в обратном направлении и управляющий импульс 1944, существенно совпадающий по времени с синхронизирующим импульсом 1864, для продолжения настройки генератора 1700 адреса выбора банка для сдвига в обратном направлении.

Генератор 1700 адреса выбора банка обеспечивает адрес 13 1872 младшего банка в сигналах ~A1 - ~A8 1828 адреса. Адрес 13 1872 младшего банка становится допустимым в течение синхронизирующего импульса 1846 в сигнале SEL6 1820 выбора и остается

допустимым до синхронизирующего импульса 1862 в сигнале SEL4 1812 выбора. Адрес 13 1872 младшего банка является допустимым в течение синхронизирующих импульсов 1856, 1858 и 1860 в сигналах выбора SEL1 1800, SEL2 1804 и SEL3 1808.

5 Генератор 1702 адреса выбора банка обеспечивает адрес 13 1874 младшего банка в сигналах ~B1 - ~B8 1830 адреса. Адрес 13 1874 младшего банка становится допустимым в течение синхронизирующего импульса 1860 в сигнале SEL3 1808 выбора и остается допустимым до синхронизирующего импульса 1876 в сигнале SEL1 1800 выбора. Адрес 13 1874 младшего банка является допустимым в течение синхронизирующих импульсов 1862, 1864 и 1866 в сигналах SEL4 1812, SEL5 1816 и SEL6 1820 выбора.

10 Сигналы ~A1 - ~A8 1828 и ~B1 - ~B8 1830 адреса обеспечивают один и тот же адрес, адрес 13 1872 и 1874 младшего банка. Адрес 13 младшего банка подается в течение последовательности из шести синхронизирующих импульсов, начинающейся с синхронизирующего импульса 1856 и заканчивающейся синхронизирующим импульсом 1866, которая является интервалом времени адреса для адреса 13 младшего банка. В
15 течение следующей последовательности из шести импульсов, начинающейся с синхронизирующего импульса 1876, сигналы ~A1 - ~A8 1828 адреса обеспечивают адрес 12 1878 младшего банка, и сигналы ~B1 - ~B8 1830 адреса также обеспечивают адрес 12 младшего банка. Генераторы 1700 и 1702 адреса выбора банка продолжают делать сдвиг для обеспечения адресов 1-13 младшего банка от адреса 13 младшего банка до адреса 1
20 младшего банка. Когда обеспечивается адрес 1 младшего банка, генератор 1700 адреса выбора банка и/или генератор 1702 адреса выбора банка может быть инициализирован для обеспечения адресов 1-13 младшего банка или адресов 14-26 старшего банка в прямом или обратном направлении.

В этом примере, когда обеспечивается адрес 1 младшего банка в сигналах ~A1 - ~A8
25 1828 и ~B1 - ~B8 1830 адреса, управляющий сигнал CSYNC (REV) 1826 обеспечивает низкий уровень напряжения в 1946, существенно совпадающий по времени с синхронизирующим импульсом 1886, для продолжения настройки генератора 1702 адреса выбора банка для сдвига в обратном направлении и низкий уровень напряжения в 1948, существенно совпадающий по времени с синхронизирующим импульсом 1892, для
30 продолжения настройки генератора адреса 1700 выбора банка для сдвига в обратном направлении. Кроме того, управляющий сигнал CSYNC (REV) 1826 обеспечивает управляющий импульс 1950, существенно совпадающий по времени с синхронизирующим импульсом 1888 в сигнале SEL3 1808 выбора. Управляющий импульс 1950 инициализирует сдвиговый регистр старшего банка в генераторе 1700 адреса выбора банка для
35 формирования адресов 26-14 в сигналах ~A1 - ~A8 1828 адреса. Кроме того, управляющий сигнал CSYNC (REV) 1826 обеспечивает управляющий импульс 1952, существенно совпадающий по времени с синхронизирующим импульсом 1894 в сигнале SEL6 1820 выбора. Управляющий импульс 1952 инициализирует сдвиговый регистр старшего банка в генераторе 1702 адреса выбора банка для формирования адреса 26-14 в
40 сигналах ~B1 - ~B8 1830 адреса.

В следующей последовательности из шести импульсов управляющий сигнал CSYNC (REV) 1826 обеспечивает низкий уровень напряжения в 1954, существенно совпадающий по времени с синхронизирующим импульсом 1906, для продолжения настройки генератора 1702 адреса выбора банка для сдвига в обратном направлении и управляющий импульс
45 1956, который находится на низком уровне, существенно совпадает по времени с синхронизирующим импульсом 1912 для продолжения настройки генератора 1700 адреса выбора банка для сдвига в обратном направлении.

Генератор 1700 адреса выбора банка обеспечивает адрес 26 1920 старшего банка в сигналах ~A1 - ~A8 1828 адреса. Адрес 26 1920 старшего банка становится допустимым в
50 течение синхронизирующего импульса 1894 в сигнале SEL6 1820 выбора и остается допустимым до синхронизирующего импульса 1910 в сигнале SEL4 1812 выбора. Адрес 26 1920 старшего банка является допустимым в течение синхронизирующих импульсов 1904, 1906 и 1908 в сигналах SEL1 1800, SEL2 1804 и SEL3 1808 выбора.

Генератор 1702 адреса выбора банка обеспечивает адрес 26 1922 старшего банка в сигналах ~B1 - ~B8 1830 адреса. Адрес 26 1922 старшего банка становится допустимым в течение синхронизирующего импульса 1908 в сигнале SEL3 1808 выбора и остается допустимым до синхронизирующего импульса 1924 в сигнале SEL1 1800 выбора. Адрес 26 1922 старшего банка является допустимым в течение синхронизирующих импульсов 1910, 1912 и 1914 в сигналах SEL4 1812, SEL5 1816 и SEL6 1820 выбора.

Сигналы ~A1 - ~A8 1828 и ~B1 - ~B8 1830 адреса обеспечивают один и тот же адрес, адрес 26 1920 и 1922 старшего банка. Адрес 16 старшего банка подается в течение последовательности из шести синхронизирующих импульсов, начинающейся с синхронизирующего импульса 1904 и заканчивающейся синхронизирующим импульсом 1914, которая является интервалом времени адреса для адреса 26 старшего банка. В течение следующей последовательности из шести импульсов, начинающейся с синхронизирующего импульса 1924, сигналы ~A1 - ~A8 1828 адреса обеспечивают адрес 25 1926 старшего банка, и сигналы ~B1 - ~B8 1830 адреса также обеспечивают адрес 25 1926 старшего банка. Генераторы 1700 и 1702 адреса выбора банка продолжают делать сдвиг для обеспечения адресов 14-26 старшего банка от адреса 26 старшего банка до адреса 14 старшего банка.

Хотя здесь были проиллюстрированы и описаны заданные варианты воплощения, специалисты в области техники поймут, что множество дополнительных и/или эквивалентных реализаций могут быть использованы вместо заданных вариантов воплощения, которые показаны и описаны, без отступления от объема настоящего изобретения. Эта заявка предназначена для охвата любой адаптации или разновидности заданных вариантов воплощения, обсуждаемых здесь. Поэтому подразумевается, что это изобретение ограничено только формулой изобретения и ее эквивалентами.

Формула изобретения

1. Устройство для эжекции флюида, содержащее нагревательные ячейки, включающие в себя первый банк нагревательных ячеек и второй банк нагревательных ячеек,

первый генератор адреса, предназначенный для формирования сигнала в ответ на управляющий сигнал для выборочного обеспечения первой последовательности первых сигналов адреса, предназначенных для активации первого банка нагревательных ячеек, и для формирования второй последовательности вторых сигналов адреса, предназначенных для активации второго банка нагревательных ячеек, при этом вторая последовательность сигналов адреса выборочно подается независимо от первой последовательности сигналов адреса,

при этом управляющие сигналы содержат управляющие импульсы и последовательность синхронизирующих импульсов, при этом первый генератор адреса предназначен для инициализирования первой последовательности и инициализирования второй последовательности в ответ на прием управляющих импульсов, существенно совпадающих по времени с синхронизирующими импульсами в последовательности синхронизирующих импульсов.

2. Устройство по п.1, отличающееся тем, что управляющие сигналы содержат последовательность синхронизирующих импульсов, при этом первый генератор адреса предназначен для формирования сигнала в ответ на последовательность синхронизирующих импульсов для подачи первых сигналов адреса и вторых сигналов адреса.

3. Устройство по п.1, отличающееся тем, что первый генератор адреса предназначен для инициализирования первой последовательности в ответ на прием первого управляющего импульса в управляющих импульсах, существенно совпадающего с первым синхронизирующим импульсом в последовательности синхронизирующих импульсов.

4. Устройство по п.1, отличающееся тем, что первый генератор адреса предназначен для инициализирования второй последовательности в ответ на прием второго

управляющего импульса в управляющих импульсах, существенно совпадающего со вторым синхронизирующим импульсом в последовательности синхронизирующих импульсов.

5. Устройство по п.1, отличающееся тем, что первый генератор адреса дополнительно содержит

- 5 схему направления, предназначенную для установки первого сигнала направления в ответ на прием третьего управляющего импульса в управляющих импульсах, существенно совпадающего с третьим синхронизирующим импульсом в последовательности синхронизирующих импульсов.

- 10 6. Устройство по п.1, отличающееся тем, что нагревательные ячейки содержат третий банк нагревательных ячеек и четвертый банк нагревательных ячеек, при этом устройство дополнительно содержит

- 15 второй генератор адреса, предназначенный для формирования сигнала в ответ на управляющие сигналы для выборочного обеспечения третьей последовательности третьих сигналов адреса, предназначенных для активации третьего банка нагревательных ячеек, и для обеспечения четвертой последовательности четвертых сигналов адреса, предназначенных для активации четвертого банка нагревательных ячеек, причем третья последовательность сигналов адреса выборочно обеспечивается независимо от четвертой последовательности сигналов адреса.

- 20 7. Устройство для эжекции флюида, содержащее нагревательные ячейки, включающие в себя первую группу элементов эжекции флюида и вторую группу элементов эжекции флюида;

- генератор адреса, содержащий
первую схему, содержащую первый сдвиговый регистр для подачи первых выходных сигналов и предназначенную для приема первой группы синхронизирующих импульсов из
25 последовательности синхронизирующих импульсов и формирования первого набора сигналов адреса в ответ на синхронизирующие импульсы, причем первый набор сигналов адреса предназначен для активации первой группы элементов эжекции флюида; и
вторую схему, содержащую второй сдвиговый регистр для подачи вторых выходных сигналов и предназначенную для приема второй группы синхронизирующих импульсов из
30 последовательности синхронизирующих импульсов и формирования второго набора сигналов адреса в ответ на принятые синхронизирующие импульсы, причем второй набор сигналов адреса предназначен для активации второй группы элементов эжекции флюида.

8. Устройство по п.7, отличающееся тем, что первая схема содержит первую логическую схему, предназначенную для формирования первого набора сигналов адреса на основе
35 первых выходных сигналов, а вторая схема содержит вторую логическую схему для формирования второго набора сигналов адреса на основе вторых выходных сигналов.

9. Устройство по п.7, отличающееся тем, что генератор адреса содержит
схему направления, предназначенную для приема третьей группы синхронизирующих импульсов из последовательности синхронизирующих импульсов и подачи сигналов
40 направления в ответ на принятые синхронизирующие импульсы.

10. Устройство по п.9, отличающееся тем, что первый сдвиговый регистр и второй сдвиговый регистр предназначены для приема сигналов направления и сдвига в выбранном направлении на основе сигналов направления.

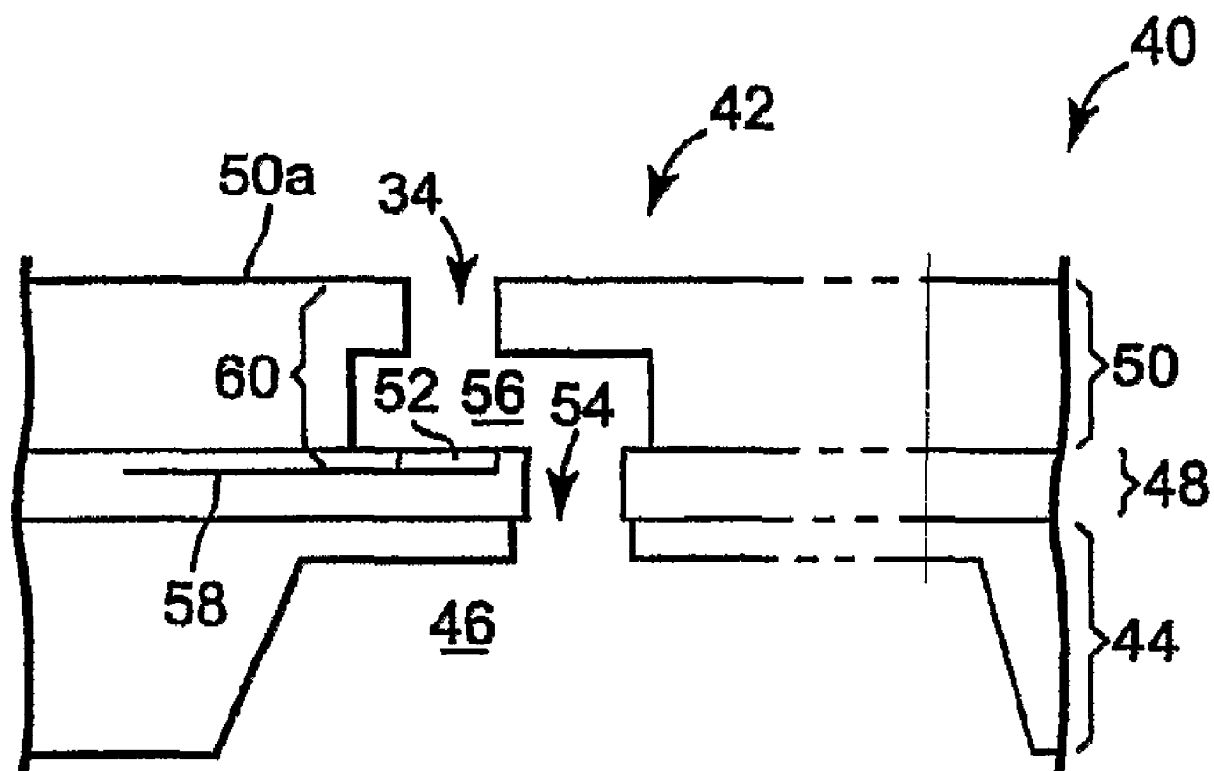
11. Устройство по п.7, отличающееся тем, что первая схема содержит
45 первую логическую схему, предназначенную для формирования первого набора сигналов адреса на основе первых выходных сигналов.

12. Устройство по п.7, отличающееся тем, что первая схема содержит первую логическую схему, предназначенную для формирования первого набора сигналов адреса в ответ на прием синхронизирующих импульсов.

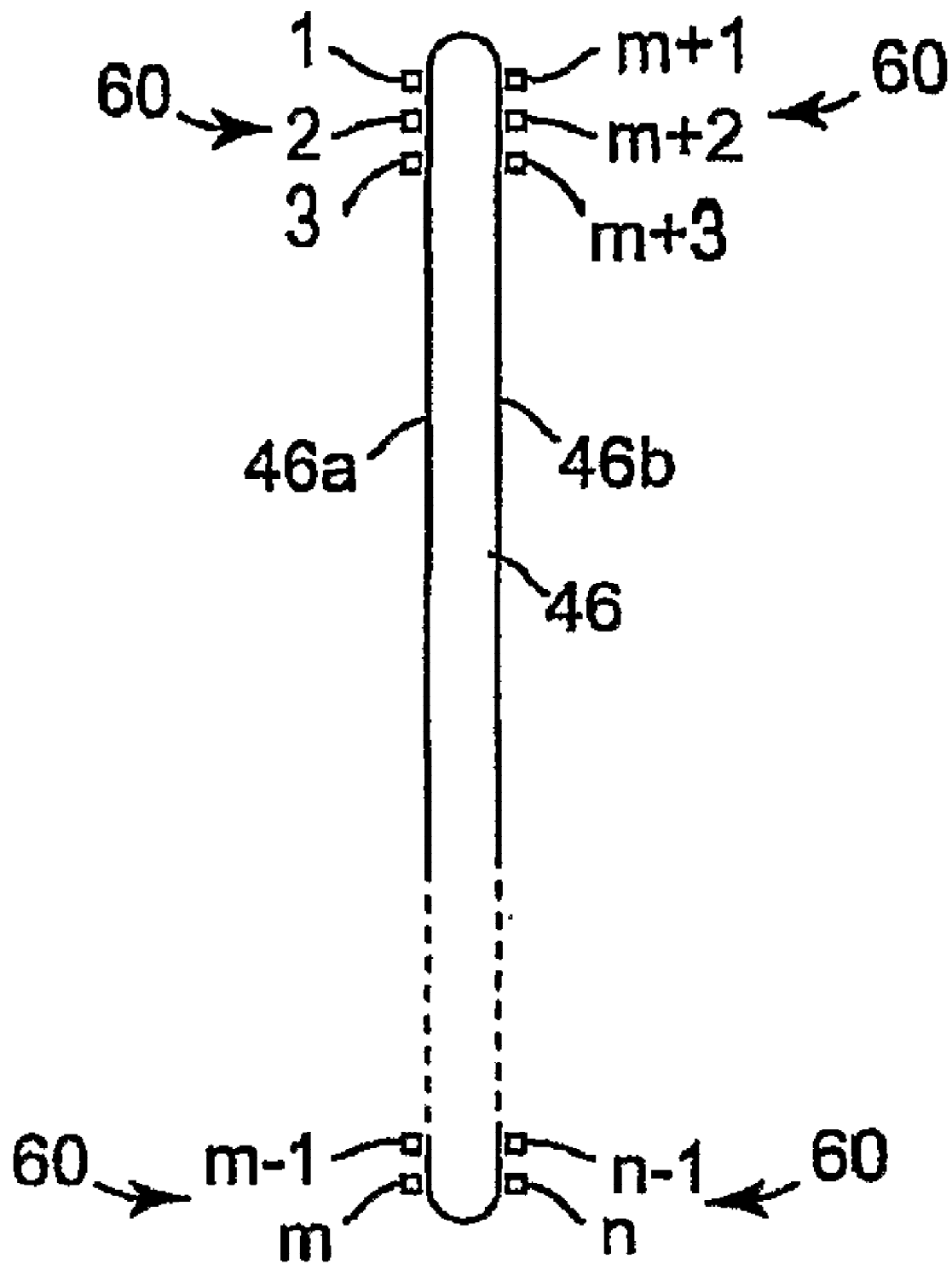
- 50 13. Устройство по п.7, отличающееся тем, что генератор адреса содержит схему направления, предназначенную для приема третьей группы синхронизирующих импульсов из последовательности синхронизирующих импульсов и подачи сигналов направления в ответ на принятые синхронизирующие импульсы.

14. Устройство по п.13, отличающееся тем, что первая схема и вторая схема предназначены для приема сигналов направления и подачи первого набора сигналов адреса и второго набора сигналов адреса в выбранных последовательностях на основе сигналов направления.

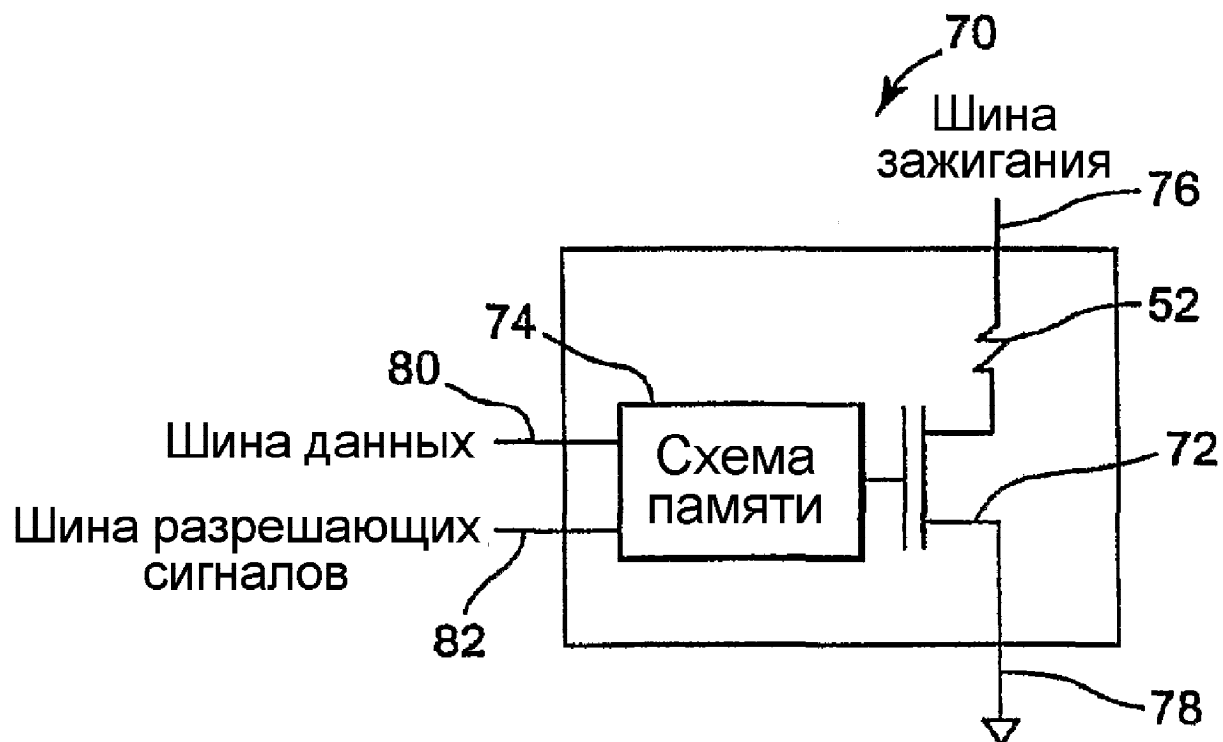
- 5 15. Способ эжекции флюида из устройства эжекции флюида, заключающийся в том, что принимают управляющие сигналы,
в ответ на управляющие сигналы выборочно подают первую последовательность первых сигналов адреса, предназначенных для активации первого банка нагревательных ячеек,
- 10 в ответ на управляющие сигналы выборочно подают вторую последовательность вторых сигналов адреса, предназначенных для активации второго банка нагревательных ячеек, при этом вторую последовательность сигналов адреса выборочно подают независимо от первой последовательности сигналов адреса,
при этом для выборочной подачи
- 15 принимают управляющие импульсы в одном из управляющих сигналов,
принимают последовательность синхронизирующих импульсов в управляющих сигналах, отвечают на управляющие импульсы, принятые существенно одновременно с синхронизирующими импульсами в последовательности синхронизирующих импульсов, для инициализации первой последовательности и инициализации второй
- 20 последовательности.
16. Способ по п.15, отличающийся тем, что при выборочной подаче отвечают на управляющие импульсы в одном из управляющих сигналов для инициализации первой последовательности и инициализации второй последовательности.
17. Способ по п.15, отличающийся тем, что при выборочной подаче
- 25 отвечают на последовательность синхронизирующих импульсов в управляющих сигналах для подачи первых сигналов адреса и вторых сигналов адреса.
18. Способ эжекции флюида из устройства эжекции флюида, заключающийся в том, что принимают управляющие сигналы,
в ответ на управляющие сигналы выборочно подают первую последовательность
- 30 первых сигналов адреса, предназначенных для активации первого банка нагревательных ячеек,
в ответ на управляющие сигналы выборочно подают вторую последовательность вторых сигналов адреса, предназначенных для активации второго банка нагревательных ячеек, при этом вторую последовательность сигналов адреса выборочно подают независимо от
- 35 первой последовательности сигналов адреса,
при этом для выборочной подачи принимают управляющие импульсы в одном из управляющих сигналов,
принимают последовательность синхронизирующих импульсов в управляющих сигналах,
- и
- 40 отвечают на первый управляющий импульс, принятый существенно одновременно с первым синхронизирующим импульсом в последовательности синхронизирующих импульсов, для инициализации первой последовательности.
19. Способ по п.18, отличающийся тем, что для выборочной подачи отвечают на второй управляющий импульс, принятый существенно одновременно со вторым
- 45 синхронизирующим импульсом в последовательности синхронизирующих импульсов, для инициализации второй последовательности.
20. Способ по п.19, отличающийся тем, что для выборочной подачи отвечают на третий управляющий импульс, принятый существенно одновременно с третьим синхронизирующим импульсом в последовательности синхронизирующих импульсов, для
- 50 установки сигнала направления.



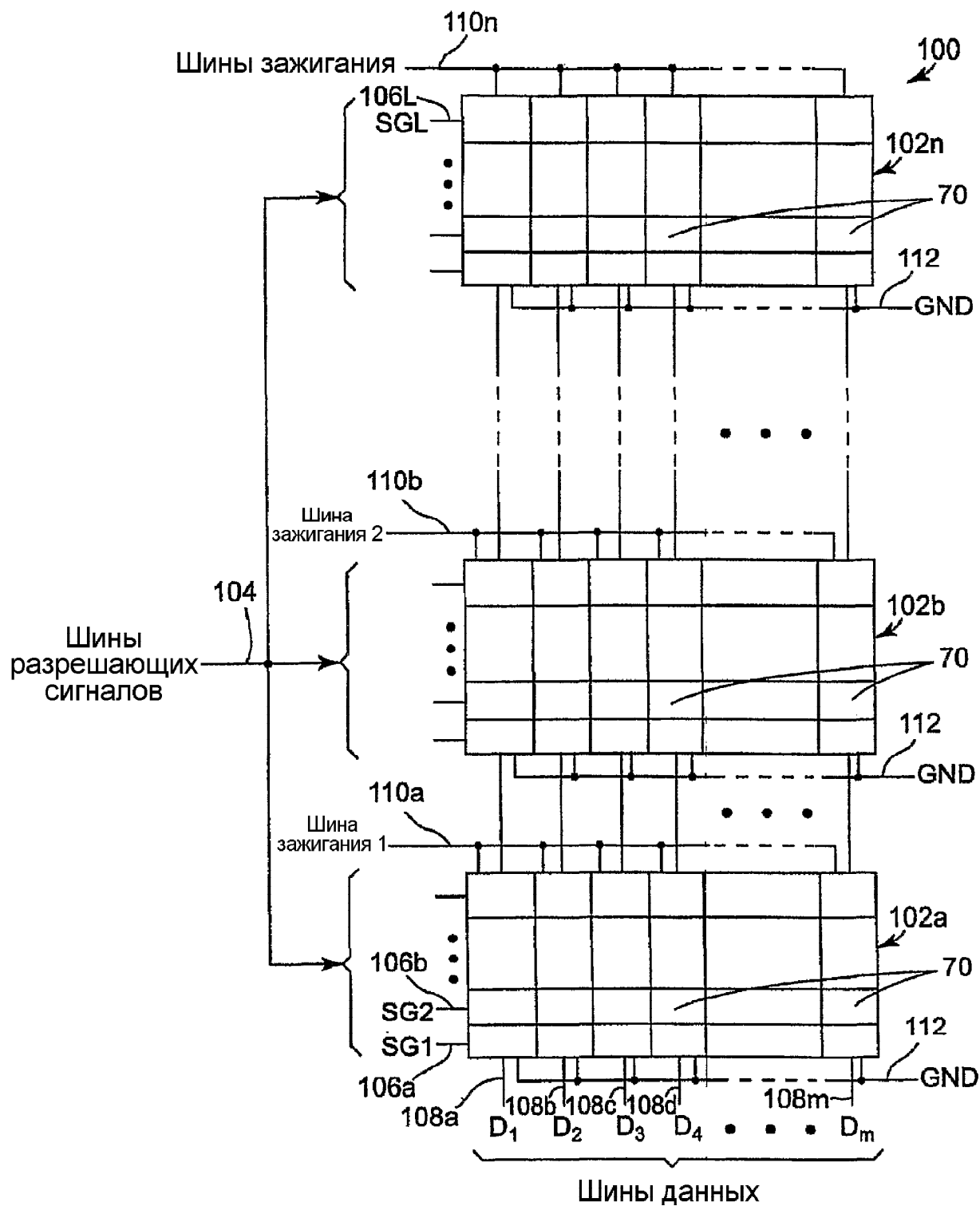
ФИГ. 2



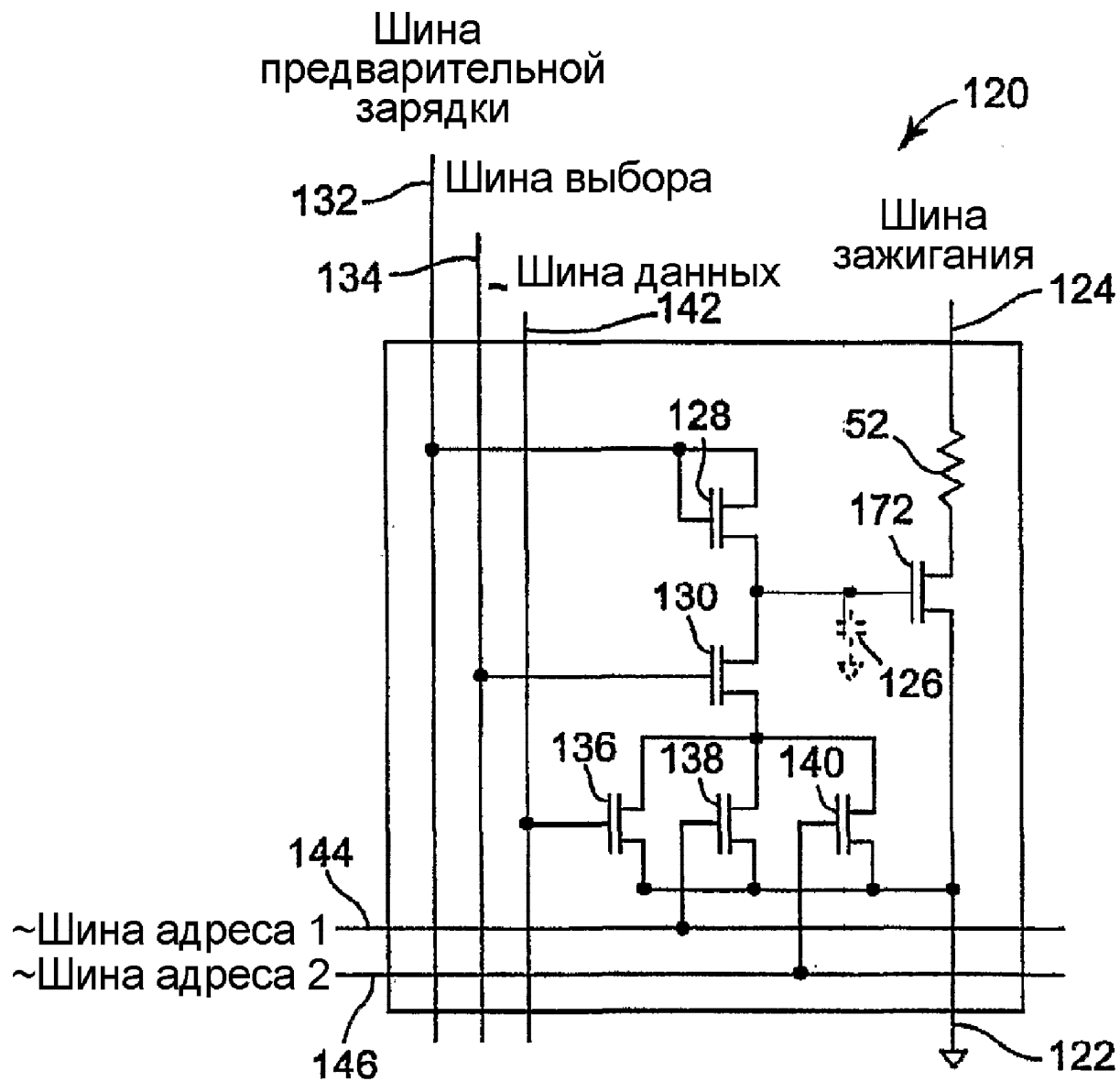
ФИГ. 3



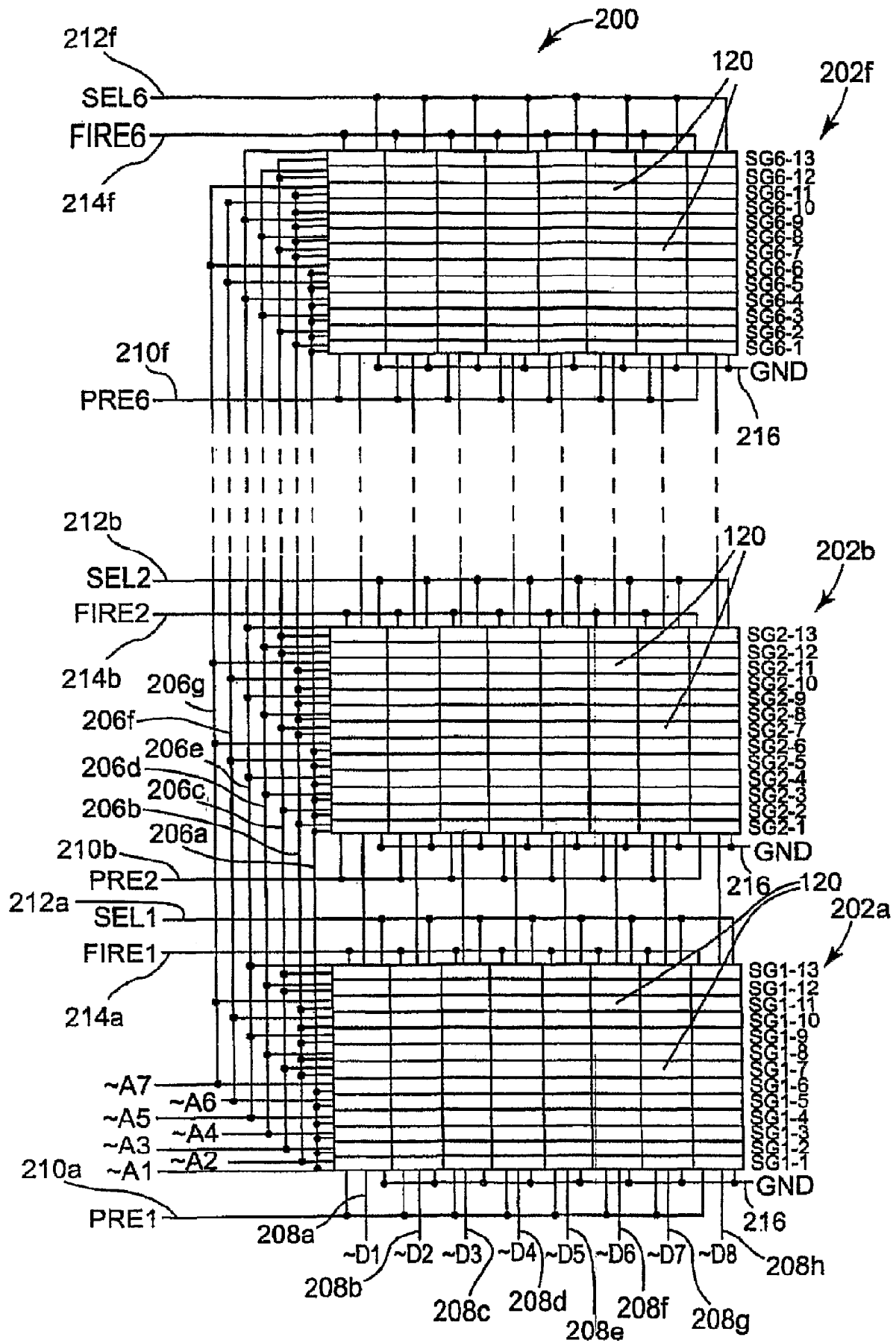
Фиг. 4



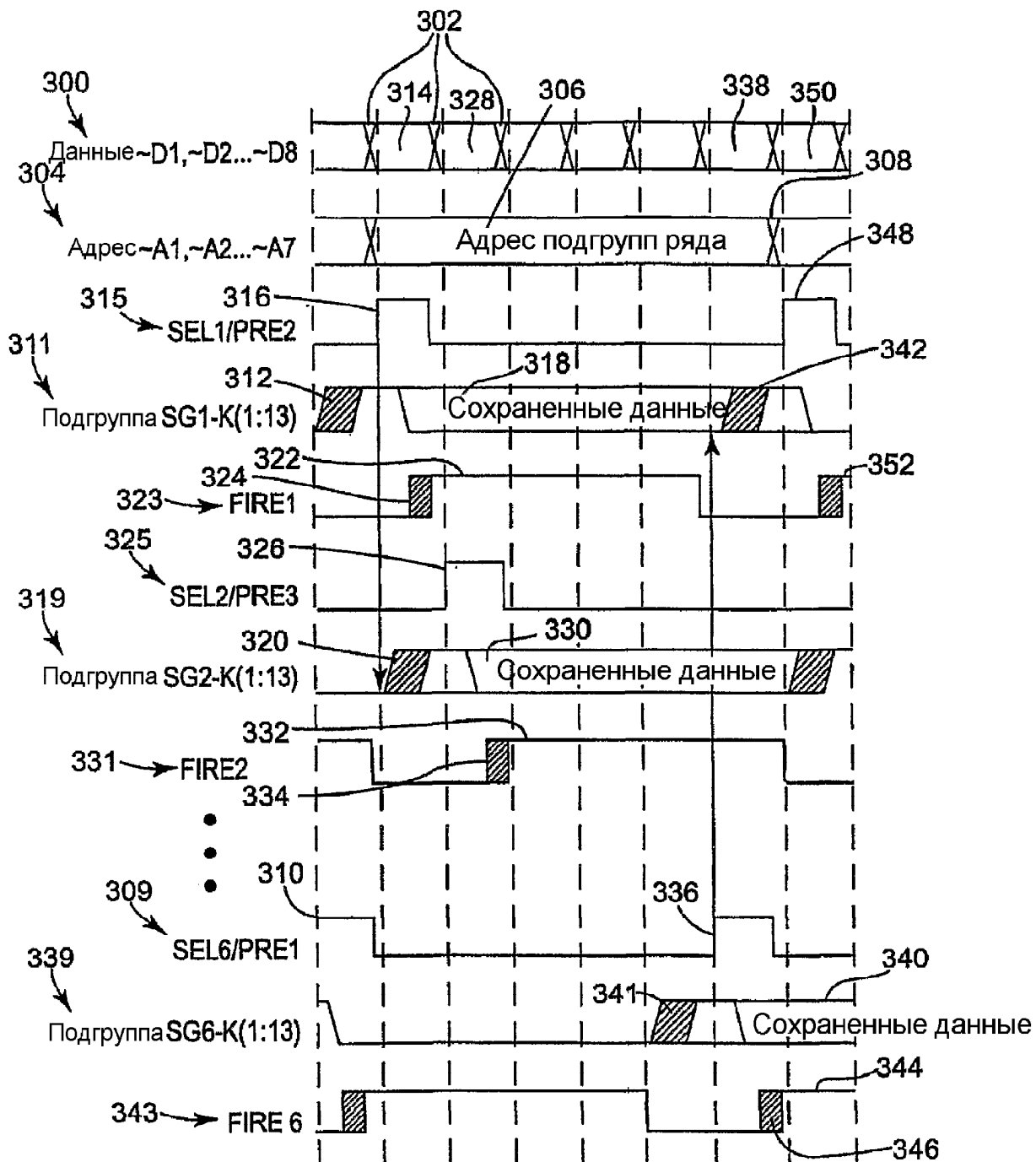
Фиг. 5



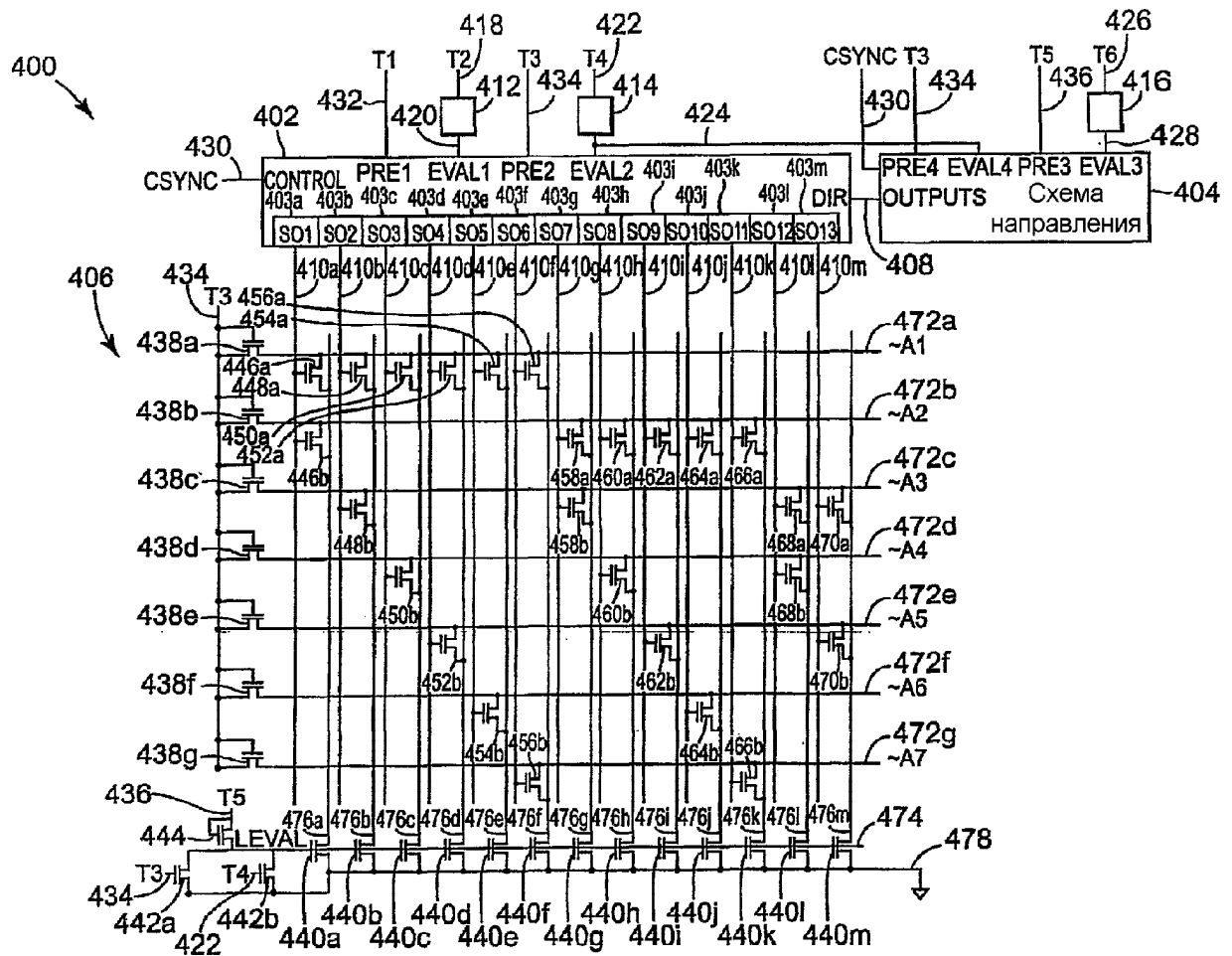
Фиг. 6



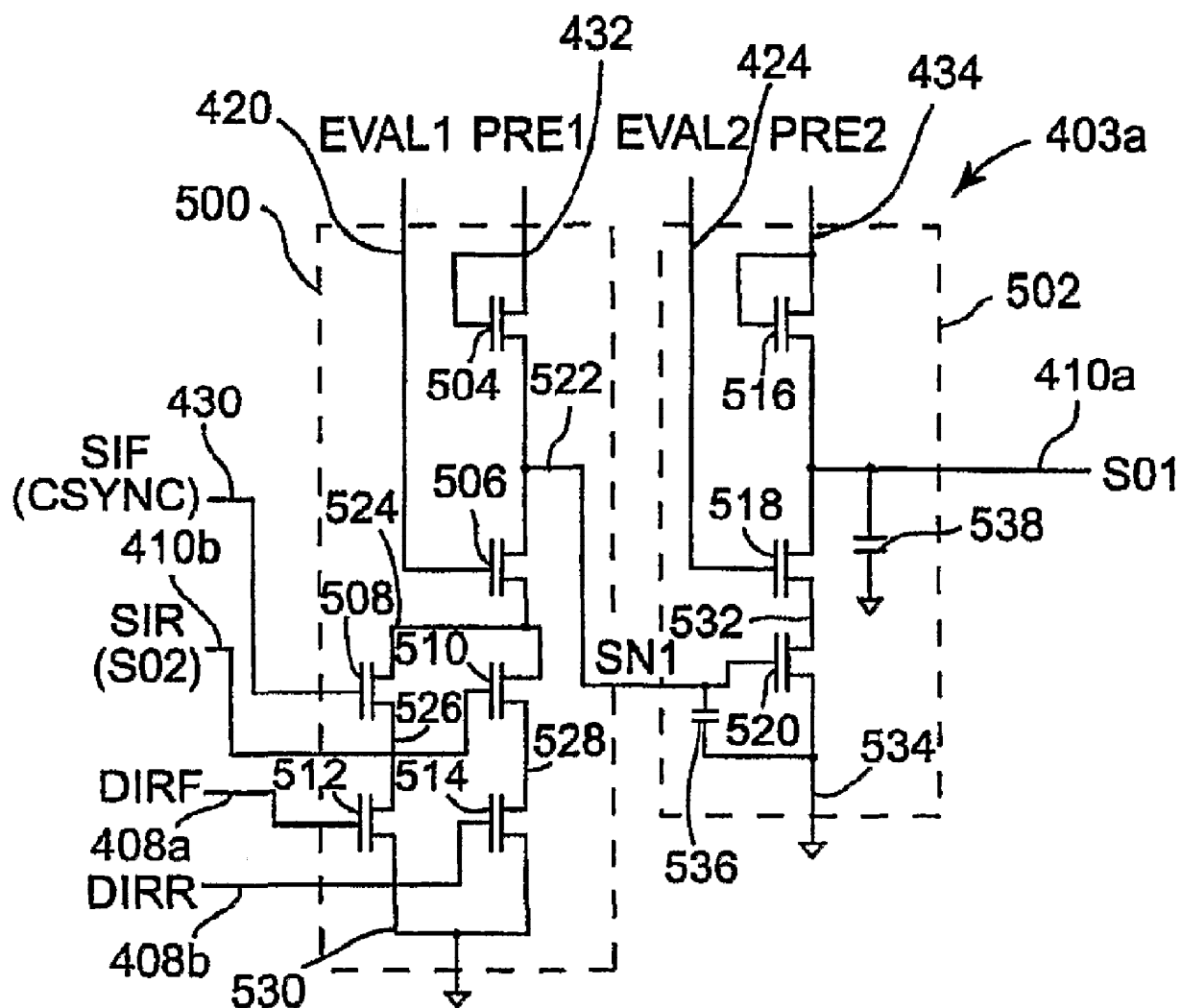
Фиг. 7



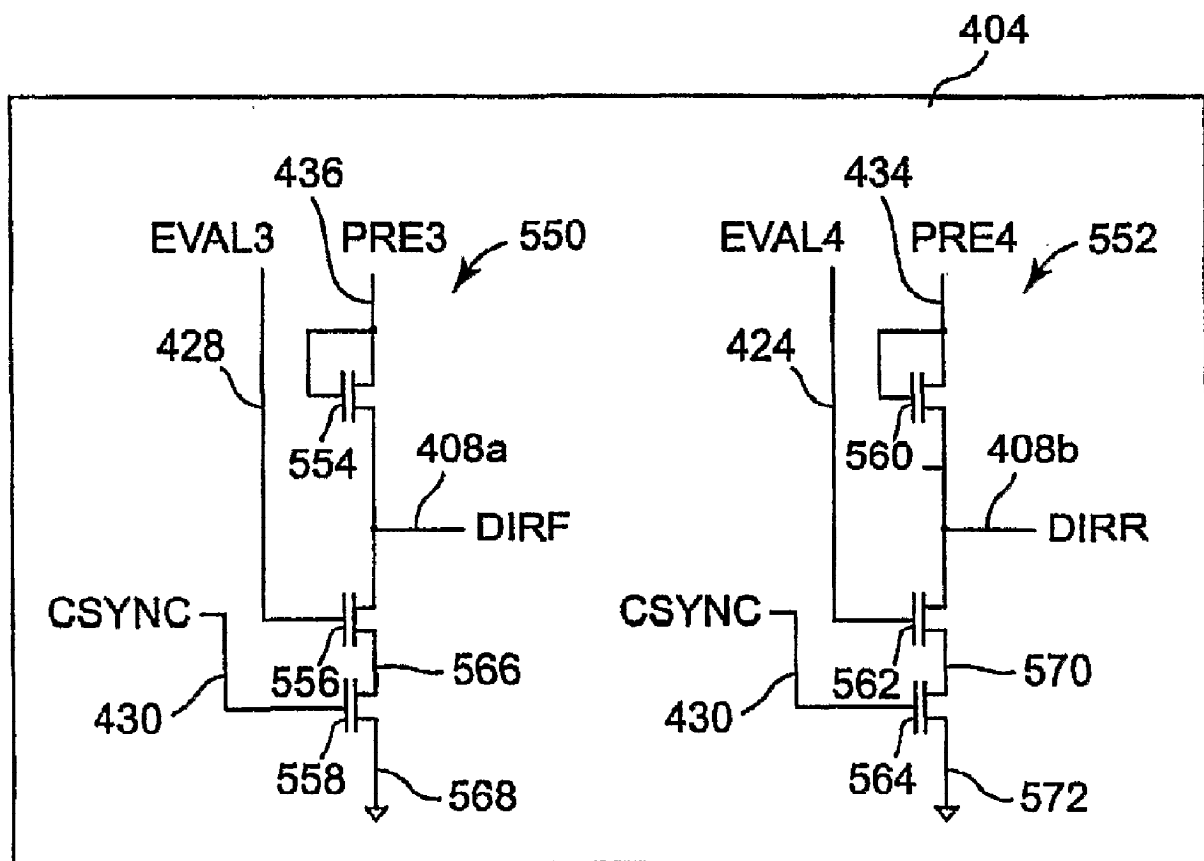
Фиг. 8



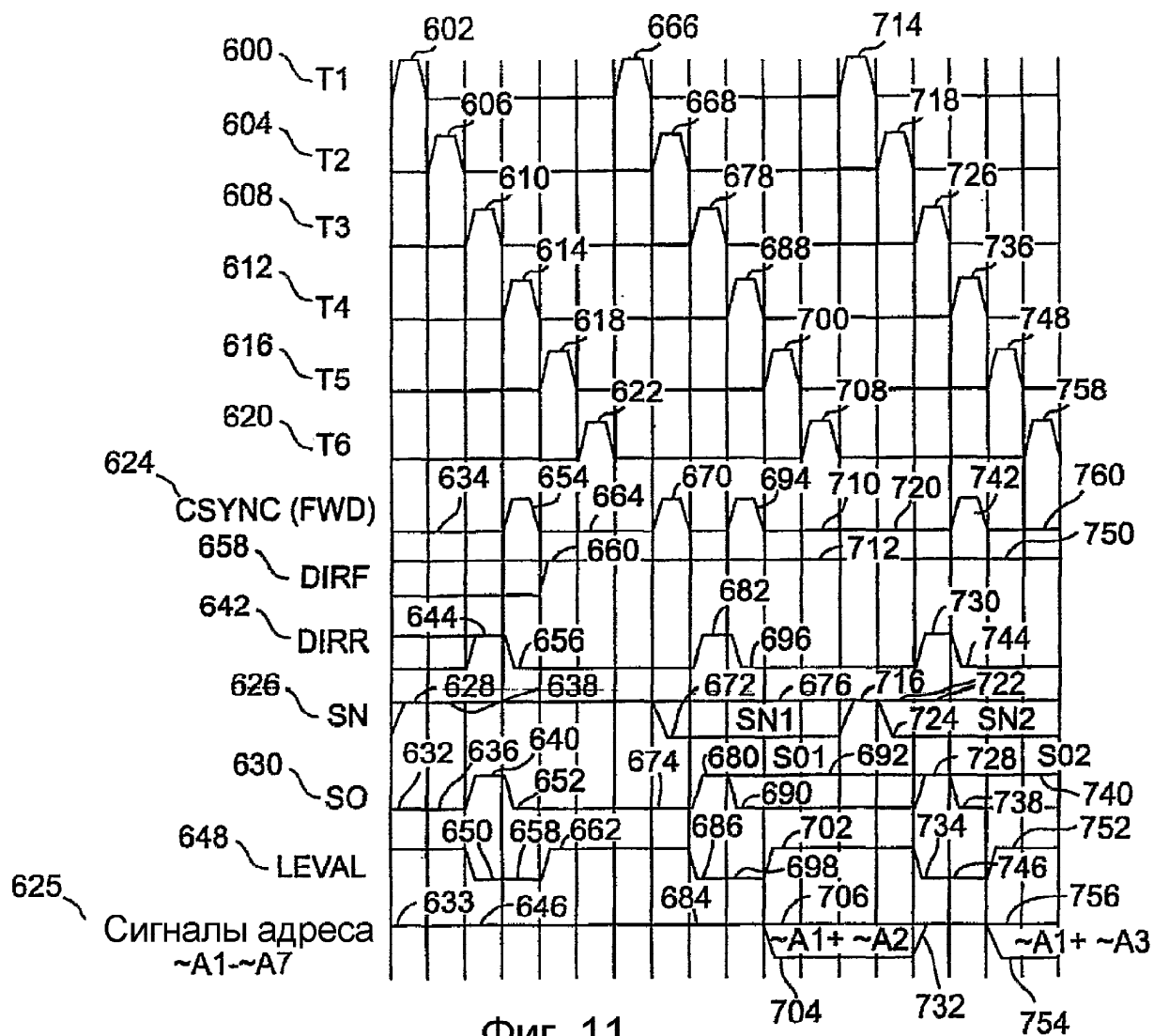
Фиг. 9



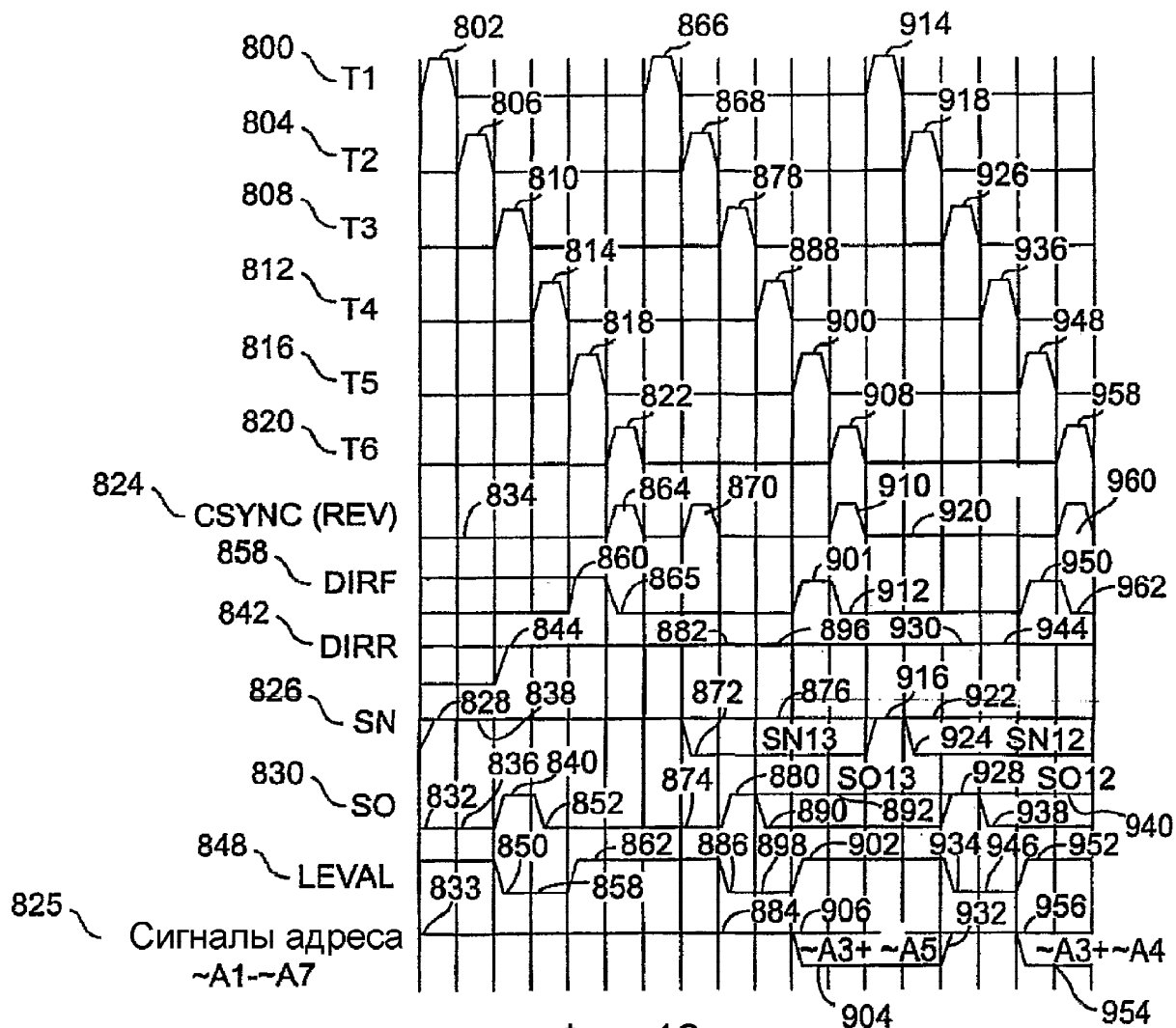
Фиг. 10А



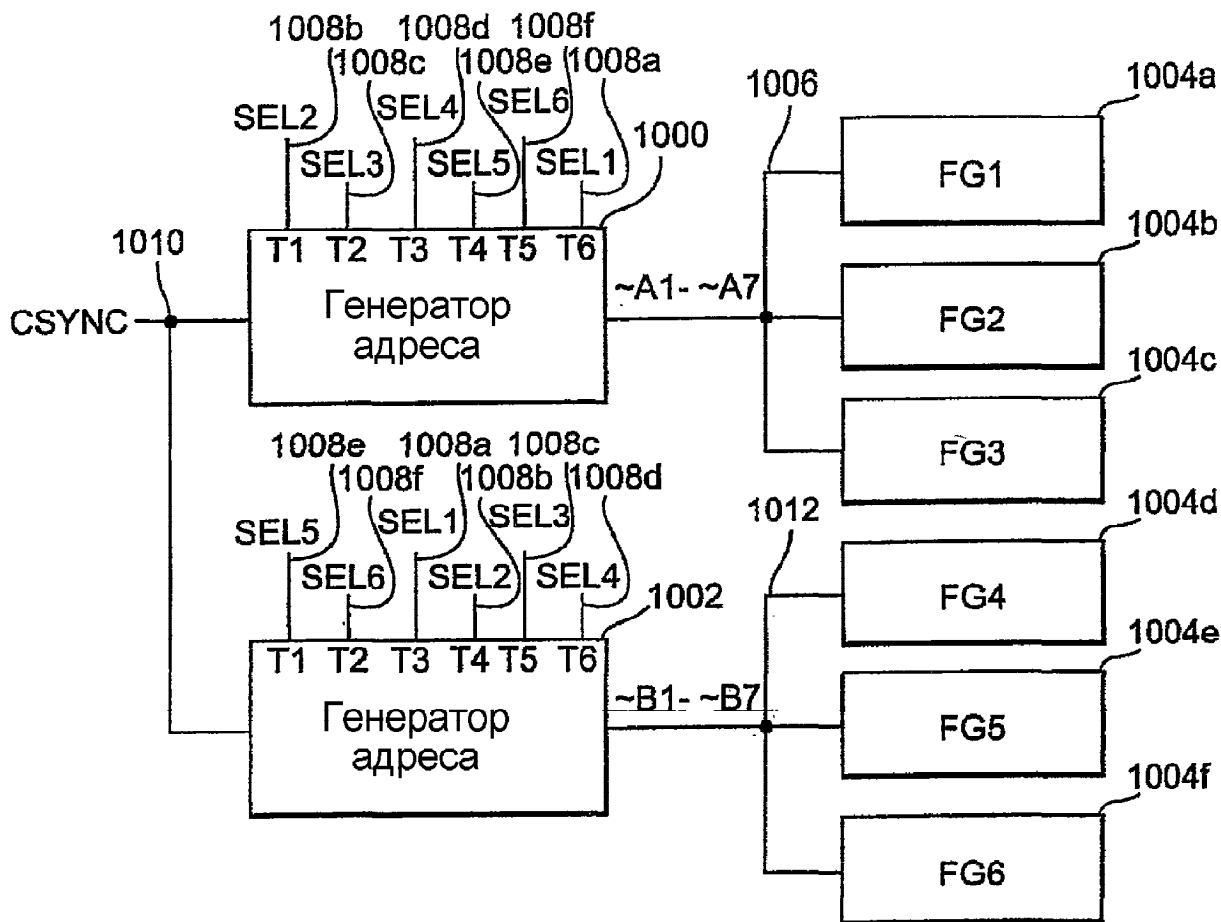
Фиг. 10В



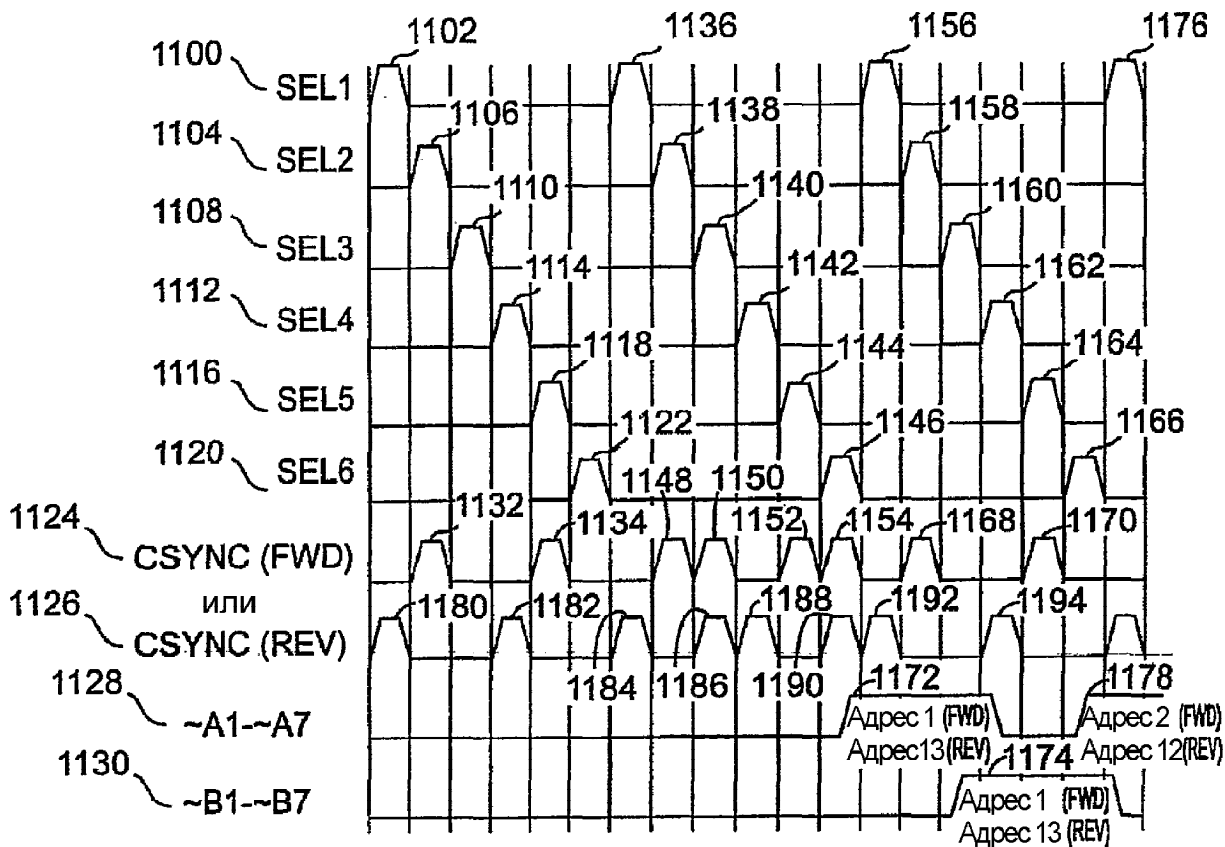
Фиг. 11



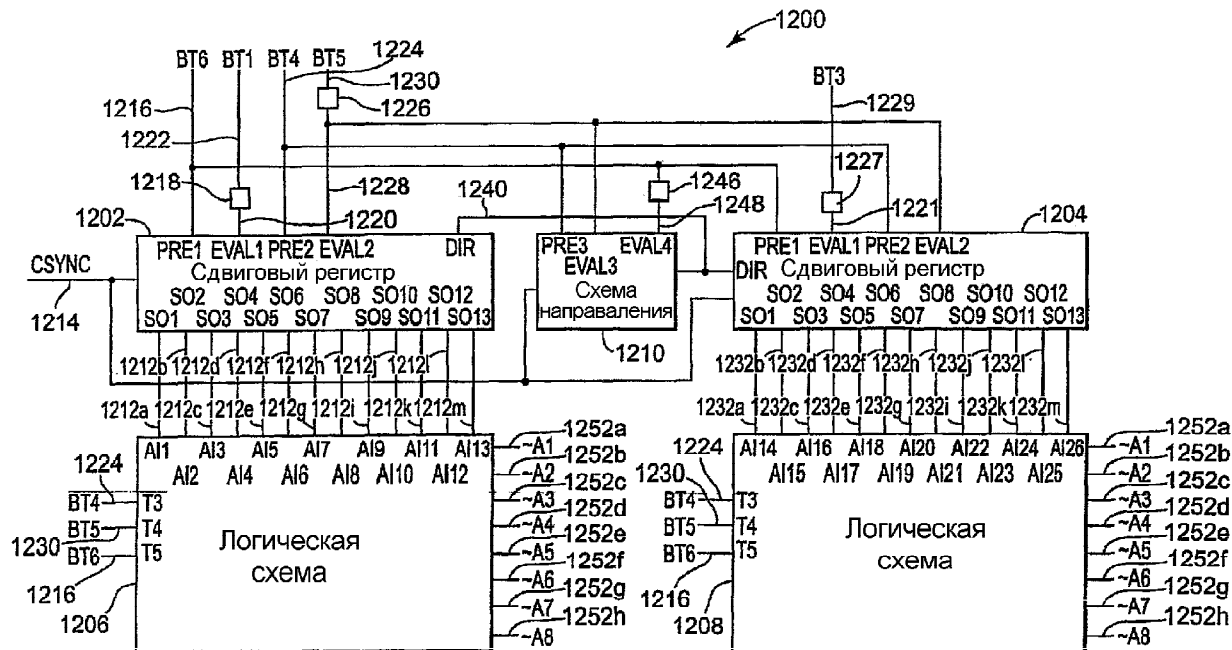
Фиг. 12



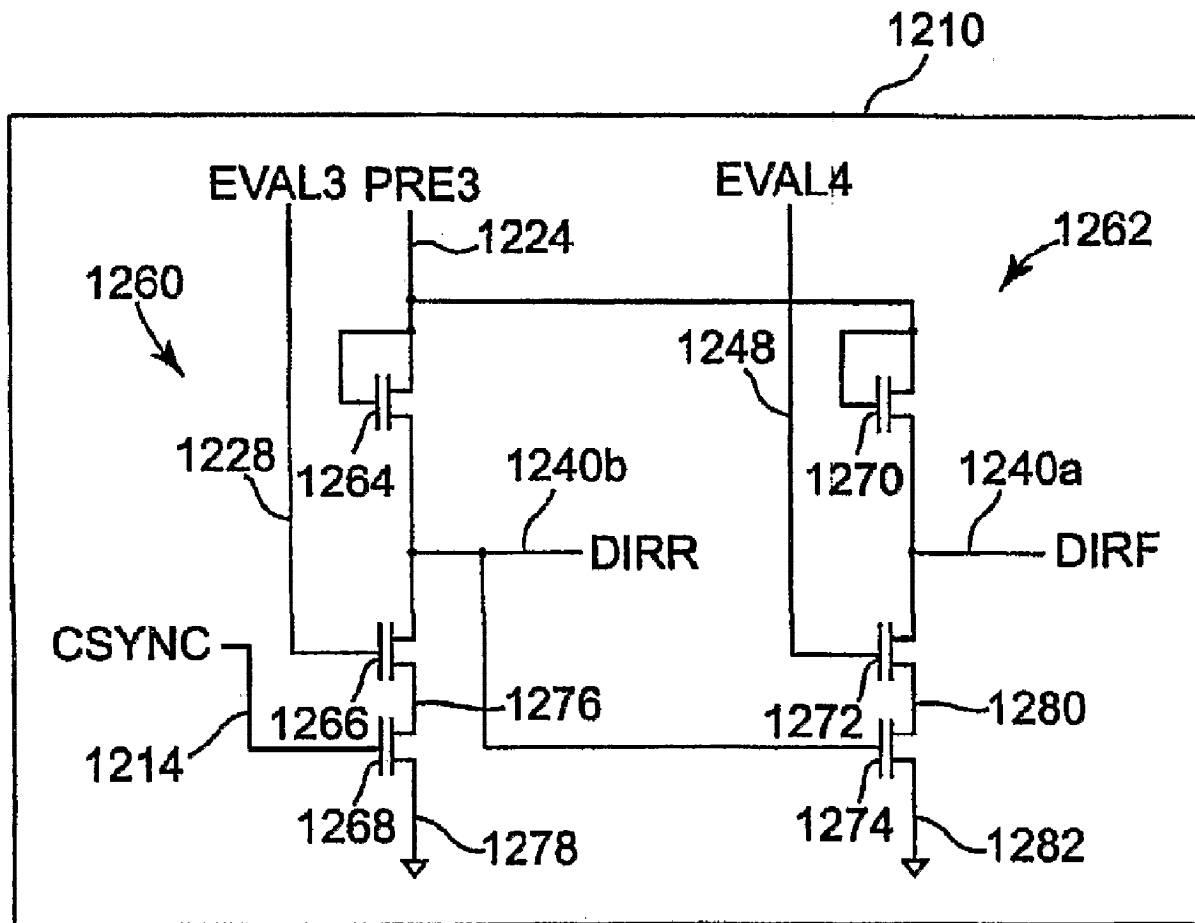
Фиг. 13



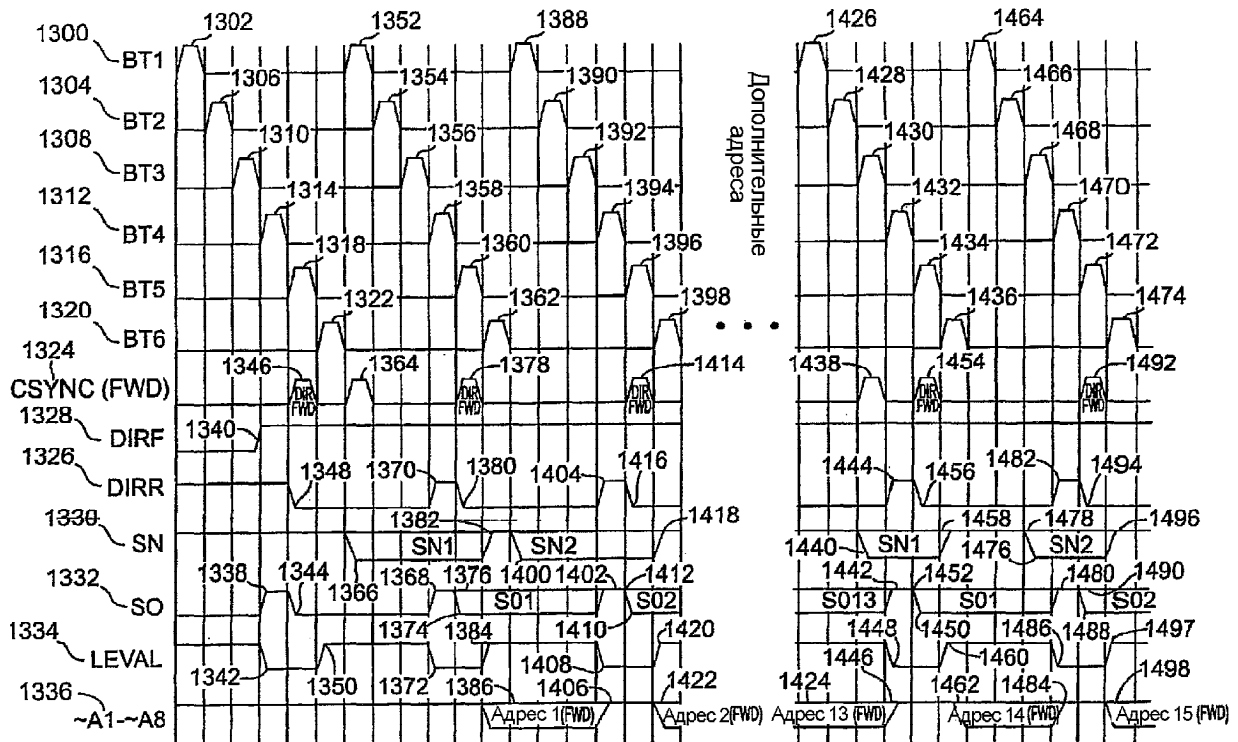
Фиг. 14



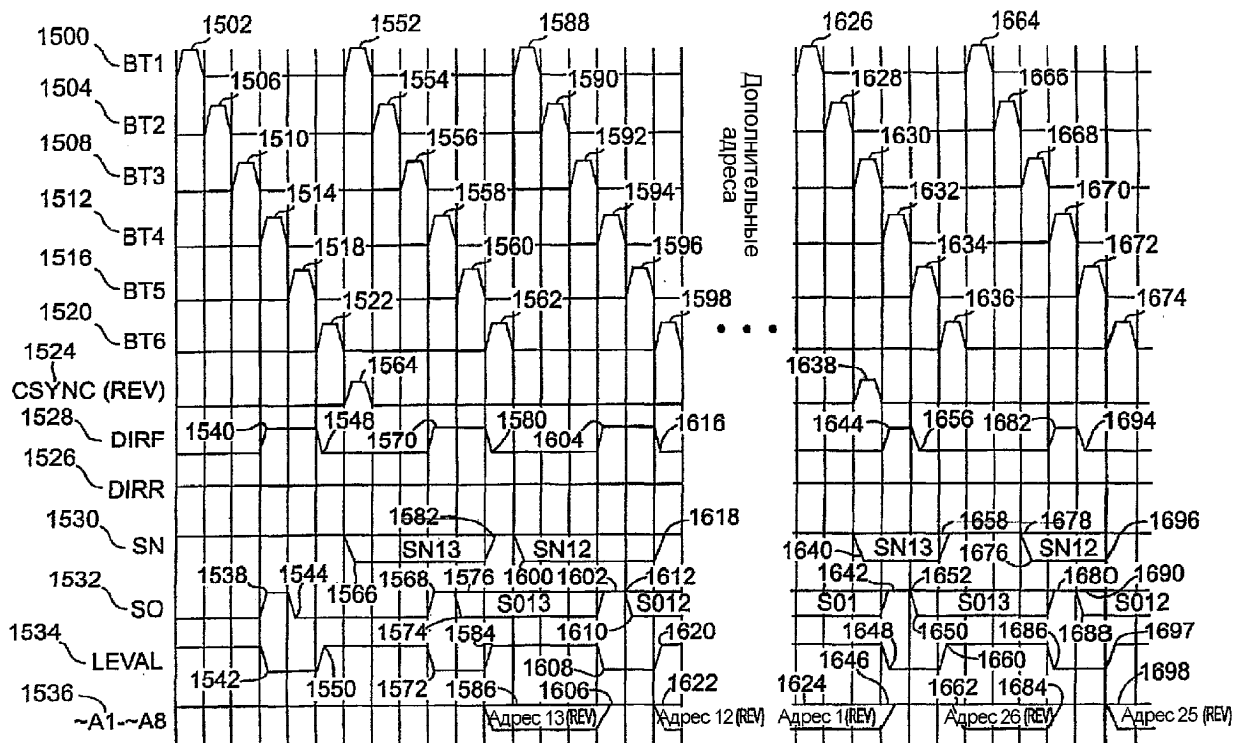
Фиг. 15



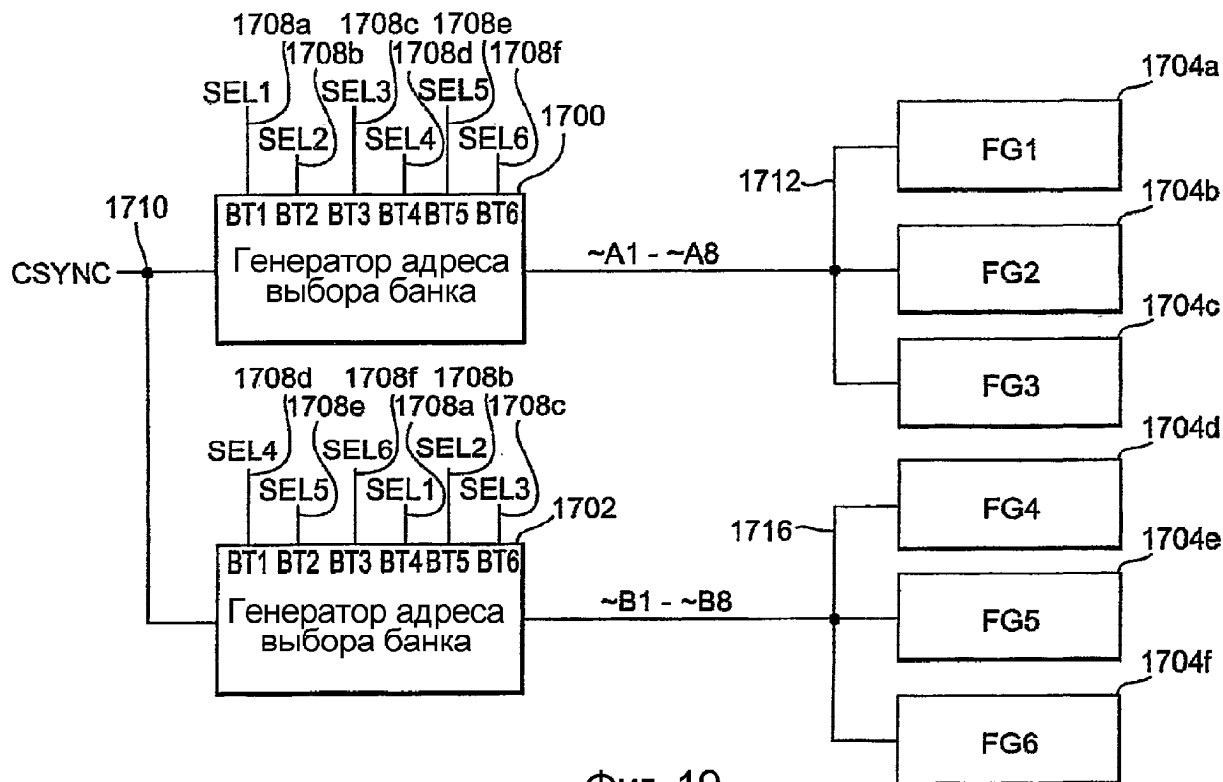
Фиг. 16



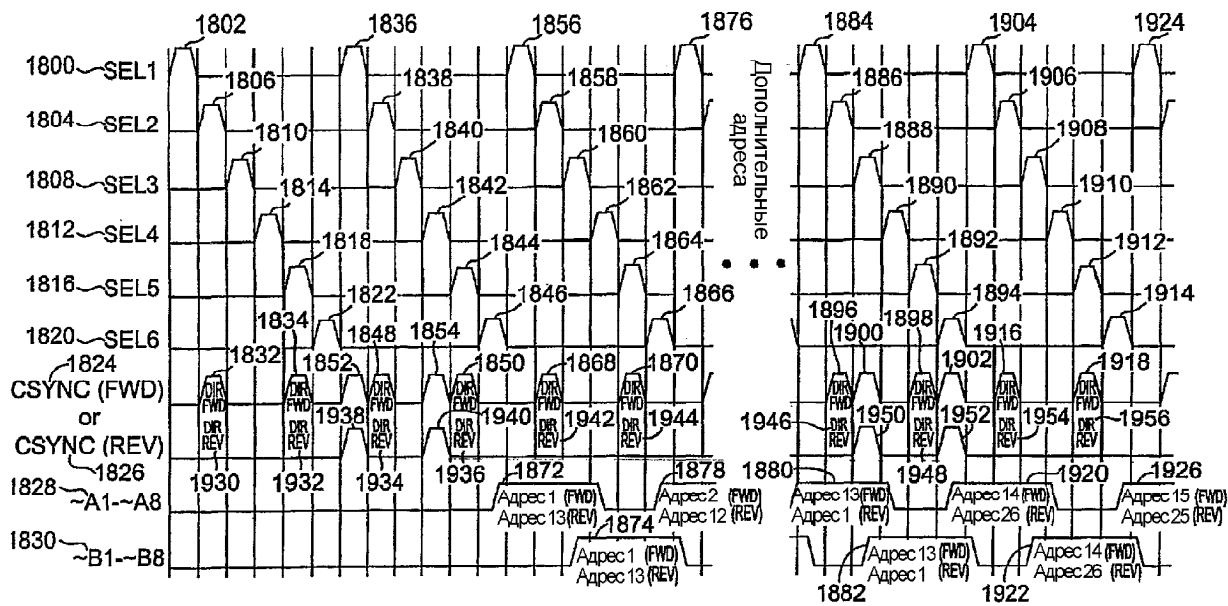
Фиг. 17



Фиг. 18



Фиг. 19



Фиг. 20