

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 21/027 (2006.01)

H01L 21/00 (2006.01)

(11) 공개번호

10-2006-0108233

(43) 공개일자

2006년10월17일

(21) 출원번호

10-2006-0032817

(22) 출원일자

2006년04월11일

(30) 우선권주장

JP-P-2005-00114752

2005년04월12일

일본(JP)

(71) 출원인

가부시끼가이샤 도시바

일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고

(72) 발명자

마시따 히로미쯔

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시끼가이샤 도시바지적
재산본부 내

후지사 와 다다히토

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시끼가이샤 도시바지적
재산본부 내

이노모토 미노루

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시끼가이샤 도시바지적
재산본부 내

하시모토 고지

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시끼가이샤 도시바지적
재산본부 내

가이 야스노부

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시끼가이샤 도시바지적
재산본부 내

(74) 대리인

장수길

구영창

심사청구 : 있음

(54) 집적 회로의 패턴 레이아웃, 포토마스크, 반도체 장치의 제조 방법, 및 데이터 작성 방법

요약

집적 회로를 형성하기 위한 패턴 레이아웃은, 제1 디바이스 패턴과, 제2 디바이스 패턴과, 보조 패턴을 포함한다. 제1 디바이스 패턴은, 제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함한다. 제2 디바이스 패턴은, 상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된다. 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는다. 보조 패턴은, 상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해 해상되지 않도록 설정된다.

대표도

도 5

색인어

디바이스 패턴, 보조 패턴, 고정 피치, NAND 플래시 메모리, 메탈 배선, 셀렉트 게이트

명세서

도면의 간단한 설명

도 1은 종래의 패턴 레이아웃의 예를 도시하는 도면.

도 2는 도 1의 레이아웃에 대한 규격화 광 강도를 도시하는 도면.

도 3은 종래의 패턴 레이아웃의 예를 도시하는 도면.

도 4는 도 3의 레이아웃에 대한 규격화 광 강도를 도시하는 도면.

도 5는 제1 실시예를 설명하기 위해서, 피처리 기관 상에 형성되는 패턴 레이아웃을 도시하는 도면.

도 6은 제1 실시예를 설명하기 위해서, 포토마스크 상의 패턴 레이아웃을 도시하는 도면.

도 7은 제1 실시예에 이용한 광원 형상을 도시하는 도면.

도 8은 도 6의 레이아웃에 대한 규격화 광 강도를, 시뮬레이션에 의해 계산한 예를 도시하는 도면.

도 9는 도 6의 레이아웃에 대한 각 치수를 시뮬레이션에 의해 계산한 예를 도시하는 도면.

도 10은 보조 패턴 폭과 치수 및 DOF(Depth Of Focus)의 관계를 도시하는 도면.

도 11은 도 6의 레이아웃에 대한 규격화 광 강도를 시뮬레이션에 의해 계산한 예이며, 조명광의 외측과 내측의 광량비를 1:0.2로 한 경우의 예를 도시하는 도면.

도 12는 도 6의 레이아웃에 대한 규격화 광 강도를 시뮬레이션에 의해 계산한 예이며, 조명광의 외측과 내측의 광량비를 1:0.4로 한 경우의 예를 도시하는 도면.

도 13은 제2 실시예를 설명하기 위해서, 피처리 기관 상에 형성되는 패턴 레이아웃을 도시하는 도면.

도 14의 (a), 도 14의 (b)는 제2 실시예를 설명하기 위해서, 포토마스크 상의 패턴 레이아웃을 도시하는 도면.

도 15는 도 14의 (b)의 레이아웃에 대한 규격화 광 강도를, 시뮬레이션에 의해 계산한 예를 도시하는 도면.

도 16은 도 14의 (b)의 레이아웃에 대한 각 치수를 시뮬레이션에 의해 계산한 예를 도시하는 도면.

도 17은 도 14의 (b)에 도시하는 마스크 패턴의 보조 패턴 영역부의 상 강도 분포를 도시하는 도면.

도 18은 도 14의 (b)에 도시하는 마스크 패턴의 WL1의 DOF와 보조 패턴의 해상성의 보조 패턴 사이즈 의존성을 도시하는 도면.

도 19는 제3 실시예를 설명하기 위해서, 포토마스크 상의 패턴 레이아웃을 도시하는 도면.

<도면의 주요부분에 대한 부호의 설명>

11, 21, 31: 라인

12, 22, 32: 스페이스

20: 제2 디바이스 패턴

21a : 스페이스 보조 패턴

22a : 라인 보조 패턴

41 : 소정면

42 : 외측 광원면

43 : 내측 광원면

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 출원은 2005년 4월 12일 출원된 일본 특허 출원 제2005-114752호에 기초한 것으로 그 우선권 주장을 하며, 그 전체 내용은 본 명세서에서 참조로서 포함된다.

본 발명은, 집적 회로의 패턴 레이아웃, 그 레이아웃에 따라서 마스크 패턴이 형성된 포토마스크, 그 포토마스크를 사용한 반도체 장치의 제조 방법, 또한 설계 데이터로부터 포토마스크 상에 형성할 패턴 데이터를 작성하기 위한 데이터 작성 방법에 관한 것이다.

반도체 집적 회로에서는, 메모리 셀부에 해상 한계에 가까운 사이즈의 디자인 룰로 그려진 라인 앤드 스페이스의 반복 패턴이 사용된다. 이 종류의 패턴을 갖는 포토마스크는, 통상의 조명 조건으로 해상하는 것이 어렵다. 이 때문에, 헵피치의 패턴을 효과적으로 해상하기 위한 고안으로서, 거의 푸리에 변환의 관계로 되는 면에, 외측과 내측에 광이 조사되는 조명 광원을 이용할 필요가 있다. 그러나, 이 방법에서는, 메모리 셀 어레이 중앙부의 반복부에서의 해상도는 높지만, 한편, 셀 어레이의 패턴 단부의 경계 부분의 해상도가 저하하는 문제가 있다.

이 문제를 해결하고, 셀 어레이의 패턴 단부의 노광 마진을 향상시키기 위해서, 주기성이 붕괴되는 영역은 패턴 피치를 서서히 완만하게 해 가는 디자인을 이용하는 것이 일반적이다. 도 1은 종래의 패턴 레이아웃의 예를 도시하는 도면이다. 도 2는 도 1의 레이아웃에 대한 규격화 광 강도를 도시하는 도면이다. 도 2에 도시하는 상 강도 분포에서는, 노광 파장 193nm, 최대 코히어런트 팩터 $\sigma=0.97$ 의 2중극 조명을 베이스로 σ 의 최외주 부분의 일부와, 내측의 일부를 빛나게 한 조명 형상을 채용하고 있다.

도 1에 도시하는 바와 같은 마스크 패턴에 대하여(수치는, 웨이퍼 상(on Wafer)에서의 사이즈를 나타냄), 상기의 조명 광원, 및 피치를 서서히 완화시키는 방법이 사용되는 경우를 상정한다. 이 경우, 얻어지는 상 강도 분포에는, 도 2에 도시한 바와 같이 라인 앤드 스페이스의 단부(도 2: A 영역)에서의 광학 콘트라스트의 저하, 즉 리소그래피 마진의 저하가 발생한다. 또한, 도 2의 영역 A, B는 영역 C에 비하여 상 강도 분포의 변동이 크다는 점에서, 광 근접 효과 보정을 행하기 위한 CAD 처리 시간의 증대를 초래한다.

도 3은 종래의 패턴 레이아웃의 예를 도시하는 도면이다. 도 4는 도 3의 레이아웃에 대한 규격화 광 강도를 도시하는 도면이다. 도 4에 있어서, 노광 조건은, 도 2와 동일한 조건을 적용하고 있다. 도 1에 도시하는 바와 같은 마스크 레이아웃에 대하여, 도 3에 도시한 바와 같이, 종래의 해상하지 않은 보조 패턴을 배치하는 방법이 제안되어 있다(예를 들면, 특허 문헌 1 참조). 그러나, 이 경우에도 도 4에 도시하는 바와 같은 광학 상 분포로 되고, 도 2와 비교한 결과, 거의 개선 효과가 보이지 않는다. 따라서, 상기와 마찬가지로의 콘트라스트의 저하, 리소그래피 마진의 저하를 피할 수 없다.

이와 같이 종래의 셀 어레이 패턴의 해상성을 만족시키는 노광 광학 조건을 적용하면, 라인 앤드 스페이스 패턴의 단부에서는, 패턴의 해상도가 저하한다. 또한, 리소그래피 마진의 저하와 함께, 광 근접 효과 보정을 행하는 CAD 처리 시간의 증대를 초래한다.

따라서, 단순한 반복의 라인 앤드 스페이스 패턴뿐만 아니라, 라인 앤드 스페이스 패턴 단부에서도 해상성을 높일 수 있는 집적 회로의 패턴 레이아웃을 제공하는 것이 바람직하다. 또한, 상기의 레이아웃에 따라서 마스크 패턴이 형성된 포토마스크, 반도체 장치의 제조를 위해 그 포토마스크를 사용하는 방법, 또한 설계 데이터로부터 포토마스크 상에 형성할 패턴 데이터를 작성하기 위한 데이터 작성 방법을 제공하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 시점은, 집적 회로를 형성하기 위한 패턴 레이아웃으로서,

제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 제1 디바이스 패턴과,

상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된 제2 디바이스 패턴과, 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는 것과,

상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 구비한다.

본 발명의 제2 시점은, 집적 회로를 형성하기 위한 노광 처리에 사용되는 포토마스크로서,

제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 제1 디바이스 패턴과,

상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된 제2 디바이스 패턴과, 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는 것과,

상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 구비한다.

본 발명의 제3 시점은, 반도체 장치의 제조 방법으로서,

제2 시점의 포토마스크를 이용하여, 반도체 기판 상의 레지스트막을 노광함으로써, 상기 제1 및 제2 디바이스 패턴을 상기 레지스트막에 전사하는 공정을 구비한다.

본 발명의 제4 시점은, 포토마스크를 위한 데이터 작성 방법으로서,

제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 제1 디바이스 패턴과, 상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된 제2 디바이스 패턴과, 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는 것을 포함하는 설계 데이터를 준비하는 공정과,

상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치된, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 상기 설계 데이터에 머지하고, 포토마스크에 형성할 패턴 데이터를 작성하는 공정

을 구비한다.

발명의 구성 및 작용

이하에 본 발명의 실시예에 대하여 도면을 참조하여 설명한다. 또한, 이하의 설명에 있어서, 대략 동일한 기능 및 구성을 갖는 구성 요소에 대해서는, 동일 부호를 붙이고, 중복 설명은 필요한 경우에만 행한다.

(제1 실시예)

본 실시예는, 위상 시프트 마스크에 형성되는 라인 앤드 스페이스의 패턴에 대하여, 더미 패턴 및 보조 패턴을 배치하는 기술에 관한 것이다. 여기서는, 매립에 의한 56nm 디자인 룰에서의 NAND 플래시 메모리의 메탈 배선을 행하는 공정을 예로 설명한다.

도 5는 기관 상에 형성할 56nm 라인 앤드 스페이스의 패턴 레이아웃을 도시하는 평면도이다. 한 방향에 대한 일정한 간격의 고정 피치 상에, 메탈 배선(1)과 메탈 배선간 스페이스(2)로 이루어지는 패턴 어레이가 배치된다. 그 단부에 동일하게 고정 피치 상에 더미 배선(3)이 2개 배치된다. 또한, 그 외측에, 고정 피치의 5배로 한 280nm의 메탈 배선(5)과 메탈 배선간 스페이스(6)가 배치된다.

도 6은 도 5의 패턴을 형성하기 위한 포토마스크 상의 패턴을 도시하는 평면도로, 상기 레이아웃에 대응하는 라인과 스페이스가 배치된다. 즉, 고정 피치 상에 라인(11)과 스페이스(12)를 배치한 제1 디바이스 패턴(10)이 배치된다. 또한, 고정 피치 상에 라인(31)과 스페이스(32)를 배치한 더미 패턴(30)이 배치된다. 또한, 고정 피치 상에 280nm 상당의 라인(21)과 280nm 상당의 스페이스(22)를 배치한 제2 디바이스 패턴(20)이 배치된다. 제1 디바이스 패턴(10)은, 고정 피치의 간격과 동일한 패턴 폭을 갖는다. 제2 디바이스 패턴(20)은, 고정 피치의 간격의 5배의 패턴 폭을 갖는다.

여기서, 매립에 의한 메탈 배선 형성이라는 점에서, 포토마스크 상의 라인(11)은 메탈 배선간 스페이스(2)에 대응하고, 스페이스(12)는 메탈 배선(1)에 대응한다. 마찬가지로, 스페이스(32)는 더미 배선(3)에 대응하고, 라인(21)은 280nm 메탈 배선간 스페이스(6)에 대응하고, 스페이스(22)는 280nm 메탈 배선(5)에 대응한다.

제2 디바이스 패턴(20)의 라인(21)에는, 상기 고정 피치 상에 스페이스 보조 패턴(21a)이 형성되고, 스페이스(22)에는 상기 고정 피치 상에 라인 보조 패턴(22a)이 형성된다. 보조 패턴(21a, 22a)의 라인 폭 및 스페이스 폭은, 모두 32nm이다. 여기서, 라인(11, 21, 31), 라인 보조 패턴(22a)은, 투과율 6%, 위상 180도의 영역이다. 스페이스(12, 22, 32), 스페이스 보조 패턴(21a)은, 투과율 100%, 위상 0도의 영역이다. 본 실시예에서는, 라인 앤드 스페이스의 패턴 어레이 단부의 처리에, 라인부와 스페이스부의 패턴 폭이 280nm의 것을 3회 반복하고 있다.

도 7은 제1 실시예에 이용한 광원 형상을 도시하는 도면이다. 노광 광학 조건은, 노광 파장 193nm, 최대 코히어런트 팩터 $\sigma=0.97$ 로 한다. 구체적인 조명광 형상은, 도 7에 도시한 바와 같이, 상기 마스크 패턴면에 대하여 거의 푸리에 변환의 관계로 되는 면에, 외측과 내측에 조사되도록 설정된다. 도 7의 소정면(41)의 외측 광원면(42)의 조명광은 56nm 라인 앤드 스페이스를 해상시키기 위해서 특화된다. 내측 광원면(43)의 조명광은 280nm 라인 앤드 스페이스를 해상시키기 위해서 특화된다. 또한, 도 7의 소정면(41)에서의 광량 분포는 외측보다도 중심부에서 약하게 되도록 설정되어 있으며, 외측 광원면(42)과 내측 광원면(43)의 광량비는 1:0.3이다. 또한, 이 강도비는 이 조건에 한정된 것이 아니라, 각종 프로세스 조건에 따라서 최적의 설정치를 선택하면 된다.

도 8은 도 6의 레이아웃에 대한 규격화 광 강도를, 시뮬레이션에 의해 계산한 예를 도시하는 도면이다. 도 9는 도 6의 레이아웃에 대한 각 치수를 시뮬레이션에 의해 계산한 예를 도시하는 도면이다. 또한, 초점 심도(이하, DOF라고 함)를 시뮬레이션에 의해 계산한 예를, 하기의 (표 1)에 도시한다. 또한, DOF는, 선 폭 편차 $\pm 10\%$, 도우즈량 여유도 8.5%를 허용으로 하는 조건 하에서 구한 값이다.

[표 1]

방법	패턴	초점 심도 [μm]	
		라인	스페이스
실시예 (보조 패턴 32nm)	1개짜(더미)	0.182	0.130
	2개짜(더미)	0.300	0.300
	3개짜(더미)	0.300	0.300
종래예(도 2)	1개짜(더미)	< 0.100	< 0.100

도 8, 도 9에 도시한 바와 같이, 종래의 방법인 도 2, 및 도 4의 결과와 비교하면, 주기단 부근의 콘트라스트 저하를 방지하여, 광 근접 효과가 미치는 영향을 경감할 수 있다. 그 결과, 충분한 DOF를 확보하는 것이 가능하게 된다. 이것은, 보조 패턴(21a, 22a)을, 기본 주기(하프 피치 56nm)를 고려하여 배치함으로써 달성된다. 또한, 본 방법에서는, 더미 패턴(금회의 예에서는 2개)을 배치한다. 여기서, 더미 패턴의 리소그래피 마진(1개짜)이 저하하는 것을 고려한 후에, 미리 집적 회로로서 동작하는 디바이스 패턴(이 경우 3개짜 이후)의 리소그래피 마진을 충분히 확보할 수 있다.

또한, 본 실시예에서는 32nm의 보조 패턴을 사용하지만, 이 보조 패턴의 폭을 변경함으로써 어레이 단부의 DOF가 변화한다. 도 10은 보조 패턴 폭과 치수 및 DOF의 관계를 도시하는 도면이다. 도 10에 도시한 바와 같이, 보조 패턴 폭을 넓게 해가면, 더미 패턴의 치수는 일정하여 DOF가 향상된다. 그러나, 보조 패턴이 해상하게 될 가능성이 있기 때문에, 해상하지 않은 최대의 보조 패턴 폭을 선택하는 것이 바람직하다. 또한, 적합하게 되는 보조 패턴 사이즈에 대한 고찰은, 제2 실시예 쪽에서 논의된다.

또한, 도 7의 소정면(41)의 외측 광원면(42)과 내측 광원면(43)의 광량비를 변화시킴으로써, 도 11 및 도 12에 도시한 바와 같이, 보조 패턴의 전사성을 제어하는 것이 가능하다. 도 11은 조명광의 외측 광원면(42)과 내측 개구면(43)의 광량비가 1:0.2인 경우의 규격화 광 강도를 도시하는 도면이다. 도 12는 조명광의 외측 광원면(42)과 내측 광원면(43)의 광량비가 1:0.4인 경우의 규격화 광 강도를 도시하는 도면이다. 도 11에 도시한 바와 같이, 외측 광원면(42)과 내측 개구면(43)의 광량비가 1:0.2인 경우에는, ○ 부분에서 Under DOSE 측으로 변동한 경우에 라인의 보조 패턴이 찍혀 들어갈 위험성이 있다. 한편, 도 12에 도시한 바와 같이, 외측 광원면(42)과 내측 개구면(43)의 광량비가 1:0.4인 경우에는, Under DOSE 측으로 변동한 경우, 또한, 디포커스가 가해진 경우에 ○ 부분에서 레지스트 패턴이 쇼트할 위험성이 있다. 이상의 점에서부터, 외측 광원면(42)과 내측 광원면(43)의 광량비로서는, 0.2 내지 0.4 정도의 범위로 하는 것이 바람직하다.

본 실시예에 있어서, 보조 패턴은 라인형과 스페이스형의 양방을 이용했지만, 경우에 따라서는 어느 한쪽만을 이용하여도 상관없다. 또한, 더미 패턴은, 반드시 라인 앤드 스페이스의 제1 디바이스 패턴(10)과 동일한 폭일 필요는 없으며, 해상했을 때의 라인부, 스페이스부가, $P \times (2 \times N - 1) \times 0.8$ 내지 $P \times (2 \times N - 1) \times 1.2$ 의 폭을 갖는 것이면 된다. 여기서, P는 고정 피치, N은 자연수이다.

이와 같이 본 실시예에 따르면, 디바이스 패턴(10, 20)에 대하여 더미 패턴(30)과 보조 패턴(21a, 22a)을 부가한다. 이에 의해, 주기단 부근의 라인 앤드 스페이스 패턴의 해상성을 향상시켜, 디포커스 시의 치수 변동을 적게 하고, 리소그래피 마진을 향상시킬 수 있다. 또한, 주기성을 유지한 효과로 수차의 영향이 경감됨과 함께, 광 근접 효과도 경감되어 광 근접 보정을 행하는 CAD 처리 시간을 적게 할 수 있다.

(제2 실시예)

본 실시예는, 위상 시프트 마스크에 형성되는 게이트 배선의 패턴에 대하여, 더미 패턴 및 보조 패턴을 배치하는 기술에 관한 것이다. 여기서는, NAND 플래시 메모리의 게이트 배선을 형성하는 공정을 예로 설명한다.

도 13은 제2 실시예를 설명하기 위해서, 피처리 기관 상에 형성되는 패턴 레이아웃을 도시하는 도면이다. 도 14의 (a), 도 14의 (b)는, 제2 실시예를 설명하기 위해서, 도 13에 상당하는 2종류의 포토마스크 상의 패턴 레이아웃을 도시하는 도면이다.

도 13에 도시한 바와 같이, 피처리 기관 상에 형성할 패턴으로서, 고정 피치(56nm) 상에, 게이트 배선(1)과 게이트 배선간 스페이스(2)로 이루어지는 패턴 어레이가 배치된다. 그 단부에, 고정 피치의 3배의 폭을 갖는 168nm의 셀렉트 게이트(SG) 배선(7)과, 고정 피치의 5배의 폭을 갖는 280nm의 SG간 스페이스(8)가 배치된다.

도 14의 (a), 도 14의 (b)에 도시한 바와 같이, 포토마스크 상의 패턴으로서, 고정 피치 상에 라인(11)과 스페이스(12)를 배치한 제1 디바이스 패턴(10)이 배치된다. 또한, 고정 피치 상에 168nm 상당의 라인(51)과 280nm 상당의 스페이스(52)를 배치한 제2 디바이스 패턴(50)이 배치된다.

포토마스크 상의 라인(11)은 게이트 배선(1)에 대응하고, 스페이스(12)는 게이트 배선간 스페이스(2)에 대응한다. 마찬가지로, 라인(51)은 SG 배선(7)에 대응하고, 스페이스(52)는 SG 배선간 스페이스(8)에 대응한다.

도 14의 (a)의 경우는, 제2 디바이스 패턴(50)의 라인(51)에는 상기 고정 피치 상에 스페이스 보조 패턴(51a)이 형성된다. 스페이스(52)에는 상기 고정 피치 상에 라인 보조 패턴(52a)이 형성된다. 보조 패턴(51a, 52a)의 라인 폭 및 스페이스 폭은 모두 32nm이다. 라인(11, 51), 라인 보조 패턴(52a)은, 투과율 6%, 위상 180도의 영역이다. 스페이스(12, 52), 스페이스 보조 패턴(51a)은 투과율 100%, 위상 0 도의 영역이다.

도 14의 (b)는, 도 14의 (a)의 변형예로서, 스페이스(52) 부분에 상기 고정 피치 상에 라인 보조 패턴(52a)을 배치하지 않고 형성한 경우를 도시한다. 도 14의 (a) 및 도 14의 (b)의 쌍방 모두 SG부, 및 SG와 게이트 라인과의 스페이스 간격을 조정하는 등의 디자인의 미세 조정을 실시함으로써 마찬가지로의 효과가 얻어진다.

도 15는 도 14의 (b)의 레이아웃에 대한 규격화 광 강도를, 시뮬레이션에 의해 계산한 예를 도시하는 도면이다. 도 16은 도 14의 (b)의 레이아웃에 대한 각 치수를 시뮬레이션에 의해 계산한 예를 도시하는 도면이다. 또한, DOF를 시뮬레이션에 의해 계산한 결과를, 하기의 (표 2)에 나타낸다. 또한, 포토마스크 상의 패턴은 도 14의 (b)를 적용하고 있다. 노광 광학 조건은, 제1 실시예와 동일한 조건을 이용하고 있다. 또한, DOF는, 선 폭 변동 $\pm 10\%$, DOSE량 여유도 8.5%를 허용으로 하는 조건 하에서 구한 값이다. 표 2에서, 종래예의 DOF치는, 주기 단부(여기서는, SG 패턴의 주변부)의 패턴을 56nm 라인 앤드 스페이스로부터 서서히 피치를 완화하여 형성한 포토마스크 패턴에 있어서, 노광 마진이 적합하게 되도록, 마스크 바이어를 적정화한 상태에서 얻어진 값을 나타낸다.

[표 2]

패턴	DOF	
	실시예(도 14의 (a))	종래예
SG	0.180	0.180
WL1	0.180	0.140
WL2	0.180	0.180
WL3	0.180	0.180
WL16	0.180	0.180

도 15, 도 16에 도시한 바와 같이, 주기단 부근(SG 주위의 패턴, 특히 WL1)의 콘트라스트 저하를 방지하여, 광 근접 효과가 미치는 효과를 경감하는 것이 가능하게 된다. 그 결과, 생산에 필요한 충분한 DOF를 확보하는 것이 가능하게 된다. 이것은, 본 실시예의 보조 패턴을, 기본 주기(하프 피치 56nm)를 고려하여 배치함으로써 달성된다.

다음으로, 본 실시예에서 노광 마진의 향상에 효과적인 보조 패턴 사이즈에 대하여 설명한다.

이 검토에 있어서, 도 14의 (b)의 마스크 패턴의 사용을 상정하고 있다. 보조 패턴 사이즈를 크게 함에 따라 노광 마진이 향상하지만, 사이즈를 지나치게 크게 하면 보조 패턴이 해상한다. 따라서, 보조 패턴이 해상하지 않은 범위에서 될 수 있는 한 큰 사이즈로 설정하는 것이 요구된다.

도 17은 도 14의 (b)에 도시하는 마스크 패턴의 보조 패턴 영역부의 상 강도 분포를 도시한다. 보조 패턴 사이즈가 커짐에 따라서, 도 17의 화살표 부분의 해상 임계치와 보조 패턴 강도의 차가 작아진다. 이 차가 0으로 되었을 때에, 레지스트 상에 보조 패턴이 전사되기 시작한다.

도 18은 WL1의 DOF와 보조 패턴의 해상성의 보조 패턴 사이즈 의존성을 도시한다. 56nm 디자인 룰에서의 NAND 플래시 메모리에 있어서 필요로 되는 DOF가 0.15 μm 인 것을 고려하면, 보조 패턴 사이즈는 20nm 이상으로 설정할 필요가 있다. 한편, 보조 패턴의 해상성으로부터 판단하면, 해상 임계치-보조 패턴 강도의 값이 0으로 되면, 즉, 보조 패턴 사이즈가 40nm에서 레지스트로의 전사가 일어난다. 그러나, 이 수치는 노광 광학 조건, 및 레지스트 성능 등에 의해 어느 정도 변동하는 값이다. 또한, 실제로는, 보조 패턴이 약간 전사되었다고 하여도, 가공까지 행한 경우에 문제가 없으면 적용 가능한 조건이다. 경험적으로는, 해상 임계치-보조 패턴 강도의 값이 $-0.01 \sim +0.01$ 의 범위 내에서 보조 패턴 선 폭이 선택되는 것이 바람직하다.

이상의 점으로부터, 본 조건에서는, 스페이스 보조 패턴의 사이즈는 20nm~46nm가 바람직한 값이다. 이 결과를 금회의 노광 광학 조건을 고려하여 λ/NA 로 규격화한 치수로 규정하면, 스페이스 보조 패턴의 사이즈는 0.095~0.22로 설정하는 것이 바람직하다. 또한, 상기 결과는 스페이스 보조 패턴에 대하여 바람직한 값을 나타낸다. 여기서는 상세하게는 설명하지 않지만, 라인 보조 패턴에 대해서도 마찬가지로 검토를 행하였다. 그 결과, 레지스트로 전사되지 않은 보조 패턴 사이즈는, 스페이스 보조 패턴에 비하여 0.01 정도(λ/NA 로 규격화 치수) 큰 것이 판명되었다. 라인 보조 패턴까지 포함시키면 보조 패턴으로서 적용 가능한 사이즈는 λ/NA 의 규격화 치수로 0.23 이하로 할 필요가 있다.

(제3 실시예)

본 실시예는, 위상 시프트 마스크에 형성되는 인출 배선의 패턴에 대하여, 라인 앤드 스페이스 패턴과 보조 패턴을 배치하는 기술 및 광 근접 보정을 행하는 기술에 관한 것이다. 여기서는, 56nm 디자인 룰에서의 NAND 플래시 메모리의 게이트 배선의 인출선부의 형성을 행하는 공정을 예로 설명한다.

도 19는 본 실시예에서의 포토마스크 상의 패턴을 도시하는 도면이다. 셀 영역(60)에는, 고정 피치 상에, 라인(61)과 스페이스(62)를 배치한 56nm 라인 앤드 스페이스의 패턴이 배치된다. 또한, 고정 피치 상에, 고정 피치의 3배의 폭을 갖는 168nm의 셀렉트 게이트(63)와 고정 피치의 5배의 폭을 갖는 280nm 셀렉트 게이트간 스페이스(64)가 배치된다. 그리고, 셀렉트 게이트(63)의 중심의 고정 피치 상에 32nm의 스페이스 보조 패턴(63a)이 배치된다. 셀렉트 게이트간 스페이스(64)의 고정 피치 상에 32nm의 라인 보조 패턴(64a)이 배치된다.

한편, 인출선 영역(70)에는, 고정 피치 상에 없는 패턴 및 그 주변 패턴에 대하여 광 근접 효과 보정이 실시된다. 영역(60과 70)의 이음매의 CAD 처리에는 영역(60)을 참고 데이터로서 취급하고, 영역(70)에만 CAD 처리가 이루어진다.

이와 같은 레이아웃을 이용함으로써, 제1 및 제2 실시예와 마찬가지로, 주기단 부근의 콘트라스트 저하를 방지하여, 광 근접 효과가 미치는 효과를 경감하는 것이 가능하게 된다. 그 결과, 생산에 필요한 충분한 DOF를 확보하는 것이 가능하게 된다.

(제1 내지 제3 실시예에 공통된 사항)

상기 실시예에서는, 반도체 디바이스의 제작에 이용되는 패턴 레이아웃, 및 그 레이아웃에 따라서 마스크 패턴이 형성된 포토마스크에 대하여 설명된다. 본 발명은, 또한, 포토마스크를 이용한 반도체 장치의 제조 방법, 또한 설계 데이터로부터 포토마스크 상에 형성할 패턴 데이터를 작성하기 위한 데이터 작성 방법에 적용할 수 있다.

상기 실시예에서는, 위상 시프트 마스크를 예로 들어 설명한다. 위상 시프트 마스크에서의 라인의 투과율, 위상은 실시예에 아무런 한정되는 것은 아니고, 사양에 따라서 적절하게 변경 가능하다. 또한, 상기 실시예의 패턴 레이아웃은, 위상 시프트 마스크에 한하지 않고, 통상의 포토마스크에 적용하는 것도 가능하다. 또한, 집적 회로로서 동작하는 디바이스 패턴의 단부의 리소그래피 마진을 충분히 확보할 수 있는 경우에는, 더미 패턴을 생략하는 것도 가능하다.

상기 실시예에 따르면, 라인과 스페이스의 제1 디바이스 패턴과 그것보다도 폭이 넓은 제2 디바이스 패턴에 대하여, 더미 패턴과 보조 패턴이 부가된다. 이에 의해, 라인 앤드 스페이스의 패턴의 단부에서도 패턴의 해상성을 높일 수 있다. 또한, 더미 패턴 및 보조 패턴은 모두 고정 피치 상에 배치되어 주기성을 갖고 있다. 이 때문에, 이들의 패턴을 부가하는 것에 의한 리소그래피 마진의 저하나 CAD 처리 시간의 증대를 억제할 수 있다.

이상과 같이 본 발명은, 패턴 레이아웃, 포토마스크, 반도체 장치의 제조 방법, 데이터 작성 방법에 적용할 수 있는 것으로, 특히 다음의 (a)~(c)와 같은 구성을 특징으로 하고 있다.

(a) 메탈 배선

(a1) 집적 회로를 형성하기 위한 패턴 레이아웃으로서, 제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 제1 디바이스 패턴과, 상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된 제2 디바이스 패턴과, 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는 것과, 상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 구비한다.

(a2) 집적 회로를 형성하기 위한 노광 처리에 사용되는 포토마스크로서, 제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 제1 디바이스 패턴과, 상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된 제2 디바이스 패턴과, 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는 것과, 상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 구비한다.

(a3) (a2)에 기재된 포토마스크의 사용 방법으로서, 반도체 장치의 제조에서, 상기 포토마스크를 통해서, 반도체 기판 상의 레지스트막을 노광함으로써, 상기 제1 및 제2 디바이스 패턴을 상기 레지스트막에 전사하는 공정을 구비한다.

(a4) 포토마스크를 위한 데이터 작성 방법으로서, 제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 제1 디바이스 패턴과, 상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된 제2 디바이스 패턴과, 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는 것을 포함하는 설계 데이터를 준비하는 공정과, 상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치된, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 상기 설계 데이터에 머지하고, 포토마스크에 형성할 패턴 데이터를 작성하는 공정을 구비한다.

또한, (a1)~(a4)의 바람직한 실시 양태로서, 다음의 것을 들 수 있다.

(1) 상기 제2 디바이스 패턴은, 라인과 스페이스를 각각 1회 이상 교대로 반복하는 패턴을 구비하고, 상기 제2 디바이스 패턴의 상기 라인 및 상기 스페이스는, $P \times (2 \times N - 1) \times 0.8$ 내지 $P \times (2 \times N - 1) \times 1.2$ 의 패턴 폭을 가지며, 여기서 P는 상기 고정 피치, N은 자연수이다.

(2) 상기 보조 패턴은 라인 또는 스페이스를 구비하고, 상기 보조 패턴의 상기 라인 또는 스페이스는 $0.23 \times \lambda / NA$ 이하의 패턴 폭을 가지며, 여기서 λ 은 노광 파장, NA는 노광 장치의 개구 수이다.

(3) 상기 제1 및 제2 디바이스 패턴 사이에 배치된 상기 집적 회로의 회로의 회로 동작에 영향을 주지 않는 더미 패턴을 더 구비하고, 상기 더미 패턴은, 상기 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함한다.

(4) 상기 제1 디바이스 패턴, 상기 제2 디바이스 패턴, 및 상기 보조 패턴에 있어서, 각각의 스페이스 부분은, 노광 광에 관해서 서로 동일 위상으로 되도록 설정된다. 또한, 상기 제1 디바이스 패턴, 상기 제2 디바이스 패턴, 및 상기 보조 패턴에 있어서, 각각의 라인 부분은, 노광 광에 관해서 서로 동일 위상으로 또한 상기 스페이스 부분에 대하여 역 위상으로 되도록 설정된다.

(5) 상기 레지스트막의 노광은, 상기 포토마스크에 대하여 한 방향으로부터 비스듬히 광을 조사하는 공정을 구비한다.

(b) 게이트 배선

(b1) 고정 피치 상에 배치된 라인 앤드 스페이스 패턴 어레이의 단부에서의 NAND 플래시 메모리의 게이트 배선을 형성하는 패턴 레이아웃으로서, 상기 고정 피치 상에 배치된 셀렉트 게이트 및 그 주변의 디바이스 패턴과, 상기 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 구비하고, 상기 보조 패턴은, 상기 디바이스 패턴의 셀렉트 게이트의 패턴 내에 배치된 스페이스 보조 패턴과, 상기 디바이스 패턴의 셀렉트 게이트간 스페이스의 패턴 내에 배치된 라인 보조 패턴을 구비한다.

(b2) 고정 피치 상에 배치된 라인 앤드 스페이스 패턴 어레이의 단부에서의 NAND 플래시 메모리의 게이트 배선을 형성하는 패턴 레이아웃을 갖는, 집적 회로를 형성하기 위한 노광 처리에 사용되는 포토마스크로서, 상기 고정 피치 상에 배치된 셀렉트 게이트 및 그 주변의 디바이스 패턴과, 상기 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 구비하고, 상기 보조 패턴은, 상기 디바이스 패턴의 셀렉트 게이트의 패턴 내에 배치된 스페이스 보조 패턴과, 상기 디바이스 패턴의 셀렉트 게이트간 스페이스의 패턴 내에 배치된 라인 보조 패턴을 구비한다.

(b3) (b2)에 기재된 포토마스크의 사용 방법으로서, 반도체 장치의 제조에서, 상기 포토마스크를 통하여, 반도체 기판 상의 레지스트막을 노광함으로써, 상기 제1 및 제2 디바이스 패턴을 상기 레지스트막에 전사하는 공정을 구비한다.

(b4) 고정 피치 상에 배치된 라인 앤드 스페이스 패턴 어레이의 단부에서의 NAND 플래시 메모리의 게이트 배선을 형성하는 패턴 레이아웃을 갖는 포토마스크를 위한 데이터 작성 방법으로서, 상기 고정 피치 상에 배치된 셀렉트 게이트 및 그 주변의 디바이스 패턴을 포함하는 설계 데이터를 준비하는 공정과, 상기 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 상기 설계 데이터에 머지하여, 포토마스크에 형성할 패턴 데이터를 작성하는 공정을 구비하고, 상기 보조 패턴은, 상기 디바이스 패턴의 셀렉트 게이트의 패턴 내에 배치된 스페이스 보조 패턴과, 상기 디바이스 패턴의 셀렉트 게이트간 스페이스의 패턴 내에 배치된 라인 보조 패턴을 구비한다.

(C) 배선 인출

(c1) 고정 피치 상에 배치된 라인 앤드 스페이스 패턴으로부터 상부 배선의 콘택트를 행하는 인출선부에서의 NAND 플래시 메모리의 패턴 레이아웃으로서, 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴과, 상기 고정 피치로부터 떨어져 상기 고정 피치에 인접하여 배치된 인출 배선에 대응하는 패턴을 구비하고, 상기 인출 배선에 대응하는 패턴은, CAD 처리에 의한 광 근접 효과 보정이 실시된 패턴을 구비한다.

(c2) 고정 피치 상에 배치된 라인 앤드 스페이스 패턴으로부터 상부 배선의 콘택트를 행하는 인출선부에서의 NAND 플래시 메모리의 패턴 레이아웃을 갖는, 집적 회로를 형성하기 위한 노광 처리에 사용되는 포토마스크로서, 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴과, 상기 고정 피치 상으로부터 떨어져 상기 고정 피치에 인접하여 배치된 인출 배선에 대응하는 패턴을 구비하고, 상기 인출 배선에 대응하는 패턴은, CAD 처리에 의한 광 근접 효과 보정이 실시된 패턴을 구비한다.

(c3) (c2)에 기재된 포토마스크의 사용 방법으로서, 반도체 장치의 제조에서, 상기 포토마스크를 통해서, 반도체 기판 상의 레지스트막을 노광하는 것에 의해, 상기 제1 및 제2 디바이스 패턴을 상기 레지스트막에 전사하는 공정을 구비한다.

(c4) 고정 피치 상에 배치된 라인 앤드 스페이스 패턴으로부터 상부 배선의 콘택트를 행하는 인출선부에서의 NAND 플래시 메모리의 패턴 레이아웃을 갖는 포토마스크를 위한 데이터 작성 방법으로서, 상기 고정 피치 상으로부터 떨어져 상기 고정 피치에 인접하여 배치된 인출 배선에 대응하는 패턴을 포함하는 설계 데이터를 준비하는 공정과, 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴과, 상기 인출 배선에 대응하는 패턴에 CAD 처리에 의한 광 근접 효과 보정을 실시한 패턴을 설계 데이터에 머지하여, 포토마스크에 형성할 패턴 데이터를 작성하는 공정을 구비한다.

당업자에게는 부가적인 장점들 및 변형들이 자명할 것이다.

따라서, 최광의의 본 발명은 여기에서 도시되고 기술된 특정 설명들 및 대표적인 실시예들로 한정되지 않는다. 따라서, 첨부된 청구범위 및 그 균등물에 의하여 정의된 바와 같은 일반적인 발명 개념의 사상 또는 범위로부터 벗어나지 않으면서 다양한 변형들이 이루어질 수 있다.

발명의 효과

본 발명에 따르면, 집적 회로의 패턴 레이아웃, 그 레이아웃에 따라서 마스크 패턴이 형성된 포토마스크, 그 포토마스크를 사용한 반도체 장치의 제조 방법, 또한 설계 데이터로부터 포토마스크 상에 형성할 패턴 데이터를 작성하기 위한 데이터 작성 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

집적 회로를 형성하기 위한 패턴 레이아웃으로서,

제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 제1 디바이스 패턴과,

상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된 제2 디바이스 패턴과, 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는 것과,

상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 구비하는 패턴 레이아웃.

청구항 2.

제1항에 있어서,

상기 제1 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격과 동일한 패턴 폭을 갖는 패턴 레이아웃.

청구항 3.

제1항에 있어서,

상기 보조 패턴은 라인 또는 스페이스를 구비하고, 상기 보조 패턴의 상기 라인 또는 스페이스는 $0.23 \times \lambda / NA$ 이하의 패턴 폭을 갖고, 여기서, λ 는 노광 파장, NA는 노광 장치의 개구 수인 패턴 레이아웃.

청구항 4.

제1항에 있어서,

상기 제2 디바이스 패턴은, 라인과 스페이스를 각각 1회 이상 교대로 반복하는 패턴을 구비하고, 상기 제2 디바이스 패턴의 상기 라인 및 상기 스페이스는, $P \times (2 \times N - 1) \times 0.8$ 내지 $P \times (2 \times N - 1) \times 1.2$ 의 패턴 폭을 갖고, 여기서, P는 상기 고정 피치, N은 자연수인 패턴 레이아웃.

청구항 5.

제1항에 있어서,

상기 제1 디바이스 패턴은, NAND 플래시 메모리의 배선의 어레이에 대응하는 라인 앤드 스페이스 패턴을 구비하는 패턴 레이아웃.

청구항 6.

제1항에 있어서,

상기 제2 디바이스 패턴은, NAND 플래시 메모리의 메탈 배선의 어레이의 단부에 대응하는 라인 앤드 스페이스 패턴을 구비하는 패턴 레이아웃.

청구항 7.

제1항에 있어서,

상기 제2 디바이스 패턴은, NAND 플래시 메모리의 셀렉트 게이트 및 그 주변에 대응하는 패턴을 구비하는 패턴 레이아웃.

청구항 8.

제7항에 있어서,

상기 보조 패턴은, 셀렉트 게이트의 패턴 내에 배치된 스페이스 보조 패턴을 구비하는 패턴 레이아웃.

청구항 9.

제7항에 있어서,

상기 보조 패턴은, 셀렉트 게이트간 스페이스의 패턴 내에 배치된 라인 보조 패턴을 구비하는 패턴 레이아웃.

청구항 10.

제1항에 있어서,

상기 고정 피치 상으로부터 떨어져 상기 고정 피치에 인접하여 배치된 제3 디바이스 패턴을 더 구비하고, 상기 제3 디바이스 패턴은, CAD 처리에 의한 광 근접 효과 보정이 실시된 패턴을 구비하는 패턴 레이아웃.

청구항 11.

제10항에 있어서,

상기 제3 디바이스 패턴은, NAND 플래시 메모리의 인출 배선에 대응하는 패턴을 구비하는 패턴 레이아웃.

청구항 12.

제1항에 있어서,

상기 제1 및 제2 디바이스 패턴간에 배치된 상기 집적 회로의 회로 동작에 영향을 주지 않는 더미 패턴을 더 구비하고, 상기 더미 패턴은, 상기 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 패턴 레이아웃.

청구항 13.

제1항에 있어서,

상기 제1 디바이스 패턴, 상기 제2 디바이스 패턴, 및 상기 보조 패턴에 있어서, 각각의 스페이스 부분은, 노광 광에 관해서 서로 동일 위상으로 되도록 설정되는 패턴 레이아웃.

청구항 14.

제13항에 있어서,

상기 제1 디바이스 패턴, 상기 제2 디바이스 패턴, 및 상기 보조 패턴에 있어서, 각각의 라인 부분은, 노광 광에 관해서 서로 동일 위상으로 또한 상기 스페이스 부분에 대하여 역 위상으로 되도록 설정되는 패턴 레이아웃.

청구항 15.

집적 회로를 형성하기 위한 노광 처리에 사용되는 포토마스크로서,

제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 제1 디바이스 패턴과,

상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된 제2 디바이스 패턴과, 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는 것과,

상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치되고, 노광에 의해서 해상되지 않도록 설정된 보조 패턴

을 구비하는 포토마스크.

청구항 16.

제15항에 있어서,

상기 제1 및 제2 디바이스 패턴 사이에 배치된 상기 집적 회로의 회로 동작에 영향을 주지 않는 더미 패턴을 더 구비하고, 상기 더미 패턴은, 상기 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 포토마스크.

청구항 17.

반도체 장치의 제조 방법으로서,

제15항의 포토마스크를 이용하여, 반도체 기판 상의 레지스트막을 노광함으로써, 상기 제1 및 제2 디바이스 패턴을 상기 레지스트막에 전사하는 공정을 구비하는 반도체 장치의 제조 방법.

청구항 18.

제17항에 있어서,

상기 레지스트막에 전사를 행하기 위한 조명 방법은, 상기 포토마스크에 대하여 한 방향으로부터 비스듬히 광을 조사하는 조명법을 이용하는 반도체 장치의 제조 방법.

청구항 19.

포토마스크를 위한 데이터 작성 방법으로서,

제1 방향에 있어서 일정한 간격을 갖는 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 제1 디바이스 패턴과, 상기 고정 피치 상에서 상기 제1 방향에 있어서 상기 제1 디바이스 패턴으로부터 이격하여 배치된 제2 디바이스 패턴과, 상기 제2 디바이스 패턴은, 상기 고정 피치의 상기 일정한 간격의 3배 이상의 홀수배의 패턴 폭을 갖는 것을 포함하는 설계 데이터를 준비하는 공정과,

상기 제2 디바이스 패턴 내에서 상기 고정 피치 상에 배치된, 노광에 의해서 해상되지 않도록 설정된 보조 패턴을 상기 설계 데이터에 더지하여, 포토마스크에 형성할 패턴 데이터를 작성하는 공정

을 구비하는 데이터 작성 방법.

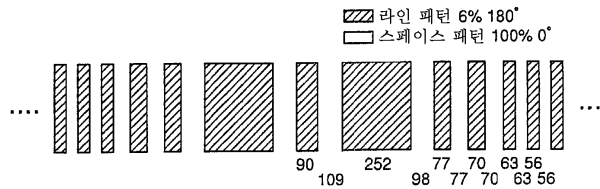
청구항 20.

제19항에 있어서,

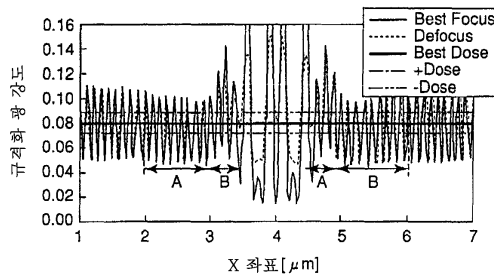
상기 제1 및 제2 디바이스 패턴 사이에 배치된 집적 회로의 회로 동작에 영향을 주지 않는 더미 패턴을, 상기 보조 패턴 외에, 상기 설계 데이터에 더 더지하여 패턴 데이터를 작성하는 공정을 구비하고, 상기 더미 패턴은, 상기 고정 피치 상에 교대로 배열된 라인과 스페이스를 포함하는 데이터 작성 방법.

도면

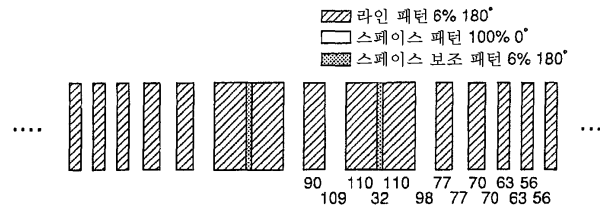
도면1



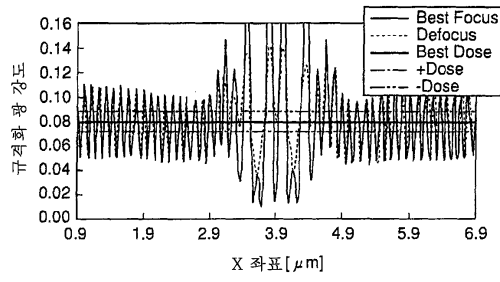
도면2



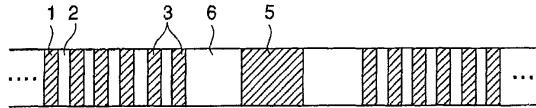
도면3



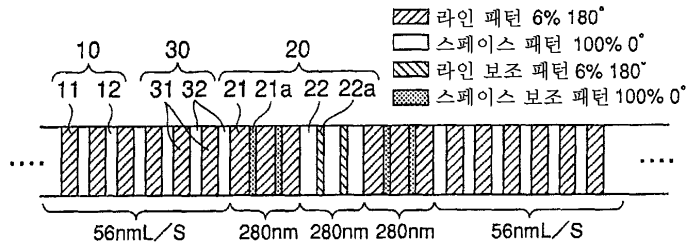
도면4



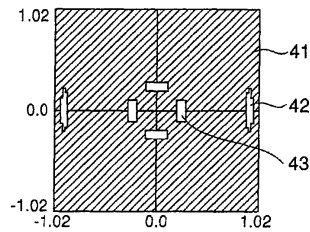
도면5



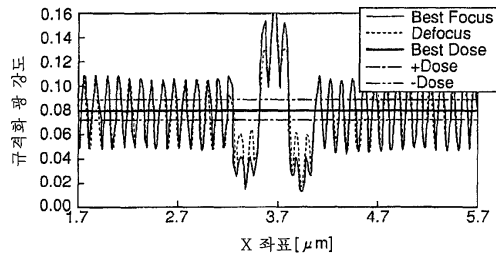
도면6



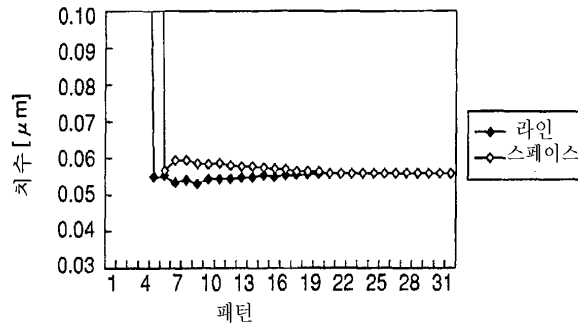
도면7



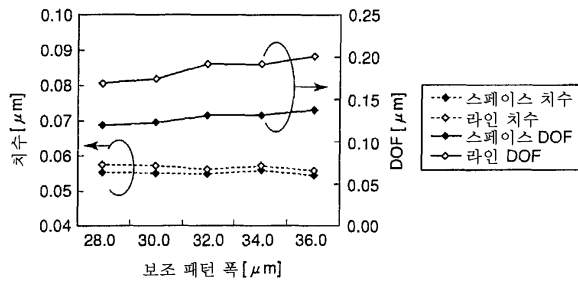
도면8



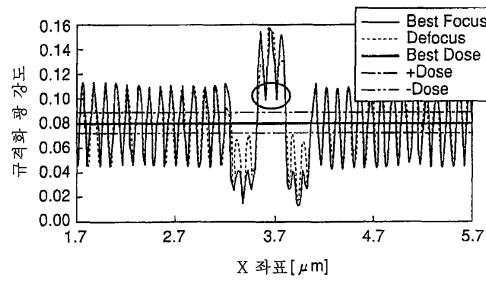
도면9



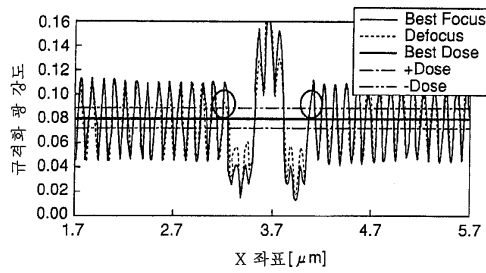
도면10



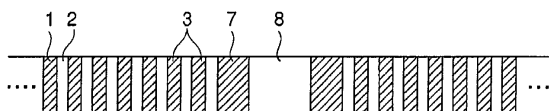
도면11



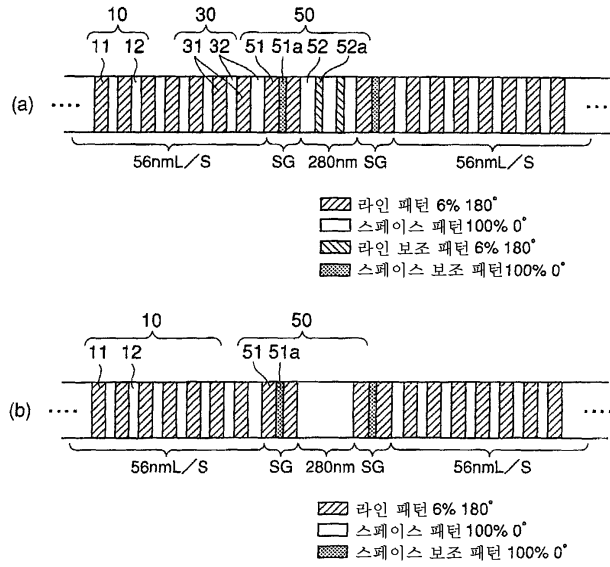
도면12



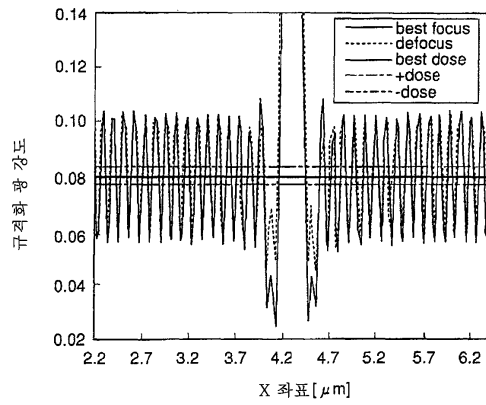
도면13



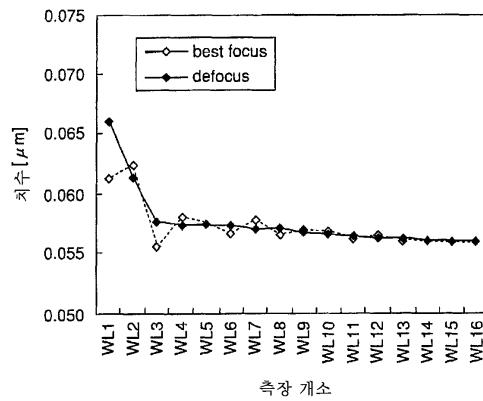
도면14



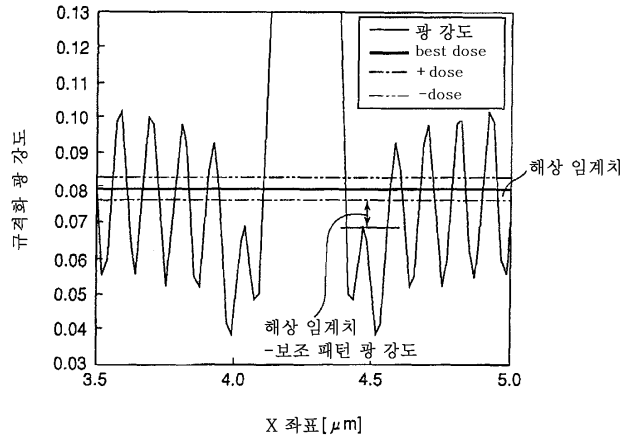
도면15



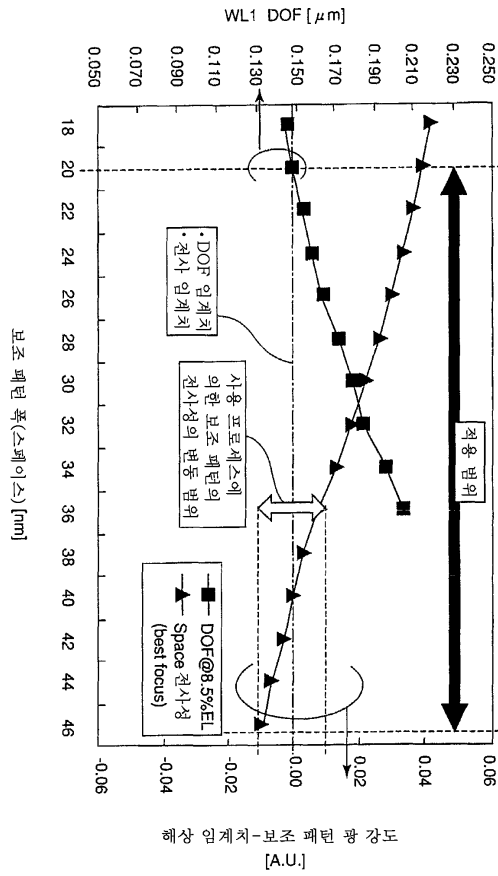
도면16



도면17



도면18



도면19

