(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4265068号
(P4265068)
(45)発行日　平成21年5月20日(2009.5.20)　(24)登録日　平成21年2月27日(2009.2.27)

(51)Int.Cl.　F I
H04N 7/26 (2006.01)　H04N 7/13 A

請求項の数 2　(全 65 頁)

(21)出願番号　特願2000-35379(P2000-35379)
(22)出願日　平成12年2月14日(2000.2.14)
(65)公開番号　特開2001-224044(P2001-224044A)
(43)公開日　平成13年8月17日(2001.8.17)
審査請求日　平成19年2月1日(2007.2.1)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100082131
弁理士　稲本　義雄
(72)発明者　近藤　哲二郎
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　中屋　秀雄
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　渡辺　勉
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

最終頁に続く

(54)【発明の名称】情報処理装置および方法

(57)【特許請求の範囲】
【請求項１】
画素データをシャフリングして出力する情報処理装置において、
前記画素データを書き込むバンクと、書き込まれた前記画素データを読み出すバンクとを交互に切り換える切り換え手段と、
前記画素データをカウントし、ライン内のアドレスを決定する第１の決定手段と、
前記第１の決定手段によりカウントされた値が、所定値になる毎にカウントし、ラインのアドレスを決定する第２の決定手段と、
前記第１の決定手段と前記第２の決定手段により決定された前記アドレスを加算することにより生成されるアドレスに基づき、前記画素データを、前記切り換え手段により書き込み用に切り換えられているバンクに書き込む書き込み手段と、
前記画素データをカウントし、ブロック内のアドレスを決定する第３の決定手段と、
前記第３の決定手段によりカウントされた値が、所定の値になる毎にカウントし、ブロックのアドレスを決定する第４の決定手段と、
前記第４の決定手段によりカウントされた値が、所定の値になる毎にカウントし、セグメントのアドレスを決定する第５の決定手段と、
前記第３の決定手段、前記第４の決定手段、および前記第５の決定手段により決定された、それぞれのアドレスを加算することにより生成されるアドレスに基づき、前記画素データを、前記切り換え手段により、読み出し用のバンクに切り換えられているバンクから読み出す読み出し手段と

を含むことを特徴とする情報処理装置。
【請求項２】
画素データをシャフリングして出力する情報処理方法において、
前記画素データを書き込むバンクと、書き込まれた前記画素データを読み出すバンクとを交互に切り換える切り換えステップと、
前記画素データをカウントし、ライン内のアドレスを決定する第１の決定ステップと、
前記第１の決定ステップでカウントされた値が、所定値になる毎にカウントし、ラインのアドレスを決定する第２の決定ステップと、
前記第１の決定ステップと前記第２の決定ステップで決定された前記アドレスを加算することにより生成されるアドレスに基づき、前記画素データを、前記切り換えステップで書き込み用に切り換えられているバンクに書き込む書き込みステップと、
前記画素データをカウントし、ブロック内のアドレスを決定する第３の決定ステップと、
前記第３の決定ステップでカウントされた値が、所定の値になる毎にカウントし、ブロックのアドレスを決定する第４の決定ステップと、
前記第４の決定ステップでカウントされた値が、所定の値になる毎にカウントし、セグメントのアドレスを決定する第５の決定ステップと、
前記第３の決定ステップ、前記第４の決定ステップ、および前記第５の決定ステップで決定された、それぞれのアドレスを加算することにより生成されるアドレスに基づき、前記画素データを、前記切り換えステップで、読み出し用のバンクに切り換えられているバンクから読み出す読み出しステップと
を含むことを特徴とする情報処理方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、情報処理装置および方法に関し、特に、シャフリングするデータを、読み出しに適したアドレスでメモリに書き込みを行う情報処理装置および方法に関する。
【０００２】
【従来の技術】
本出願人は、可変長符号化により発生する符号の情報量を目標値以下に制御する情報量制御回路を、例えば、特開昭６３－１１１７８１号公報として、先に提案している。この公報に記載のものは、積算型の度数分布表（ヒストグラム）を作成し、複数の閾値と度数分布表との関係から発生する符号の情報量を計算するもので、閾値を可変にしたとき、発生する情報量を簡単に求めることを可能としたものである。
【０００３】
また、特願平１０－３０２２７３号において、本出願人は、簡単な構成で回路規模を縮小できる情報量制御回路を提案している。ここで開示されている発明は、複数の閾値と符号化するデータの所定のデジタルデータ（例えば、ダイナミックレンジ）とをそれぞれ比較し、閾値以上で発生する出力の発生度数を積算し、その積算値を所定の期間、更に加算して発生する符号の情報量の総量を求めて、その総量に基づき閾値を変化させるものである。
【０００４】
【発明が解決しようとする課題】
しかしながら、このような情報量制御回路を利用して、データを符号化する回路は、情報量制御回路に符号化の対象となるデータを供給するメモリおよび符号化回路に符号化の対象となるデータを供給するメモリが必要となり、その規模が大きくなる。
【０００５】
本発明はこのような状況に鑑みてなされたものであり、読み出しに適した配置でデータをメモリに書き込みすることにより、回路規模を縮小することを目的とする。
【０００６】
【課題を解決するための手段】

請求項１に記載の情報処理装置は、画素データを書き込むバンクと、書き込まれた画素データを読み出すバンクとを交互に切り換える切り換え手段と、画素データをカウントし、ライン内のアドレスを決定する第１の決定手段と、第１の決定手段によりカウントされた値が、所定値になる毎にカウントし、ラインのアドレスを決定する第２の決定手段と、第１の決定手段と第２の決定手段により決定されたアドレスを加算することにより生成されるアドレスに基づき、画素データを、切り換え手段により書き込み用に切り換えられているバンクに書き込む書き込み手段と、画素データをカウントし、ブロック内のアドレスを決定する第３の決定手段と、第３の決定手段によりカウントされた値が、所定の値になる毎にカウントし、ブロックのアドレスを決定する第４の決定手段と、第４の決定手段によりカウントされた値が、所定の値になる毎にカウントし、セグメントのアドレスを決定する第５の決定手段と、第３の決定手段、第４の決定手段、および第５の決定手段により決定された、それぞれのアドレスを加算することにより生成されるアドレスに基づき、画素データを、切り換え手段により、読み出し用のバンクに切り換えられているバンクから読み出す読み出し手段とを含むことを特徴とする。

【０００７】

請求項２に記載の情報処理方法は、画素データを書き込むバンクと、書き込まれた画素データを読み出すバンクとを交互に切り換える切り換えステップと、画素データをカウントし、ライン内のアドレスを決定する第１の決定ステップと、第１の決定ステップでカウントされた値が、所定値になる毎にカウントし、ラインのアドレスを決定する第２の決定ステップと、第１の決定ステップと第２の決定ステップで決定されたアドレスを加算することにより生成されるアドレスに基づき、画素データを、切り換えステップで書き込み用に切り換えられているバンクに書き込む書き込みステップと、画素データをカウントし、ブロック内のアドレスを決定する第３の決定ステップと、第３の決定ステップでカウントされた値が、所定の値になる毎にカウントし、ブロックのアドレスを決定する第４の決定ステップと、第４の決定ステップでカウントされた値が、所定の値になる毎にカウントし、セグメントのアドレスを決定する第５の決定ステップと、第３の決定ステップ、第４の決定ステップ、および第５の決定ステップで決定された、それぞれのアドレスを加算することにより生成されるアドレスに基づき、画素データを、切り換えステップで、読み出し用のバンクに切り換えられているバンクから読み出す読み出しステップとを含むことを特徴とする。

【０００８】

請求項１に記載の情報処理装置と請求項２に記載の情報処理方法においては、画素データをカウントすることによりライン内のアドレスが決定され、そのアドレスが所定値になる毎にカウントすることによりラインのアドレスが決定され、決定されたアドレスを加算することにより生成されるアドレスに基づき、画素データが、書き込み用のバンクに書き込まれる。そして、画素データがカウントされ、ブロック内のアドレスが決定され、そのアドレスが所定の値になる毎にカウントされ、ブロックのアドレスが決定され、そのアドレスが所定の値になる毎にカウントされ、セグメントのアドレスが決定され、それぞれのアドレスが加算されることにより生成されるアドレスに基づき、画素データを、読み出し用のバンクから読み出される。

【０００９】

【発明の実施の形態】

図１は、本発明に係る画像を送受信する画像伝送システムを説明する図である。送信装置１は、入力されたビデオ信号を、本発明に係る方式で圧縮し、符号化し、パケットの形式に変換し、伝送路を介して、受信装置２に送信する。受信装置２は、伝送路を介して送信されたパケットを受信し、パケットに含まれるデータを本発明に係る方式で復号して、伸張し、ビデオ信号として出力する。伝送路において、パケットに含まれるデータは、輻輳などにより、欠落することがある。また、伝送路を構成するＡＴＭ交換機（図示せず）の処理能力を超えたような場合、パケットそのものが、失われることがある。

【００１０】

図２は、本発明に係る送信装置１の一実施の形態の構成を示すブロック図である。Ｙ／Ｃ分離クロマデコーダ１１は、アナログコンポジットビデオ信号、または輝度信号Ｙとクロマ信号Ｃのようなアナログコンポーネント信号（Ｙ／Ｃ信号）のいずれか１つの信号が入力されると、その信号を、輝度信号Ｙ、色信号Ｕ，Ｖのようなコンポーネント信号（Ｙ／Ｕ／Ｖ信号）に変換し、セレクタ１２に供給する。セレクタ１２は、Ｙ／Ｃ分離クロマデコーダ１１から供給されたＹ／Ｕ／Ｖ信号、または初めからＹ／Ｕ／Ｖ信号のフォーマットで入力された信号の一方を選択し、間引き部１３に供給する。このＹ／Ｕ／Ｖ信号は、例えば、スタンダードデンシティ（ＳＤ）、４：２：２、フィールド周波数６０Ｈｚ、およびインターレースフォーマット形式の信号である。

【００１１】

間引き部１３は、セレクタ１２から供給されたＹ信号、Ｕ信号、およびＶ信号を、それぞれ後述する方式で間引きして、フォーマット変換回路１４に供給する。間引き部１３は、前置フィルタ４１、Ａ／Ｄ変換回路４２、間引きフィルタ４３、外部メモリ４４、ＵＶ垂直１／２回路４５、および外部メモリ４６で構成される。

【００１２】

前置フィルタ４１は、入力されたＹ信号、Ｕ信号、およびＶ信号の、それぞれ所定の周波数帯域のみを出力するローパスフィルタである。前置フィルタ４１の出力は、Ａ／Ｄ変換回路４２に供給される。

【００１３】

Ａ／Ｄ変換回路４２は、入力されたＹ信号、Ｕ信号、およびＶ信号をサンプリングし、それぞれを、例えば、８ビットのデータとする。Ａ／Ｄ変換回路４２に入力されたアナログＹ信号は、サンプリングされることにより、水平方向に５２８画素および垂直方向に４８０画素を含むＹデータとして、間引きフィルタ４３に出力される。

【００１４】

Ａ／Ｄ変換回路４２に入力されたアナログＵ信号は、サンプリングされることにより、水平方向に１７６画素および垂直方向に４８０画素を含むＵデータとして間引きフィルタ４３に出力される。Ａ／Ｄ変換回路４２に入力されたアナログＶ信号は、サンプリングされることにより、水平方向に１７６画素および垂直方向に４８０画素を含むＶデータとして間引きフィルタ４３に出力される。

【００１５】

従って、Ａ／Ｄ変換回路４２の出力は、３：１：１のフォーマットの信号となっている。

【００１６】

間引きフィルタ４３は、入力されたＹデータ、Ｕデータ、およびＶデータを一時的に外部メモリ４４に記憶させ、一時的に記憶させたＹデータ、Ｕデータ、およびＶデータを、それぞれ水平方向に１／２および垂直方向に１／２に間引きし、ＵＶ垂直１／２回路４５に供給する。

【００１７】

ＵＶ垂直１／２回路４５は、間引きフィルタ４３から供給されたＹデータ、Ｕデータ、およびＶデータを一時的に外部メモリ４６に記憶させ、一時的に記憶させたＵデータおよびＶデータを、それぞれ垂直方向に１／２に間引きし、Ｙデータ、Ｕデータ、およびＶデータをフォーマット変換回路１４に出力する。

【００１８】

従って、間引き部１３より出力される信号は、３：０．５：０．５の信号となる。

【００１９】

フォーマット変換回路１４は、間引き部１３から供給されたＹデータ、Ｕデータ、およびＶデータを、後述する方式で並び替えて、ブロック構造として、符号化回路１５に供給する。

【００２０】

符号化回路１５は、フォーマット変換回路１４から供給されたＹデータ、Ｕデータ、およびＶデータを一時的に外部メモリ１６に記憶させ、外部メモリ１６にに記憶されたＹデー

タ、Ｕデータ、およびＶデータを、記憶と読み出しのアドレスを変えることでシャフリングして、ＡＤＲＣ（Adaptive Dynamic Range Coding）方式で符号化し、シャフリングして、パケット化回路１７に出力する。

【００２１】

ＡＤＲＣ方式は、入力された画像のデータのダイナミックレンジ（ＤＲ）に適応した可変長の符号を出力する可変長符号化方式である。画像のデータは、複数の画素からなるブロック（後述するＡＤＲＣブロック）に分割され、各ブロックに含まれる画素値の最大値および最小値の差であるダイナミックレンジが検出される。ブロックのダイナミックレンジを基に、各画素値を元の量子化ビット数（例えば、８ビット）よりも少ないビット数で、再量子化する。ダイナミックレンジが小さいほど、少ないビット数で再量子化することができ、量子化ひずみの増大を抑えつつ、画素の画素値の冗長度のみを除去して、更にデータ量を少なくすることが可能である。

【００２２】

ＡＤＲＣ方式は、ダイナミックレンジの大きさに関連して量子化ビット数を選択するものである。ダイナミックレンジの大小関係を判断するために、動きなどに対応した閾値が使用される。再量子化のためのビット数として、例えば、２ビット、３ビット、または４ビットのいずれか１つを割り当てるとき、動きまたはダイナミックレンジ毎の量子化テーブルに記憶された閾値Ｔ１およびＴ２（但し、Ｔ１＜Ｔ２）が使用される。受信側でも、同じ量子化テーブルが使用される。

【００２３】

ダイナミックレンジが（Ｔ１－１）以下であるブロックでは、画素値に対するコードに、２ビットが割り当てられる。ダイナミックレンジがＴ１以上で（Ｔ２－１）以下であるブロックでは、画素値に対するコードに、３ビットが割り当てられる。ダイナミックレンジがＴ２以上であるブロックでは、画素値に対するコードに、４ビットが割り当てられる。画素値に対するコードに割り当てられたビット数をｑとする。

【００２４】

符号化は、２フレームを３０分割して作成される、８８個のＡＤＲＣブロックを単位（この単位をバッファと称する）として実行される。１つのバッファに対して生成されるコードが、ここでは、16,104ビット以下になるように、閾値Ｔ１およびＴ２を記憶した量子化テーブルは、１つのバッファに対して１つ選択される。選択された量子化テーブルは、ＴＩで示されるテーブルインデックスで指定される。１つのバッファに対して生成されるコードが、16,104ビット以下になるようにすることで、符号化された画像のデータの情報を、8Mbpsとすることができる。

【００２５】

ダイナミックレンジが２のｑ乗より大きいとき、画素値に対するコードＱは、

［（Ｌ－ＭＩＮ＋０．５）×２ｑ／ＤＲ］

で算出される。［］は、小数点以下の切り捨てを表す。Ｌは、画素値を表し、ＭＩＮは、ブロック内の画素の画素値の最小値を表す。ＤＲは、ブロックのダイナミックレンジを表す。ダイナミックレンジが２のｑ乗以下のとき、画素値に対するコードＱは、Ｌ－ＭＩＮで算出される。

【００２６】

符号化回路１５は、符号化されたデータとして、量子化テーブルを指定するテーブルインデックスＴＩ、ダイナミックレンジＤＲ、ブロック内の画素の画素値の最小値ＭＩＮ、動きを示す動きフラグＭＦ、および画素値に対応するコードＱを出力する。テーブルインデックスＴＩ、ダイナミックレンジＤＲ、ブロック内の画素の画素値の最小値ＭＩＮ、および動きを示す動きフラグＭＦの長さ（ビット数）は、８ビットで固定である。一方、画素値に対するコードＱの長さは、変化する。

【００２７】

パケット化回路１７は、符号化回路１５から供給された、符号化データを、一時的に外部メモリ１８に記憶させ、一時的に記憶された符号化データを、１．６Ｋビット毎に分割し

、ヘッダ等を付加してパケット化し、送信回路１９に供給する。送信回路１９は、パケット化回路１７から供給されたパケットを所定の伝送方式で変調して、伝送路を介して送信する。

【００２８】

ＰＬＬ回路２０は、画像に同期した基準信号を生成し、コントロール回路２１に基準信号を供給する。コントロール回路２１は、間引き部１３、フォーマット変換回路１４、符号化回路１５、外部メモリ１６、パケット化回路１７、外部メモリ１８、および送信回路１９に、ＰＬＬ回路２０から供給された基準信号に基づく、コントロール信号を供給し、送信装置１全体の動作を制御する。

【００２９】

図３を参照して、送信装置１に入力された画像信号が圧縮される過程を説明する。６０Ｈｚのフィールド周波数を有する、インターレース方式のＹ信号は、Ａ／Ｄ変換回路４２により、１フィールド当たり水平方向に５２８画素および垂直方向に４８０画素のＹデータに変換される。６０Ｈｚのフィールド周波数を有する、インターレース方式のＵ信号およびＶ信号は、水平方向に１７６画素および垂直方向に４８０画素のＵデータおよびＶデータにそれぞれ変換される。Ａ／Ｄ変換回路４２に入力される画像の信号の情報は166Mbpsに相当し、Ａ／Ｄ変換回路４２から出力される画像のデータの情報は104Mbpsとなり、６２％の情報量に圧縮される。

【００３０】

６０Ｈｚのフィールド周波数を有する、インターレース方式の１フレーム当たり水平方向に５２８画素および垂直方向に４８０画素を含むＹデータは、間引きフィルタ４３により、３０Ｈｚのフレーム周波数を有する、プログレッシブ方式の１フレーム当たり水平方向に２６４画素および垂直方向に２４０画素を含むデータに圧縮される。６０Ｈｚのフィールド周波数を有する、インターレース方式の１フレーム当たり水平方向に１７６画素および垂直方向に４８０画素を含むＵデータおよびＶデータは、間引きフィルタ４３により、３０Ｈｚのフレーム周波数を有する、プログレッシブ方式の１フレーム当たり水平方向に８８画素および垂直方向に２４０画素を含むデータにそれぞれ圧縮される。

【００３１】

１フレーム当たり水平方向に８８画素および垂直方向に２４０画素を含むＵデータおよびＶデータは、ＵＶ垂直１／２回路４５により、水平方向に８８画素および垂直方向に１２０画素を含むデータにそれぞれ圧縮される。ＵＶ垂直１／２回路４５から出力される画像のデータの情報は、21Mbpsとなり、送信装置１に入力される信号の情報と比較し、１３％の情報量に圧縮される。

【００３２】

このように、間引き部１３で間引き処理を行うことで、後段の各回路の構成を簡略化し、伝送路におけるビットレートを、実用的な充分小さい値に設定することができる。

【００３３】

３０Ｈｚのフレーム周波数を有する、プログレッシブ方式の１フレーム当たりそれぞれ水平方向に８８画素および垂直方向に１２０画素を含むＵデータおよびＶデータは、フォーマット変換回路１４により、８８画素×１２０画素のデータを２つ合わせたデータに変換される。

【００３４】

１フレーム当たり水平方向に２６４画素および垂直方向に２４０画素を有するＹデータ並びに８８画素×１２０画素×２のＵデータおよびＶデータが符号化回路１５により符号化される。符号化された画像のデータの情報は、8Mbpsとなり、送信装置１に入力されるアナログ信号の情報と比較し、５％の情報量に圧縮される。

【００３５】

以上のように、送信装置１は、画像信号を圧縮して符号化する。

【００３６】

図４は、間引きフィルタ４３の構成を示すブロック図である。インターレース方式のＹデ

ータは、水平方向のラインに沿って、水平１／２回路６１に供給される。水平１／２回路６１は、遅延回路（レジスタ）７１－１乃至７１－Ｎ、乗算回路７２－１乃至７２－Ｎ、および加算回路７３で構成されている。

【００３７】

ハーフバンドフィルタである水平１／２回路６１に順次入力されたＹデータは、遅延回路７１－１乃至７１－Ｎにより、それぞれ水平方向の１画素分だけ遅延され、順次後段に出力される。乗算回路７２－１乃至７２－Ｎは、入力されたＹデータ（画素）に１／Ｎを乗じて、加算回路７３に出力する。加算回路７３は、乗算回路７２－１乃至７２－Ｎから供給されたデータを加算し、垂直１／２回路６２に出力する。

【００３８】

ハーフバンドフィルタである垂直１／２回路６２は、ラッチ回路８１、フィールドＦＩＦＯ（Fast In Fast Out)８２、加算回路８３、およびラッチ回路８４から構成されている。水平１／２回路６１から出力されたデータは、ラッチ回路８１に供給される。ラッチ回路８１は、クロック信号が入力されたとき、入力されたデータをラッチし、ラッチしたデータを出力する。

【００３９】

水平１／２回路６１の動作を図５を参照して説明する。フレームの水平方向に順次入力された、Ｙデータ（図５に白い丸印で示す画素）は、遅延回路７１－１乃至７１－Ｎにより保持され、乗算回路７２－１乃至７２－Ｎによりそれぞれ係数が乗算される。乗算回路７２－１乃至７２－Ｎの出力は、加算回路７３で加算された後、ラッチ回路８１に出力される。ラッチ回路８１には、図５の黒い４角形に対応するタイミングで、ラッチを指示するクロック信号が入力される。図５の例では、水平方向に、２画素のデータが転送される度に１つのクロックがラッチ回路８１に入力されるので、例えば、Ｎ＝２で、各係数の値が１／２の場合、隣接する２個の画素の平均値が、図５の黒い４角形で示すタイミングでラッチ回路８１にラッチされる。このように、ラッチ回路８１がラッチする画素の数は、間引きフィルタ４３に入力されたデータの画素の数の１／２となる。

【００４０】

ラッチ回路８１によりラッチされた値は、フィールドＦＩＦＯ８２および加算回路８３に供給される。フィールドＦＩＦＯ８２は、ラッチ回路８１から供給された水平方向に１／２に間引かれた第１フィールドの画素のデータを記憶して、１フィールド分遅延させ、加算回路８３に出力する。加算回路８３は、ラッチ回路８１およびフィールドＦＩＦＯ８２から供給されたデータを加算して、ラッチ回路８４に供給する。ラッチ回路８４は、イネーブル信号が入力されたとき、入力されたデータをラッチする。

【００４１】

垂直１／２回路６２の動作を図６を参照して説明する。第１フィールドの任意の画素（図６に示す第１フィールド上の黒い４角形の画素）のＹデータ、および第１フィールドの画素と画面の水平方向に同一の位置で、１つ下のラインの第２フィールドの画素（図６に示す、第１フィールド上の黒い４角形の画素の右下に位置する第２フィールド上の黒い４角形の画素）のデータが、加算回路８３により加算された後、ラッチ回路８４に出力される。従って、ラッチ回路８４には、第１フィールドと第２フィールドの画素の平均値（図６に白い４角形で示す画素に相当する）がラッチされる。

【００４２】

このように、ラッチ回路８４の出力は、ラッチ回路８１から出力された画素のデータに対して、第１フィールドおよび第２フィールドの間で、１／２に間引きされ、次に、第３フィールドおよび第４フィールドの間で、１／２に間引きされ、３０Ｈｚのフレーム周波数を有する、プログレッシブ方式のＹデータとなる。

【００４３】

ＵデータおよびＶデータも、同様に水平方向と垂直方向に１／２に間引きされ、３０Ｈｚのフレーム周波数を有する、プログレッシブ方式のフォーマットのデータとなる。

【００４４】

以上のように、間引きフィルタ４３から出力される画像のＹデータ、Ｕデータ、およびＶデータは、それぞれ間引きされた３０Ｈｚのフレーム周波数を有する、プログレッシブ方式のフォーマットのデータとなる。

【００４５】

次に、ＵＶ垂直１／２回路４５について説明する。図７は、ＵＶ垂直１／２回路４５の構成を示すブロック図である。ＵＶ垂直１／２回路４５には、間引きフィルタ４３より、間引きされた３０Ｈｚのフレーム周波数を有する、プログレッシブ方式のＵデータおよびＶデータが入力される。入力されたデータは、ラインＦＩＦＯ９１－１乃至９１－６により、１ライン分ずつ、順次遅延され、後段に供給される。乗算回路９２－１は、入力されたデータに係数を乗じて、加算回路９３に出力する。乗算回路９２－２乃至９２－７は、それぞれラインＦＩＦＯ９１－２乃至９１－６より入力されたデータに、係数を乗算して加算回路９３に出力する。

【００４６】

加算回路９３は、乗算回路９２－１乃至９２－７から供給されたデータを加算して、ラッチ回路９４に供給する。ラッチ回路９４は、クロック信号が入力されたとき、入力されたデータをラッチする。

【００４７】

ＵＶ垂直１／２回路４５の動作を図８を参照して説明する。連続する７本のライン上の、画面の水平方向に同一の位置の画素（図８に白い４角形で示す画素）のデータが乗算回路９２－１乃至９２－７に入力される。乗算回路９２－１乃至９２－７は、入力されたデータに、それぞれ係数を乗算する。加算回路９３は乗算回路９２－１乃至９２－７の出力を加算して、出力する。ラッチ回路９４には、２ラインに１回のタイミング（図８に黒い丸印で示すタイミング）で、ラッチ信号が入力される。このように、ＵＶ垂直１／２回路４５は、入力されたＵデータおよびＶデータのラインの本数を１／２に間引いて、出力する。

【００４８】

なお、ＵＶ垂直１／２回路４５は、Ｙデータを通過させる。

【００４９】

次に、符号化回路１５について説明する。図９は、符号化回路１５の構成を示すブロック図である。コントロール回路２１から供給されるコントロール信号は、タイミング信号生成回路１０１に入力される。タイミング信号生成回路１０１は、入力されたコントロール信号を基に、タイミング信号を生成し、ブロックシャフル回路１０２、ＡＤＲＣ符号化回路１０３、およびセグメント間シャフル回路１０４に供給する。

【００５０】

フォーマット変換回路１４により、変換されたＹデータ、Ｕデータ、およびＶデータは、ブロックシャフル回路１０２に入力される。ブロックシャフル回路１０２は、供給されたＹデータ、Ｕデータ、およびＶデータを外部メモリ１６の所定の位置に一時的に記憶させる。ブロックシャフル回路１０２は、外部メモリ１６に記憶させたＹデータ、Ｕデータ、およびＶデータを、後述するＡＤＲＣブロックの形式に並び換え、後述するセグメントの範囲で、かつＡＤＲＣブロック単位でシャフルし、ＡＤＲＣ符号化回路１０３に供給する。

【００５１】

ＡＤＲＣ符号化回路１０３は、ブロックシャフル回路１０２から供給されたＹデータ、Ｕデータ、およびＶデータを、ＡＤＲＣ方式に基づき符号化し、セグメント間シャフル回路１０４に供給する。セグメント間シャフル回路１０４は、供給されたＡＤＲＣで符号化されたデータを外部メモリ２２の所定の位置に、一時的に記憶させる。

【００５２】

セグメント間シャフル回路１０４は、外部メモリ２２に記憶させたＡＤＲＣデータを、記憶と読み出しのアドレスを変えることで、シャフルする。セグメント間シャフル回路１０４におけるシャフルは、伝送路におけるデータの欠落が発生しても、受信装置２が、ダイ

ナミックレンジＤＲ、最小値ＭＩＮ、および動きフラグＭＦいずれかを受信できる可能性を高め、また、伝送路におけるデータの欠落が発生しても、受信装置２が、各コードＱを分けて抽出しやすくすることを目的とする。

【００５３】

図１０は、ブロックシャフル回路１０２の構成を示すブロック図である。タイミング信号生成回路１０１が生成したタイミング信号は、コントローラ１２１に供給される。コントローラ１０１は、タイミング信号を基に、所定のデータ選択用の信号を生成し、タイミング信号と共に、セレクタ１２３およびアドレス発生回路１２４に供給する。Ｙデータは、遅延回路１２２－１を介して、所定のタイミングでセレクタ１２３に入力される。Ｕデータまたはｖデータは、遅延回路１２２－２を介して、所定のタイミングでセレクタ１２３に入力される。

【００５４】

セレクタ１２３は、コントローラ１２１から供給された信号を基に、遅延回路１２２－１から入力されたＹデータ、または遅延回路１２２－２から入力されたＵデータ若しくはｖデータを選択し、メモリインターフェース１２５に供給する。

【００５５】

アドレス発生回路１２４は、コントローラ１２１から供給された信号を基に、メモリインターフェース１２５が外部メモリ１６にＹデータ、Ｕデータ、若しくはｖデータを書き込むときのアドレス、またはメモリインターフェース１２５が外部メモリ１６からＹデータ、Ｕデータ、若しくはｖデータを読み出すときのアドレスを生成し、メモリインターフェース１２５に供給する。

【００５６】

メモリインターフェース１２５は、所定のタイミングで、アドレス発生回路１２４から供給されたアドレスを基に、セレクタ１２３から供給されたＹデータ、Ｕデータ、またはｖデータを、外部メモリ１６に記憶させる。また、メモリインターフェース１２５は、所定のタイミングで、アドレス発生回路１２４から供給されたアドレスを基に、外部メモリ１６に記憶されているＹデータ、Ｕデータ、またはｖデータを読み出し、後述するADRCブロック単位で、ADRC符号化回路１０３に出力する。

【００５７】

図１１は、アドレス発生回路１２４の構成を示すブロック図である。コントローラ１２１から供給されたタイミング信号は、バンク切り替え用フリップフロップ１３１、ライトアドレス発生回路１３２、およびリードアドレス発生回路１３３に供給される。コントローラ１２１から供給されるタイミング信号は、フレームの読み出しを開始させるパルス、フレームの終わりを示し、書き込むメモリのバンクを切り換えるパルス、扱うデータがＹデータであるかＣデータであるかを示すフラグ、扱うデータがＣデータのとき、そのデータがＵデータかｖデータかを示すフラグ、ブロックの処理を開始させるパルス、および次段のADRC符号化回路１０３が可変長の見積もりを行っている（バッファリング）か、符号化（エンコーディング）を行っているかを示すフラグである。

【００５８】

バンク切り替え用フリップフロップ１３１は、タイミング信号を基に、外部メモリ１６のバンク指定用の信号を生成し、ライトアドレス発生回路１３２に供給する。

【００５９】

ライトアドレス発生回路１３２は、バンク切り替え用フリップフロップ１３１から供給された外部メモリ１６のバンク指定用の信号、およびコントローラ１２１から供給されたタイミング信号を基に、メモリインターフェース１２５が、セレクタ１２３から供給されたＹデータ、Ｕデータ、またはｖデータを、外部メモリ１６に記憶させるときのアドレスを生成し、セレクタ１３４に供給する。

【００６０】

リードアドレス発生回路１３３は、バンク切り替え用フリップフロップ１３１から供給された外部メモリ１６のバンク指定用の信号、およびコントローラ１２１から供給されたタ

イミング信号を基に、メモリインターフェース１２５が、外部メモリ１６に記憶されているＹデータ、Ｕデータ、またはＶデータを読み出し、ADRC符号化回路１０３に出力するときのアドレスを生成し、セレクタ１３４に供給する。

【００６１】

セレクタ１３４は、ライトアドレス発生回路１３２から供給されたアドレスまたはリードアドレス発生回路１３３から供給されたアドレスのいずれかを選択し、アドレス信号として、メモリインターフェース１２５に出力する。

【００６２】

次に、ライトアドレス発生回路１３２が生成するアドレスについて説明する。ライトアドレス発生回路１３２は、外部メモリ１６に、Ｙデータ、Ｕデータ、およびＶデータが、図１２に示すように記憶されるようにアドレスを発生する。外部メモリ１６は、アドレス00000h乃至3FFFFhのアドレスを有するバンク０およびアドレス40000h乃至7FFFFhのアドレスを有するバンク１の２つのバンクを有し、２つのフレームを単位として、１つのバンクにＹデータ、Ｕデータ、およびＶデータが記憶される。なお、"h"は、それが付された数値は、１６進数であることを表す。

【００６３】

アドレスは、A18（MSB）からA0(LSB)までの１９ビットで表現され、A18乃至A10の上位９ビットで行が指定され、A9乃至A0の下位１０ビットで行内の横方向の位置が指定される。

【００６４】

フレーム０のＹデータは、アドレス00000hを先頭に、所定のライン単位で記憶される。フレーム０のＵデータは、アドレス10000hを先頭に、所定のライン単位で記憶される。フレーム０のＶデータは、アドレス18000hを先頭に、所定のライン単位で記憶される。

【００６５】

フレーム１のＹデータは、アドレス20000hを先頭に、所定のライン単位で記憶される。フレーム１のＵデータは、アドレス30000hを先頭に、所定のライン単位で記憶される。フレーム１のＶデータは、アドレス38000hを先頭に、所定のライン単位で記憶される。

【００６６】

フレーム０およびフレーム１の次の２つのフレームである、フレーム２およびフレーム３は、バンク１に記憶される。また、フレーム０およびフレーム１の前の２つのフレームである、フレーム－１およびフレーム－２は、バンク１に記憶される。バンク１にＹデータ、Ｕデータ、およびＶデータが記憶される場合、バンク０に記憶されるとき生成されるアドレスに40000hを加えたアドレスが指定される。

【００６７】

図１３は、外部メモリ１６に記憶されているＹデータ、Ｕデータ、およびＶデータのアドレスとラインの関係を説明する図である。ライン０は、画面の最も上に位置する画素の水平方向の並びをいい、ライン２３９は、画面の最も下に位置する画素の水平方向の並びをいう。ラインの番号は、上から順に、１ずつ増える。

【００６８】

フォーマット変換回路１４が出力するＹデータは、ライトアドレス発生回路１３３が発生するアドレスに従って、２４ライン単位で並びかえられる。すなわち、横方向に、ライン０、ライン２４、ライン４８、・・・と配列され、ライン２１６の次に、次の行の先頭に戻り、そこにライン１が配置される。ライン１から同様に、横方向にライン１、ライン２５、ライン４９、・・・と配置される。このような順番でライン単位で供給された画素値が外部メモリ１６に記憶される。なお、１ライン当たりの画素の数は、２６４（１６進数で表現すると、108h）である。

【００６９】

以上のように、Ｙデータをライン単位で、外部メモリ１６に記憶させると、図２６を参照して後述するセグメント毎に画素値が連続して記憶されることになる。ＵデータおよびＶデータも、所定のライン単位で、同様に記憶される。

【００７０】

このように、フォーマット変換回路１４から出力されたデータを外部メモリ１６に書き込む際にアドレスを発生するライトアドレス発生回路３２の構成を図１４に示す。コントローラ１２１から供給されたタイミング信号は、Ｕピクセルカウンタ１４１、Ｖピクセルカウンタ１４２、およびＹピクセルカウンタに供給される。Ｕピクセルカウンタ１４１は、タイミング信号に基づき、Ｕデータの書き込み先のアドレスを発生する。Ｕデータは、ブロックシャフル回路１０２に入力された順に書き込んでいくので、Ｕピクセルカウンタ１４１は、Ｕデータが入力されるとアドレスを１づつカウントする。

【００７１】

同様に、Ｖデータは、ブロックシャフル回路１０２に入力された順に書き込まれるので、Ｖピクセルカウンタ１４２は、Ｖデータが入力されると、アドレスを１づつカウントする。

【００７２】

Ｙピクセルカウンタ１４３は、０乃至２６３（図１３に示したアドレスマップの１ラインの画素数分）をカウントし、そのカウンタ値をＹラインカウンタ１４４、ラインアドレス発生回路１４５、および加算器１４６に出力する。Ｙラインカウンタ１４４は、Ｙピクセルカウンタ１４３から入力されたカウンタ値が２６３になる毎に１づつカウントアップし、そのカウンタ値をラインアドレス発生回路１４５に出力する。ラインアドレス発生回路１４５は、ラインの先頭アドレスを示すポインタを発生する。すなわち、Ｙピクセルカウンタ１２３のキャリーを受けると、ポインタをＡ５０ｈだけ進め（次のラインに移動させ）、Ｙラインカウンタ１４４のキャリーを受けると、ポインタをＥＤ２Ｆｈだけ戻す（一番下のラインから、一番上のラインに移動させる）。

【００７３】

加算器１４６は、Ｙピクセルカウンタ１４３から入力されたライン内のアドレスと、ラインアドレス発生回路１４５から入力されたラインのアドレスを加算することにより、Ｙデータのライトアドレスを生成し、セレクタ１４７に出力する。セレクタ１４７は、Ｕピクセルカウンタ１４１から入力されたＵデータのアドレス、Ｖピクセルカウンタ１４２から入力されたＶデータのアドレス、または、加算器１４６から入力されたＹデータのアドレスを選択し、ライトアドレスとして出力する。

【００７４】

図１５のタイミングチャートを参照して、ブロックシャフル回路１０２に入力されたデータとライトアドレス発生回路１３２が発生するアドレスとのタイミングについて説明する。図１５では、１フレームの２ライン分のデータでのタイミングチャートを示している。図１５（Ａ）は、ブロックシャフル回路１０２に入力されたＹデータを示し、図１５（Ｂ）は、Ｃデータ（ＵデータまたはＶデータ）を示している。図１５（Ａ），（Ｂ）において、付された番号は、ライン内の画素番号である。図１５（Ｃ）は、処理中のデータがＹデータであるのかＣデータであるのかを示すフラグ（ycf：y/c flag）であり、このフラグが立っているときは、Ｃデータが処理中であることを示す。

【００７５】

図１５（Ｄ）は、処理するＣデータがＵデータであるのかＶデータであるのかを示すフラグ（uvf：u/v flag）であり、フラグが立っていると、Ｖデータが処理中であることを示している。図１５（Ｅ）は、ライトイネーブル（wen）を示すフラグであり、このフラグが立っているとき、外部メモリ１６に書き込みが行われる。図１５（Ｆ）は、外部メモリ１６に書き込まれるデータを示している。そして、図１５（Ｇ）は、図１５（Ｆ）に示したデータが書き込まれる、外部メモリ１６内のアドレスを示している。

【００７６】

次に、リードアドレス発生回路１３３について説明する。図１６は、リードアドレス発生回路１３３の構成を示すブロック図である。コントローラ１２１から供給されたタイミング信号は、ピクセルアドレス発生回路１５１、Ｃブロックポインタ１５３、およびＹブロックポインタ１５４に供給される。ピクセルアドレス発生回路１５１は、タイミング信号を基に、後述するADRCブロックの最も上で、且つ、最も左に位置する画素（ピクセル）の

画素値が記憶されているアドレスを起点に、画素値をスキャンするための相対アドレスを生成し、加算器１５８に供給する。

【００７７】

セグメントオフセット発生回路１５２は、カウンタ等から構成され、ピクセルアドレス発生回路１５１、Ｃブロックポインタ１５３、およびＹブロックポインタ１５４から供給された信号を基に、処理中のセグメント（図２６を参照して後述する）を指定するアドレスのデータを生成し、ピクセルアドレス発生回路１５１に供給する。セグメントオフセット発生回路１５２は、ＵデータまたはＶデータのセグメントを指定する所定のデータを加算器１５５に供給し、Ｙデータのセグメントを指定する所定のデータを加算器１５６に供給する。

【００７８】

Ｃブロックポインタ１５３は、タイミング信号を基に、処理中のＵデータまたはＶデータのADRCブロックの先頭アドレスを指定するためのデータを加算器１５５に出力する。加算器１５５は、Ｃブロックポインタ１５３から供給された処理中のＵデータまたはＶデータのADRCブロックの先頭アドレスを指定するためのデータ、およびセグメントオフセット発生回路１５２から供給されたＵデータまたはＶデータのセグメントを指定する所定のデータを加算し、ＵデータまたはＶデータのセグメントおよびADRCブロックの先頭アドレスを指定する所定のデータをセレクタ１５７に供給する。

【００７９】

Ｙブロックポインタ１５４は、タイミング信号を基に、処理中のＹデータのADRCブロックの先頭アドレスを指定するためのデータを加算器１５６に出力する。加算器１５６は、Ｙブロックポインタ１５４から供給された、処理中のＹデータのADRCブロックの先頭アドレスを指定するためのデータ、およびセグメントオフセット発生回路１５２から供給されたＹデータのセグメントを指定する所定のデータを加算し、Ｙデータのセグメントおよびadrcブロックの先頭アドレスを指定する所定のデータをセレクタ１５７に供給する。

【００８０】

セレクタ１５７は、加算器１５５から供給されたＵデータまたはＶデータのセグメントおよびADRCブロックの先頭アドレスを指定する所定のデータ、または加算器１５６から供給されたＹデータのセグメントおよびADRCブロックの先頭アドレスを指定する所定のデータのいずれかを選択して、加算器１５８に供給する。

【００８１】

加算器１５８は、セレクタ１５７が出力するＵデータまたはＶデータのセグメントおよびADRCブロックの先頭アドレスを指定する所定のデータまたはＹデータのセグメントおよびADRCブロックの先頭アドレスを指定する所定のデータと、ADRCブロック内の画素値をスキャンするための相対アドレスを加算して、読み出す画素値のアドレスとしてセレクタ１３４に出力する。リードアドレス発生回路１３３により発生されるアドレスにより、外部メモリ１６から読み出されるデータは、後述するブロックシャフルがされた状態で読み出される。

【００８２】

ここで、図１７のタイミングチャートを参照して、リードアドレス発生回路１３３の動作について説明する。図１７（Ａ）に示すように、外部メモリ１６への書き込み（Ｗ）と読み出し（Ｒ）は交互に行われている。１ライン分のデータの書き込みが終了すると、１１ブロックの読み出しが開始される。後述するように、同じデータは、バッファリング用とエンコード用に８８個のブロックが、２度読み出される。読み出しは、バッファリング用とエンコード用、それぞれ、１１ブロック毎に８回、読み出されることにより行われる。

【００８３】

図１７（Ｂ）は、処理中のデータがＹデータであるかＣデータであるのかを示すフラグであり、このフラグが立っていると、Ｃデータが処理中であることを示している。図１７（Ｃ）は、読み出されるＣデータがＵデータであるかＶデータであるかを示すフラグであり、フラグが立っていると、Ｖデータが処理中であることを示している。図１７（Ｅ）は、

各ブロックの処理を開始させるクロックである。

【００８４】

ブロックの処理の開始を示すクロックが入力されたとき、ycfのフラグが立っていないときは、Ｙデータを読み出す為のアドレスが発生され、ycfのフラグが立っており、uvfのフラグが立っていないときは、Ｕデータを読み出す為のアドレスを、uvfのフラグが立っているときは、Ｖデータを読み出す為のアドレスが、それぞれ発生される。このようにして、発生されたアドレスに従い、図１７（Ｅ）に示すように、データが読み出される。

【００８５】

図１８を参照して、符号化回路１５およびパケット化回路１７の処理の単位を説明する。あるフレーム０と次のフレーム１から、後述する方式により、それぞれ画素を選択して、１３２０個の偶数セグメントのＡＤＲＣブロック（４×１６画素から成る）と１３２０個の奇数セグメントのＡＤＲＣブロック（４×１６画素から成る）が生成される。生成されたＡＤＲＣブロックから、ブロックシャフル回路１０２により、８８個ずつのＡＤＲＣブロックが選択される。ＡＤＲＣブロックは、選択された８８個を単位として、ＡＤＲＣ符号化回路１０３により、ＡＤＲＣで、固定長のデータ（ＦＬ）である、ダイナミックレンジＤＲ、最小値ＭＩＮ、動きフラグＭＦ、およびテーブルインデックスＴＩ並びに可変長のデータ（ＶＬ）であるコードＱに符号化される。

【００８６】

ＡＤＲＣ符号化回路１０３から出力された８８個のＡＤＲＣブロックに対応する符号化されたデータ（以下、バッファと称する）は、セグメント間シャフル回路１０４により、５個ずつにまとめられる（以下、セグメントと称する）。偶数セグメントに対応する３個のセグメント（図中、セグメント０、セグメント２、およびセグメント４と示す）は、セグメント間シャフル回路１０４により、セグメント間でシャフルされる。奇数セグメントに対応する３個のセグメント（図中、セグメント１、セグメント３、およびセグメント５と示す）は、セグメント間シャフル回路１０４により、セグメント間でシャフルされる。

【００８７】

セグメント間でシャフルされたセグメントは、セグメント０、セグメント１、セグメント２、セグメント３、セグメント４、およびセグメント５の順に並べられる。

【００８８】

パケット化回路１７は、セグメント０、セグメント１、セグメント２、セグメント３、セグメント４、およびセグメント５の順に並べられたセグメントに格納されている符号化されたデータを、８個のＡＤＲＣブロックに対応するデータ（ダイナミックレンジＤＲ、最小値ＭＩＮ、動きフラグＭＦ、テーブルインデックスＴＩ、およびコードＱ）毎にパケットに格納する。

【００８９】

図１９乃至図２６を参照して、ブロックシャフル回路１０２の動作を説明する。図１９は、ＡＤＲＣブロックを説明する図である。各フレームから水平８画素×垂直８画素の隣り合う６４画素のブロックを選び出し、ブロックの中で最も左で且つ最も上に位置する画素（図中に０－１または１－１と示された画素）、およびこれを基準とし、その画素から水平に２画素だけ移動した位置にある画素（図中に０－３または１－３と示された画素）、その画素から垂直に２画素だけ移動した位置にある画素（図中に０－１７または１－１７と示された画素）、またはその画素から水平に１画素かつ垂直に１画素だけ移動した位置にある画素（図中に０－１０または１－１０と示された画素）を偶数画素と称する。さらに、これらの画素を基準として、同様の選択を繰り返し、選択された画素を、偶数画素とする。

【００９０】

また、各フレームの残りの画素は、奇数画素とする。

【００９１】

図１９に示すように、偶数フレーム（フレーム０）の８×８画素のブロックｉ２含まれる偶数画素（４×８画素）と、奇数フレーム（フレーム１）の８×８画素のブロックに含ま

れる偶数画素（４×８画素）を集めたものが、偶数セグメントのＡＤＲＣブロックとされる。同時に、偶数フレーム（フレーム０）の８×８画素のブロックに含まれる奇数画素（４×８画素）と、奇数フレーム（フレーム１）の８×８画素のブロックに含まれる奇数画素（４×８画素）を集めたものが、奇数セグメントのＡＤＲＣブロックとされる。ＡＤＲＣブロックは、２つのフレームの、もとのフレーム上で１つおきの画素から構成される。偶数セグメントのＡＤＲＣブロックの画素の、もとのフレーム上で隣に位置する画素は、対応する奇数セグメントのＡＤＲＣブロックを構成する。

【００９２】

図２０乃至図２２は、フレーム内の画素とＡＤＲＣブロックとの関係を示す図である。図２０に示すように、フレーム０の画素は、水平８画素×垂直８画素の６４画素のブロック毎に分割される。同様に、図２１に示すように、フレーム１（フレーム０の次のフレーム）の画素は、水平８画素×垂直８画素の６４画素のブロック毎に分割される。フレーム０のブロックの中で最も左で且つ最も上に位置する６４画素のブロック（図２０においてＡ１と表示された６４画素のブロック）および、フレーム１のブロックの中で最も左で且つ最も上に位置する６４画素のブロック（図２１においてＡ１と表示された６４画素のブロック）の偶数画素により、構成された偶数セグメントのＡＤＲＣブロックは、図２２に示すように、セグメント０として、最も左、且つ最も上に配置される。

【００９３】

図２０のＡ１と表示された６４画素のブロック、および図２１のＡ１と表示された６４画素のブロックの奇数画素により構成された奇数セグメントのＡＤＲＣブロックは、図２２に示すように、セグメント３として、セグメント０の偶数セグメントのＡＤＲＣブロックの図中右隣に配置される。

【００９４】

図２０のＡ２と表示された６４画素のブロック、および図２１のＡ２と表示された６４画素のブロックの偶数画素より構成された偶数セグメントのＡＤＲＣブロックは、図２２に示すようにセグメント０として、図２０のＡ１と表示された６４画素のブロックおよび図２１のＡ１と表示された６４画素のブロックの奇数画素により構成された、セグメント３のＡＤＲＣブロックの図中右隣に配置される。図２０のＡ２と表示された６４画素のブロックおよび図２１のＡ２と表示された６４画素のブロックの奇数画素により構成された奇数セグメントのＡＤＲＣブロックは、図２２に示すように、セグメント３として、図２０のＡ２と表示された６４画素のブロックおよび図２１のＡ２と表示された６４画素のブロックの偶数画素により構成された、セグメント０のＡＤＲＣブロックの図中右隣に配置される。

【００９５】

図２０のＢ１と表示された６４画素のブロックおよび図２１のＢ１と表示された６４画素のブロックの偶数画素により構成された偶数セグメントのＡＤＲＣブロックは、図２２に示すように、セグメント４として、図２０のＡ１と表示された６４画素のブロックおよび図２１のＡ１と表示された６４画素のブロックの偶数画素により構成された、セグメント０のＡＤＲＣブロックの図中下側に配置される。図２０のＢ１と表示された６４画素のブロックおよび図２１のＢ１と表示された６４画素のブロックの奇数画素により構成された奇数セグメントのＡＤＲＣブロックは、図２２に示すように、セグメント１として、図２０のＡ１と表示された６４画素のブロックおよび図２１のＡ１と表示された６４画素のブロックの奇数画素により構成された、セグメント３のＡＤＲＣブロックの図中下側（セグメント４のＡＤＲＣブロックの右隣）に配置される。

【００９６】

図２０のＢ２と表示された６４画素のブロックおよび図２１のＢ２と表示された６４画素のブロックの偶数画素により構成された偶数セグメントのＡＤＲＣブロックは、図２１に示すようにセグメント４として、図２０のＢ１と表示された６４画素のブロックおよび図２１のＢ１と表示された６４画素のブロックの奇数画素により構成された、セグメント１のＡＤＲＣブロックの図中右隣に配置される。図２０のＢ２と表示された６４画素のブロ

ックおよび図２１のＢ２と表示された６４画素のブロックの奇数画素により構成された奇数セグメントのＡＤＲＣブロックは、図２１に示すようにセグメント１として、図２０のＢ２と表示された６４画素のブロックおよび図２１のＢ２と表示された６４画素のブロックの偶数画素により構成された偶数セグメントのＡＤＲＣブロックの図中右隣に配置される。

【００９７】

図２０のＣ１と表示された６４画素のブロックおよび図２１のＣ１と表示された６４画素のブロックの偶数画素により構成された偶数セグメントのＡＤＲＣブロックは、図２２に示すようにセグメント２として、図２０のＢ１と表示された６４画素のブロックおよび図２１のＢ１と表示された６４画素のブロックの偶数画素により構成された、セグメント４のＡＤＲＣブロックの図中下側に配置される。図２０のＣ１と表示された６４画素のブロックおよび図２１のＣ１と表示された６４画素のブロックの奇数画素により構成された奇数セグメントのＡＤＲＣブロックは、図２２に示すようにセグメント５として、図２０のＢ１と表示された６４画素のブロックおよび図２１のＢ１と表示された６４画素のブロックの奇数画素により構成された、セグメント１のＡＤＲＣブロックの図中下側（セグメント２のＡＤＲＣブロックの右隣）に配置される。

【００９８】

図２０のＣ２と表示された６４画素のブロックおよび図２１のＣ２と表示された６４画素のブロックの偶数画素により構成された偶数セグメントのＡＤＲＣブロックは、図２２に示すようにセグメント２として、図２０のＣ１と表示された６４画素のブロックおよび図２１のＣ１と表示された６４画素のブロックの奇数画素により構成された、セグメント５のＡＤＲＣブロックの図中右隣に配置される。図２０のＣ２と表示された６４画素のブロックおよび図２１のＣ２と表示された６４画素のブロックの奇数画素により構成された奇数セグメントのＡＤＲＣブロックは、図２２に示すようにセグメント５として、図２０のＣ２と表示された６４画素のブロックおよび図２１のＣ２と表示された６４画素のブロックの偶数画素により構成された偶数セグメントのＡＤＲＣブロックの図中の右隣に配置される。

【００９９】

以上の手続きを、各フレームを構成する３３×１０個の各ブロック（２６４×２４０画素）について繰り返すことにより、２つのフレームのＹデータから、図２３（Ａ）に示すように、水平方向に６６個、垂直方向に３０個並べられたＡＤＲＣブロックの集合が生成される。図２３（Ｂ）に示すように、Ｙデータから生成されたＡＤＲＣブロックは、シャフルされて、セグメントを構成する。

【０１００】

８８×１２０画素のＵデータおよびＶデータについても同様の処理を行うことにより、図２４（Ａ）に示すように、水平方向に２２個、垂直方向に１５個並べられたＡＤＲＣブロックの集合が生成される。Ｙデータの場合と同様に、図２４（Ｂ）に示すように、ＵデータおよびＶデータから生成されたＡＤＲＣブロックは、ブロックシャフルされて、セグメントを構成する。

【０１０１】

各ＡＤＲＣブロック内で、偶数フレームと奇数フレームの画面上で同一位置にある画素同士（例えば、図１９中の０－１と示された画素と１－１と示された画素等）で画素値の差分の絶対値をとり、その差分の絶対値のうち最大値が閾値Th1に満たない場合は、そのＡＤＲＣブロックは静止画とみなされる。

【０１０２】

差分の絶対値のうち、最大の値が閾値Th2（Th1<Th2）を越えた場合には、そのＡＤＲＣブロックは動画とみなされる。

【０１０３】

静止画のＡＤＲＣブロックでは、偶数フレームと奇数フレームの画面上で同一位置にある画素同士の画素値の平均をとり、その３２個の平均値を新たにＡＤＲＣブロックとして置

き代え、そのＡＤＲＣブロックに付される動きフラグＭＦを０とする。
【０１０４】
動画のＡＤＲＣブロックでは、偶数フレームと奇数フレームから集めた６４画素をそのままＡＤＲＣブロックとして、そのＡＤＲＣブロックに付される動きフラグＭＦを１とする。
【０１０５】
次に、セグメント毎に、ＡＤＲＣブロック単位で行われるシャフルについて説明する。０の番号が付されたＹデータのＡＤＲＣブロックから構成されるセグメントにおいて、そのＡＤＲＣブロックに通し番号を付すると、図２５（Ａ）に示すように、ｙ０乃至ｙ３２９の番号が、ＡＤＲＣブロックに付される。ＡＤＲＣブロックをシャフルすると、Ｙデータのブロックが、図２５（Ｂ）に示されるように配置される。
【０１０６】
同様に、０の番号が付されたＵデータのＡＤＲＣブロックから構成されるセグメントにおいて、そのＡＤＲＣブロックに通し番号を付すると、図２５（Ｃ）に示すように、ｕ０乃至ｕ５４の番号が、ＡＤＲＣブロックに付される。ＵデータのＡＤＲＣブロックは、図２５（Ｄ）に示されるように、通し番号の逆の順に並び替えられる。
【０１０７】
０の番号が付されたＶデータのＡＤＲＣブロックから構成されるセグメントにおいて、そのＡＤＲＣブロックに通し番号を付すると、図２５（Ｅ）に示すように、ｖ０乃至ｖ５４の番号が、ＡＤＲＣブロックに付される。ＶデータのＡＤＲＣブロックは、図２５（Ｆ）に示されるように、通し番号の逆の順に並び替えられる。
【０１０８】
次に、図２６に示されるように、ＹデータのＡＤＲＣブロック、ＵデータのＡＤＲＣブロック、およびＶデータのＡＤＲＣブロックが、シャフルされる。３つのＹデータのＡＤＲＣブロックの後ろに、１つのＵデータのＡＤＲＣブロックが配置され、その後ろに、また、３つのＹデータのＡＤＲＣブロックが配置され、その後ろに、１つのＶデータのＡＤＲＣブロックが配置される。この配置が繰り返される。例えば、セグメント０には、ｙ０の通し番号が付されたＡＤＲＣブロック、ｙ２２１の通し番号が付されたＡＤＲＣブロック、ｙ１１２の通し番号が付されたＡＤＲＣブロック、ｕ５４の通し番号が付されたＡＤＲＣブロック、ｙ３の通し番号が付されたＡＤＲＣブロック、ｙ２２４の通し番号が付されたＡＤＲＣブロック、ｙ１１５の通し番号が付されたＡＤＲＣブロック、ｖ５４の通し番号が付されたＡＤＲＣブロック、およびｙ６の通し番号が付されたＡＤＲＣブロックなどの順にＡＤＲＣブロックが配置される。
【０１０９】
セグメント１乃至セグメント５においても、同様に、ＡＤＲＣブロックがシャフルされる。
【０１１０】
以上のように、画素のデータは、ブロックシャフル回路１０２により、ＡＤＲＣブロック毎にシャフルされ、シャフルされたＡＤＲＣブロックを基に、ＡＤＲＣ符号化回路１０３で符号化される。ＡＤＲＣブロックが適切にシャフルされることにより、通信エラーにより欠落した画素が分散され、再生される画像において欠落した画素を認識しにくくすることができる。
【０１１１】
上述した実施の形態においては、外部メモリ１６にＹデータを、シャフリングに適した配置にして書き込む場合を説明したが、ＹデータもＵデータやＶデータと同じく、入力された順（ラスタースキャン順）に書き込まれるようにしても良い。図２７は、入力された順に書き込みを行う場合のライトアドレス発生回路１３２の構成を示すブロック図である。図２７に示したライトアドレス発生回路１３２の構成は、図１４に示したライトアドレス発生回路１３２から、Ｙラインカウンタ１４４、ラインアドレス発生回路１４５、および加算器１４６をなくし、Ｙピクセルカウンタ１４３から出力されたアドレス値が、直接セ

レクタ１４７に入力される。

【０１１２】

このように書き込みが行われる場合のリードアドレス発生回路１３３の構成のブロック図を図２８に示す。この構成においては、図１６に示したリードアドレス発生回路１３３のＹブロックポインタ１５４にROM１６１を備えた構成とされている。ROM１６１には、読み出しの際に用いられるブロック番号と先頭アドレスの対応を関係が記述されたテーブルが記憶されている。

【０１１３】

次に、図２９を参照して、ＡＤＲＣ符号化回路１０３の構成を説明する。ブロックシャフル回路１０２によりシャフルされた画像は、ＡＤＲＣブロックとして、遅延回路１６１、動き特徴量算出回路１６２、ＤＲ算出回路１６３、および遅延回路１６６に供給される。

【０１１４】

遅延回路１６１は、２フレームブロック（４×１６画素から成るＡＤＲＣブロック）を動き特徴量算出回路１６２の処理時間に対応する時間だけ遅延させて、情報量制御回路１６４に出力する。動き特徴量算出回路１６２は、ＡＤＲＣブロック毎に、フレーム間差分の絶対値の最大値である動き特徴量を算出して、情報量制御回路１６４に供給する。ＤＲ算出回路１６３は、ＡＤＲＣブロック毎に、静止画とみなされた場合のダイナミックレンジＤＲおよび動画とみなされた場合のダイナミックレンジＤＲを算出して、情報量制御回路１６４に供給する。

【０１１５】

情報量制御回路１６４は、遅延回路１６１から供給された２フレームブロック、動き特徴量算出回路１６２から供給された動き特徴量、ＤＲ算出回路１６３から供給された静止画とみなされた場合のダイナミックレンジＤＲおよび動画とみなされた場合のダイナミックレンジＤＲ、並びに閾値テーブル１６５から供給された閾値Th1およびTh2並びに閾値T1およびT2のセットを基に、閾値Th1およびTh2から成るＭＦ選択閾値を選択して、静動判定回路１６９に出力する。

【０１１６】

情報量制御回路１６４は、２フレームブロック、動き特徴量、静止画とみなされた場合のダイナミックレンジＤＲおよび動画とみなされた場合のダイナミックレンジＤＲ、並びに閾値テーブル１６５から供給された閾値Th1およびTh2並びに閾値T1およびT2のセットを基に、Ｑビット選択閾値を選択して、ＡＤＲＣエンコーダ１７１に出力する。

【０１１７】

例えば、動き特徴量が４で、静止画とみなされた場合のダイナミックレンジＤＲが１４で、動画とみなされた場合のダイナミックレンジＤＲが１５である場合、テーブルインデックスが０の閾値T1が６で、閾値T2が１２で、閾値Th1が３で、閾値Th2が３で、テーブルインデックスが１の閾値T1が１３で、閾値T2が４０で、閾値Th1が５で、閾値Th2が５であるときについて説明する。

【０１１８】

情報量制御回路１６４は、テーブルインデックスが０の閾値のセットに対して、動き特徴量が閾値Th2より大きいので、動画と判定する。動画とみなされた場合のダイナミックレンジＤＲが閾値T2より大きいので、このＡＤＲＣブロックのｑは４となり、情報量制御回路１６４は、コードＱが（１６＊４）＊４より２５６ビットであることを求める。

【０１１９】

同様に、情報量制御回路１６４は、テーブルインデックスが１の閾値のセットに対して、動き特徴量が閾値Th1より小さいので、静止画と判定する。静止画とみなされた場合のダイナミックレンジＤＲが閾値T1より大きく、閾値T2より小さいので、このＡＤＲＣブロックのｑは３となり、情報量制御回路１６４は、コードＱが（８＊４）＊３より９６ビットであることを求める。

【０１２０】

このように、閾値のセットには、テーブルインデックスが大きくなると、情報量が減少す

るようにそれぞれの閾値が設定されている。情報量制御回路１６４は、１つのバッファに対して生成されるコードＱが、16,104ビット以下で、最も大きい情報量のテーブルインデックスをテーブルインデックスＴＩとして選択して、遅延回路１７３に出力する。

【０１２１】

情報量制御回路１６４は、テーブルインデックスに対応するコードＱのビット数を並列演算しても、テーブルインデックスの大きい（または小さい）側から逐次演算するようにしてもよい。

【０１２２】

図３０および図３１を参照して、情報量制御回路１６４の構成の例を説明する。図３０は、情報量制御回路１６４の前段部の構成を示す図であり、図３１は、情報量制御回路１６４の後段部の構成を示す図である。

【０１２３】

図３０に示すように、情報量制御回路１６４の前段部には、ダイナミックレンジＤＲの閾値の数に対応した数分の比較回路１８１－１および１８１－２と、加算器１８２－１および１８２－２と、レジスタ１８３－１および１８３－２とが設けられている。比較回路１８１－１および１８１－２のそれぞれの一方の入力端子に（０乃至２５５）までの数値を取りうるダイナミックレンジＤＲが供給される。

【０１２４】

また、図３０において、閾値テーブル１６５から、例えば、閾値Ｔ１および閾値Ｔ２が読み出され、比較回路１８１－１および１８１－２の他方の入力端子のそれぞれに供給される。具体的には、比較回路１８１－１の他方の入力端子に閾値Ｔ１が供給され、比較回路１８１－２の他方の入力端子には閾値Ｔ２が供給される。

【０１２５】

比較回路１８１－１および１８１－２のそれぞれには、入力端子５からのダイナミックレンジＤＲが各閾値以上の場合に、「１」の出力を発生する。比較回路１８１－１および１８１－２の比較出力がそれぞれに接続された加算器１８２－１または１８２－２のいずれかの一方の入力端子に供給される。加算器１８２－１または１８２－２の他方の入力端子には、レジスタ１８３－１および１８３－２を介して自らの加算出力が供給されるように構成されている。

【０１２６】

従って、加算器１８２－１によって（Ｔ１≦ＤＲ≦２５５）の度数の積算値が算出され、得られたデータがレジスタ１８３－１に保持される。また、加算器１８２－２によって（Ｔ２≦ＤＲ≦２５５）の度数の積算値が算出され、得られたデータがレジスタ１８３－２に保持される。

【０１２７】

レジスタ１８３－１および１８３－２のそれぞれに保持されている発生度数データのそれぞれが取り出され、図３１に示すように、加算器１９１に供給される。更に、加算器１９１には、予め情報量制御回路１６４に記憶されている度数データが供給される。加算器１９１において、（Ｔ１≦ＤＲ≦２５５）の発生度数データと、（Ｔ２≦ＤＲ≦２５５）の発生度数データと、予め記憶されている度数データが加算され、総量が算出される。

【０１２８】

（Ｔ１≦ＤＲ≦Ｔ２－１）の発生度数値を（Ｓ３）とし、（Ｔ２≦ＤＲ≦２５５）の発生度数値を（Ｓ４）とする。（Ｔ２≦ＤＲ≦２５５）の発生度数値は、（Ｓ４＋Ｓ３＋Ｓ２）（ｑが４ビットであるコードＱに対応する）となり、（Ｔ１≦ＤＲ≦２５５）の発生度数値は、（Ｓ３＋Ｓ２）（ｑが３ビットであるコードＱに対応する）となる。（Ｓ２）（ｑが２ビットであるコードＱに対応する）は、全てのＡＤＲＣブロックに対応して発生するので、予め、情報量制御回路１６４に記憶しておくことができる。これらを加算器１９１によって加算すると、（Ｓ３＋２＊Ｓ３＋３＊Ｓ２）の出力が得られる。この出力は、割り当てビットを乗算して全加算した場合と等しい総量である。

【０１２９】

加算器１９１において算出された総量がレジスタ１９２を介して比較回路１９３の一方の入力端子に供給される。比較回路１９３の他方の入力端子１２には、バッファ最大値が供給されており、総量がバッファ最大値と比較される。比較回路１９３の比較出力を基に、総量がバッファ最大値以下となるような閾値が決定される。つまり、閾値テーブル１６５には、予め発生データの総量が単純増加もしくは単純減少するように複数組の閾値が格納されており、総量が目標以内に収まるように閾値が選定される。

【０１３０】

情報量制御回路１６４は、比較回路１９３の比較出力を基に、ＭＦ選択閾値、Ｑビット選択閾値、およびテーブルインデックスＴＩを選択して、出力する。

【０１３１】

図２９に戻り、遅延回路１６６は、２フレームブロック（４×１６画素から成るＡＤＲＣブロック）を遅延回路１６１および情報量制御回路１６４の処理時間に対応する時間だけ遅延させて、静止ブロック生成回路１６７、遅延回路１６８および静動判定回路１６９に出力する。静止ブロック生成回路１６７は、２フレームブロック（４×１６画素から成るＡＤＲＣブロック）から、偶数フレームと奇数フレームの画面上で同一位置にある画素同士の画素値の平均をとり、その３２個の平均値を新たにＡＤＲＣブロックとして置き代え、１フレームブロック（４×８画素から成るＡＤＲＣブロック）として選択回路１７０に供給する。

【０１３２】

遅延回路１６８は、２フレームブロック（４×１６画素から成るＡＤＲＣブロック）を静止ブロック生成回路１６７の処理時間に対応する時間だけ遅延させて、選択回路１７０に供給する。

【０１３３】

静動判定回路１６９は、２フレームブロック（４×１６画素から成るＡＤＲＣブロック）並びに閾値Th1およびTh2から成るＭＦ選択閾値を基に、そのＡＤＲＣブロックに付される動きフラグＭＦを生成して、選択回路１７０および遅延回路１７２に供給する。

【０１３４】

選択回路１７０は、動きフラグＭＦが１のとき、すなわち、ＡＤＲＣブロックが動画に対応するとき、遅延回路１６８から供給された２フレームブロックをＡＤＲＣエンコーダ１７１に供給し、動きフラグＭＦが０のとき、すなわち、ＡＤＲＣブロックが静止画に対応するとき、静止ブロック生成回路１６７から供給された１フレームブロックをＡＤＲＣエンコーダ１７１に供給する。

【０１３５】

ＡＤＲＣエンコーダ１７１は、情報量制御回路１６４から供給されたＱビット選択閾値を基に、選択回路１７０から供給された２フレームブロックまたは１フレームブロックを符号化して、ダイナミックレンジＤＲ、最小値ＭＩＮ、ｑ、およびコードＱを出力する。

【０１３６】

遅延回路１７２は、選択回路１７０の処理時間およびＡＤＲＣエンコーダ１７１の処理時間に対応させて、静動判定回路１６９から供給された動きフラグＭＦを遅延して、出力する。

【０１３７】

遅延回路１７３は、遅延回路１６８の遅延時間、選択回路１７０の処理時間、およびＡＤＲＣエンコーダ１７１の処理時間に対応させて、情報量制御回路１６４から供給されたテーブルインデックスＴＩを遅延して、出力する。

【０１３８】

このように、ＡＤＲＣ符号化回路１０３は、ＡＤＲＣブロック毎に、ダイナミックレンジＤＲ、画素値の最小値ＭＩＮ、動きフラグＭＦ、およびコードＱを生成し、量子化テーブルのインデックスＴＩと共に、セグメント間シャフル回路１０４に供給する。

【０１３９】

図３２は、セグメント間シャフル回路１０４のシャフルの仕方を説明する図である。図３

２に示すように、シャフルの仕方にはシャフル０乃至２の３通り存在し、シャフル０は、シャフルを行わないシャフルである。シャフル１は、セグメント０（セグメント１）のデータをセグメント４（セグメント５）に、セグメント２（セグメント３）のデータをセグメント０（セグメント１）に、セグメント４（セグメント５）のデータをセグメント２（セグメント３）に、それぞれシャフル（入れ替え）する。

【０１４０】

同様に、シャフル２は、セグメント０（セグメント１）のデータをセグメント２（セグメント３）に、セグメント２（セグメント３）のデータをセグメント４（セグメント５）に、セグメント４（セグメント５）のデータをセグメント０（セグメント１）に、それぞれシャフルする。

【０１４１】

図３３は、セグメント０、セグメント３、およびセグメント５において行われるダイナミックレンジＤＲのシャフルについて説明する図である。１セグメントは、５バッファから構成され、１バッファは８８個のＡＤＲＣブロックを含むため、１セグメントには、４４０個のＤＲが含まれる。各セグメント内に存在するＤＲに番号１乃至４４０を順次付し、図３３では、例えば、セグメント１の番号１のＤＲは、ＤＲ１－１というように記述してある。

【０１４２】

各セグメントの番号１のＤＲに対しては、シャフル０が用いられ（すなわち、入れ替えはされない）、番号２のＤＲに対しては、シャフル１が用いられ、番号３のＤＲに対しては、シャフル２が用いられ、番号４のＤＲに対しては、シャフル０が用いられるというように、シャフル０、シャフル１、シャフル２の順でシャフルが行われる。

【０１４３】

同様に、コードＱに対してもシャフルが行われる。また、画素値の最小値であるＭＩＮに対しては、図３４に示したように、シャフル１、シャフル２、シャフル０の順で行われシャフルが行われる。さらに、動きフラグであるＭＦに対しては、図３５に示すように、シャフル２、シャフル０、シャフル１の順で行われる。

【０１４４】

次に、量子化テーブルのインデックスＴＩのシャフルについて説明する。セグメント０に格納されているＴＩは、セグメント３にも格納され、セグメント３に格納されているＴＩは、セグメント０にも格納される。すなわち、セグメント０とセグメント３は、自己のＴＩと対となっている相手のＴＩとの両方を格納する。同様に、セグメント１とセグメント４、セグメント３とセグメント５は、それぞれ自己のＴＩと対となっている相手のＴＩとの両方を格納する。

【０１４５】

このように、ダイナミックレンジＤＲ、画素値の最小値ＭＩＮ、および動きフラグＭＦがシャフルされることにより、通信エラーが発生して、いずれかのデータを含んだパケットが欠落しても、受信装置２は、所定のＡＤＲＣブロックを復号するとき、受信することができた他のデータを基に、欠落したデータをリカバリすることができる。また、コードＱがシャフルされることにより、通信エラーが発生して、コードＱを含んだパケットが欠落しても、欠落したコードＱに対応する画素が分散され、受信装置２は、コードＱの切り出しがしやすくなり、また、所定のＡＤＲＣブロックを復号するとき、復号できた画素値を基に、欠落した画素値の創造が容易になる。

【０１４６】

このように、セグメントの間でデータをシャフルすることにより、通信装置２は、データのリカバリ、および欠落画素の創造が容易になり、伝送路においてパケットが欠落しても、再生する画像の質を維持することができる。

【０１４７】

符号化回路１５のセグメント間シャフル回路１０４から出力されたデータは、パケット化回路１７に入力され、パケットにされる。図３６に、パケットの構成を示す。図３６に示

したパケット構成は、２０１バイトで構成され、その内、ＤＲがＡ×８Ｍビット、ＭＩＮがＢ×８Ｍビット、ＭＦがＣ×８Ｍビット、ＴＩがＤ×（８Ｍ／Ｄ）ビット、およびコードＱ（VL-Data）が８×Ｎビットで構成されている。このサイズの単位のパケットを複数用いてデータを格納する。

【０１４８】

このように、ダイナミックレンジＤＲ、画素値の最小値ＭＩＮ、動きフラグＭＦ、テーブルインデックスＴＩ、およびコードＱが８の倍数となるように構成することにより、上述したシャフリングを行うときに、各々のデータのビット数サイズによらず、統一のアーキテクチャで、かつ、バイト単位で扱うのに適する。上述した説明、および後述する説明においては、図３６に示したパケット構成を用いた場合である。

【０１４９】

次に、送信装置１の画像の送信の処理を図３７のフローチャートを参照して説明する。ステップＳ１１において、間引き部１３のＡ／Ｄ変換回路４２は、入力された６０Ｈｚのフィールド周波数を有するインターレース方式の画像信号を、所定のサンプリングレートでサンプリングして、所定のデータレートのＹデータ、Ｕデータ、およびＶデータとして出力する。ステップＳ１２において、間引きフィルタ４３は、Ｙデータ、Ｕデータ、およびＶデータをそれぞれ、水平方向と垂直方向に１／２に間引き、３０Ｈｚのフレーム周波数を有するプログレッシブ方式のデータに変換する。

【０１５０】

ステップＳ１３において、ＵＶ垂直１／２回路４５は、Ｕデータ、およびＶデータを、垂直方向に１／２に間引く。ステップＳ１４において、フォーマット変換回路１４は、Ｙデータ、Ｕデータ、およびＶデータを符号化回路１５に供給できる形式に変換する。

【０１５１】

ステップＳ１５において、符号化回路１５は、フォーマット変換回路１４から供給されたＹデータ、Ｕデータ、およびＶデータをシャフルして、符号化し、更にシャフルして、パケット化回路１７に出力する。ステップＳ１６において、パケット化回路１７は、符号化回路１５から供給されたデータを、パケット化し、送信回路１９に出力する。ステップＳ１９において、送信回路１９は、パケット化回路１７から供給されたパケットを所定の方式で送信し、処理は終了する。

【０１５２】

以上のように、送信装置１は、入力された画像の信号を圧縮して、パケットとして出力する。

【０１５３】

次に、受信装置２について説明する。図３８は、受信装置２の構成を示すブロック図である。受信回路３０１が受信したパケットは、パケット解体回路３０２に供給される。受信回路３０１は、受信したパケットに欠落が生じたとき、欠落パケットのデータの各ビット単位で、欠落フラグをセットする。パケット解体回路３０２は、供給されたパケットを一時的に外部メモリ３０３に記憶させ、外部メモリ３０３に一時的に記憶されたパケットを解体して、パケットに含まれるデータを取り出し、欠落フラグと共に復号回路３０４に供給する。コードＱに、８ビット単位で欠落フラグを付け、ダイナミックレンジＤＲ、画素値の最小値ＭＩＮ、および動きフラグＭＦ毎に欠落フラグを付けるようにしても良い。

【０１５４】

復号回路３０４は、パケット解体回路３０２から供給されたデータを一時的に外部メモリ３０５に記憶させ、外部メモリ３０５に一時的に記憶されたＡＤＲＣ方式で符号化されているデータを復号し、フォーマット変換回路３０６に供給する。復号回路３０４は、復号に必要なダイナミックレンジＤＲまたは最小値ＭＩＮなどのデータが欠落している場合、欠落しているデータをリカバリして、復号し、復号に成功したとき、対応する欠落フラグをリセットする。

【０１５５】

フォーマット変換回路３０６は、復号回路３０４から供給されたデータを一時的に外部メ

モリ３０７に記憶させ、外部メモリ３０７に一時的に記憶されたデータに対し、フォーマット変換回路１４の処理とは逆の処理を実行して、欠落画素創造回路３０８に供給する。

【０１５６】

欠落画素創造回路３０８は、フォーマット変換回路３０６から供給されたデータを基に、クラス分類適応処理により、伝送中に欠落した画素のデータを、欠落した画素の周辺の画素の画素値から作り出し、そのデータをフォーマット変換回路３１０に供給する。イニシャライズ回路３０９は、受信装置２の起動時などにおいて、欠落画素創造回路３０８に、係数セットなどを供給する。

【０１５７】

フォーマット変換回路３１０は、欠落画素創造回路３０８から供給されたデータを一時的に外部メモリ３１１に記憶させ、外部メモリ３１１に一時的に記憶されたデータを４倍密解像度創造回路３１２が処理できる、３０Ｈｚのフレーム周波数を有する、プログレッシブ方式の３：０．５：０．５の画像データに変換し、変換したデータを４倍密解像度創造回路３１２に供給する。

【０１５８】

４倍密解像度創造回路３１２は、フォーマット変換回路３１０から供給された画像データを基に、供給された画像の４倍の密度の画像データを創造し、補間部３１４に供給する。イニシャライズ回路３１３は、４倍密解像度創造回路３１２に、係数セットなどを供給する。

【０１５９】

補間部３１４は、フォーマット変換回路３３１、外部メモリ３３２、ＵＶ垂直２倍回路３３３、外部メモリ３３４、Ｄ／Ａ変換回路３３５、および後置フィルタ３３６で構成されている。

【０１６０】

フォーマット変換回路３３１は、４倍密解像度創造回路３１２から供給されたデータを入力し、一時的に外部メモリ３３２に記憶させ、外部メモリ３３２に一時的に記憶されたデータをＵＶ垂直２倍回路３３３が処理できる、３０Ｈｚのフレーム周波数を有する、プログレッシブ方式の３：０．５：０．５の画像データに変換し、変換されたデータをＵＶ垂直２倍回路３３３に出力する。

【０１６１】

ＵＶ垂直２倍回路３３３は、フォーマット変換回路３３１から供給されたデータを一時的に外部メモリ３３４に記憶させ、外部メモリ３３４に一時的に記憶されたデータのＵデータおよびＶデータを、それぞれ垂直方向に２倍に補間し、Ｙデータ、Ｕデータ、およびＶデータをＤ／Ａ変換回路３３５に供給する。

【０１６２】

Ｄ／Ａ変換回路３３５は、ＵＶ垂直２倍回路３３３から供給されたＹデータ、Ｕデータ、およびＶデータを、アナログのＹ信号、Ｕ信号、およびＶ信号に変換し、後置フィルタ３３６に出力する。後置フィルタ３３６は、Ｄ／Ａ変換回路３３５から出力されたアナログのＹ信号、Ｕ信号、およびＶ信号のうち、有効な成分のみを通過させるフィルタ（いわゆる、ｓｉｎＸ／Ｘフィルタ）である。後置フィルタ３３６を通過したＹ信号、Ｕ信号、およびＶ信号は、ＮＴＳＣエンコーダ３１５に供給され、あるいは、そのまま受信装置２の出力として出力される。

【０１６３】

ＮＴＳＣエンコーダ３１５は、入力されたＹ信号、Ｕ信号、およびＶ信号を基に、コンポーネント信号（Ｙ／Ｃ信号）およびコンポジットビデオ信号を生成し、出力する。

【０１６４】

ＰＬＬ回路３１６は、各回路の処理の基準となる基準信号を生成し、コントロール回路３１７に供給する。コントロール回路３１７は、パケット解体回路３０２、復号回路３０４、フォーマット変換回路３０６、欠落画素創造回路３０８、フォーマット変換回路３１０、４倍密解像度創造回路３１２、補間部３１４、およびＮＴＳＣエンコーダ３１５に、生

成したコントロール信号を供給し、受信装置２全体の動作を制御する。

【０１６５】

図３９を参照して、インターレース方式で信号が出力される場合の受信装置２で受信された画像のデータが伸張される過程を説明する。復号回路３０４で復号された画像のデータは、フォーマット変換回路３０６で、３０Ｈｚのフレーム周波数を有する、プログレッシブ方式の１フレーム当たり水平方向に２６４画素および垂直方向に２４０画素を有するＹデータ、並びに８８画素×１２０画素×２のＵデータおよびＶデータに変換される。

【０１６６】

フォーマット変換回路３０６から出力された１フレームを構成するＹデータ、Ｕデータ、およびＶデータは、欠落画素創造回路３０８で欠落画素が創造された後、４倍密解像度創造回路３１２により、６０Ｈｚのフィールド周波数を有する、インターレース方式の第１フィールドおよび第２フィールドに変換される。このとき、Ｙデータは、１つのフィールド当たり、水平方向に５２８画素および垂直方向に２４０画素を含むデータとなる。ＵデータおよびＶデータは、それぞれ１つのフィールド当たり、水平方向に１７６画素および垂直方向に１２０画素を含むデータとなる。

【０１６７】

４倍密解像度創造回路３１２から出力されたＹデータ、Ｕデータ、およびＶデータは、フォーマット変換回路３３１により、Ｙデータが、１つのフレーム当たり、水平方向に５２８画素および垂直方向に４８０画素を含むデータに変換され、ＵデータおよびＶデータは、それぞれ１つのフレーム当たり、水平方向に１７６画素および垂直方向に２４０画素を含むデータに変換される。

【０１６８】

更に、ＵデータおよびＶデータは、ＵＶ垂直２倍回路３３３により、１つのフレーム当たり、水平方向に１７６画素および垂直方向に４８０画素を含むデータに変換される。Ｄ／Ａ変換回路３３５は、デジタルアナログ変換を行い、ＹデータをアナログＹ信号に変換し、ＵデータおよびＶデータをアナログＵ信号およびアナログＶ信号にそれぞれ変換する。

【０１６９】

このように、補間部３１４で、間引き部１３に対応する処理を行うことで、実用的な値にまで低減されたビットレートで伝送されてきたデータから、充分な画質を有する元の画像を再現することができる。

【０１７０】

以上のように、受信装置２は、受信した画像のデータを伸張して、インターレース方式のＹ信号、Ｕ信号、およびＶ信号として出力する。受信装置２が出力する画像の信号の情報は、163Mbpsに相当し、送信装置１に入力された画像の信号の情報と比較すると、９８％の情報量に相当する。

【０１７１】

次に、復号回路３０４について説明する。図４０は、復号回路３０４の構成を示すブロック図である。コントロール回路３１７から供給されたコントロール信号は、タイミング信号生成回路３５１に入力される。タイミング信号生成回路３５１は、コントロール信号を基に、タイミング信号を生成し、セグメント間デシャフル回路３５２、ｑビットＭＦリカバリ回路３５３、ＤＲＭＩＮリカバリ回路３５４、ＡＤＲＣ復号回路３５５、ブロックデシャフル回路３５６、およびリカバリエラー判定回路３５７に供給する。

【０１７２】

パケット解体回路３０２から供給されたデータは、セグメント間デシャフル回路３５２に入力される。セグメント間デシャフル回路３５２は、図９に示す送信装置１のセグメント間シャフル回路１０４と逆の動作を行い、シャフルされたデータを元の並びに戻す。デシャフルされたデータに欠落がないとき、セグメント間デシャフル回路３５２は、デシャフルされたデータをＡＤＲＣ復号回路３５５に供給する。デシャフルされたデータに欠落があるとき、セグメント間デシャフル回路３５２は、デシャフルされたデータをｑビットＭＦリカバリ回路３５３、およびＤＲＭＩＮリカバリ回路３５４に供給する。また、セグメ

ント間に跨る複数のブロックのデータにエラーがあるとき、セグメント間デシャフル回路３５２は、連続エラー信号をブロックデシャフル回路３５６に出力する。

【０１７３】

ｑビットＭＦリカバリ回路３５３は、隣接する画素の相関が圧縮されたコードＱに残っていることを利用し、連続する３つのＡＤＲＣブロックの画素の画素値の相関を基に、その相関が最大となる、ｑおよび動きフラグＭＦの値の組み合わせを求め、ｑおよび動きフラグＭＦの正しい値として、ＤＲＭＩＮリカバリ回路３５４に出力する。ｑビットＭＦリカバリ回路３５３は、動きフラグＭＦが正しいか否かを判定するためのｅｍｉｎ１およびｅｍｉｎ２（隣接画素差分の最小値と２番目に小さい値）をリカバリエラー判定回路３５７に送信する。

【０１７４】

図４１は、ｑビットＭＦリカバリ回路３５３の構成を示すブロック図である。セグメントデシャフル回路３５２から供給されたデシャフルされたデータは、ｑビットＭＦ取り出し回路３７１に供給される。

【０１７５】

ｑビットＭＦ取り出し回路３７１は、供給されたデータから、ｑおよび動きフラグＭＦを取り出し、３ブロック評価値算出回路３７２－１乃至３７２－６のそれぞれに供給する。エラーでｑおよび動きフラグＭＦが失われた場合、ｑビットＭＦ取り出し回路３７１は、ｑおよび動きフラグＭＦとして可能性のある組み合わせを、３ブロック評価値算出回路３７２－１乃至３７２－６のそれぞれに供給する。

【０１７６】

例えば、”２”が設定されたｑおよび”０”が設定された動きフラグＭＦは、３ブロック評価値算出回路３７２－１に供給され、”３”が設定されたｑおよび”０”が設定された動きフラグＭＦは、３ブロック評価値算出回路３７２－２に供給され、”４”が設定されたｑおよび”０”が設定された動きフラグＭＦは、３ブロック評価値算出回路３７２－３に供給される。また、例えば、”２”が設定されたｑおよび”１”が設定された動きフラグＭＦは、３ブロック評価値算出回路３７２－４に供給され、”３”が設定されたｑおよび”１”が設定された動きフラグＭＦは、３ブロック評価値算出回路３７２－５に供給され、”４”が設定されたｑおよび”１”が設定された動きフラグＭＦは、３ブロック評価値算出回路３７２－６に供給される。

【０１７７】

３ブロック評価値算出回路３７２－１乃至３７２－６は、ｑおよび動きフラグＭＦを基に、切り出されたコードＱより復号される画素値から、互いに隣接する画素の画素値の差分を基にした評価値（LE:Linear Error）を算出し、ｑおよび動きフラグＭＦと共に評価値をセレクタ３７３に供給する。以下、３ブロック評価値算出回路３７２－１乃至３７２－６を、個々に区別する必要がないときは、単に３ブロック評価値算出回路３７２と称する。

【０１７８】

評価値は、式（１）で算出される。評価値は、小さいほど画素の相関が高い。

【数１】

$$LE=\sum_{j=0}^{2}\sum_{i=1}^{N_j}\left|\text{オフセット}_j+Q'_{i,j}\times 2^{4-q'_{i,j}}-Q_{i,j}\times 2^{4-q_{i,j}}\right| \quad (1)$$

$Q_{i,j}$は、リカバリの対象となるＡＤＲＣブロックに含まれる欠落していないコードＱを示す。$Q'_{i,j}$は、$Q_{i,j}$が含まれるＡＤＲＣブロックを構成する画素を含む図２０および図２１に示す６４画素のブロックの画素で構成される他のＡＤＲＣブロックに含まれるコードＱを示す。例えば、$Q_{i,j}$が図２３の番号”０”の偶数セグメントのＡＤＲＣブロックに含まれるとき、$Q'_{i,j}$は、番号”３”の奇数セグメントのＡＤＲＣブロックに含まれる。$Q_{i,j}$が図２３の番号”４”の偶数セグメントのＡＤＲＣブロックに含まれるとき、$Q'_{i,j}$は、番号”１”の奇数セグメントのＡＤＲＣブロックに含まれる。$q_{i,j}$は、Ｑ

$_{i,j}$を切り出すｑを示す。ｑ’$_{i,j}$は、Ｑ’$_{i,j}$を切り出すｑを示す。Njは、ＡＤＲＣブロック内欠落していないコードＱの数を示す。ｊは、評価値が算出される３つのＡＤＲＣブロックを識別する番号である。

【０１７９】

オフセットjは、３つのＡＤＲＣブロックの間のダイナミックレンジ、ｑの違いを吸収し、より正確な評価値を算出するために用いられ、式（２）、式（３）、および式（４）で算出される。

$$\text{オフセットj}=(Xj\times 2^{4-qj}-Yj\times 2^{4-q'j})/128 \qquad (2)$$

【数２】

$$X_j=\sum_{i=1}^{Nj} Q_{i,j} \qquad (3)$$

【数３】

$$Y_j=\sum_{i=1}^{Nj} Q'_{i,j} \qquad (4)$$

【０１８０】

セレクタ３７３は、３ブロック評価値算出回路３７２－１乃至３７２－６のそれぞれから供給された評価値から、最小値を有する評価値、および最小値の次に大きい値を有する評価値を選択し、それぞれｅｍｉｎ１およびｅｍｉｎ２として、リカバリエラー判定回路３５７に供給する。

【０１８１】

セレクタ３７３は、３ブロック評価値算出回路３７２－１乃至３７２－６のうち、最小値を有する評価値を出力したものが出力するｑおよび動きフラグＭＦを選択して、ｑビットＭＦリカバリ回路３５３の出力として、ＤＲＭＩＮリカバリ回路３５４に供給する。

【０１８２】

ＤＲＭＩＮリカバリ回路３５４は、ｑビットＭＦリカバリ回路３５３から供給されたｑの正しい値および動きフラグＭＦの正しい値とセグメント間デシャフル回路３５２からの図１９で示した対応するＡＤＲＣブロックとを基に、ＡＤＲＣブロック毎のダイナミックレンジＤＲの正しい値およびＡＤＲＣブロック毎の画素値の最小値ＭＩＮを求め、ＡＤＲＣ復号回路３５５に出力する。

【０１８３】

図４２乃至図４４を参照して、ＤＲＭＩＮリカバリ回路３５４のダイナミックレンジＤＲまたは画素値の最小値ＭＩＮのリカバリの処理を説明する。画素値Ｌは、ＡＤＲＣの方式により、コードＱから式（５）の処理により復号される。

$$L=DR/(2^{Q})*q+MIN \qquad (5)$$

【０１８４】

図４２に示すように、ｑと画素値Ｌとの関係は、傾きをＤＲ／（2^{Q}）とし、接片を画素値の最小値ＭＩＮとする直線で表される。

【０１８５】

ＡＤＲＣブロック内の（ｑ，Ｌ）の組より、式（５）のＤＲ／（2^{Q}）および画素値の最小値ＭＩＮを統計的に求める。図４３に示す、（ｑ，Ｌ）の回帰直線を、式（５）の直線に等しいとする。

【０１８６】

このとき、ｂが既知であるならば、ａは、式（６）で算出される。

$$a=(B-nb)/A \qquad (6)$$

【０１８７】

また、ａが既知であるならば、ｂは、式（７）で算出される。

$$b=(B-Aa)/n \qquad (7)$$

【０１８８】

ここで、ｎは、（ｑ，Ｌ）の点の個数であり、Ａは、Σｘであり、Ｂは、Σｙである。

【０１８９】

ダイナミックレンジＤＲは、式（８）で算出される。

$$DR=(\Sigma L'-N*MIN)/(\Sigma q)*2^{Q}$$
$$=(((DR'/2^{Q'})*Y)+N*MIN'-N*MIN)/X*2^{Q}$$
$$=(N*(MIN'-MIN)*2Q'+DR'*Y)*2^{Q}/(X*2^{Q'}) \quad (8)$$

図４４（Ａ）に示すように、ダイナミックレンジＤＲまたは画素値の最小値ＭＩＮをリカバリしようとするブロックが隣接する欠落のないのブロックの数を、ｎｉとしたとき、Ｎは、Σｎｉである。図４４において、斜線が示された四角は、ダイナミックレンジＤＲまたは画素値の最小値ＭＩＮをリカバリしようとするブロックを示す。図４４において、斜線のない四角は、欠落のないのブロックを示す。ダイナミックレンジＤＲまたは画素値の最小値ＭＩＮをリカバリしようとするブロックのｑが欠落している時、図４４（Ｂ）に示す様に、ｎｉは０である。

【０１９０】

ＤＲ’は、リカバリしようとするブロックが隣接する、欠落のないのブロックのダイナミックレンジを示す。ＭＩＮ’は、リカバリしようとするブロックが隣接する、欠落のないのブロックの画素値の最小値を示す。Ｑ’は、リカバリしようとするブロックが隣接する、欠落のないのブロックのコードＱを示す。

【０１９１】

Ｘは、式（９）で表される。

【数４】

$$X=\sum_{i}^{N} q_i \quad (9)$$

【０１９２】

Ｙは、式（１０）で示される。

【数５】

$$Y=\sum_{i}^{N} q'_i \quad (10)$$

【０１９３】

画素値の最小値ＭＩＮは、式（１１）で算出される。

$$MIN=(\Sigma L'-\Sigma q*(DR/2^{Q}))$$
$$=((DR'/2^{Q'})*Y+N*MIN'-(DR/2^{Q})*X)/N$$
$$=(N*MIN'*2^{Q'+Q}+DR'*Y*2^{Q}-DR*X*2^{Q'})/(N*2^{Q'+Q}) \quad (11)$$

【０１９４】

ＡＤＲＣ復号回路３５５は、デシャフルされたデータに欠落がないとき、セグメント間デシャフル回路３５２から供給されたデータを基に、コードＱを復号し、復号の結果得られたＹデータ、Ｕデータ、およびＶデータをブロックデシャフル回路３５６に供給する。

【０１９５】

ＡＤＲＣ復号回路３５５は、ｑまたは動きフラグＭＦに欠落があり、かつｑビットＭＦリカバリ回路３５３がｑの正しい値および動きフラグＭＦの正しい値を求めることができたとき、ＤＲＭＩＮリカバリ回路３５４を介して供給されたｑの正しい値、動きフラグＭＦの正しい値、ダイナミックレンジＤＲ、およびブロック毎の画素値の最小値ＭＩＮを基に、ＤＲＭＩＮリカバリ回路３５４から供給されたコードＱを復号し、復号の結果得られたＹデータ、Ｕデータ、およびＶデータを、Ｙデータ、Ｕデータ、およびＶデータに対応する、”０”を設定したエラーフラグと共に、ブロックデシャフル回路３５６に供給する。

【０１９６】

ＡＤＲＣ復号回路３５５は、ｑまたは動きフラグＭＦに欠落があり、かつｑビットＭＦリカバリ回路３５３がｑの正しい値および動きフラグＭＦの正しい値を求めることができな

いとき、コードＱに対応するＹデータ、Ｕデータ、およびＶデータのエラーフラグに”１”を設定して、ブロックデシャフル回路３５６に供給する。

【０１９７】

ＡＤＲＣ復号回路３５５は、ダイナミックレンジＤＲ、または画素値の最小値ＭＩＮに欠落があり、かつＤＲＭＩＮリカバリ回路３５４がダイナミックレンジＤＲの正しい値および画素値の最小値ＭＩＮの正しい値を求めることができたとき、ＤＲＭＩＮリカバリ回路３５４を介して供給されたｑ、動きフラグＭＦ、ダイナミックレンジＤＲの正しい値、および画素値の最小値ＭＩＮの正しい値を基に、ＤＲＭＩＮリカバリ回路３５４から供給されたコードＱを復号し、復号の結果得られたＹデータ、Ｕデータ、およびＶデータを、Ｙデータ、Ｕデータ、およびＶデータに対応する、”０”を設定したエラーフラグと共に、ブロックデシャフル回路３５６に供給する。

【０１９８】

ＡＤＲＣ復号回路３５５は、ダイナミックレンジＤＲ、または画素値の最小値ＭＩＮに欠落があり、かつかつＤＲＭＩＮリカバリ回路３５４がダイナミックレンジＤＲの正しい値および画素値の最小値ＭＩＮの正しい値を求めることができないとき、コードＱに対応するＹデータ、Ｕデータ、およびＶデータのエラーフラグに”１”を設定して、ブロックデシャフル回路３５６に供給する。

【０１９９】

リカバリエラー判定回路３５７は、ｑビットＭＦリカバリ回路３５３から供給されたｅｍｉｎ１およびｅｍｉｎ２を基に、リカバリエラー判定フラグＦｄをブロックデシャフル回路３５６に出力し、外部メモリ３０５が記憶している前のフレームの対応する画素のＹデータ、Ｕデータ、およびＶデータの更新を停止させる。

【０２００】

ブロックデシャフル回路３５６は、ＡＤＲＣ復号回路３５５から”０”を設定したエラーフラグと共に、Ｙデータ、Ｕデータ、およびＶデータが供給されたとき、エラーフラグ、並びにＹデータ、Ｕデータ、およびＶデータを記憶する。ブロックデシャフル回路３５６は、ＡＤＲＣ復号回路３５５から”１”を設定したエラーフラグと共に、Ｙデータ、Ｕデータ、およびＶデータが供給されたとき、エラーフラグを記憶し、Ｙデータ、Ｕデータ、およびＶデータを記憶しない。また、ブロックデシャフル回路３５６は、リカバリエラー判定回路３５７またはセグメント間デシャフル回路３５２から連続エラー信号が供給された場合も、外部メモリ３０５が記憶している前のフレームの対応する画素のＹデータ、Ｕデータ、およびＶデータの更新を停止させる。

【０２０１】

ブロックデシャフル回路３５６は、Ｙデータ、Ｕデータ、およびＶデータを、図９に示す送信装置１のブロックシャフル回路１０２と逆の動作で、元の並びに戻し、元の並びに変換されたＹデータ、Ｕデータ、およびＶデータを出力する。

【０２０２】

以上のように、復号回路３０４は、復号に必要なデータであるｑ、動きフラグＭＦ、ダイナミックレンジＤＲ、または画素値の最小値ＭＩＮが失われても、ｑビットＭＦリカバリ回路３５３およびＤＲＭＩＮリカバリ回路３５４が失われたデータをリカバリするので、復号を実行することができる。

【０２０３】

リカバリにエラーがあるときは、外部メモリ３０５に記憶されている画素値を上書きしないで、４フレーム前の画素値を出力するので、動きが無いとき、違和感のない画素値を出力できる。

【０２０４】

次に、復号回路３０４の処理のタイミングを図４５および図４６のタイミングチャートを参照して説明する。図４５は、セグメント間デシャフル回路３５２から出力されるデータに欠落がない場合の、復号回路３０４の処理のタイミングの例を示す。セグメント間デシャフル回路３５２は、デシャフルの処理を行い、所定の時間経過後（図４５の例では、入

力開始から３６２クロック後）、ＡＤＲＣ復号回路３５５にデシャフルされたデータを出力する。ＡＤＲＣ復号回路３５５は、セグメント間デシャフル回路３５２から供給されたデータを復号して出力する。

【０２０５】

図４６は、セグメント間デシャフル回路３５２から出力されるデータに欠落がある場合の、復号回路３０４の処理のタイミングの例を示す。セグメント間デシャフル回路３５２は、デシャフルの処理を行い、データに欠落がない場合に、ＡＤＲＣ復号回路３５５にデータを供給するタイミングより早く（図４６の例では、入力開始から１２３クロック後）、ｑビットＭＦリカバリ回路３５３にデシャフルされたデータを出力する。ｑビットＭＦリカバリ回路３５３は、所定のタイミングで、ｑおよび動きフラグＭＦを、ＤＲＭＩＮリカバリ回路３５４に供給する。

【０２０６】

ＤＲＭＩＮリカバリ回路３５４は、データに欠落がない場合にセグメント間デシャフル回路３５２がＡＤＲＣ復号回路３５５にデータを供給するタイミングと同じタイミングで、ダイナミックレンジおよび画素の最小値を、ＡＤＲＣ復号回路３５５に供給する。

【０２０７】

従って、復号回路３０４は、ｑ、動きフラグＭＦ、ダイナミックレンジＤＲ、および画素の最小値ＭＩＮをリカバリしても、セグメント間デシャフル回路３５２から出力されるデータに欠落がない場合と同じタイミングで、データを復号し、出力することができる。

【０２０８】

以上のように、復号回路３０４は、復号に必要な所定のデータが失われても、ｑビットＭＦリカバリ回路３５３およびＤＲＭＩＮリカバリ回路３５４が失われたデータをリカバリするので、復号を実行することができる。なお、復号回路３０４にエラー処理を行わないモード（ユーザセレクタブルなモード）を選択する信号が入力されているとき、ｑビットＭＦリカバリ回路３５３およびＤＲＭＩＮリカバリ回路３５４は、リカバリを実行しない。

【０２０９】

図４７および図４８を参照して、ブロックデシャフル回路３５６のデータの出力のタイミングについて説明する。

【０２１０】

従来は、２フレームの画像を記憶するメモリを２個設けて、図４７（Ａ）に示すように、一方のメモリにデータを書き込んでいるとき、他のメモリからデータを読み出して出力し、２フレームの画像について処理が終了したとき、図４７（Ｂ）に示すように、他方のメモリにデータを書き込んで、一方のメモリからデータを読み出して、出力していた。

【０２１１】

これに対して、外部メモリ３０５に、それぞれ２フレームの画像を記憶するバンクを２つ設けて（図中のバンク１およびバンク２）、ブロックデシャフル回路３５６は、図４８（Ａ）に示すように、３個のＡＤＲＣに対応する画像データがＡＤＲＣ復号回路３５５から供給されたとき、バンク１に書き込み、図４８（Ｂ）に示すように、ＡＤＲＣ復号回路３５５から画像データが供給されていないとき（例えば、図４６に示す、入力開始から３６４クロックまでの間）、アドレスを指定することにより、バンク２からブロックデシャフルされたデータを読み出す。次の２フレームにおいては、ブロックデシャフル回路３５６は、３個のＡＤＲＣに対応する画像データがＡＤＲＣ復号回路３５５から供給されたとき、バンク２に書き込み、ＡＤＲＣ復号回路３５５から画像データが供給されていないとき、バンク１からブロックデシャフルされたデータを読み出す。

【０２１２】

このようにすることで、ブロックデシャフル回路３５６に対し、１個の外部メモリ３０５で、画像データをブロックデシャフルして、出力することができる。

【０２１３】

図４９は、リカバリエラー判定回路３５７の構成を示すブロック図である。ｑビットＭＦ

リカバリ回路３５３から供給される最小値を有する評価値ｅｍｉｎ１、および２番目に小さい値を有する評価値ｅｍｉｎ２は、差分算出回路４３１に供給される。差分算出回路４３１は、入力されたｅｍｉｎ１とｅｍｉｎ２との差を算出し、遅延回路４３２に出力する。遅延回路４３２は、差分算出回路４３１から供給されたデータを所定の時間遅延し、加算器４３５および遅延回路４３３に出力する。

【０２１４】

遅延回路４３３は、遅延回路４３２から供給されたデータを所定の時間遅延し、加算器４３５および遅延回路４３４に出力する。

【０２１５】

遅延回路４３４は、遅延回路４３３から供給されたデータを所定の時間遅延し、加算器４３５および判定回路４３７に出力する。

【０２１６】

加算器４３５は、遅延回路４３２からから供給されたデータ、遅延回路４３３からから供給されたデータ、および遅延回路４３４からから供給されたデータを加算して、判定回路４３６に供給する。

【０２１７】

判定回路４３６は、加算器４３５から供給されたデータが予め定めた閾値Ｔｅ１以下であるか否かを判定し、加算器４３５から供給されたデータが閾値Ｔｅ１以下であると判定された場合、”１”をＡＮＤ回路４３８に出力し、加算器４３５から供給されたデータが閾値Ｔｅ１を越えると判定された場合、”０”をＡＮＤ回路４３８に出力する。

【０２１８】

判定回路４３７は、遅延回路４３４から供給されたデータが予め定めた閾値Ｔｅ２以下であるか否かを判定し、遅延回路４３４から供給されたデータが閾値Ｔｅ２以下であると判定された場合、”１”をＡＮＤ回路４３８に出力し、遅延回路４３４から供給されたデータが閾値Ｔｅ２を越えると判定された場合、”０”をＡＮＤ回路４３８に出力する。

【０２１９】

ＡＮＤ回路４３８は、判定回路４３６から供給されたデータが”１”、かつ、判定回路４３７から供給されたデータが”１”のとき、”１”をホールド回路４３９に出力する。ＡＮＤ回路４３８は、判定回路４３６から供給されたデータが”０”、または、判定回路４３７から供給されたデータが”０”のとき、”０”をホールド回路４３９に出力する。

【０２２０】

ホールド回路４３９は、入力されたデータをリセット信号が入力されるまで保持し、遅延回路４４０に出力する。遅延回路４４０は、ホールド回路４３９から出力されたデータを所定の時間遅延し、ホールド回路４３９に供給するとともに、リカバリ判定フラグＦｄとしてブロックデシャフル回路３５６に出力する。

【０２２１】

このように、リカバリエラー判定回路３５７は、３個のＡＤＲＣブロックに対する、評価値ｅｍｉｎ１と評価値ｅｍｉｎ２の差の積算値が閾値Ｔｅ１以下であり、かつ、そのＡＤＲＣブロックに対する評価値ｅｍｉｎ１と評価値ｅｍｉｎ２の差が閾値Ｔｅ２以下であるとき、すなわち、評価値ｅｍｉｎ１と評価値ｅｍｉｎ２の差が少なく、リカバリされたｑまたは動きフラグＭＦが正しくない可能性が高いとき、リカバリ判定フラグＦｄに１をセットする。

【０２２２】

次に、ＡＤＲＣ復号回路３５５で復号されたデータが一時的にブロックデシャフル回路３５６に記憶され、読み出される処理を説明する。セグメント間デシャフル回路３５２は、パケット解体回路３０２から供給されたデータに欠落があるとき、欠落するデータに対応するエラーフラグに”１”を設定し、データに欠落がないとき、データに対応するエラーフラグに”０”を設定し、ＡＤＲＣブロック単位のコードＱおよびエラーフラグをＡＤＲＣ復号回路３５５に出力する。ＡＤＲＣ復号回路３５５は、コードＱを復号し、Ｙデータ、Ｕデータ、およびＶデータ、並びにエラーフラグをブロックデシャフル回路３５６に出

力する。

【０２２３】

ブロックデシャフル回路３５６は、対応するエラーフラグが”０”の場合、Ｙデータ、Ｕデータ、およびＶデータ、並びにエラーフラグを外部メモリ３０５に記憶し、対応するエラーフラグが”１”である場合、エラーフラグを外部メモリ３０５に記憶し、Ｙデータ、Ｕデータ、およびＶデータを外部メモリ３０５に記憶しない。

【０２２４】

外部メモリ３０５は、２つのバンクを有し、１つのバンクに２つのフレームのＹデータ、Ｕデータ、およびＶデータ、並びにエラーフラグを記憶する。外部メモリ３０５のバンクは、２つのフレーム毎に切り替えられる。従って、対応するエラーフラグが”１”である場合、外部メモリ３０５は、４フレーム前のＹデータ、Ｕデータ、およびＶデータを記憶している。

【０２２５】

図５０は、リカバリエラー判定回路３５７が、”１”が設定されたリカバリ判定フラグＦｄを出力した場合の、ブロックデシャフル回路３５６の処理を説明する図である。ｑビットＭＦリカバリ回路３５３から供給される最小値を有する評価値ｅｍｉｎ１、および２番目に小さい値を有する評価値ｅｍｉｎ２の差が所定の値以下であり、かつ、そのＡＤＲＣブロックを含めた連続する３つのＡＤＲＣブロックのｅｍｉｎ１、およびｅｍｉｎ２の差の和が所定の値以下であるとき、ｑビットＭＦリカバリ回路３５３は、ｑのリカバリに失敗したと判定し、このため、データの切り出しも失敗したと判定する。このとき、リカバリエラー判定回路３５７は、”１”が設定されたリカバリ判定フラグＦｄを出力する。

【０２２６】

リカバリエラー判定回路３５７が、”１”が設定されたリカバリ判定フラグＦｄを出力したとき、ブロックデシャフル回路３５６は、それ以降のバッファ（８８個のＡＤＲＣブロック）からのデータの切り出しに失敗したとみなし、それ以降に供給されるエラーフラグに”１”を設定し、そのエラーフラグを外部メモリ３０５に記憶する。ユーザセレクタブルなエスケープモードの場合には、データは外部メモリ３０５に記憶される。

【０２２７】

図５１は、セグメント間デシャフル回路３５３が、連続エラー信号を出力した場合の、ブロックデシャフル回路３５６の処理を説明する図である。セグメント間デシャフル回路３５３は、対応する偶数ＡＤＲＣブロックおよび奇数ＡＤＲＣブロックの両方の欠落を検出したとき、連続エラー信号を出力する。ｑビットＭＦリカバリ回路３５３のｑおよび動きフラグＭＦのリカバリの処理は、隣接する画素の画素値の相関を利用しているので、対応する偶数ＡＤＲＣブロックおよび奇数ＡＤＲＣブロックの両方が欠落しているとき、ｑビットＭＦリカバリ回路３５３は、リカバリの処理を実行することができない。連続エラー信号が供給されたとき、ブロックデシャフル回路３５６は、それ以降のバッファ（８８個のＡＤＲＣブロック）からのデータの切り出しに失敗したとみなし、それ以降に供給されるエラーフラグに”１”を設定し、そのエラーフラグを外部メモリ３０５に記憶し、それ以降に供給される復号されたデータを外部メモリ３０５に記憶しない。

【０２２８】

図５２は、ユーザセレクタブルなグレイモードの場合のブロックデシャフル回路３５６の処理を説明する図である。グレイモードの場合、ブロックデシャフル回路３５６は、対応するエラーフラグが”１”であるデータに、グレイ（Y,U,V全てを128にするのではなく、対応するデータのみ128にする）を設定して出力する。

【０２２９】

図５３および図５４は、ブロックデシャフル回路３５６のユーザセレクタブルなリカバリオフ入力（ユーザが図示せぬ所定のスイッチを操作したときに入力される信号）に対応した処理を説明する図である。”１”が設定されたリカバリオフ入力が供給された場合、ブロックデシャフル回路３５６は、外部メモリ３０５に、図５３に示すように、ｑビットＭＦリカバリ回路３５３を経由しないで、ＡＤＲＣ復号回路３５５でＹデータ、Ｕデータ、

およびＶデータが復号されたとき、復号されたＹデータ、Ｕデータ、およびＶデータを記憶させる。図５４に示すように、ｑビットＭＦリカバリ回路３５３でｑおよび動きフラグがリカバリされたとき、ブロックデシャフル回路３５６は、外部メモリ３０５に、復号されたＹデータ、Ｕデータ、およびＶデータをメモリに記憶させず、対応するすべてのエラーフラグを”１”に設定する。リカバリオフ入力を変化させることで、ｑビットＭＦリカバリ回路３５３等のリカバリの効果が簡単に確認できる。

【０２３０】

図５５は、ブロックデシャフル回路３５６のエスケープ信号（ユーザが図示せぬ所定のスイッチを操作したときに入力される信号）に対応した処理を説明する図である。所定のエスケープ信号が供給された場合、ブロックデシャフル回路３５６は、図５５に示すように、リカバリ判定フラグＦｄが”１”に設定されても、それ以降に供給されるエラーフラグに強制的に”１”を設定しないでエラーフラグをメモリに記憶し、それ以降に供給される復号されたＹデータ、Ｕデータ、およびＶデータをメモリに記憶する。エスケープ信号を変化させることで、ブロックデシャフル回路３５６のコンシールの処理の効果が簡単に確認できる。

【０２３１】

図５６および図５７は、ブロックデシャフル回路３５６の復号したデータを出力する処理を説明するフローチャートである。ステップＳ３１において、セグメント間デシャフル回路３５２は、受信回路３０１が生成したエラーフラグを受信し、ＡＤＲＣ復号回路３５５に供給する。ＡＤＲＣ復号回路３５５は、セグメント間デシャフル回路３５２から供給されたエラーフラグをブロックデシャフル回路３５６に出力し、ブロックデシャフル回路３５６は、そのエラーフラグを受信する。

【０２３２】

ステップＳ３２において、ブロックデシャフル回路３５６は、ＡＤＲＣ復号回路３５５から供給された、バッファ（所定の８８個のＡＤＲＣブロック）に対応する、最初のエラーフラグを選択する。ステップＳ３３において、ブロックデシャフル回路３５６は、セグメント間デシャフル回路３５２から供給されている連続エラー信号が”０”であるか否かを判定し、連続エラー信号が”０”であると判定された場合、ステップＳ３４に進み、リカバリエラー判定回路３５７から供給されているリカバリ判定フラグＦｄが”０”であるか否かを判定する。ステップＳ３４において、リカバリ判定フラグＦｄが”０”であると判定された場合、ステップＳ３５に進み、ブロックデシャフル回路３５６は、外部メモリ３０５にエラーフラグを記憶させる。

【０２３３】

ステップＳ３３において、連続エラー信号が”１”であると判定された場合、およびステップＳ３４において、リカバリ判定フラグＦｄが”１”であると判定された場合、データの切り出しに失敗したので、ステップＳ４７に進み、ブロックデシャフル回路３５６は、エスケープ信号がオフであるか否かを判定し、エスケープ信号がオフであると判定された場合、ステップＳ４８に進み、ステップＳ３２で選択されたエラーフラグに”１”を設定し、ステップＳ３５に進み、ブロックデシャフル回路３５６は、外部メモリ３０５にエラーフラグを記憶させる。

【０２３４】

ステップＳ４７において、エスケープ信号がオンであると判定された場合、エラーフラグの設定を行わないので、手続きは、ステップＳ４８をスキップし、ステップＳ３５に進み、ブロックデシャフル回路３５６は、外部メモリ３０５にエラーフラグを記憶させる。

【０２３５】

ステップＳ３６において、ブロックデシャフル回路３５６は、バッファに対応する、すべてのエラーフラグを処理したか否かを判定し、すべてのエラーフラグを処理したと判定された場合、ステップＳ３７に進み、ブロックデシャフル回路３５６は、ＡＤＲＣ復号回路３５５から復号されたＹデータ、Ｕデータ、およびＶデータを受信する。

【０２３６】

ステップＳ３６において、バッファの全てのエラーフラグをまだ処理していないと判定された場合、ステップＳ４９に進み、ブロックデシャフル回路３５６は、次のエラーフラグを選択し、ステップＳ３３に戻り、エラーフラグの設定の処理を繰り返す。

【０２３７】

ステップＳ３８において、ブロックデシャフル回路３５６は、ＡＤＲＣ復号回路３５５から供給された、バッファの最初の復号されたデータを選択する。

【０２３８】

ステップＳ３９において、ブロックデシャフル回路３５６は、セグメント間デシャフル回路３５２から供給されている連続エラー信号が”０”であるか否かを判定し、連続エラー信号が”０”であると判定された場合、ステップＳ４０に進み、選択されている復号されたデータに対応するエラーフラグが”０”であるか否かを判定する。選択されている復号されたデータに対応するエラーフラグが”０”であると判定された場合、ステップＳ４１に進み、ブロックデシャフル回路３５６は、選択されている復号されたＹデータ、Ｕデータ、およびＶデータを外部メモリ３０５に記憶させる。手続きは、ステップＳ４２に進む。

【０２３９】

ステップＳ３９において、連続エラー信号が”１”であると判定された場合、および、ステップＳ４０において、選択されている復号されたデータに対応するエラーフラグが”１”であると判定された場合、データは欠落しているので、ステップＳ４１をスキップして、ステップＳ４２に進む。

【０２４０】

ステップＳ４２において、ブロックデシャフル回路３５６は、バッファの全ての復号されたデータを処理したか否かを判定し、バッファの全ての復号されたデータを処理したと判定された場合、ステップＳ４３に進む。

【０２４１】

ステップＳ４２において、バッファ（８８個のＡＤＲＣブロック）の全ての復号されたデータをまだ処理していないと判定された場合、ステップＳ５０に進み、ブロックデシャフル回路３５６は、次のデータを選択し、ステップＳ３９に戻り、復号したデータを記憶する処理を繰り返す。

【０２４２】

ステップＳ４３において、ブロックデシャフル回路３５６は、外部メモリ３０５に記憶されている最初のデータを選択する。ステップＳ４４において、ブロックデシャフル回路３５６は、エラーフラグが”１”で、かつ、グレイモードであるか否かを判定し、エラーフラグが”０”、または、グレイモードでないと判定された場合、ステップＳ４５に進み、選択されているデータをフォーマット変換回路３０６に出力する。

【０２４３】

ステップＳ４４において、エラーフラグが”１”で、かつ、グレイモードであると判定された場合、ステップＳ５１に進み、ブロックデシャフル回路３５６は、グレーデータをフォーマット変換回路３０６に出力し、ステップＳ４６に進む。

【０２４４】

ステップＳ４６において、ブロックデシャフル回路３５６は、外部メモリ３０５のバンクに記憶されている全てのデータを処理したか否かを判定し、外部メモリ３０５に記憶されている全てのデータを処理したと判定された場合、処理は終了する。

【０２４５】

ステップＳ４６において、外部メモリ３０５に記憶されている全てのデータを処理していないと判定された場合、ステップＳ５２に進み、ブロックデシャフル回路３５６は、外部メモリ３０５のバンクに記憶されている次のデータを選択し、ステップＳ４４に戻り、データを出力する処理を繰り返す。

【０２４６】

このように、ブロックデシャフル回路３５６は、コードＱが欠落していても、もっとも違

和感の少ないデータを出力することができる。

【０２４７】

次に、図示せぬユーザセレクタブルなリカバリオフスイッチが”０”である場合のブロックデシャフル回路３５６のデータを出力する処理を図５８のフローチャートを参照して説明する。ステップＳ７１において、セグメント間デシャフル回路３５２は、受信回路３０１が生成したエラーフラグを受信し、ＡＤＲＣ復号回路３５５に供給する。ＡＤＲＣ復号回路３５５は、セグメント間デシャフル回路３５２から供給されたエラーフラグをブロックデシャフル回路３５６に出力し、ブロックデシャフル回路３５６は、そのエラーフラグを受信する。

【０２４８】

ステップＳ７２において、ブロックデシャフル回路３５６は、ｑおよび動きフラグ等がｑビットＭＦリカバリ回路３５３等において、リカバリされたか否かを判定し、ｑおよび動きフラグＭＦ等がリカバリされていないと判定された場合、ステップＳ７３に進み、外部メモリ３０５にエラーフラグを記憶させる。

【０２４９】

ステップＳ７２において、ｑおよび動きフラグ等がリカバリされていると判定された場合、ステップＳ７８に進み、ブロックデシャフル回路３５６は、受信したエラーフラグを全て”１”に設定し、ステップＳ７３に進む。

【０２５０】

ステップＳ７４において、ブロックデシャフル回路３５６は、ＡＤＲＣ復号回路３５５から復号されたＹデータ、Ｕデータ、およびＶデータを受信する。

【０２５１】

ステップＳ７５において、ブロックデシャフル回路３５６は、ｑおよび動きフラグ等がｑビットＭＦリカバリ回路３５３等において、リカバリされたか否かを判定し、ｑおよび動きフラグＭＦ等がリカバリされていないと判定された場合、ステップＳ７６に進み、ステップＳ７４で受信したＹデータ、Ｕデータ、およびＶデータを記憶する。

【０２５２】

ステップＳ７５において、ｑ、動きフラグＭＦ等がリカバリされていると判定された場合、ステップＳ７６をスキップし、Ｙデータ、Ｕデータ、およびＶデータを記憶させないで、ステップＳ７７に進む。

【０２５３】

ステップＳ７７において、ブロックデシャフル回路３５６は、外部メモリ３０５に記憶させたＹデータ、Ｕデータ、およびＶデータおよびエラーフラグをフォーマット変換回路３０６に出力し、処理を終了する。

【０２５４】

このように、リカバリオフ入力が”１”である場合、ブロックデシャフル回路３５６は、リカバリされたデータを出力しない。

【０２５５】

以上のように、復号回路３０４は、復号に必要な所定のデータが失われても、ｑビットＭＦリカバリ回路３５３およびＤＲＭＩＮリカバリ回路３５４が失われたデータをリカバリするので、復号を実行することができる。また、復号回路３０４は、復号ができなくても、もっとも違和感の少ないデータを出力することができる。また、リカバリオフ入力を”１”にすることで、リカバリの効果を簡単に確認することができる。

【０２５６】

次に、欠落画素創造回路３０８について説明する。欠落画素創造回路３０８は、プログレッシブ方式の画像を再生するとき、クラス分類適応処理により、図５９（Ａ）に示すように、創造の対象となる画素の同一のフレーム（フレームｔ）にある周辺の画素の画素値、並びにこれらの画素と水平方向および垂直方向に同一の位置の１つ前のフレーム（フレームｔ－１）にある画素の画素値を基に、欠落した画素の画素値などを創造する。また、欠落画素創造回路３０８は、クラス分類適応処理により、図５９（Ｂ）に示すように、創造

の対象となる画素の同一のフィールド（フィールドｔ）にある周辺の画素の画素値、これらの画素と水平方向および垂直方向に同一の位置の１つ前のフィールド（フィールドｔ－１）、並びに創造の対象となる画素の周辺の画素と水平方向および垂直方向に同一の位置の２つ前のフィールド（フィールドｔ－２）にある画素の画素値を基に、欠落した画素の画素値などを創造する。

【０２５７】

図６０は、欠落画素創造回路３０８の構成を示すブロック図である。欠落画素創造回路３０８に入力されたデータである画素値および画素の欠落を示すエラーフラグは、前処理回路５０１およびタップ構築回路５０２－１に供給される。

【０２５８】

前処理回路５０１は、入力された画素値および画素の欠落を示すエラーフラグを基に、欠落している画素の値を線形補間フィルタで生成し、欠落している画素にその値を設定し、タップ構築回路５０２－２乃至５０２－５に供給する。なお、画素値は、タップデータとも称する。

【０２５９】

前処理回路５０１の処理を図６１のフローチャートを参照して説明する。ステップＳ１３１において、前処理回路５０１は、エラーフラグを基に、対象となる画素が欠落しているか否かを判定し、対象となる画素が欠落していないと判定された場合、ステップＳ１３２に進み、対象となる画素の画素値を、対象となる画素に設定し、処理は終了する。

【０２６０】

ステップＳ１３１において、対象となる画素が欠落していると判定された場合、ステップＳ１３３に進み、前処理回路５０１は、エラーフラグを基に、対象となる画素の水平に隣接している画素のいずれかが欠落しているか否かを判定する。ステップＳ１３３において、対象となる画素の水平に隣接している画素のいずれも欠落していないと判定された場合、ステップＳ１３４に進み、前処理回路５０１は、対象となる画素の水平に隣接している２つの画素の画素値の平均値を対象となる画素の画素値に設定し、処理は終了する。

【０２６１】

ステップＳ１３３において、対象となる画素の水平に隣接している画素のいずれかが欠落していると判定された場合、ステップＳ１３５に進み、前処理回路５０１は、対象となる画素の水平に隣接している画素のいずれも欠落しているか否かを判定する。ステップＳ１３５において、対象となる画素の水平に隣接している画素のいずれかが欠落していないと判定された場合、ステップＳ１３６に進み、前処理回路５０１は、対象となる画素の水平に隣接している、欠落していない画素の画素値を対象となる画素の画素値に設定し、処理は終了する。

【０２６２】

ステップＳ１３５において、対象となる画素の水平に隣接している画素のいずれも欠落していると判定された場合、ステップＳ１３７に進み、前処理回路５０１は、エラーフラグを基に、対象となる画素の垂直に隣接している画素のいずれかが欠落しているか否かを判定する。ステップＳ１３７において、対象となる画素の垂直に隣接している画素のいずれも欠落していないと判定された場合、ステップＳ１３８に進み、前処理回路５０１は、対象となる画素の垂直に隣接している２つの画素の画素値の平均値を対象となる画素の画素値に設定し、処理は終了する。

【０２６３】

ステップＳ１３７において、対象となる画素の垂直に隣接している画素のいずれかが欠落していると判定された場合、ステップＳ１３９に進み、前処理回路５０１は、エラーフラグを基に、対象となる画素に隣接している全ての画素が欠落しているか否かを判定する。ステップＳ１３９において、対象となる画素に隣接しているいずれかの画素が欠落していないと判定された場合、ステップＳ１４０に進み、前処理回路５０１は、対象となる画素に隣接している、欠落していない画素の画素値を対象となる画素の画素値に設定し、処理は終了する。

【０２６４】
ステップＳ１３９において、対象となる画素に隣接している全ての画素が欠落していると判定された場合、ステップＳ１４１に進み、前処理回路５０１は、対象となる画素と同じ位置の過去のフレームの画素の画素値を、対象となる画素の画素値に設定し、処理は終了する。
【０２６５】
以上のように、前処理回路５０１は、対象となる画素の画素値を周辺の画素の画素値から線形に補間する。前処理回路５０１による補間処理により、これに続く処理で使用できるタップの範囲を広げることができる。
【０２６６】
タップ構築回路５０２－１乃至５０２－５は、それぞれ、タップデータ等を、所定のタイミングで、動きクラス生成回路５０３、ＤＲクラス生成回路５０４、空間クラス生成回路５０５、および欠落クラス生成回路５０６に供給する。
【０２６７】
動きクラス生成回路５０３は、イニシャライズ回路３０９から供給されたパラメータ、並びにタップ構築回路５０２－１から供給されたエラーフラグおよび選択されたタップを基に、動きクラスコードおよび静動フラグを生成し、タップ構築回路５０２－２乃至２０５－５およびクラス合成回路５０７に出力する。動きクラスコードは、動きの量を示す２ビットの情報を有し、静動フラグは、動きの有り無しを１ビットで示す。
【０２６８】
図６２（Ａ）は、動きクラス生成回路５０３による時間アクティビティの算出に使用される、創造の対象となる画素を中心とした３×３の画素の例を示す図である。図６２（Ａ）において、”エラー”は、欠落した画素を示す。図６２（Ｂ）は、図６２（Ａ）に示された画素に対応する、１つ前のフレームの３×３の画素の例を示す図である。図６２（Ａ）および図６２（Ｂ）に示されるＬ１乃至Ｌ３は、それぞれラインを示し、ラインの同一の番号は、垂直方向に同一の位置であることを示す。図６２（Ａ）および図６２（Ｂ）に示されるＨ１乃至Ｈ３は、それぞれ画素の水平方向の位置を示し、その同一の番号は、水平方向に同一の位置であることを示す。
【０２６９】
図６２（Ａ）および図６２（Ｂ）に示される場合において、時間アクティビティは、式（１２）で算出される。

$$\text{時間アクティビティ} = |(q2)-(p2)| + |(q3)-(p3)| + |(q4)-(p4)| + |(q6)-(p6)| + |(q7)-(p7)| + |(q9)-(p9)| \quad (12)$$

式（１２）において、（）は、画素の画素値を表し、｜｜は、絶対値を求める関数を表す。
【０２７０】
動きクラス生成回路５０３は、創造の対象となる画素を中心とした３×３の画素の最大値と最小値との差に１を加算した空間アクティビティを算出する。
【０２７１】
図６３は、動きクラス生成回路５０３による空間アクティビティの算出に使用される、創造の対象となる欠落した画素を中心とした３×３の画素の例を示す図である。このとき、空間アクティビティは、式（１３）で算出される。

$$\text{空間アクティビティ} = \mathrm{Max}(qi) - \mathrm{Min}(qi) + 1 \quad (13)$$

式（１３）において、Ｍａｘ（ｑｉ）は、ｑ１乃至ｑ９の画素値の最大値を示す。Ｍｉｎ（ｑｉ）は、ｑ１乃至ｑ９の画素値の最小値を示す。
【０２７２】

動きクラス生成回路５０３は、空間アクティビティを基に、それぞれ異なる値を有する閾値を選択する。動きクラス生成回路５０３は、動き判定の閾値、および時間アクティビティを基に、動きクラスコードを設定する。

【０２７３】

図６４は、動き判定の閾値を説明する図である。動き判定の閾値は、空間アクティビティの値によって、異なる値が使用される。空間アクティビティが大きくなれば、大きな値の閾値が使用される。これは、空間アクティビティが大きい場合、動きが少なくとも、時間アクティビティが、大きな値となることを考慮したものである。

【０２７４】

なお、スタンダードデンシティのデータに対する処理においては、空間アクティビティとは無関係に固定された閾値を使用して動きクラスコードが設定される。

【０２７５】

次に、動きクラス生成回路５０３の動きクラスコードを設定する処理を、図６５のフローチャートを参照して説明する。ステップＳ１５１において、動きクラス生成回路５０３は、時間アクティビティが、閾値１以下であるか否かを判定し、時間アクティビティが閾値１以下であると判定された場合、ステップＳ１５２に進み、動きクラスコードを０に設定し、処理は終了する。

【０２７６】

ステップＳ１５１において、時間アクティビティが閾値１を越えると判定された場合、ステップＳ１５３に進み、動きクラス生成回路５０３は、時間アクティビティが、閾値２以下であるか否かを判定し、時間アクティビティが閾値２以下であると判定された場合、ステップＳ１５４に進み、動きクラスコードを１に設定し、処理は終了する。

【０２７７】

ステップＳ１５３において、時間アクティビティが閾値２を越えると判定された場合、ステップＳ１５５に進み、動きクラス生成回路５０３は、時間アクティビティが閾値３以下であるか否かを判定し、時間アクティビティが閾値３以下であると判定された場合、ステップＳ１５６に進み、動きクラスコードを２に設定し、処理は終了する。

【０２７８】

ステップＳ１５５において、時間アクティビティが閾値３を越えると判定された場合、ステップＳ１５７に進み、動きクラス生成回路５０３は、動きクラスコードを３に設定し、処理は終了する。

【０２７９】

以上のように、動きクラス生成回路５０３は、閾値および時間アクティビティを基に、動きクラスコードを設定する。

【０２８０】

動きクラス生成回路５０３は、複数の画素の動きクラスコードを基に、再度、動きフラグを設定する。例えば、図６６に示すように、創造の対象となる画素の周辺の画素の動きクラスコードを基に、動きクラス生成回路５０３は、対象となる画素の動きクラスコードを設定する。

【０２８１】

動きクラス生成回路５０３の動きクラスコードを設定する処理を図６７のフローチャートを参照して説明する。ステップＳ１７１において、動きクラス生成回路５０３は、７つの画素の動きクラスコードのうち、３の値が設定されている動きクラスコードの数が、閾値３より大きいか否かを判定し、３の値が設定されている動きクラスコードの数が、閾値３より大きいと判定された場合、ステップＳ１７２に進み、動きクラスコードに３を設定し、処理は終了する。

【０２８２】

ステップＳ１７１において、３の値が設定されている動きクラスコードの数が、閾値３以下であると判定された場合、ステップＳ１７３に進み、動きクラス生成回路５０３は、３の値が設定されている動きクラスコードの数と２の値が設定されている動きクラスコード

の数を加えた値が、閾値２より大きいか否かを判定し、３の値が設定されている動きクラスコードの数と２の値が設定されている動きクラスコードの数を加えた値が、閾値２より大きいと判定された場合、ステップＳ１７４に進み、動きクラスコードに２を設定し、処理は終了する。

【０２８３】

ステップＳ１７３において、３の値が設定されている動きクラスコードの数と２の値が設定されている動きクラスコードの数を加えた値が、閾値２以下であると判定された場合、ステップＳ１７５に進み、動きクラス生成回路５０３は、３の値が設定されている動きクラスコードの数、２の値が設定されている動きクラスコードの数、および１の値が設定されている動きクラスコードの数を加えた値が、閾値１より大きいか否かを判定し、３の値が設定されている動きクラスコードの数、２の値が設定されている動きクラスコードの数、および１の値が設定されている動きクラスコードの数を加えた値が、閾値１より大きいと判定された場合、ステップＳ１７６に進み、動きクラスコードに１を設定し、処理は終了する。

【０２８４】

ステップＳ１７５において、３の値が設定されている動きクラスコードの数、２の値が設定されている動きクラスコードの数、および１の値が設定されている動きクラスコードの数を加えた値が、閾値１以下であると判定された場合、ステップＳ１７７に進み、動きクラス生成回路５０３は、動きクラスコードに０を設定し、処理は終了する。

【０２８５】

このように、動きクラス生成回路５０３は、複数の画素の動きクラスコード、並びに予め記憶している閾値を基に、最終的な、動きクラスコードを設定する。

【０２８６】

以上のように、動きクラス生成回路５０３は、複数の画素の画素値から動きクラスコードを設定し、出力する。動きクラス生成回路５０３は、動きクラスコードを基に、静動フラグを設定し、出力する。例えば、動きクラスコードが０または１のとき、静動フラグは、０に設定され、動きクラスコードが２または３のとき、静動フラグは、１に設定される。

【０２８７】

タップ構築回路５０２－２は、動きクラス生成回路５０３から供給された動きクラスコードおよび静動フラグ、並びに欠落画素の位置を基に、全てのクラス構造を網羅した予測タップを選択して、可変タップ選択回路５０８に供給する。

【０２８８】

タップ構築回路５０２－３は、動きクラス生成回路５０３から供給された動きクラスコードおよび静動フラグを基に、タップおよびクラスタップを選択して、エラーフラグとともに、ＤＲクラス生成回路５０４に供給する。ＤＲクラス生成回路５０４は、タップ構築回路５０２－３から供給されたタップ、クラスタップ、エラーフラグを基に、ＤＲクラスコードを生成して、クラス合成回路５０７に出力する。

【０２８９】

タップ構築回路５０２－４は、動きクラス生成回路５０３から供給された動きクラスコードおよび静動フラグを基に、タップおよびクラスタップを選択して、エラーフラグとともに、空間クラス生成回路５０５に供給する。空間クラス生成回路５０５は、タップ構築回路５０２－４から供給されたタップ、クラスタップ、エラーフラグを基に、空間クラスコードを生成して、クラス合成回路５０７に出力する。

【０２９０】

タップ構築回路５０２－５は、動きクラス生成回路５０３から供給された動きクラスコードおよび静動フラグを基に、タップを選択して、エラーフラグとともに、欠落クラス生成回路５０６に供給する。欠落クラス生成回路５０６は、タップ構築回路５０２－５から供給されたタップ、エラーフラグを基に、欠落クラスコードを生成して、クラス合成回路５０７に出力する。

【０２９１】

クラス合成回路５０７は、動きクラスコード、静動フラグ、ＤＲクラスコード、空間クラスコード、および欠落クラスコードを基に、クラスコードを統合し、最終的なクラスコードを形成して、係数保持クラスコード選択回路５０９に出力する。

【０２９２】

係数保持クラスコード選択回路５０９は、イニシャライズ回路３０９から供給された係数セット、および予測構造、並びにクラス合成回路５０７から供給されたクラスコードを基に、可変タップ選択回路５０８に、可変タップを選択させるとともに、予測係数列を推定予測演算回路５１０に出力する。

【０２９３】

図６８乃至図７１を基に、可変タップ選択回路５０８が選択する予測タップデータ列を説明する。

【０２９４】

図６８は、動きクラスコードが０のとき、タップ構築回路５０２－２が可変タップ選択回路５０８に出力する予測タップ可変選択範囲と、可変タップ選択回路５０８が選択する予測タップデータ列の例を示す図である。図６８において、実線で囲んだタップは、タップ構築回路５０２－２が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路５０８が選択する予測タップデータ列を示す。可変タップ選択回路５０８が選択する予測タップデータ列は、タップ構築回路５０２－２が出力する予測タップ可変選択範囲に含まれるタップから構成される。

【０２９５】

例えば、動きクラスコードが０のとき、タップ構築回路５０２－２は、隣接するタップを選択する。例えば、動きクラスコードが０のとき、可変タップ選択回路５０８は、隣接するタップを選択する。

【０２９６】

図６９は、動きクラスコードが１のとき、タップ構築回路５０２－２が出力する予測タップ可変選択範囲と、可変タップ選択回路５０８が選択する予測タップデータ列を示す図である。図６９において、実線で囲んだタップは、タップ構築回路５０２－２が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路５０８が選択する予測タップデータ列を示す。可変タップ選択回路５０８が選択する予測タップデータ列は、タップ構築回路５０２－２が出力する予測タップ可変選択範囲に含まれるタップから構成される。

【０２９７】

例えば、動きクラスコードが１のとき、タップ構築回路５０２－２は、隣接するタップと、その隣接するタップとは隣接しないタップを選択する。例えば、動きクラスコードが０のとき、可変タップ選択回路５０８は、隣接する５個のタップと、その隣接する５個のタップとは離れた隣接する５個のタップを選択する。

【０２９８】

図７０は、欠落タップが存在して、動きクラスコードが０のとき、タップ構築回路５０２－２が出力する予測タップ可変選択範囲と、可変タップ選択回路５０８が選択する予測タップデータ列を示す図である。図中の黒丸は、欠落タップを示す。図７０において、実線で囲んだタップは、タップ構築回路５０２－２が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路５０８が選択する予測タップデータ列を示す。可変タップ選択回路５０８が選択する予測タップデータ列は、タップ構築回路５０２－２が出力する予測タップ可変選択範囲に含まれるタップから構成される。

【０２９９】

例えば、欠落タップが存在して、動きクラスコードが０のとき、タップ構築回路５０２－２は、隣接するタップを選択する。例えば、欠落タップが存在して、動きクラスコードが０のとき、可変タップ選択回路５０８は、欠落タップが存在しないときと同じ数の、隣接するタップ（例えば、欠落タップの隣のタップまたは欠落タップと同じ並びのタップ）を選択する。

【０３００】
図７１は、欠落タップが存在して、動きクラスコードが１のとき、タップ構築回路５０２－２が出力する予測タップ可変選択範囲と、可変タップ選択回路５０８が選択する予測タップデータ列を示す図である。図中の黒丸は、欠落タップを示す。図７０において、実線で囲んだタップは、タップ構築回路５０２－２が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路５０８が選択する予測タップデータ列を示す。可変タップ選択回路５０８が選択する予測タップデータ列は、タップ構築回路５０２－２が出力する予測タップ可変選択範囲に含まれるタップから構成される。
【０３０１】
例えば、欠落タップが存在して、動きクラスコードが１のとき、タップ構築回路５０２－２は、隣接するタップと、その隣接するタップとは隣接しないタップを選択する。例えば、欠落タップが存在して、動きクラスコードが０のとき、可変タップ選択回路５０８は、欠落タップが存在しないときと同じ数の、隣接するタップ（例えば、欠落タップの隣のタップまたは欠落タップと同じ並びのタップ）と、その隣接するタップとは離れた、欠落タップが存在しないときと同じ数の、隣接するタップを選択する。
【０３０２】
推定予測演算回路５１０は、イニシャライズ回路３０９から設定された出力モードを基に、可変タップ選択回路５０８から供給された予測タップデータ列、および係数保持クラスコード選択回路５０９から供給された予測係数列を基に、線形推定式を用いて、欠落した画素の画素値を算出する。
【０３０３】
このように、欠落画素創造回路３０８は、ダイナミックレンジ、動き、欠落、および画素値の変化などによるクラス分類により、欠落した画素の周辺の画素値を基に、欠落した画素値を算出する。
【０３０４】
また、推定予測演算回路５１０は、入力された画像の画質をアップさせる（階調の増加（Ｙデータ、Ｕデータ、およびＶデータのビット数の増加）、ノイズの除去、量子化歪みの除去（時間方向の歪みの除去を含む）、４倍密度の解像度の創造など）ことができる。
【０３０５】
次に、４倍密解像度創造回路３１２について説明する。４倍密解像度創造回路３１２は、インターレース方式の画像を出力するとき、図７２（Ａ）および図７２（Ｂ）に示すように、クラス分類適応処理を利用し、２つのフィールドの所定の数の画素の画素値を基に、入力された２つのフィールドの間に２つの画素を創造する。
【０３０６】
４倍密解像度創造回路３１２は、プログレッシブ方式の画像を出力するとき、図７２（Ｃ）および図７２（Ｄ）に示すように、クラス分類適応処理を利用し、図７２に示すように、２つのフレームの所定の数の画素の画素値を基に、入力された２つのフレームの間に２つの画素を創造する。
【０３０７】
図７３は、４倍密解像度創造回路３１２の構成を示すブロック図である。フォーマット変換回路３１０から供給されるＹデータ、Ｕデータ、およびＶデータは、タップ選択回路６０１、タップ選択回路６０２、およびタップ選択回路６０３に供給される。タップ選択回路６０１は、レジスタ６０９に格納されているタップの位置情報に従って、密度を４倍にするために創造する画素の画素値を算出するのに使用する画素を選択する。タップ選択回路６０１により選択された画素は、推定予測演算回路６０７に供給される。
【０３０８】
タップ選択回路６０２は、レジスタ６１０に格納されているタップの位置情報に従って、創造する画素の近傍の画素の画素値のうち、空間クラス分類に使用する画素を選択する。タップ選択回路６０２により選択された画素は、空間クラス検出回路６０４に供給される。空間クラス検出回路６０４は、空間クラスを検出する。検出された空間クラスは、クラ

ス合成回路６０６に供給される。
【０３０９】
タップ選択回路６０３は、レジスタ６１１に格納されているタップの位置情報に従って、創造する画素の近傍の画素に基づいて動きに対応するクラス分類に使用する画素を選択するものである。タップ選択回路６０３により選択された画素は、動きクラス検出回路６０５に供給される。動きクラス検出回路６０５は、動きクラスを検出する。検出された動きクラスは、クラス合成回路６０６およびレジスタ６１０に供給される。レジスタ６１０のタップの位置情報は、動きクラス検出回路６０５から供給された動きクラスによって切り換えられる。
【０３１０】
クラス合成回路６０６は、空間クラスおよび動きクラスを統合し、最終的なクラスコードを形成する。
【０３１１】
このクラスコードが係数メモリ６１２に対して、アドレスとして供給され、係数メモリ６１２からクラスコードに対応する係数セットが読み出される。係数セットは、推定予測演算回路６０７に供給される。推定予測演算回路６０７は、タップ選択回路６０１から供給された画素の画素値、および係数メモリ６１２から供給された係数セットを基に、線形推定式を用いて、創造する画素の画素値を算出する。推定予測演算回路６０７からの出力は、ラインデータＬ１およびラインデータＬ２として、線順次変換回路６１３に供給される。
【０３１２】
係数セットは、教師信号としての、１つのフィールド当たり、水平方向に５２８画素および垂直方向に２４０画素を含むＹデータ、それぞれ１つのフィールド当たり、水平方向に１７６画素および垂直方向に１２０画素を含むＵデータおよびＶデータを用いて、クラス毎の係数セットが予め生成されて、イニシャライズ回路３１３に記憶されている。
【０３１３】
線順次変換回路６１３は、ラインメモリを有し、推定予測演算回路６０７から出力されるラインデータＬ１およびラインデータＬ２をレジスタ６０８に格納されている出力タイミングのデータに基づき、線順次で出力する。線順次変換回路６１３から、供給された画像の４倍の密度の画像のデータが出力される。
【０３１４】
レジスタ６０８、レジスタ６０９、レジスタ６１０、レジスタ６１１、および係数メモリ６１２は、イニシャライズ回路３１３に初期化信号が供給されたとき、イニシャライズ回路３１３から供給された係数セット等を格納する。
【０３１５】
図７４は、４倍密解像度創造回路３１２がインターレース方式で４倍密解像度の画素を生成、出力する場合における、４倍密解像度創造回路３１２に入力される画素（図中、大きい円で示す）の位置、および４倍密解像度創造回路３１２が出力する画素（図中、小さい円で示す）の位置を示す図である。４倍密解像度創造回路３１２に入力されるフレームは、３０Ｈｚの周波数を有し、４倍密解像度創造回路３１２が出力するフィールドは、６０Ｈｚの周波数を有する。出力される第１のフィールドの画素は、入力された画素から、垂直方向に出力される画面のラインの１ライン分だけ上にずれて出力され、１ライン当たりの画素の数は、２倍になっている。出力される第２のフィールドの画素は、入力された画素から、垂直方向に出力される画面のラインの１ライン分だけ下にずれて出力され、１ライン当たりの画素の数は、２倍になっている。
【０３１６】
図７５は、４倍密解像度創造回路３１２がプログレッシブ方式で４倍密解像度の画素を生成して、出力するときの、４倍密解像度創造回路３１２に入力される画素（図中、大きい円で示す）の位置、および４倍密解像度創造回路３１２が出力する画素（図中、小さい円で示す）の位置を示す図である。４倍密解像度創造回路３１２に入力されるフレームは、

３０Ｈｚの周波数を有し、４倍密解像度創造回路３１２が出力するフレームは、６０Ｈｚの周波数を有する。出力されるフレームの画素は、入力された画素と同じライン上に出力され、１ライン当たりの画素の数は、２倍になっている。

【０３１７】

以上のように、４倍密解像度創造回路３１２は、入力された画像を基に、２倍のフレーム周波数また２倍のフィールド周波数で、１ライン当たり２倍の画素の数を有する画像を創造して出力する。

【０３１８】

次に、ＵＶ垂直２倍回路３３３について説明する。図７６は、ＵＶ垂直２倍回路３３３の構成を示すブロック図である。ＵＶ垂直２倍回路３３３には、４倍密解像度創造回路３１２により、画素の数が増やされたＵデータおよびＶデータが入力される。入力されたデータは、ラインＦＩＦＯ７０１－１乃至７０１－６により、１ライン分ずつ遅延され、順次後段に出力される。

【０３１９】

乗算回路７０２－１は、入力されたデータに係数を乗じて、加算回路７０３に出力する。

【０３２０】

乗算回路７０２－２乃至７０２－７は、それぞれラインＦＩＦＯ７０１－１乃至７０１－６より、入力されたデータに係数を乗じて、加算回路７０３に出力する。

【０３２１】

加算回路７０３は、乗算回路７０２－１乃至７０２－７から供給されたデータを加算し、ラッチ回路７０４に供給する。ラッチ回路７０４は、クロック信号が入力されたとき、入力されたデータをラッチする。

【０３２２】

ＵＶ垂直２倍回路３３３の動作を図７７を参照して説明する。ラインＦＩＦＯ７０１－１乃至７０１－６は、入力されたラインに連続する６本のライン上の、画面の水平方向に同一の位置の画素（図７７に丸印で示す画素）のデータを出力する。乗算回路７０２－１乃至７０２－７は、入力されたデータに、それぞれ係数を乗じて、加算回路７０３に出力する。加算回路７０３は、出力されたデータを加算し、ラッチ回路７０４に出力する。ラッチ回路７０４には、ラインの本数が２倍となるタイミング（図７７に黒い３角形で示すタイミング）で、クロック信号が入力される。従って、ＵＶ垂直２倍回路３３３は、入力されたＵデータおよびＶデータのラインの本数を２倍に補間して、出力する。

【０３２３】

次に、受信装置２の受信の処理を図７８のフローチャートを参照して説明する。ステップＳ２０１において、パケット解体回路３０２は、受信回路３０１が受信したパケットを解体し、復号回路３０４に供給する。ステップＳ２０２において、復号回路３０４は、パケット解体回路３０２から入力されたデータを、ＡＤＲＣ方式で復号する。伝送中にデータが欠落したとき、復号回路３０４の復号において、ｑ、動きフラグＭＦ、ダイナミックレンジＤＲ、または画素値の最小値ＭＩＮがリカバリされ、Ｙデータ、Ｕデータ、およびＶデータが復号される。

【０３２４】

ステップＳ２０３において、フォーマット変換回路３０６は、復号回路３０４から供給されたＹデータ、Ｕデータ、およびＶデータを、欠落画素創造回路３０８が処理できる所定のフォーマットに変換する。ステップＳ２０４において、欠落画素創造回路３０８は、欠落した画素のうち、復号回路３０４で復号できなかった画素を、クラス適応処理により、創造する。

【０３２５】

ステップＳ２０５において、フォーマット変換回路３１０は、欠落画素創造回路３０８から供給されたＹデータ、Ｕデータ、およびＶデータを、４倍密解像度創造回路３１２が処理できる所定のフォーマットに変換する。ステップＳ２０６において、４倍密解像度創造回路３１２は、入力されたＹデータ、Ｕデータ、およびＶデータを基に、クラス適応処理

により画素を創造し、画素の密度を４倍にして、補間部３１４に出力する。
【０３２６】
ステップＳ２０７において、フォーマット変換回路３３１は、４倍密解像度創造回路３１２から供給されたＹデータ、Ｕデータ、およびＶデータを、所定の補間の処理ができるように、データ形式を変更する。ステップＳ２０８において、ＵＶ垂直２倍回路３３３は、ＵデータおよびＶデータを垂直方向に画素を補間して、ライン数が２倍になるようにする。ステップＳ２０９において、Ｄ／Ａ変換回路３３５は、所定のクロックレートでデジタルアナログ変換し、アナログＹ信号、アナログＵ信号、およびアナログＶ信号を出力し、処理は終了する。
【０３２７】
以上のように、受信装置２は、伝送路でデータが欠落しても、復号することができ、また、欠落した画素を創造して、欠落した画素の影響をほとんど受けずに伸張し、画像の信号を出力することができる。
【０３２８】
なお、画像伝送システムは、画像を送受信するとして説明したが、画像に限らず、音声などのデータを伝送するようにしてもよい。
【０３２９】
上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。
【０３３０】
図７９は、記録媒体およびコンピュータの例を説明する図である。CPU（Central Processing Unit）８１１は、各種アプリケーションプログラムや、OS（Operating System)を実際に実行する。ROM（Read-only Memory）８１２は、一般的には、CPU８１１が使用するプログラムや演算用のパラメータのうちの基本的に固定のデータを格納する。RAM（Random-Access Memory）８１３は、CPU８１１の実行において使用するプログラムや、その実行において適宜変化するパラメータを格納する。これらはCPUバスなどから構成されるホストバス８１４により相互に接続されている。
【０３３１】
ホストバス８１４は、ブリッジ８１５を介して、PCI(Peripheral Component Interconnect/Interface)バスなどの外部バス８１６に接続されている。
【０３３２】
キーボード８１８は、CPU８１１に各種の指令を入力するとき、使用者により操作される。マウス８１９は、ディスプレイ８２０の画面上のポイントの指示や選択を行うとき、使用者により操作される。ディスプレイ８２０は、液晶表示装置またはCRT（Cathode Ray Tube）などから成り、各種情報をテキストやイメージで表示する。HDD（Hard Disk Drive）８２１は、ハードディスクを駆動し、それらにCPU８１１によって実行するプログラムや情報を記録または再生させる。
【０３３３】
ドライブ８２２は、装着されている磁気ディスク８４１、光ディスク８４２、光磁気ディスク８４３、または半導体メモリ８４４に記録されているデータまたはプログラムを読み出して、そのデータまたはプログラムを、インターフェース８１７、外部バス８１６、ブリッジ８１５、およびホストバス８１４を介して接続されているRAM８１３に供給する。
【０３３４】
これらのキーボード８１８乃至ドライブ８２２は、インターフェース８１７に接続されており、インターフェース８１７は、外部バス８１６、ブリッジ８１５、およびホストバス８１４を介してCPU８１１に接続されている。

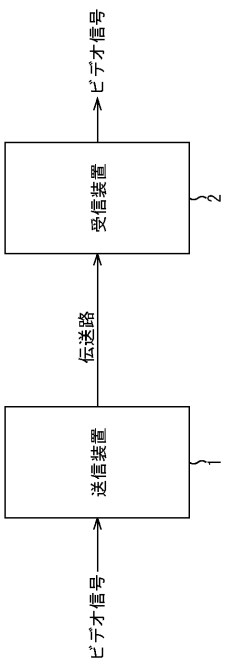
【０３３５】
記録媒体は、図７９に示すように、コンピュータとは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク８４１（フロッピディスクを含む）、光ディスク８４２（CD-ROM(Compact Disc-Read Only Memory)、ＤＶＤ(Digital Versatile Disc)を含む）、光磁気ディスク８４３（ＭＤ(Mini-Disc)を含む）、若しくは半導体メモリ８４４などよりなるパッケージメディアにより構成されるだけでなく、コンピュータに予め組み込まれた状態でユーザに提供される、プログラムが記録されているROM８１２や、HDD８２１などで構成される。
【０３３６】
なお、本明細書において、記録媒体に格納されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。
【０３３７】
また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。
【０３３８】
【発明の効果】
以上の如く、請求項１に記載の情報処理装置と請求項２に記載の情報処理方法によれば、画素データをカウントすることによりライン内のアドレスを決定し、そのアドレスが所定値になる毎にカウントすることによりラインのアドレスを決定し、決定されたアドレスを加算することにより生成されるアドレスに基づき、画素データを、書き込み用のバンクに書き込み、そして、画素データがカウントされ、ブロック内のアドレスが決定され、そのアドレスが所定の値になる毎にカウントされ、ブロックのアドレスが決定され、そのアドレスが所定の値になる毎にカウントされ、セグメントのアドレスが決定され、それぞれのアドレスが加算されることにより生成されるアドレスに基づき、画素データを、読み出し用のバンクから読み出されるようにしたので、メモリ内の画素データを、シャフリングに適した配置で書き込むことが可能になり、もって、回路規模を縮小することが可能となる。
【図面の簡単な説明】
【図１】画像を送信する画像伝送システムを説明する図である。
【図２】本発明に係る送信装置１の一実施の形態の構成を示すブロック図である。
【図３】送信装置１に入力された画像信号が圧縮される過程を説明する図である。
【図４】間引きフィルタ４３の構成を示すブロック図である。
【図５】ラッチ回路８１の出力を説明する図である。
【図６】ラッチ回路８４の出力を説明する図である。
【図７】ＵＶ垂直１／２回路４５の構成を示すブロック図である。
【図８】ラッチ回路９４の出力を説明する図である。
【図９】符号化回路１５の構成を示すブロック図である。
【図１０】ブロックシャフル回路１０２の構成を示すブロック図である。
【図１１】アドレス発生回路１２４の構成を示すブロック図である。
【図１２】外部メモリ１６に記憶されているＹデータ、Ｕデータ、およびＶデータのアドレスを説明する図である。
【図１３】外部メモリ１６に記憶されているＹデータ、Ｕデータ、およびＶデータのアドレスとラインの関係を説明する図である。
【図１４】ライトアドレス発生回路１３２の構成を示すブロック図である。
【図１５】ライトアドレス発生回路１３２の動作を説明するタイミングチャートである。
【図１６】リードアドレス発生回路１３３の構成を示すブロック図である。
【図１７】リードアドレス発生回路１３３の動作を説明するタイミングチャートである。
【図１８】処理の単位を説明する図である。
【図１９】ＡＤＲＣブロックを説明する図である。

【図２０】フレーム内の画素とＡＤＲＣブロックの関係を示す図である。
【図２１】フレーム内の画素とＡＤＲＣブロックの関係を示す図である。
【図２２】フレーム内の画素とＡＤＲＣブロックの関係を示す図である。
【図２３】ＹデータのＡＤＲＣブロックおよびセグメントを説明する図である。
【図２４】ＵデータまたはＶデータのＡＤＲＣブロックおよびセグメントを説明する図である。
【図２５】ＡＤＲＣブロック単位で行われるシャフルを説明する図である。
【図２６】セグメントを説明する図である。
【図２７】ライトアドレス発生回路１３２の他の構成を示すブロック図である。
【図２８】リードアドレス発生回路１３３の他の構成を示すブロック図である。
【図２９】ＡＤＲＣ符号化回路１０３の構成を説明する図である。
【図３０】情報量制御回路１６４の構成を説明する図である。
【図３１】情報量制御回路１６４の構成を説明する図である。
【図３２】セグメント間シャフル回路１０４のシャフルの仕方を説明する図である。
【図３３】セグメント間シャフル回路１０４のシャフルの仕方を説明する図である。
【図３４】セグメント間シャフル回路１０４のシャフルの仕方を説明する図である。
【図３５】セグメント間シャフル回路１０４のシャフルの仕方を説明する図である。
【図３６】パケットの構成を示す図である。
【図３７】送信装置１の画像の送信の処理を説明する図である。
【図３８】受信装置２の構成を示すブロック図である。
【図３９】画像が伸張される過程を説明する図である。
【図４０】復号回路３０４のブロック図である。
【図４１】ｑビットＭＦリカバリ回路３５３の構成を示すブロック図である。
【図４２】ダイナミックレンジＤＲまたは画素値の最小値ＭＩＮのリカバリの処理を説明する図である。
【図４３】ダイナミックレンジＤＲまたは画素値の最小値ＭＩＮのリカバリの処理を説明する図である。
【図４４】ダイナミックレンジＤＲまたは画素値の最小値ＭＩＮのリカバリの処理を説明する図である。
【図４５】セグメント間デシャフル回路３５２から出力されるデータに欠落がない場合の、復号回路３０４の処理のタイミングの例を示す図である。
【図４６】セグメント間デシャフル回路３５２から出力されるデータに欠落がある場合の、復号回路３０４の処理のタイミングの例を示す図である。
【図４７】従来のデータの記憶の方法を示す図である。
【図４８】ブロックデシャフル回路３５６のデータの出力のタイミングを説明する図である。
【図４９】リカバリエラー判定回路３５７の構成を示すブロック図である。
【図５０】リカバリエラー判定回路３５７が、”１”が設定されたリカバリ判定フラグＦｄを出力するときの、ブロックデシャフル回路３５６の処理を説明する図である。
【図５１】セグメント間デシャフル回路３５３が、連続エラー信号を出力するときの、ブロックデシャフル回路３５６の処理を説明する図である。
【図５２】グレイモードにおけるブロックデシャフル回路３５６の処理を説明する図である。
【図５３】ブロックデシャフル回路３５６のリカバリオフ入力に対応した処理を説明する図である
【図５４】ブロックデシャフル回路３５６のリカバリオフ入力に対応した処理を説明する図である
【図５５】ブロックデシャフル回路３５６のエスケープ信号に対応した処理を説明する図である。
【図５６】ブロックデシャフル回路３５６の復号したデータを出力する処理を説明するフ

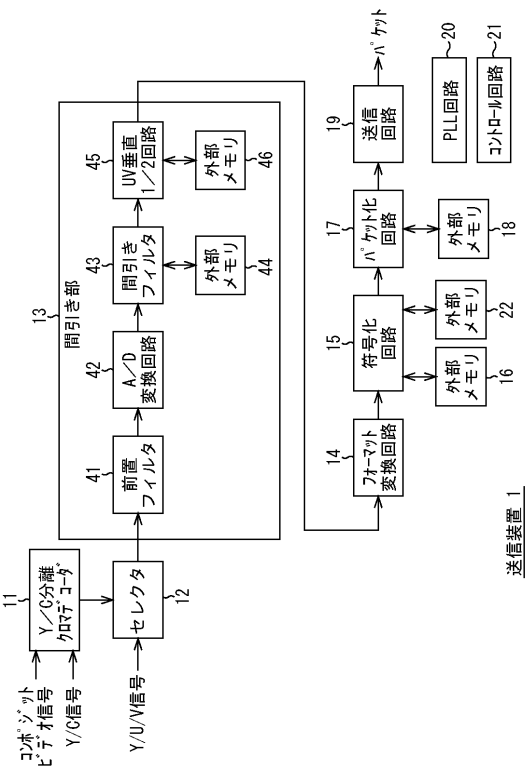
ローチャートである。
【図５７】ブロックデシャフル回路３５６の復号したデータを出力する処理を説明するフローチャートである。
【図５８】リカバリオフ入力が”１”であるときのブロックデシャフル回路３５６のデータを出力する処理を説明するフローチャートである。
【図５９】欠落画素創造回路３０８の処理に使用される画素を説明する図である。
【図６０】欠落画素創造回路３０８の構成を示すブロック図である。
【図６１】前処理回路５０１の処理を説明するフローチャートである。
【図６２】時間アクティビティの算出に使用される画素の例を示す図である。
【図６３】空間アクティビティの算出に使用される画素の例を示す図である。
【図６４】動き判定の閾値を説明する図である。
【図６５】静動判定回路５２１の動きクラスコードを設定する処理を説明するフローチャートである。
【図６６】動きクラスコードの多数決判定に使用される画素の例を示す図である。
【図６７】動きクラス生成回路５０３の動きクラスコードを設定する処理を説明するフローチャートである。
【図６８】可変タップ選択回路５０８が選択する予測タップデータ列を説明する図である。
【図６９】可変タップ選択回路５０８が選択する予測タップデータ列を説明する図である。
【図７０】可変タップ選択回路５０８が選択する予測タップデータ列を説明する図である。
【図７１】可変タップ選択回路５０８が選択する予測タップデータ列を説明する図である。
【図７２】４倍密解像度創造回路３１２の処理に使用される画素の位置を説明する図である。
【図７３】４倍密解像度創造回路３１２の構成を示すブロック図である。
【図７４】４倍密解像度創造回路３１２がインターレース方式で出力する場合の４倍密解像度創造回路３１２に入力される画素の位置および４倍密解像度創造回路３１２が出力する画素の位置を示す図である。
【図７５】４倍密解像度創造回路３１２がプログレッシブ方式で出力する場合の４倍密解像度創造回路３１２に入力される画素の位置および４倍密解像度創造回路３１２が出力する画素の位置を示す図である。
【図７６】ＵＶ垂直２倍回路３３３の構成を示すブロック図である。
【図７７】ラッチ回路７０４の出力を説明する図である。
【図７８】受信装置２の受信の処理を説明するフローチャートである。
【図７９】記録媒体およびコンピュータの例を説明する図である。
【符号の説明】
１　送信装置，　２　受信装置，　１３　間引き部，　１５　符号化回路，　１７　パケット化回路，　４２　Ａ／Ｄ変換回路，　４３　間引きフィルタ，　４５　ＵＶ垂直１／２回路，　１０２　ブロックシャフル回路，　１０３　ＡＤＲＣ符号化回路，　１０４　セグメント間シャフル回路，　１６４　情報量制御回路，　１７１　ＡＤＲＣエンコーダ，　３０２　パケット解体回路，　３０４復号回路，　３０５　外部メモリ，　３０８　欠落画素創造回路，　３１２　４倍密解像度創造回路，　３３３　ＵＶ垂直２倍回路，　３３５　Ｄ／Ａ変換回路，　３５２　セグメント間デシャフル回路，　３５３　ｑビットＭＦリカバリ回路，　３５４　ＤＲＭＩＮリカバリ回路，　３５５　ＡＤＲＣ復号回路，　３５６　ブロックデシャフル回路，　３５７　リカバリエラー判定回路，　５０１前処理回路，　５０２－１乃至５０２－５　タップ構築回路，　５０３　動きクラス生成回路，　５０４　ＤＲクラス生成回路，　５０５　空間クラス生成回路，　５０６　欠落クラス生成回路，　５０７　クラス合成回路，　５０８　可変タップ選択回路，　５０９　係

数保持クラスコード選択回路，　５１０　推定予測演算回路

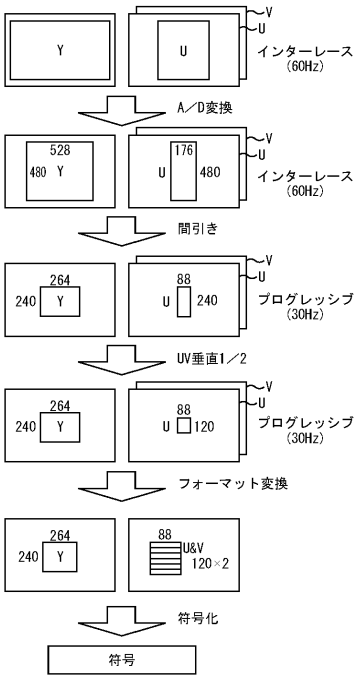
【図１】



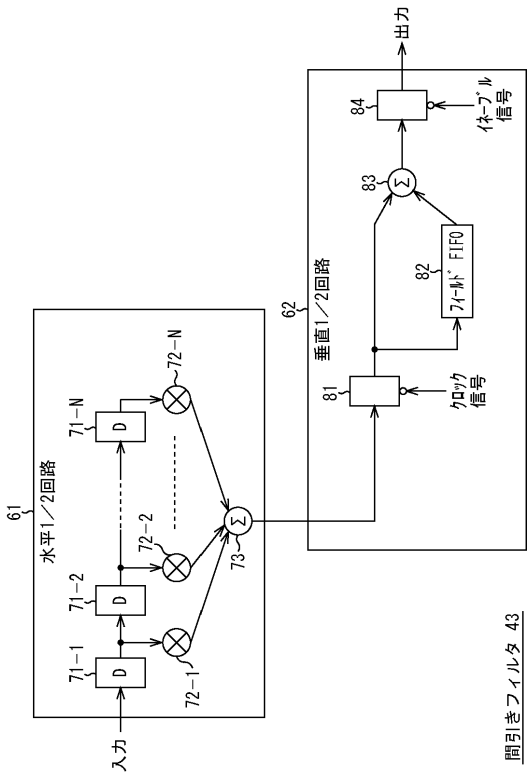
【図２】



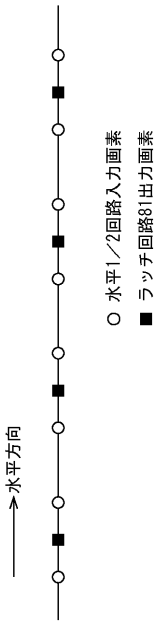
【図３】


Y
U
V
U
インターレース
(60Hz)
A／D変換
528
480 Y
176
U 480
インターレース
(60Hz)
間引き
264
240 Y
88
U 240
プログレッシブ
(30Hz)
UV垂直1／2
264
240 Y
88
U 120
プログレッシブ
(30Hz)
フォーマット変換
264
240 Y
88
U&V
120×2
符号化
符号

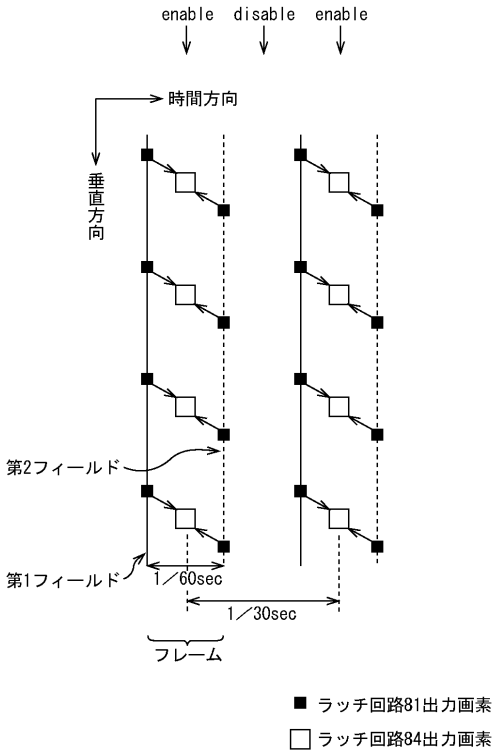
【図４】


出力
84
イネーブル
信号
83
Σ
82
FIFO
62
垂直1／2回路
81
クロック
信号
72-N
71-N
D
61
水平1／2回路
72-2
71-2
D
73
Σ
71-1
D
72-1
入力
間引きフィルタ 43

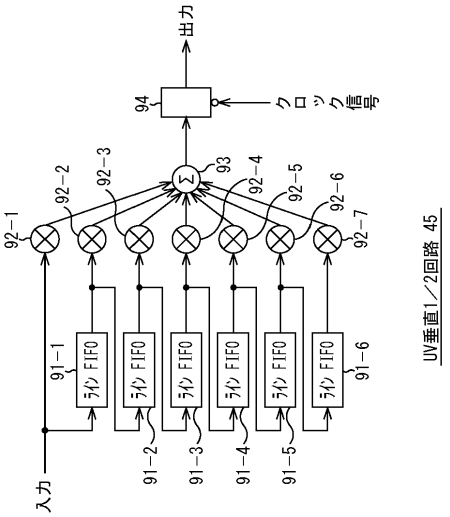
【図５】


○ 水平1／2回路入力画素
■ ラッチ回路81出力画素
水平方向

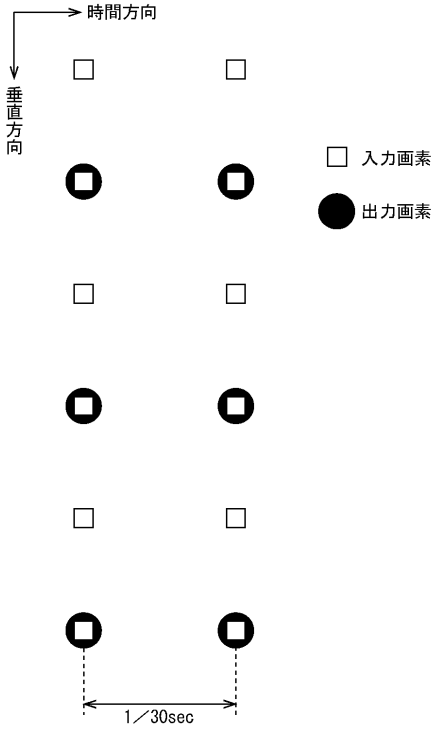
【図６】


enable
disable
enable
時間方向
垂直方向
第2フィールド
第1フィールド
1／60sec
1／30sec
フレーム
■ ラッチ回路81出力画素
□ ラッチ回路84出力画素

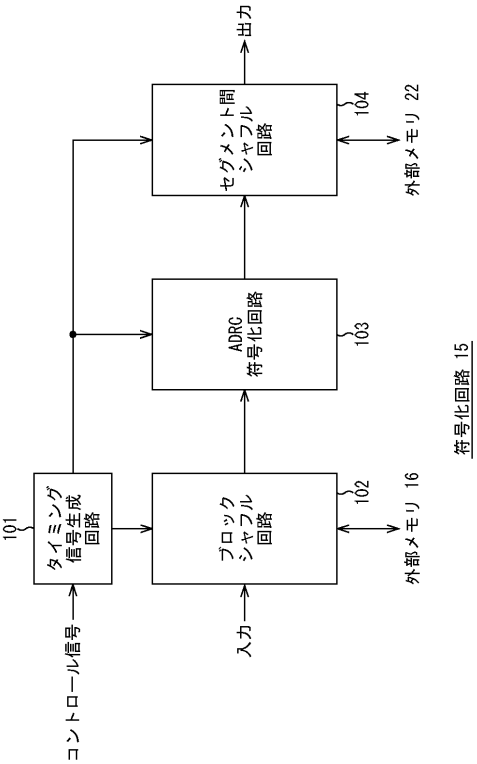
【図７】


出力
94
クロック信号
Σ
93
92−1
92−2
92−3
92−4
92−5
92−6
92−7
91−1
91−2
91−3
91−4
91−5
91−6
ライン FIFO
入力
UV垂直1／2回路 45

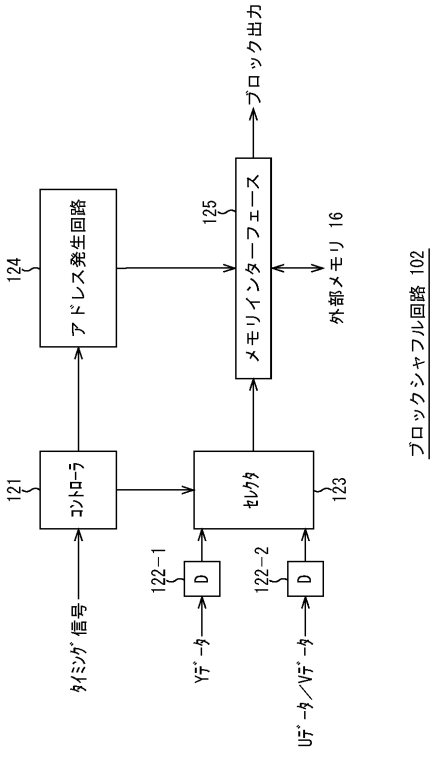
【図８】


時間方向
垂直方向
入力画素
出力画素
1／30sec

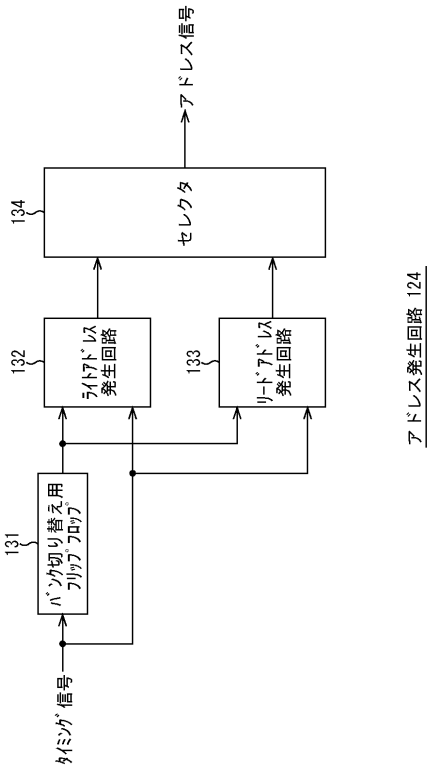
【図９】


出力
セグメント間
シャフル
回路
104
外部メモリ 22
ADRC
符号化回路
103
ブロック
シャフル
回路
102
外部メモリ 16
タイミング
信号生成
回路
101
コントロール信号
入力
符号化回路 15

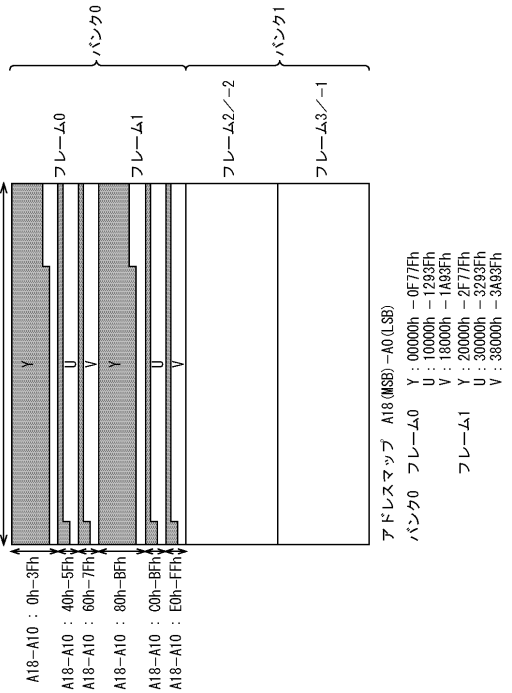
【図１０】


ブロック出力
アドレス発生回路
124
メモリインターフェース
125
外部メモリ 16
コントローラ
121
セレクタ
123
122−1
122−2
D
D
タイミング信号
Yデータ
UデータVデータ
ブロックシャフル回路 102

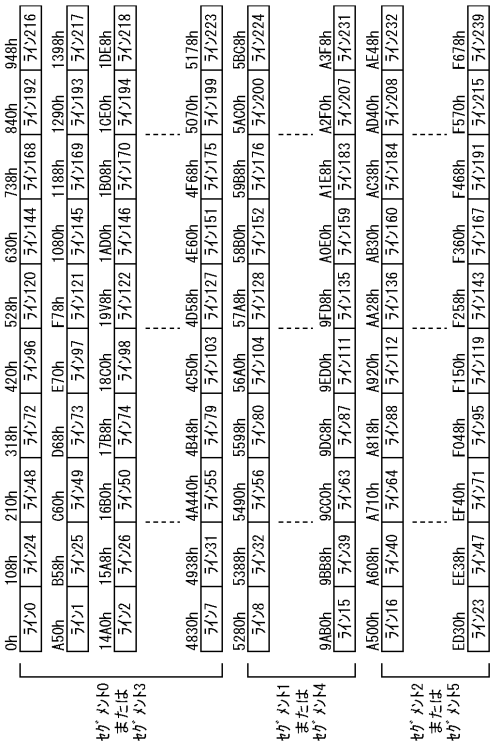
【図１１】



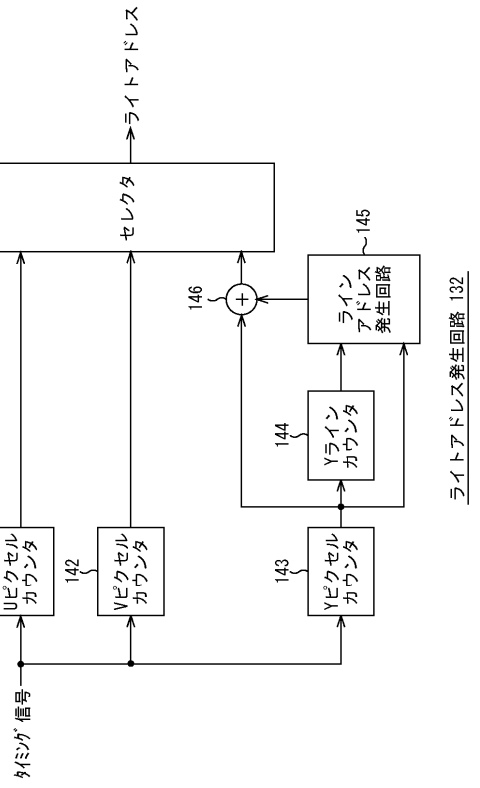
【図１２】



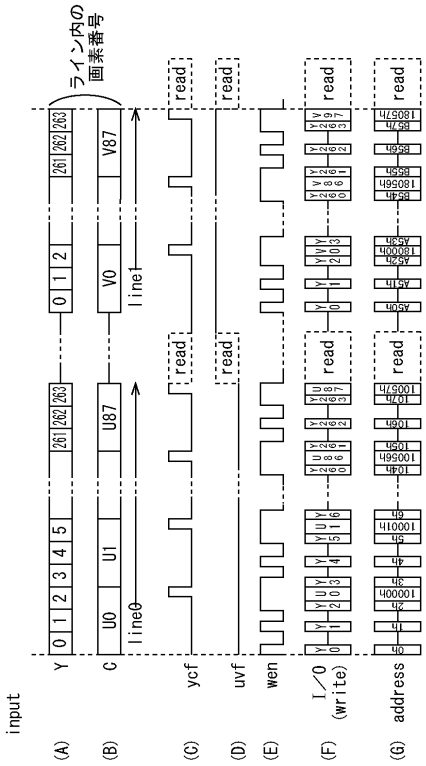
【図１３】



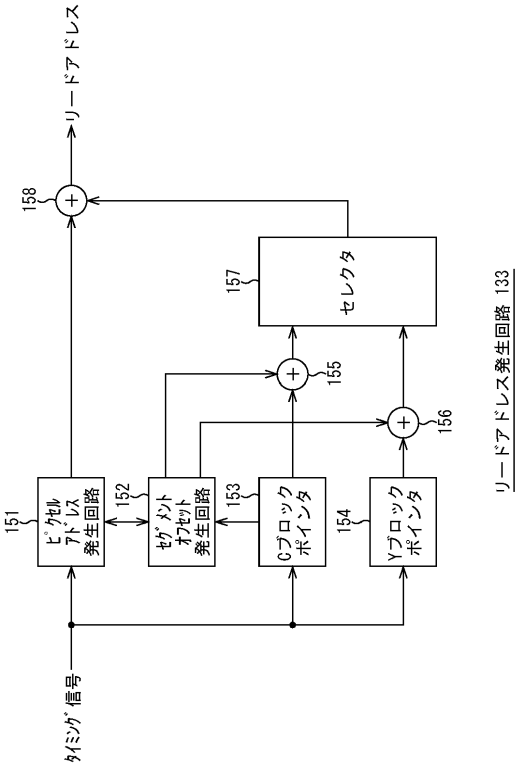
【図１４】



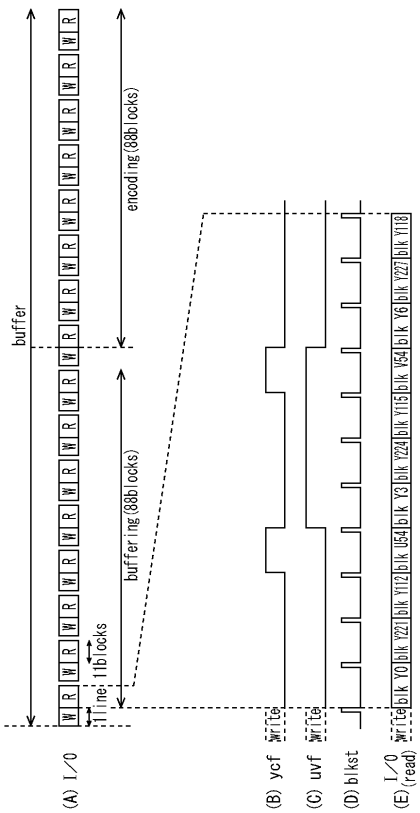
【図１５】



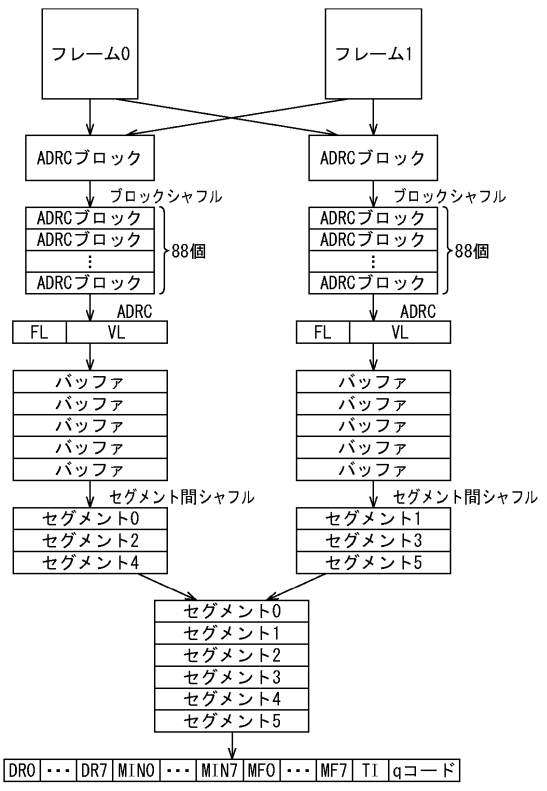
【図１６】



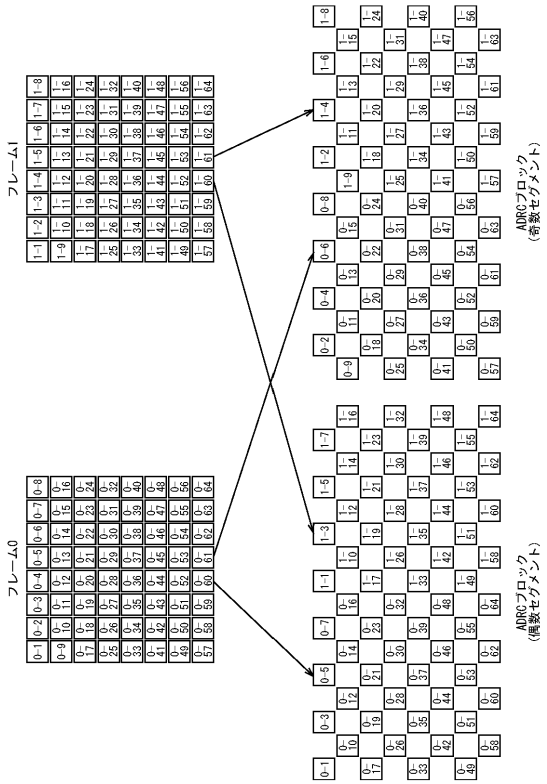
【図１７】



【図１８】



【図１９】



【図２０】

フレーム0

8画素	8画素		8画素	8画素	
A1	A2	・・・	A32	A33	8画素
B1	B2	・・・	B32	B33	8画素
C1	C2	・・・	C32	C33	8画素
A34	A35	・・・	A65	A66	8画素
B34	B35	・・・	B65	B66	8画素
C34	C35	・・・	C65	C66	8画素
・・・	・・・	・・・	・・・	・・・	
A298	A299	・・・	A329	A330	8画素
B298	B299	・・・	B329	B330	8画素
C298	C299	・・・	C329	C330	8画素

33ブロック

30ブロック

【図２１】

フレーム1

8画素	8画素		8画素	8画素	
A1	A2	・・・	A32	A33	8画素
B1	B2	・・・	B32	B33	8画素
C1	C2	・・・	C32	C33	8画素
A34	A35	・・・	A65	A66	8画素
B34	B35	・・・	B65	B66	8画素
C34	C35	・・・	C65	C66	8画素
・・・	・・・	・・・	・・・	・・・	
A298	A299	・・・	A329	A330	8画素
B298	B299	・・・	B329	B330	8画素
C298	C299	・・・	C329	C330	8画素

33ブロック

30ブロック

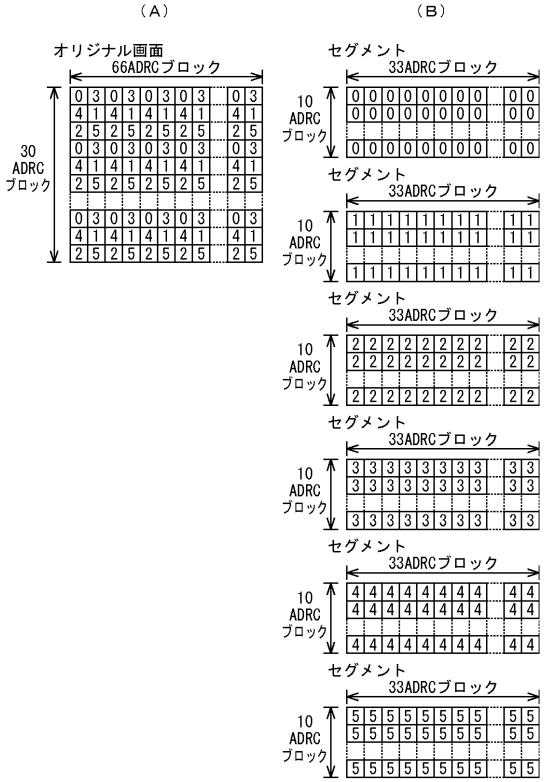
【図２２】

ADRCブロック 3	ADRCブロック 1	ADRCブロック 5	ADRCブロック 3	ADRCブロック 1	ADRCブロック 5
ADRCブロック 0	ADRCブロック 4	ADRCブロック 2	ADRCブロック 0	ADRCブロック 4	ADRCブロック 2
ADRCブロック 3	ADRCブロック 1	ADRCブロック 5	ADRCブロック 3	ADRCブロック 1	ADRCブロック 5
ADRCブロック 0	ADRCブロック 4	ADRCブロック 2	ADRCブロック 0	ADRCブロック 4	ADRCブロック 2

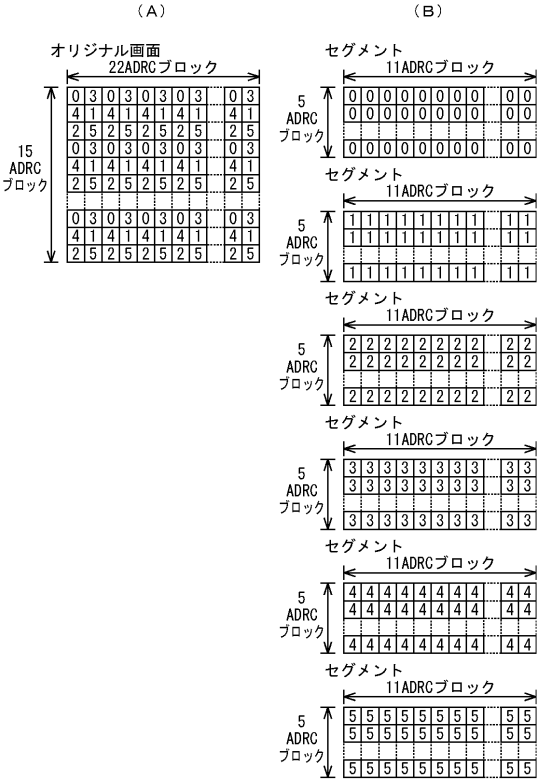
・・・

・・・

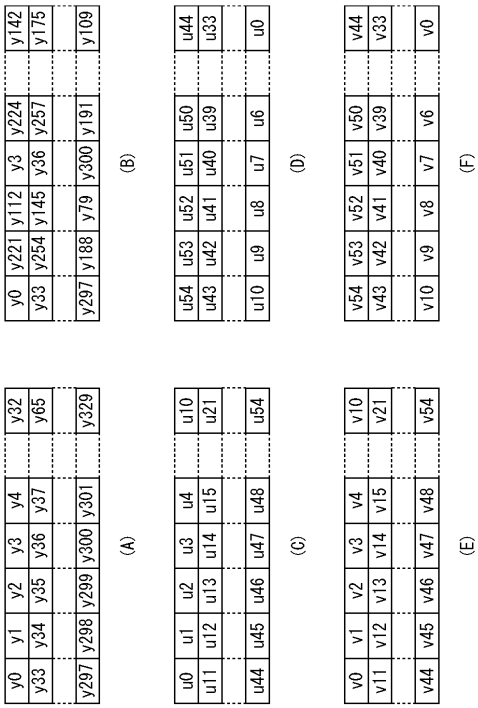
【図２３】



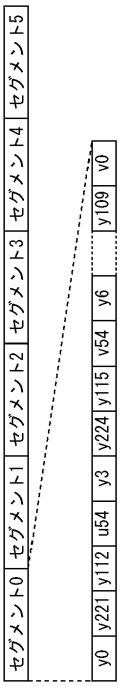
【図２４】



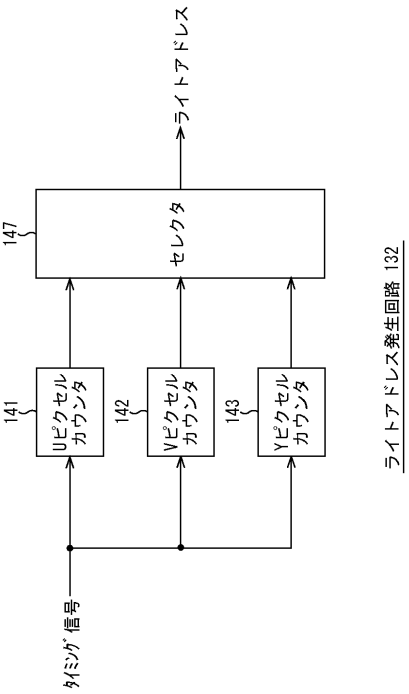
【図２５】



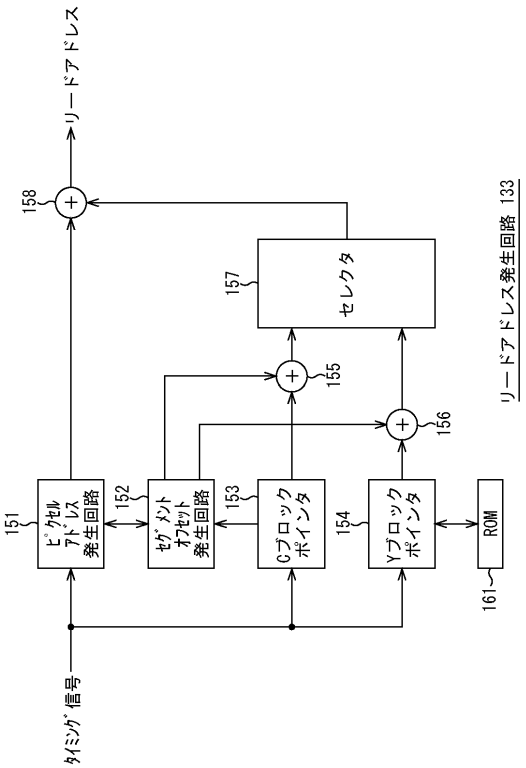
【図２６】



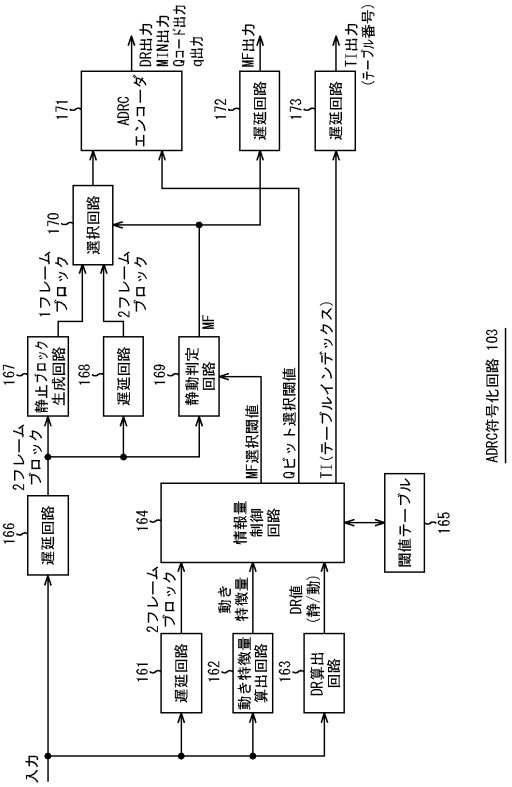
【図２７】



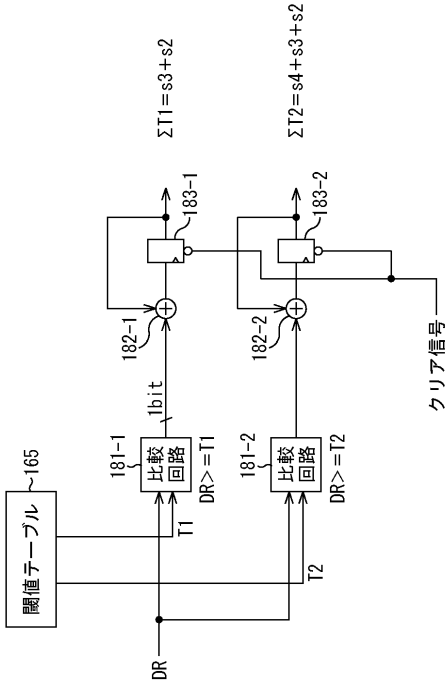
【図２８】



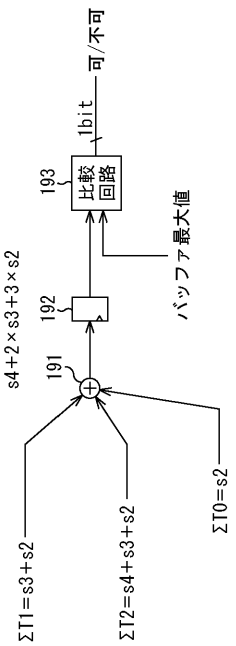
【図２９】



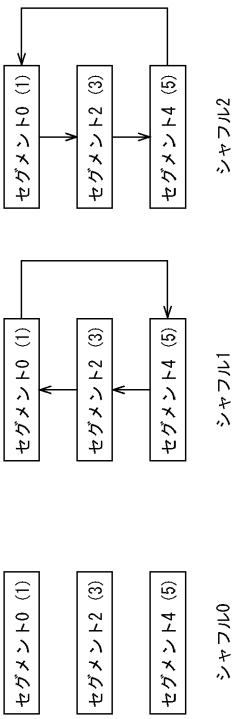
【図３０】



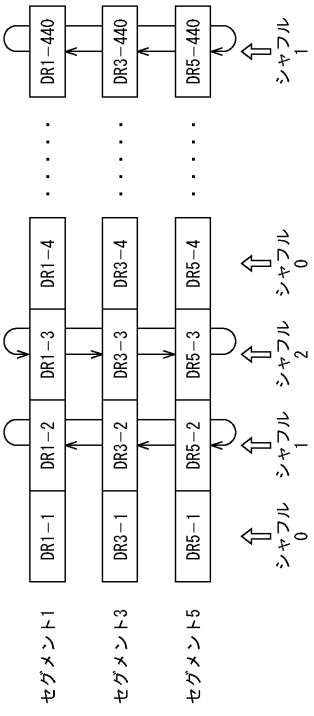
【図３１】



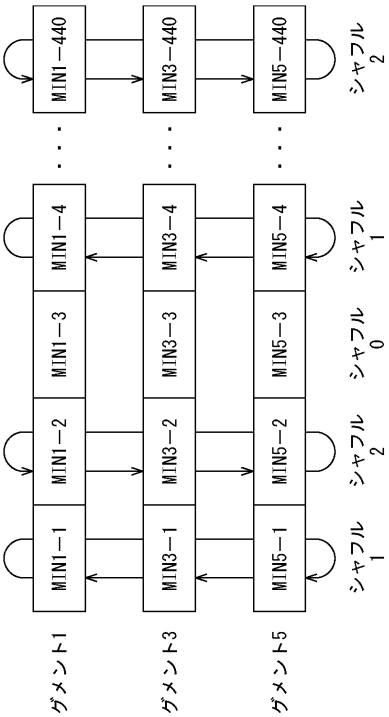
【図３２】



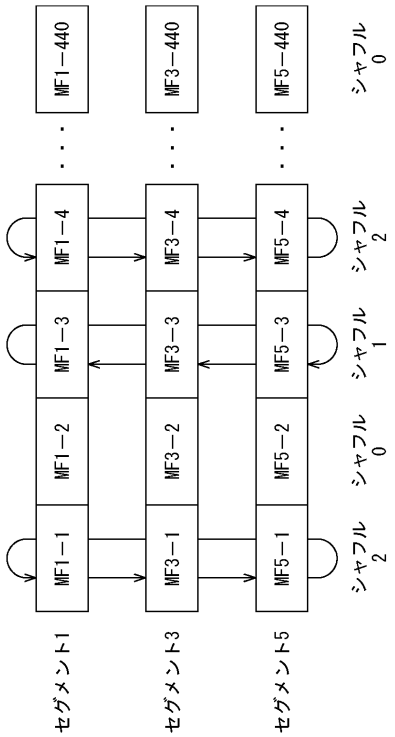
【図３３】



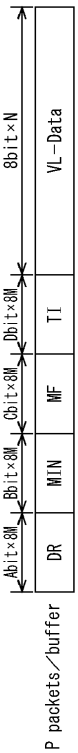
【図３４】



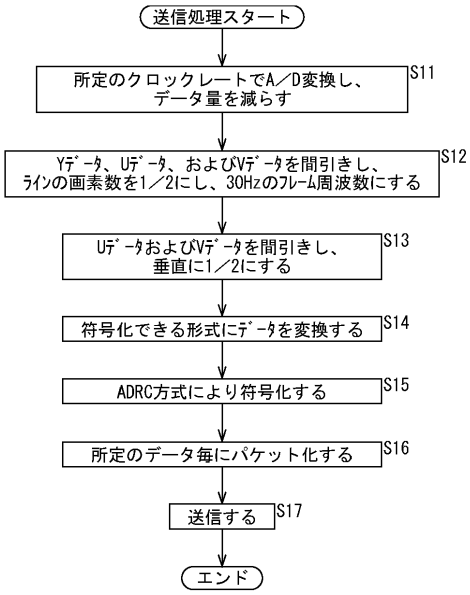
【図３５】



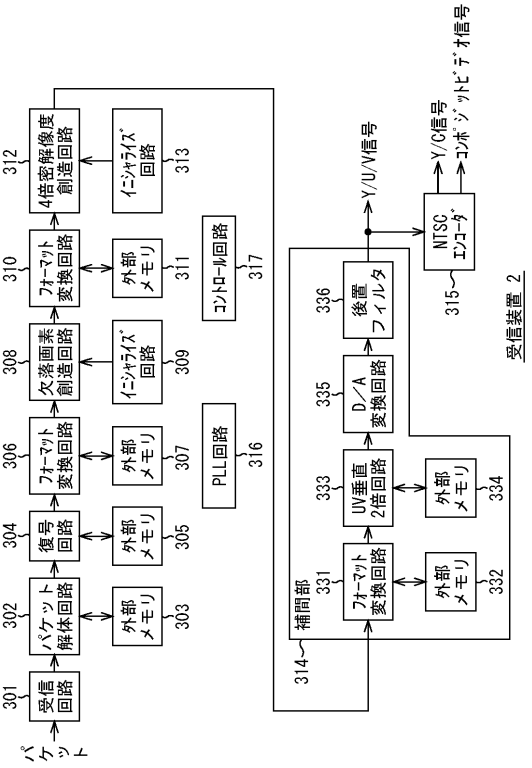
【図３６】



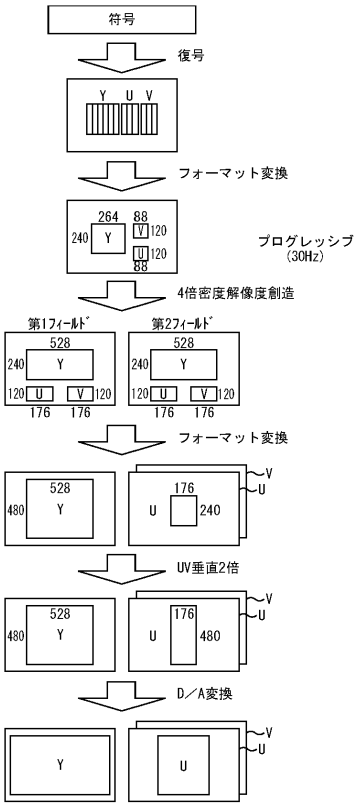
【図３７】



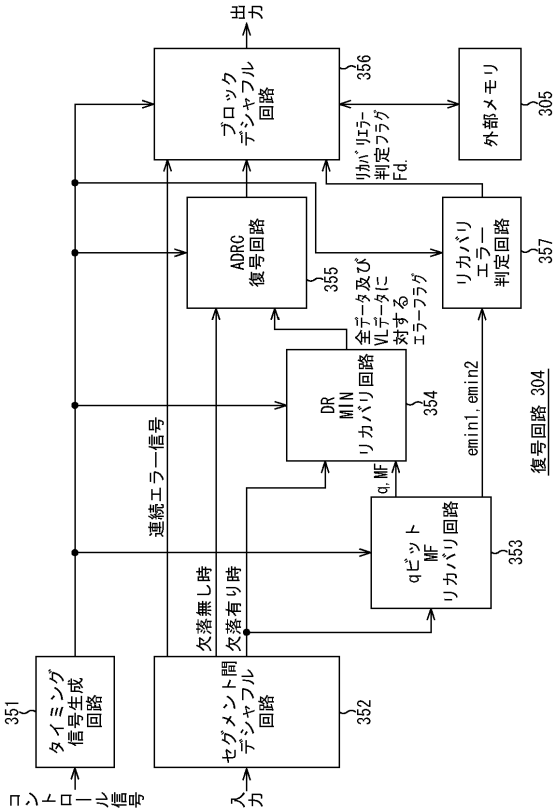
【図３８】



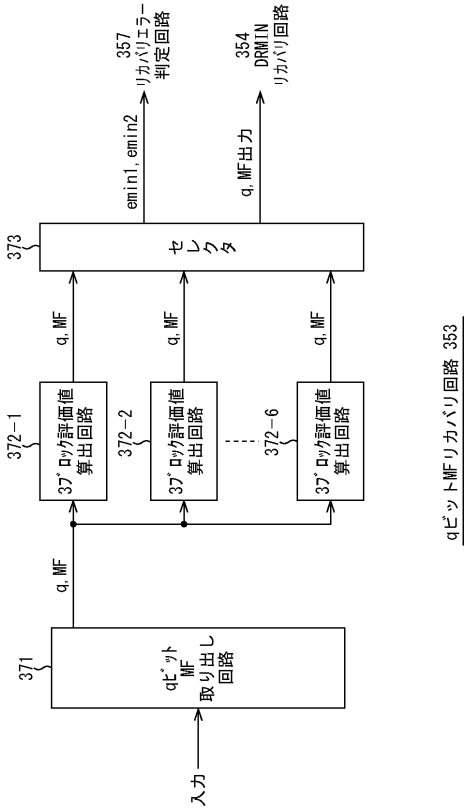
【図３９】



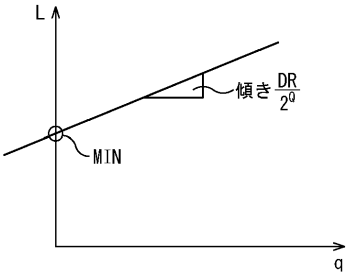
【図４０】



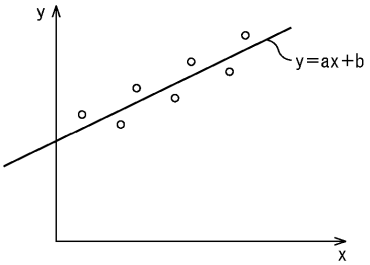
【図４１】



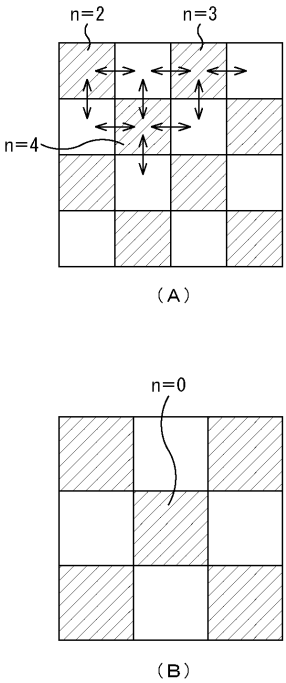
【図４２】



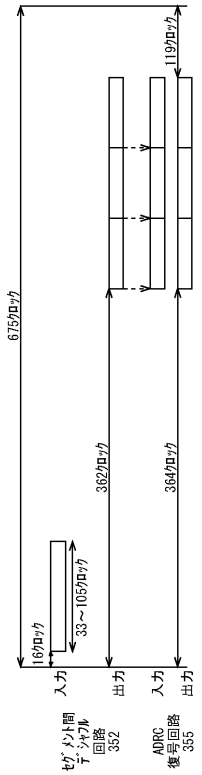
【図４３】



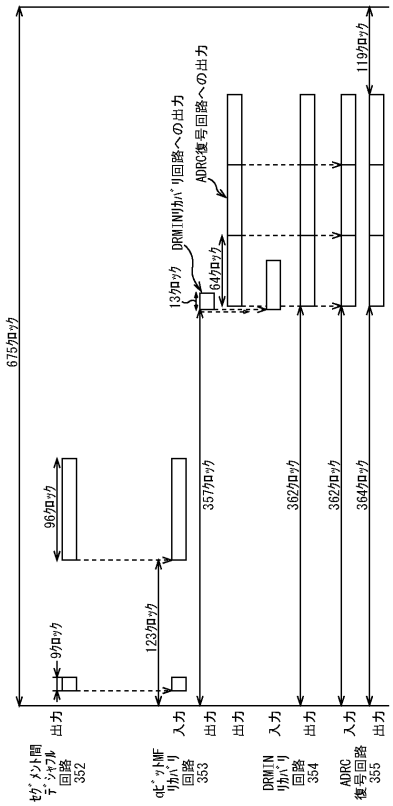
【図４４】



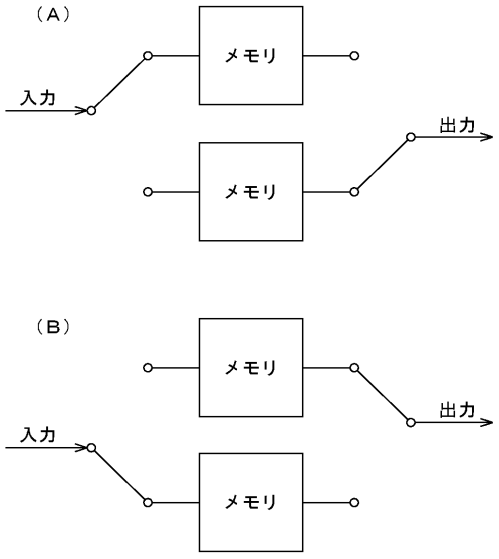
【図４５】



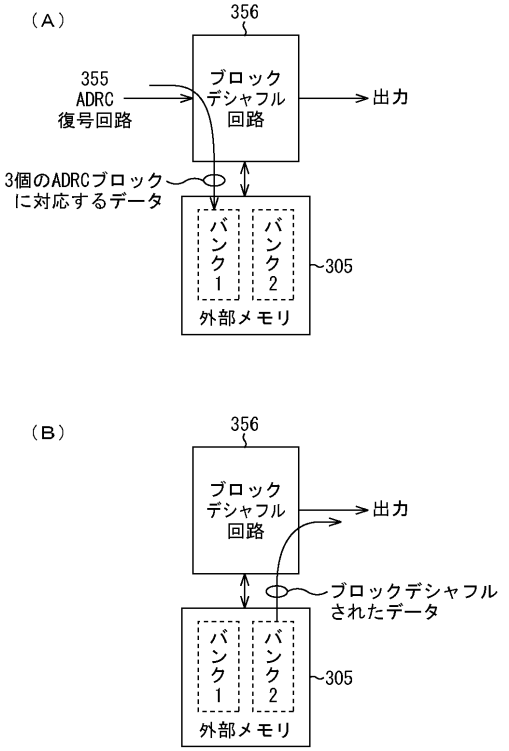
【図４６】



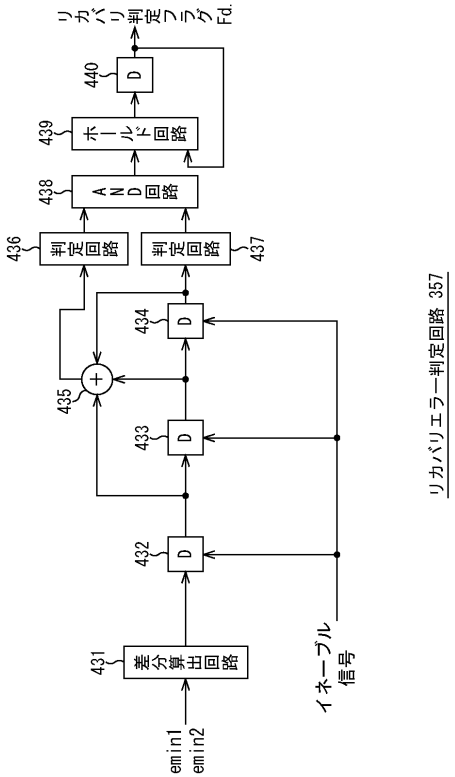
【図４７】



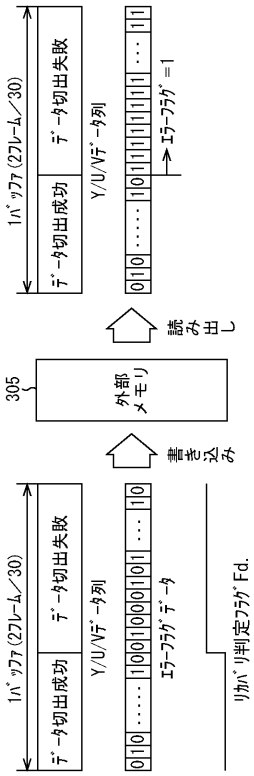
【図４８】



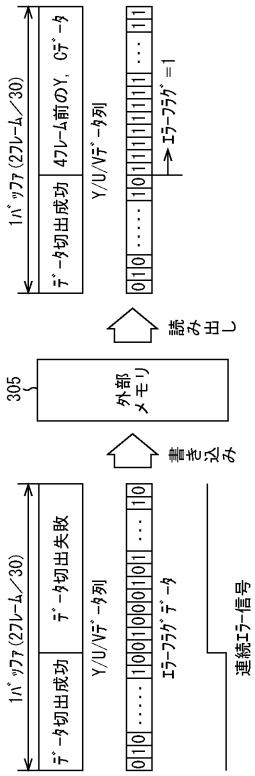
【図４９】



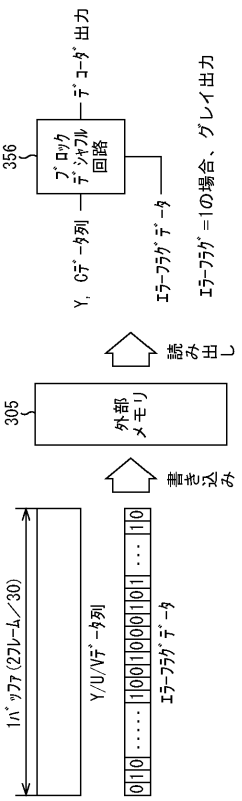
【図５０】



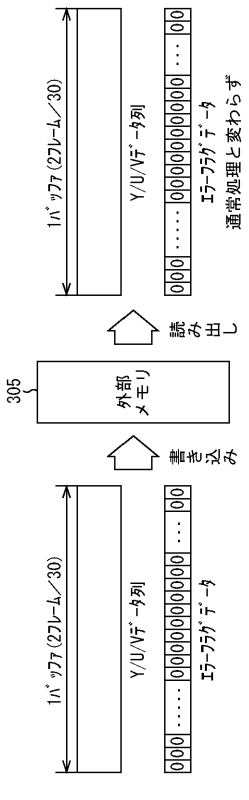
【図５１】



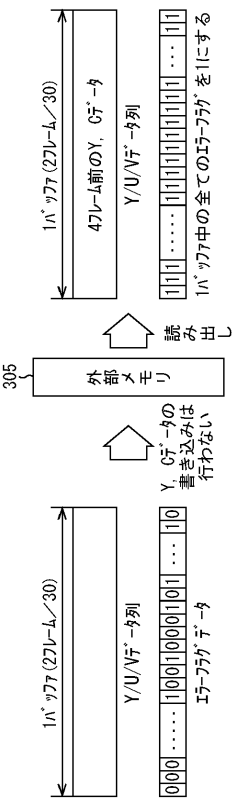
【図５２】



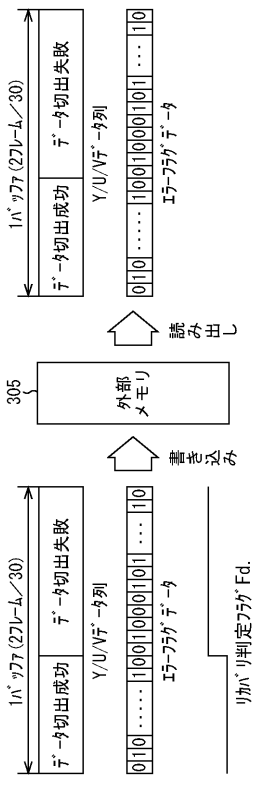
【図５３】



【図５４】

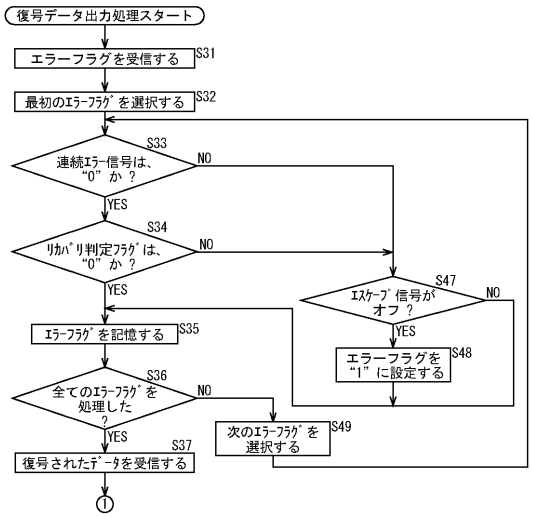


【図５５】



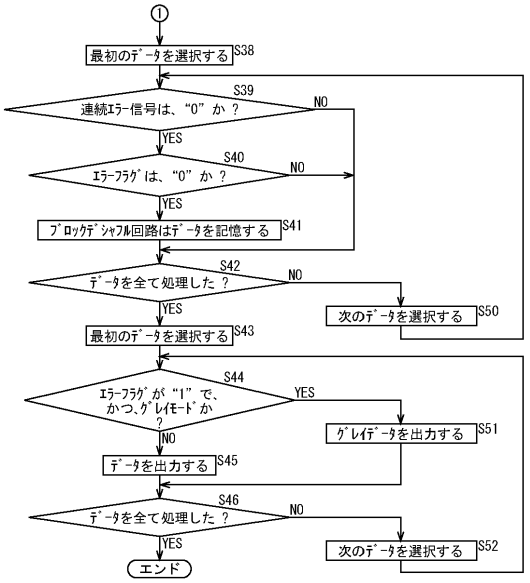
【図５６】

(56-1)

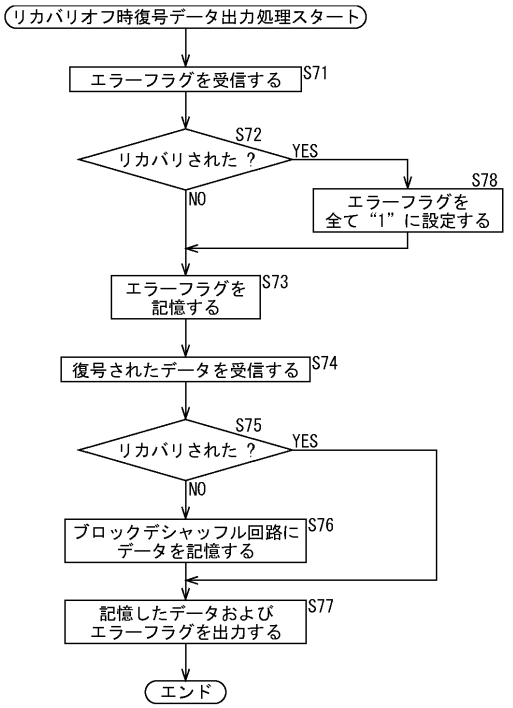


【図５７】

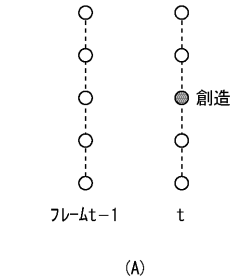
(56-2)



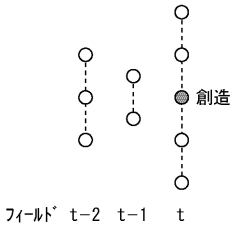
【図５８】



【図５９】

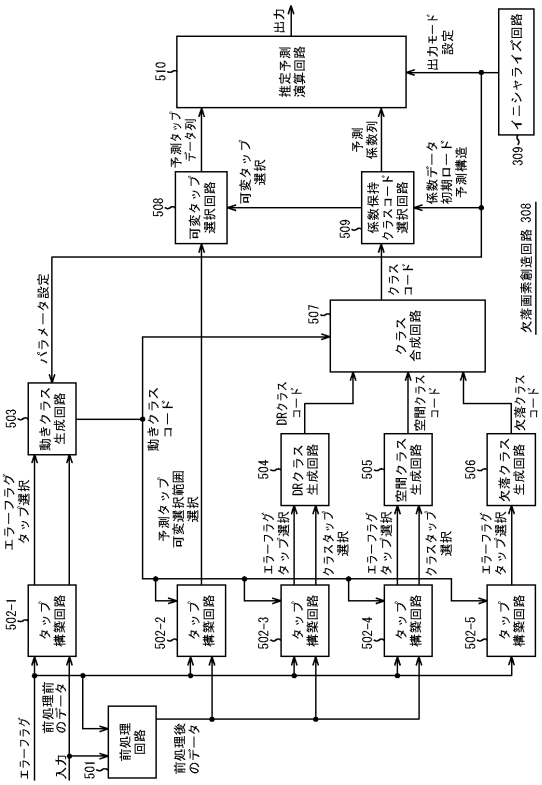


(A)

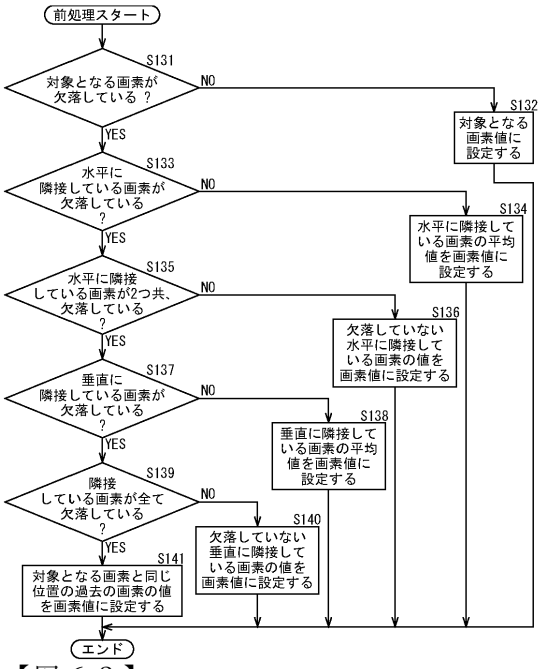


(B)

【図６０】



【図６１】



【図６２】

(A)

	H1	H2	H3
L1	エラー	q2	q3
L2	q4	エラー	q6
L3	q7	エラー	q9

フレームt

(B)

	H1	H2	H3
L1	p1	p2	p3
L2	p4	p5	p6
L3	p7	p8	p9

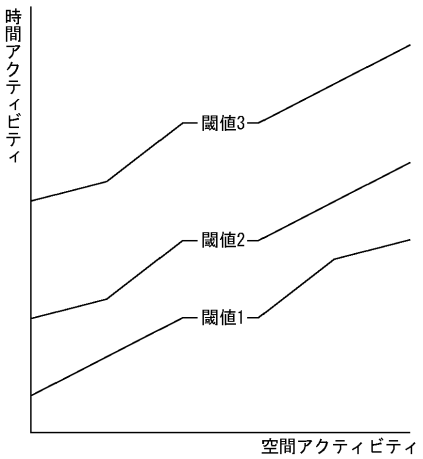
フレームt-1

【図６３】

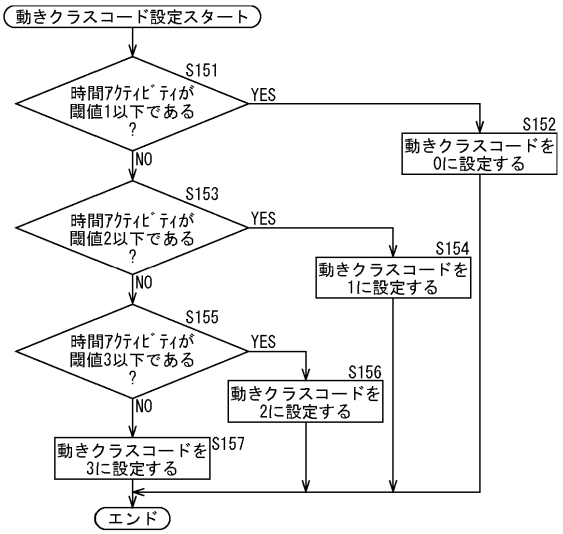
q1	q2	q3
q4	エラー	q6
q7	q8	q9

フレームt

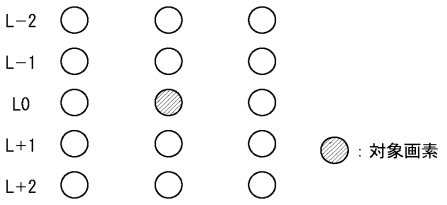
【図６４】



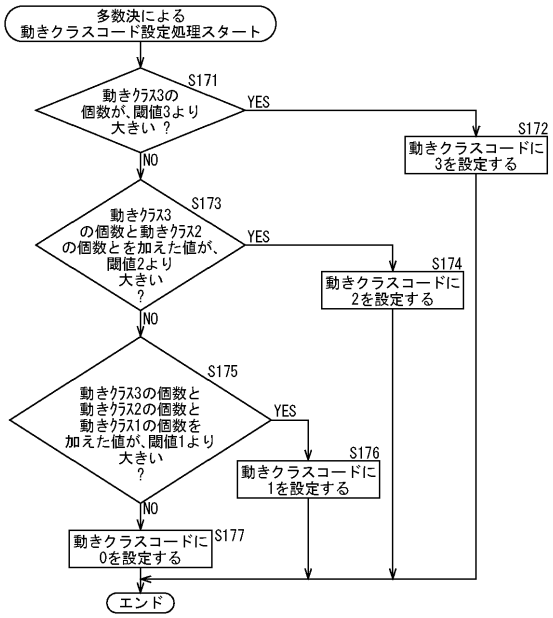
【図６５】



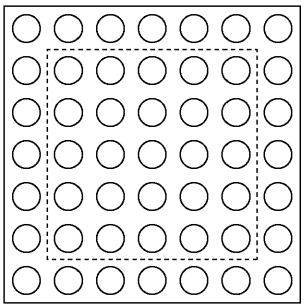
【図６６】



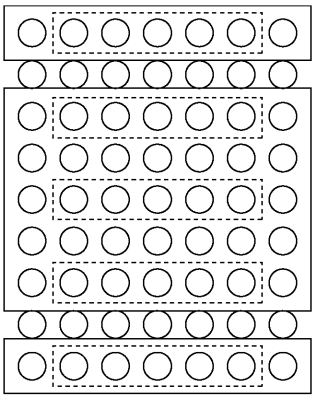
【図６７】



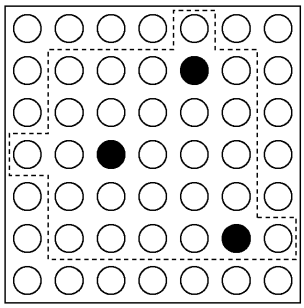
【図６８】



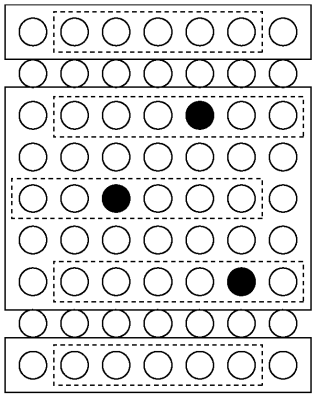
【図６９】



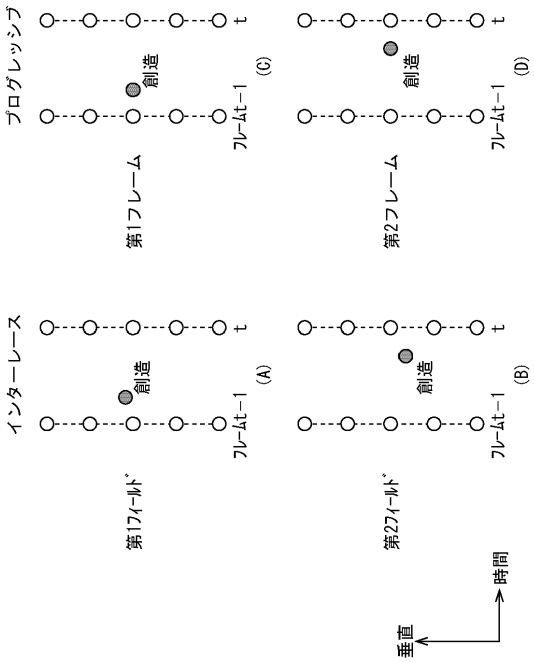
【図７０】



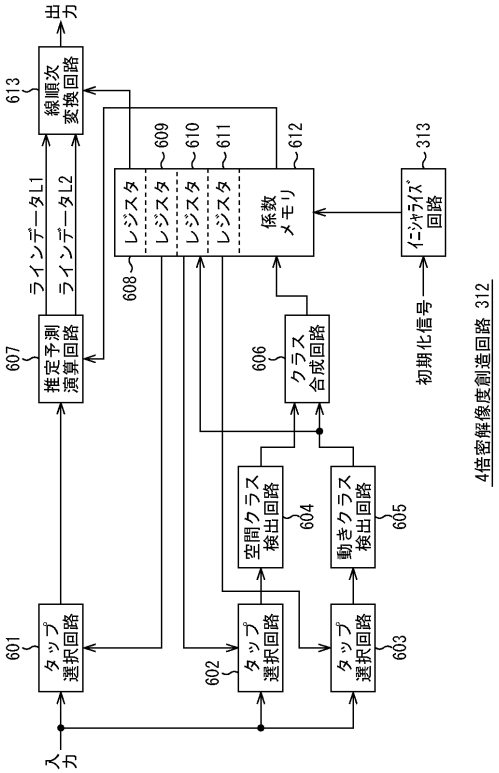
【図７１】



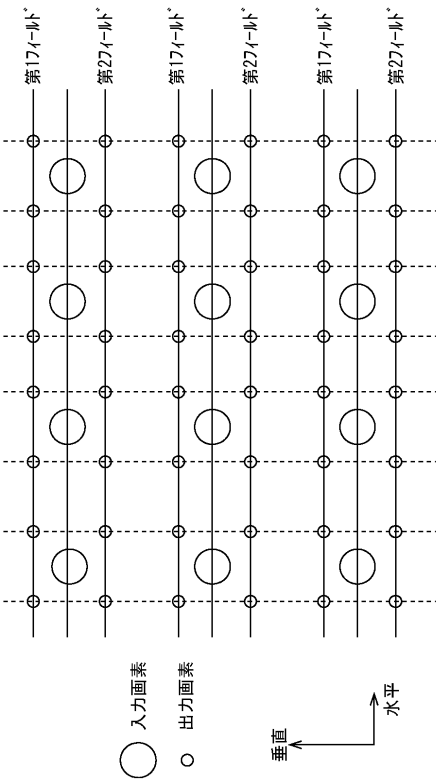
【図７２】



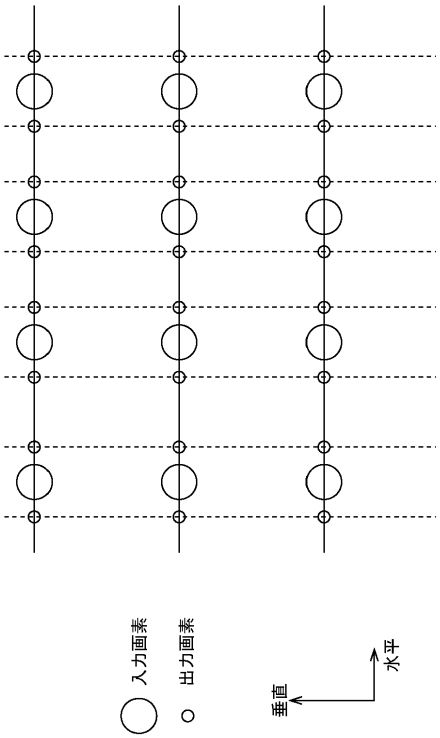
【図７３】



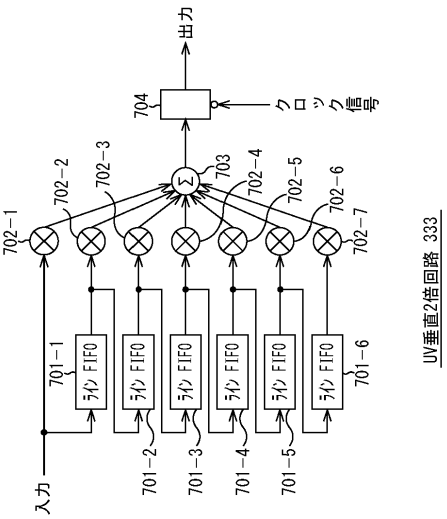
【図７４】



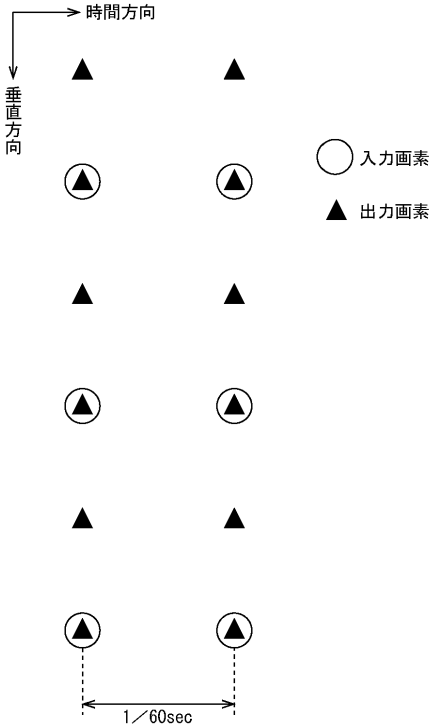
【図７５】



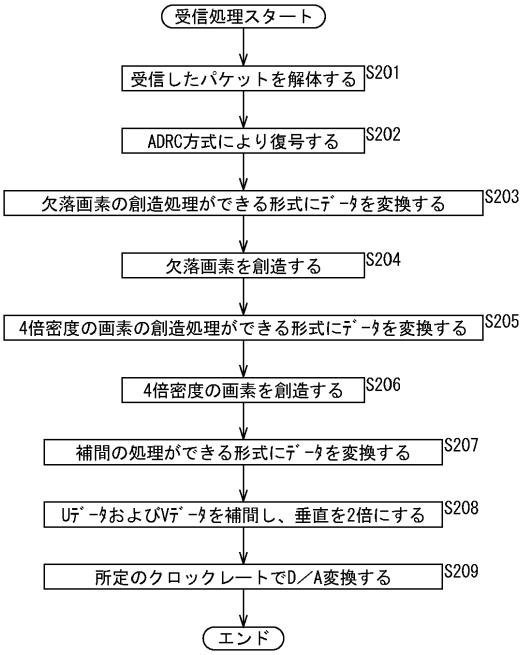
【図７６】



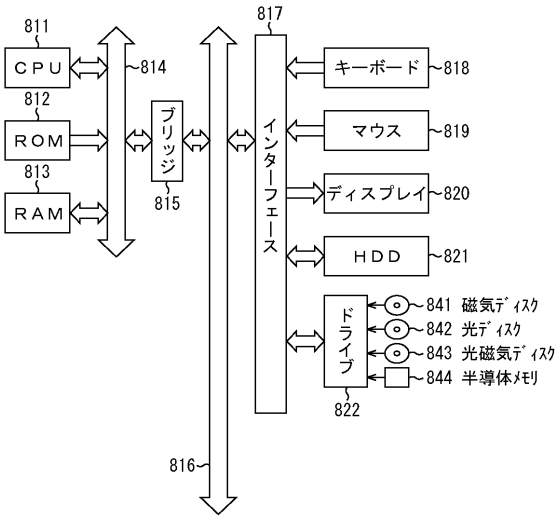
【図７７】


時間方向
垂直方向
入力画素
出力画素
1／60sec

【図７８】


受信処理スタート
受信したパケットを解体する
S201
ADRC方式により復号する
S202
欠落画素の創造処理ができる形式にﾃﾞｰﾀを変換する
S203
欠落画素を創造する
S204
4倍密度の画素の創造処理ができる形式にﾃﾞｰﾀを変換する
S205
4倍密度の画素を創造する
S206
補間の処理ができる形式にﾃﾞｰﾀを変換する
S207
Uﾃﾞｰﾀおよびvﾃﾞｰﾀを補間し、垂直を2倍にする
S208
所定のクロックレートでD／A変換する
S209
エンド

【図７９】


811
CPU
812
ROM
813
RAM
814
ブリッジ
815
816
817
インターフェース
キーボード
818
マウス
819
ディスプレイ
820
HDD
821
ドライブ
822
841 磁気ﾃﾞｨｽｸ
842 光ﾃﾞｨｽｸ
843 光磁気ﾃﾞｨｽｸ
844 半導体ﾒﾓﾘ

フロントページの続き

(72)発明者　大塚　秀樹
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　高橋　康昭
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　和田　成司
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　永野　隆浩
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　太田　浩二
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　長谷川　素直

(56)参考文献　特開平０８－１９１４２５（ＪＰ，Ａ）
特開平０５－２９８４３５（ＪＰ，Ａ）
特開昭６３－２１５２７８（ＪＰ，Ａ）
特開２００１－２２３５９４（ＪＰ，Ａ）
特開昭６３－１１１７８１（ＪＰ，Ａ）
特開２０００－１３４１０７（ＪＰ，Ａ）
特開昭６３－２１５２７９（ＪＰ，Ａ）
特開平５－４７１１６（ＪＰ，Ａ）
特開平６－４４００（ＪＰ，Ａ）
特開平８－９８１３７（ＪＰ，Ａ）
特開平１０－３２７９１（ＪＰ，Ａ）
特開平１０－８４５３２（ＪＰ，Ａ）
特開平１１－２６１９６０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N　7/26-7/68