

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-248596

(P2012-248596A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 2 7 C	5 F 1 1 O
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 2 B	
	H O 1 L 29/78 6 1 3 A	
	H O 1 L 29/78 6 1 6 A	

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号	特願2011-117684 (P2011-117684)	(71) 出願人	000002369
(22) 出願日	平成23年5月26日 (2011. 5. 26)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	世良 博
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	中島 嘉樹
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

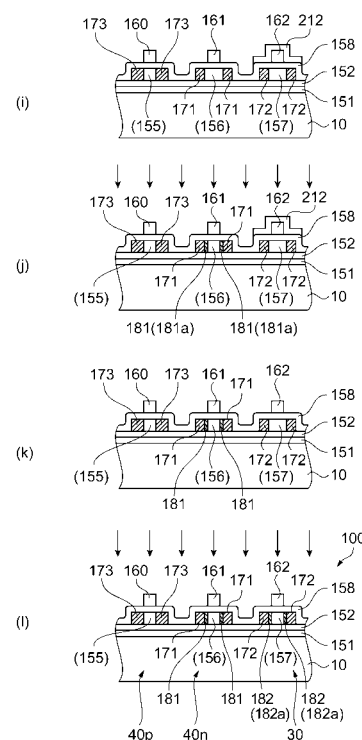
(54) 【発明の名称】 半導体装置の製造方法、及び電気光学装置の製造方法

(57) 【要約】

【課題】信頼性の高いLDD構造のTFTを形成することが可能な半導体装置の製造方法、及び電気光学装置の製造方法を提供する。

【解決手段】第1領域155のPMOSTFTと、第2領域156のLDDを備えるNMOSTFTと、第3領域157のLDDを備えるNMOSTFTとを製造する製造方法は、厚みの異なる2種類の多階調レジスト211, 212を形成し、多階調レジスト211, 212をマスクとして不純物の注入とアッシングとを繰り返し、セルフアラインでLDDを形成する工程を有する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

絶縁物を覆う半導体膜を島状に分離することで形成された、第 1 領域、第 2 領域、第 3 領域を 1 面側に備える基板と、

前記第 1 領域に形成された、第 1 ゲート電極を含む第 1 PMOSTFT と、

前記第 2 領域に形成された、第 2 ゲート電極と、前記 1 面側の平面視で前記第 2 ゲート電極を挟む第 1 濃度の第 1 LDD を含む第 1 NMOSTFT と、

前記第 3 領域に形成された、第 3 ゲート電極と、前記平面視で前記第 3 ゲート電極を挟む前記第 1 濃度よりも濃度が低い第 2 濃度の第 2 LDD を含む第 2 NMOSTFT と、
を含む半導体装置の製造方法であって、

10

前記基板の前記 1 面側に前記第 1 PMOSTFT と、前記第 1 NMOSTFT と、前記第 2 NMOSTFT と、が備えるゲート絶縁膜を形成する絶縁膜形成工程と、

前記第 2 領域のソース／ドレイン前駆体、及び前記第 3 領域のソース／ドレイン前駆体にイオン注入を行い、N型の不純物を導入する第 1 イオン注入工程と、

前記 1 面側に前記第 1 ゲート電極、前記第 2 ゲート電極、前記第 3 ゲート電極を形成するゲート電極形成工程と、

前記第 2 領域に第 1 多階調レジストを形成し、前記第 3 領域に前記第 1 多階調レジストより膜厚の厚い第 2 多階調レジストを形成する多階調レジスト形成工程と、

前記第 1 多階調レジスト、前記第 2 多階調レジスト、及び前記第 1 ゲート電極をマスクとして、前記第 1 領域のソース／ドレイン前駆体にイオン注入を行い、P型の不純物を導入する第 2 イオン注入工程と、

20

前記第 1 多階調レジストをアッシングにより除去する第 1 アッシング工程と、

前記第 2 多階調レジスト及び前記第 2 ゲート電極をマスクとして、前記第 2 領域の第 1 LDD 前駆体にイオン注入を行い、N型の不純物を導入する第 1 LDD イオン注入工程と、

前記第 2 多階調レジストをアッシングにより除去する第 2 アッシング工程と、

前記第 2 ゲート電極及び前記第 3 ゲート電極をマスクとして、前記第 2 領域の前記第 1 LDD 前駆体及び前記第 3 領域の第 2 LDD 前駆体にイオン注入を行い、N型の不純物を導入する第 2 LDD イオン注入工程と、

を有することを特徴とする半導体装置の製造方法。

30

【請求項 2】

絶縁物を覆う半導体膜を島状に分離することで形成された、第 1 領域、第 2 領域、第 3 領域を 1 面側に備える基板と、

前記第 1 領域に形成された、第 4 ゲート電極を含む第 1 NMOSTFT と、

前記第 2 領域に形成された、第 5 ゲート電極と、前記 1 面側の平面視で前記第 5 ゲート電極を挟む第 1 濃度の第 1 LDD を含む第 1 PMOSTFT と、

前記第 3 領域に形成された、第 6 ゲート電極と、前記平面視で前記第 6 ゲート電極を挟む前記第 1 濃度よりも濃度が低い第 2 濃度の第 2 LDD を含む第 2 PMOSTFT と、
を含む半導体装置の製造方法であって、

前記基板の前記 1 面側に前記第 1 NMOSTFT と、前記第 1 PMOSTFT と、前記第 2 PMOSTFT と、が備えるゲート絶縁膜を形成する絶縁膜形成工程と、

40

前記第 2 領域のソース／ドレイン前駆体、及び前記第 3 領域のソース／ドレイン前駆体にイオン注入を行い、P型の不純物を導入する第 1 イオン注入工程と、

前記 1 面側に前記第 4 ゲート電極、前記第 5 ゲート電極、前記第 6 ゲート電極を形成するゲート電極形成工程と、

前記第 2 領域に第 1 多階調レジストを形成し、前記第 3 領域に前記第 1 多階調レジストより膜厚の厚い第 2 多階調レジストを形成する多階調レジスト形成工程と、

前記第 1 多階調レジスト、前記第 2 多階調レジスト、及び前記第 4 ゲート電極をマスクとして、前記第 1 領域のソース／ドレイン前駆体にイオン注入を行い、N型の不純物を導入する第 2 イオン注入工程と、

50

前記第 1 多階調レジストをアッシングにより除去する第 1 アッシング工程と、
前記第 2 多階調レジスト及び前記第 5 ゲート電極をマスクとして、前記第 2 領域の第 1 L D D 前駆体にイオン注入を行い、P 型の不純物を導入する第 1 L D D イオン注入工程と、
前記第 2 多階調レジストをアッシングにより除去する第 2 アッシング工程と、
前記第 5 ゲート電極及び前記第 6 ゲート電極をマスクとして、前記第 2 領域の前記第 1 L D D 前駆体及び前記第 3 領域の第 2 L D D 前駆体にイオン注入を行い、P 型の不純物を導入する第 2 L D D イオン注入工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項 3】

10

請求項 1 又は請求項 2 に記載の半導体装置の製造方法であって、
前記多階調レジスト形成工程は、レジストの厚さが薄い領域の露光には、光強度を中間調に制御するパターンを備えたハーフトーンマスクを用いることを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 に記載の半導体装置の製造方法を含み、電気光学装置の表示領域を構成する画素に含まれる前記第 2 N M O S T F T を形成し、前記画素を駆動する回路に含まれる前記第 1 N M O S T F T と、前記第 1 P M O S T F T とを形成することを特徴とする電気光学装置の製造方法。

【請求項 5】

20

請求項 2 に記載の半導体装置の製造方法を含み、電気光学装置の表示領域を構成する画素に含まれる前記第 2 P M O S T F T を形成し、前記画素を駆動する回路に含まれる前記第 1 N M O S T F T と、前記第 1 P M O S T F T とを形成することを特徴とする電気光学装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置の製造方法、及び電気光学装置の製造方法に関する。

【背景技術】**【0002】**

30

上記半導体装置の製造方法としては、例えば、特許文献 1 に記載のように、ハーフトーンマスクを用いて、半導体膜の上に 2 種類の厚さを持つレジストを形成し、半導体膜にエッチングと不純物注入を行うことで、通常 2 回のフォトリソグラフィ工程を 1 回に減らして製造している。また、このような方法を用いて、L D D (Lightly Doped Drain) 構造を有する半導体装置を製造する方法が開示されている。

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開 2 0 0 6 - 5 4 4 2 4 号公報

【発明の概要】

40

【発明が解決しようとする課題】**【0004】**

しかしながら、2 種類の厚さのレジストの境界がはっきり区分けして形成されていない場合があり、具体的には、レジストの厚い部分から薄い部分にかけて、なだらかな傾斜で繋がっていることがある。これにより、レジストの厚みが多段階に形成され、上記した L D D の長さが変化し、半導体装置の特性がばらつく。その結果、半導体装置の信頼性が低下するという課題がある。

【課題を解決するための手段】**【0005】**

本発明は、上記課題の少なくとも一部を解決するためになされたものであり、以下の形

50

態又は適用例として実現することが可能である。

【0006】

〔適用例1〕本適用例に係る半導体装置の製造方法は、絶縁物を覆う半導体膜を島状に分離することで形成された、第1領域、第2領域、第3領域を1面側に備える基板と、前記第1領域に形成された、第1ゲート電極を含む第1PMOSTFTと、前記第2領域に形成された、第2ゲート電極と、前記1面側の平面視で前記第2ゲート電極を挟む第1濃度の第1LDDを含む第1NMOSTFTと、前記第3領域に形成された、第3ゲート電極と、前記平面視で前記第3ゲート電極を挟む前記第1濃度よりも濃度が低い第2濃度の第2LDDを含む第2NMOSTFTと、を含む半導体装置の製造方法であって、前記基板の前記1面側に前記第1PMOSTFTと、前記第1NMOSTFTと、前記第2NMOSTFTと、が備えるゲート絶縁膜を形成する絶縁膜形成工程と、前記第2領域のソース／ドレイン前駆体、及び前記第3領域のソース／ドレイン前駆体にイオン注入を行い、N型の不純物を導入する第1イオン注入工程と、前記1面側に前記第1ゲート電極、前記第2ゲート電極、前記第3ゲート電極を形成するゲート電極形成工程と、前記第2領域に第1多階調レジストを形成し、前記第3領域に前記第1多階調レジストより膜厚の厚い第2多階調レジストを形成する多階調レジスト形成工程と、前記第1多階調レジスト、前記第2多階調レジスト、及び前記第1ゲート電極をマスクとして、前記第1領域のソース／ドレイン前駆体にイオン注入を行い、P型の不純物を導入する第2イオン注入工程と、前記第1多階調レジストをアッシングにより除去する第1アッシング工程と、前記第2多階調レジスト及び前記第2ゲート電極をマスクとして、前記第2領域の第1LDD前駆体にイオン注入を行い、N型の不純物を導入する第1LDDイオン注入工程と、前記第2多階調レジストをアッシングにより除去する第2アッシング工程と、前記第2ゲート電極及び前記第3ゲート電極をマスクとして、前記第2領域の前記第1LDD前駆体及び前記第3領域の第2LDD前駆体にイオン注入を行い、N型の不純物を導入する第2LDDイオン注入工程と、を有することを特徴とする。

【0007】

この方法によれば、第1領域に形成する第1PMOSTFTと、第2領域及び第3領域に形成する2種類のLDD構造を備えるNMOSTFTとを形成する工程において、例えば、光透過率の異なるマスクを用いて厚みの異なる2種類の多階調レジストを形成し、多階調レジストをマスクとして不純物の注入とアッシングとを繰り返すことにより、セルフアラインでLDDを形成することが可能となる。よって、LDD（LDD長など）の加工精度を向上させることができ、スイッチング特性などの電気的特性を向上させることができる。また、3種類のMOSTFT形成の信頼性を向上させることができる。また、ゲート電極をマスクとして半導体膜に不純物を注入するので、光強度に影響を受けてレジスト膜の形状精度が低下したり、マスク合わせの精度に起因したりすることを抑えることができる。加えて、特性の異なる（例えば、LDDの濃度が異なる、LDD長が異なる）2種類のLDDを、1枚のフォトマスクで加工することができる。また、微細なMOSTFTを高い精度で形成することができる。

【0008】

〔適用例2〕本適用例に係る半導体装置の製造方法は、絶縁物を覆う半導体膜を島状に分離することで形成された、第1領域、第2領域、第3領域を1面側に備える基板と、前記第1領域に形成された、第4ゲート電極を含む第1NMOSTFTと、前記第2領域に形成された、第5ゲート電極と、前記1面側の平面視で前記第5ゲート電極を挟む第1濃度の第1LDDを含む第1PMOSTFTと、前記第3領域に形成された、第6ゲート電極と、前記平面視で前記第6ゲート電極を挟む前記第1濃度よりも濃度が低い第2濃度の第2LDDを含む第2PMOSTFTと、を含む半導体装置の製造方法であって、前記基板の前記1面側に前記第1NMOSTFTと、前記第1PMOSTFTと、前記第2PMOSTFTと、が備えるゲート絶縁膜を形成する絶縁膜形成工程と、前記第2領域のソース／ドレイン前駆体、及び前記第3領域のソース／ドレイン前駆体にイオン注入を行い、P型の不純物を導入する第1イオン注入工程と、前記1面側に前記第4ゲート電極、前記

第5ゲート電極、前記第6ゲート電極を形成するゲート電極形成工程と、前記第2領域に第1多階調レジストを形成し、前記第3領域に前記第1多階調レジストより膜厚の厚い第2多階調レジストを形成する多階調レジスト形成工程と、前記第1多階調レジスト、前記第2多階調レジスト、及び前記第4ゲート電極をマスクとして、前記第1領域のソース／ドレイン前駆体にイオン注入を行い、N型の不純物を導入する第2イオン注入工程と、前記第1多階調レジストをアッシングにより除去する第1アッシング工程と、前記第2多階調レジスト及び前記第5ゲート電極をマスクとして、前記第2領域の第1LDD前駆体にイオン注入を行い、P型の不純物を導入する第1LDDイオン注入工程と、前記第2多階調レジストをアッシングにより除去する第2アッシング工程と、前記第5ゲート電極及び前記第6ゲート電極をマスクとして、前記第2領域の前記第1LDD前駆体及び前記第3領域の第2LDD前駆体にイオン注入を行い、P型の不純物を導入する第2LDDイオン注入工程と、を有することを特徴とする。

10

【0009】

この方法によれば、第1領域に形成する第1NMOSTFTと、第2領域及び第3領域に形成する2種類のLDD構造を備えるPMOSTFTとを形成する工程において、例えば、光透過率の異なるマスクを用いて厚みの異なる2種類の多階調レジストを形成し、多階調レジストをマスクとして不純物の注入とアッシングとを繰り返すことにより、セルフアラインでLDDを形成することが可能となる。よって、LDD（LDD長など）の加工精度を向上させることができ、スイッチング特性などの電気的特性を向上させることができる。また、3種類のMOSTFT形成の信頼性を向上させることができる。また、ゲート電極をマスクとして半導体膜に不純物を注入するので、光強度に影響を受けてレジスト膜の形状精度が低下したり、マスク合わせの精度に起因したりすることを抑えることができる。加えて、特性の異なる（例えば、LDDの濃度が異なる、LDD長が異なる）2種類のLDDを、1枚のフォトマスクで加工することができる。また、微細なMOSTFTを高い精度で形成することができる。

20

【0010】

〔適用例3〕上記適用例に係る半導体装置の製造方法において、前記多階調レジスト形成工程は、レジストの厚さが薄い領域の露光には、光強度を中間調に制御するパターンを備えたハーフトーンマスクを用いることが好ましい。

【0011】

この方法によれば、光強度を制御することによりレジストの厚みを異ならせることができるので、膜厚の異なる2種類の多階調マスクを形成することが可能となり、異なる特性のLDDを形成することができる。また、一度のフォトリソグラフィ工程で2種類の膜厚を備えるレジスト膜を形成できることから、加工コストを低減することができる。

30

【0012】

〔適用例4〕本適用例に係る電気光学装置の製造方法は、上記に記載の半導体装置の製造方法を含み、電気光学装置の表示領域を構成する画素に含まれる前記第2NMOSTFTを形成し、前記画素を駆動する回路に含まれる前記第1NMOSTFTと、前記第1PMOSTFTとを形成することを特徴とする。

【0013】

この方法によれば、電気的特性の優れた第2NMOSTFTと、画像情報を操作する処理速度に優れた第1NMOSTFTと、第1PMOSTFTとを形成できることから、信頼性の高い半導体装置を備えた電気光学装置を製造することができる。

40

【0014】

〔適用例5〕本適用例に係る電気光学装置の製造方法は、上記に記載の半導体装置の製造方法を含み、電気光学装置の表示領域を構成する画素に含まれる前記第2PMOSTFTを形成し、前記画素を駆動する回路に含まれる前記第1NMOSTFTと、前記第1PMOSTFTとを形成することを特徴とする電気光学装置の製造方法。

【0015】

この方法によれば、電気的特性の優れた第2PMOSTFTと、画像情報を操作する処

50

理速度に優れた第1 PMOS TFTと、第1 NMOS TFTとを形成できることから、信頼性の高い半導体装置を備えた電気光学装置を製造することができる。

【図面の簡単な説明】

【0016】

【図1】第1実施形態の液晶装置の構造を示す概略図であり、(a)は液晶装置の構造を示す模式平面図、(b)は(a)に示す液晶装置のH-H'線に沿う模式断面図。

【図2】図1に示す液晶装置の電気的な構成を示す等価回路図。

【図3】液晶装置の製造方法の一部を具体的に示す工程断面図。

【図4】液晶装置の製造方法の一部を具体的に示す工程断面図。

【図5】液晶装置の製造方法の一部を具体的に示す工程断面図。

【図6】第2実施形態の液晶装置の製造方法の一部を具体的に示す工程断面図。

【図7】液晶装置の製造方法の一部を具体的に示す工程断面図。

【図8】液晶装置の製造方法の一部を具体的に示す工程断面図。

【発明を実施するための形態】

【0017】

以下、本発明を具体化した実施形態について図面に従って説明する。なお、使用する図面は、説明する部分が認識可能な状態となるように、適宜拡大または縮小して表示している。

【0018】

(第1実施形態)

図1は、電気光学装置としての液晶装置の構造を示す概略図である。(a)は、液晶装置の構造を示す模式平面図である。(b)は、(a)に示す液晶装置のH-H'線に沿う模式断面図である。図2は、図1に示す液晶装置の電気的な構成を示す等価回路図である。以下、液晶装置の構造を、図1及び図2を参照しながら説明する。

【0019】

本実施形態では、薄膜トランジスタ(Thin Film Transistor: 以下、「TFT」と呼ぶ。)を、画素のスイッチング素子として備えたアクティブマトリックス型の液晶装置を例に挙げて説明する。ここで、画素のスイッチング用のTFTを、以降TFT30と記載する。

【0020】

液晶装置100は、例えば、投射型表示装置(液晶プロジェクター)の光変調手段(液晶ライトバルブ等)や、直視型ディスプレイとして好適に用いることができる。また、電気光学装置として、液晶装置以外の、例えば有機EL装置、電子ペーパーなどにも適用できる。

【0021】

<電気光学装置の構成>

図1に示すように、電気光学装置としての液晶装置100は、基板としての素子基板10と対向基板20とが、平面視略矩形枠状のシール材52を介して貼り合わされている。素子基板10は、対向基板20よりも一回り大きく形成されている。液晶装置100は、シール材52によって囲まれた領域内に、正の誘電異方性を有する液晶層50が封入されている。

【0022】

図1(a)に示すように、液晶装置100は、素子基板10の1辺部に沿ってデータ線駆動回路101が設けられ、これに電気的に接続された複数の端子部102が配列して設けられている。該1辺部と直交し互に対向する他の2辺部には、該2辺部に沿って走査線駆動回路104が設けられている。対向基板20を挟んで該1辺部と対向する他の1辺部には、2つの走査線駆動回路104を繋ぐ複数の配線105が設けられている。

【0023】

額縁状に配置されたシール材52の内側には、同じく額縁状に見切り部53が設けられている。見切り部53は、遮光性を有する金属材料あるいは樹脂材料等を用いて形成され

10

20

30

40

50

ている。そして、見切り部 53 の内側が、複数の画素 G を有する表示領域 10a となっている。

【0024】

図 1 (b) に示すように、素子基板 10 には、画素 G を区画する遮光膜としての BM (ブラックマトリックス) が設けられている。この場合、BM は遮光性を有する例えば Al、Ti 等の金属材料、あるいはこれらを積層した膜を含んでいる。

【0025】

素子基板 10 の液晶層 50 側の表面には、画素 G を少なくとも覆うように成膜された配向膜 18 が設けられている。一方、対向基板 20 の液晶層 50 側の表面には、見切り部 53 と表示領域 10a とを少なくとも覆うように成膜された配向膜 29 が設けられている。これら配向膜 18 及び配向膜 29 には、所定の方に配向処理が施されている。

10

【0026】

また、図 2 に示すように、液晶装置 100 の表示領域 10a は、行方向に沿って延びる m 行 (m は整数) の走査線 3a と、列方向に沿って延びる n 列 (n は整数) のデータ線 6a と、該走査線 3a と該データ線 6a との各交差部にマトリクス配置された複数の画素 G とを備えている。

【0027】

そして、各画素 G は、画素電極 9 と、画素電極 9 をスイッチング制御するための第 2 NMOSTFT としての NMOSTFT 30 (TFT 30) とを有している。画素電極 9 と共通電極 19 との間には、液晶層 50 が介在している。共通電極 19 は、走査線駆動回路 104 から延びる共通線 3b と電氣的に接続されており、各画素 G において共通の電位に保持されるようになっている。

20

【0028】

走査線駆動回路 104 は、TFT 30 よりも高速にスイッチング可能な第 1 NMOSTFT としての NMOSTFT 40n と、第 1 PMOSTFT としての PMOSTFT 40p と、を含む回路から構成されており、走査線 3a を駆動すると共に、タイミングデータやその他の信号処理を行っている。

【0029】

データ線駆動回路 101 から延びるデータ線 6a は、TFT 30 のソースと電氣的に接続されている。データ線駆動回路 101 は、画像信号 D1, D2, ..., Dn を、データ線 6a を介して各画素 G に供給する。画像信号 D1 ~ Dn は、この順に線順次に供給しても構わないし、相隣接する複数のデータ線 6a 同士に対して、グループごとに供給するようにしてもよい。

30

【0030】

データ線駆動回路 101 は、TFT 30 よりも高速にスイッチング可能な NMOSTFT 40m と PMOSTFT 40p と、を含む回路から構成されており、データ線 6a を駆動すると共に、タイミングデータやその他の信号処理を行っている。

【0031】

また、TFT 30 のゲートには、走査線駆動回路 104 から延びる走査線 3a が電氣的に接続されている。走査線駆動回路 104 から所定のタイミングで走査線 3a にパルスの供給される走査信号 SC1, SC2, ..., SCm が、この順に線順次で TFT 30 のゲートに印加されるようになっている。画素電極 9 は、TFT 30 のドレインに電氣的に接続されている。

40

【0032】

スイッチング素子である TFT 30 が走査信号 SC1, SC2, ..., SCm の入力により一定期間だけオン状態とされることで、データ線 6a から供給される画像信号 D1, D2, ..., Dn が所定のタイミングで画素電極 9 に書き込まれるようになっている。画素電極 9 を介して液晶層 50 に書き込まれた所定レベルの画像信号 D1, D2, ..., Dn は、画素電極 9 と液晶層 50 を介して対向する共通電極 19 との間で一定期間保持される。

【0033】

50

このように、液晶層 50 に電圧信号が印加されると、印加された電圧レベルにより、液晶分子の配向状態が変化する。これにより、液晶層 50 に入射した光が変調されて、画像光が生成されるようになっている。

【0034】

以下、上記した電気光学装置としての液晶装置 100 の製造方法に関して、特に、NMOSTFT40n や、NMOSTFT30、及び PMOSTFT40p の製造工程について図面を用いて説明する。

【0035】

図 3～図 5 は、液晶装置の製造方法の一部を具体的に示す工程断面図である。以下、液晶装置の製造方法を、図 3～図 5 を参照しながら説明する。

10

【0036】

まず、図 3 (a) に示す工程では、石英等の絶縁物を用いた素子基板 10 の第 1 面に、窒化珪素層 151 を堆積し、次に酸化珪素層 152 を堆積する。そして、例えば 1000℃ 程度で半導体膜としての多結晶シリコン膜 153 を堆積する。なお、ここでは絶縁物として石英を用いた場合について説明したが、これは半導体や導体を絶縁体（絶縁部）で覆ったものを素子基板 10 として用いても良い。

【0037】

次に、図 3 (b) に示す工程では、多結晶シリコン膜 153 をフォトリソグラフ／エッチング法により素子基板 10 の平面視で島状に分離し、第 1 領域 155、第 2 領域 156、第 3 領域 157 を形成する。ここで、第 1 領域 155、第 2 領域 156、第 3 領域 157 は通常複数個存在することとなる。

20

【0038】

次に、図 3 (c) に示す工程（絶縁膜形成工程）では、素子基板 10 の第 1 面に、ゲート絶縁膜 158 を形成する。ゲート絶縁膜 158 は CVD 法や熱酸化法を用いることができる。本実施形態では、CVD 法を用いたものとして説明を続ける。

【0039】

次に、図 3 (d) に示す工程では、各領域毎にレジストを形成する。第 1 領域 155 は、PMOSTFT40p の第 1 領域 155 と平面的に重なるようにレジスト 201 を形成する。第 2 領域 156 は、NMOSTFT40n のソース／ドレイン 171（図 4 (e) 参照）を除く領域と平面的に重なる領域にレジスト 202 を形成する。第 3 領域 157 は、NMOSTFT30 のソース／ドレイン 172（図 4 (e) 参照）を除く領域と平面的に重なる領域にレジスト 203 を形成する。NMOSTFT30 は、NMOSTFT40n と比較して、例えば、LDD の不純物濃度が低い。レジスト 201、201、202 の厚みは、例えば、1 μm である。

30

【0040】

次に、図 4 (e) に示す工程（第 1 イオン注入工程）では、レジスト 201、202、203 をマスクとして、NMOSTFT40n 及び NMOSTFT30 のソース／ドレイン 171、172 となる領域（ソース／ドレイン前駆体）に、N 型を示す不純物（例えば、リン）をイオン注入する。イオン注入条件は、例えば、加速電圧として 70 eV、注入量として $2 \times 10^{15} / \text{cm}^2$ である（高濃度注入）。イオン注入後、各レジスト 201、202、203 を除去する。

40

【0041】

次に、図 4 (f) に示す工程（ゲート電極形成工程）では、第 1 領域 155 に第 1 ゲート電極 160、第 2 領域 156 に第 2 ゲート電極 161、及び第 3 領域 157 に第 3 ゲート電極 162 を形成する。具体的には、第 1 ゲート電極 160、第 2 ゲート電極 161、第 3 ゲート電極 162 は金属やポリシリコン、金属とシリコンとの化合物、あるいはこれらの多層構造を用いても良い。第 1 ゲート電極 160、第 2 ゲート電極 161、第 3 ゲート電極 162 は、図示しないゲート電極前駆体を成膜した後、フォトリソグラフ／エッチング法により形成することができる。

【0042】

50

次に、図4 (g) に示す工程 (多階調レジスト形成工程) では、第2領域156に第1多階調レジスト211、第3領域157に第2多階調レジスト212を形成する。多階調レジスト211、212を形成する具体例としては、例えば、階調差を有するフォトマスクを利用して、レジストを段差状に形成する。具体的には、フォトマスクは、露光光を完全に遮断する遮光部と、光の強度を弱くする中間調部とを有する。それ以外の領域は、光が通過する透過領域となる。そして、上記フォトマスクを用いてレジストを露光することにより、例えば、厚くレジストを形成したり、薄くレジストを形成したりすることができる。

【0043】

第3領域157の第2多階調レジスト212の膜厚は、第2領域156の第1多階調レジスト211よりも厚く形成されている。これは、ハーフトーンマスクの濃淡を変えることによって形成することができる。第2領域156の第1多階調レジスト211の膜厚は、例えば、 $0.3\mu\text{m}$ である。第3領域157の第2多階調レジスト212の膜厚は、例えば、 $1.5\mu\text{m}$ である。

【0044】

次に、図4 (h) に示す工程 (第2イオン注入工程) では、第1領域155のPMOSTFT40pのソース/ドレイン前駆体173aにP型を示す不純物 (例えば、ボロン) をイオン注入する。イオン注入条件は、例えば、加速電圧として 90eV 、注入量として $2\text{E}15/\text{cm}^2$ である (高濃度注入)。PMOSTFT40pのソース/ドレイン173は、セルフアラインで形成される。

【0045】

次に、図5 (i) に示す工程 (第1アッシング工程) では、素子基板10にアッシング処理を施して、第2領域156の第1多階調レジスト211を除去すると共に、第3領域157の第2多階調レジスト212の膜厚を薄くする。処理後の第2多階調レジスト212の膜厚は、例えば、 $0.3\mu\text{m}$ である。

【0046】

次に、図5 (j) に示す工程 (第1LDDイオン注入工程) では、第2領域156の第1LDD前駆体としてのLDD前駆体181aにN型を示す不純物 (例えば、リン) をイオン注入し、第1LDDとしてのLDD181を形成する。イオン注入条件は、例えば、加速電圧として 70eV 、注入量として $2\text{E}13/\text{cm}^2$ である (低濃度注入)。NMOSTFT40nのLDD181は、セルフアラインで形成される。また、LDD181に注入された不純物の濃度を第1濃度とする。

【0047】

次に、図5 (k) に示す工程 (第2アッシング工程) では、素子基板10にアッシング処理を施して、第3領域157の第2多階調レジスト212を除去する。この工程において、レジストは全てなくなる。

【0048】

次に、図5 (l) に示す工程 (第2LDDイオン注入工程) では、第3領域157のNMOSTFT30の第2LDD前駆体としてのLDD前駆体182aとなる領域にN型を示す不純物 (例えば、リン) をイオン注入し、第2LDDとしてのLDD182を形成する。イオン注入条件は、例えば、加速電圧として 70eV 、注入量として $2\text{E}13/\text{cm}^2$ である (低濃度注入)。NMOSTFT30のLDD182は、セルフアラインで形成される。また、LDD182に注入された不純物の濃度を、第1濃度より濃度が低い第2濃度とする。

【0049】

上記した製造方法を用いることで、液晶装置100の駆動に好適なPMOSTFT40p、NMOSTFT40n、及びNMOSTFT30を形成することができる。

【0050】

また、上記した液晶装置100は、テレビ、携帯電話機、ディスプレイ、モバイルコンピュータ、デジタルカメラ、デジタルビデオカメラ、車載機器、オーディオ機器、照明

10

20

30

40

50

機器、光プリンターの光源などの各種電子機器に用いることができる。

【0051】

以上詳述したように、第1実施形態の液晶装置100の製造方法、及び電気光学装置の製造方法によれば、以下に示す効果が得られる。

【0052】

(1) 第1実施形態の液晶装置100の製造方法及び電気光学装置の製造方法によれば、第1領域155のPMOSTFT40pと、第2領域156のLDD181を備えるNMOSTFT40nと、第3領域157のLDD182を備えるNMOSTFT30とを製造する製造方法において、例えば、光透過率の異なるハーフトーンマスクを用いて厚みの異なる2種類の多階調レジスト211、212を形成し、多階調レジスト211、212をマスクとして不純物の注入とアッシングとを繰り返すことにより、セルフアラインでLDD181、182を形成することが可能となる。よって、LDD181、182(LDD長など)の加工精度を向上させることができ、スイッチング特性などの電気的特性を向上させることができる。また、形成した3種類のMOSTFT40p、40n、30の信頼性を向上させることができる。また、ゲート電極160、161、162をマスクとして半導体膜に不純物を注入するので、光強度に影響を受けてレジストの形状精度が低下したり、マスク合わせの精度に起因したりすることを抑えることができる。また、微細なMOSTFT40p、40n、30を高い精度で形成することができる。

10

【0053】

(2) 第1実施形態の液晶装置100の製造方法及び電気光学装置の製造方法によれば、ハーフトーンマスクを用いて光強度を制御することによりレジストの厚みを異ならせることができるので、膜厚の異なる多階調レジスト211、212を形成することが可能となり、異なる特性(LDD濃度、LDD長など)のLDD181、182を形成することができる。また、一度のフォトリソグラフィ工程で2種類の膜厚を備えるレジストを形成できることから、加工コストを低減することができる。

20

【0054】

(第2実施形態)

<電気光学装置の製造方法>

図6～図8は、液晶装置の製造方法の一部を具体的に示す工程断面図である。以下、液晶装置の製造方法を、図6～図8を参照しながら説明する。

30

【0055】

第2実施形態の液晶装置100は、素子基板10上に特性の異なる2つのPMOSTFT140p、141pと、1つのNMOSTFT130とを形成する点が、上述の第1実施形態で説明した液晶装置100と異なっている。以下、第1実施形態と同じ構成部材には同一符号を付し、ここではそれらの説明を省略又は簡略化する。なお、図6(a)～図6(c)に示す工程は、第1実施形態と同様である。よって、図6(d)に示す工程から説明する。

【0056】

図6(d)に示す工程では、各領域毎にレジストを形成する。第1領域155は、NMOSTFT140nの第1領域155と平面的に重なるようにレジスト201を形成する。第2領域156は、PMOSTFT140pのソース/ドレイン271(図7(e)参照)を除く領域と平面的に重なる領域にレジスト202を形成する。第3領域157は、PMOSTFT130のソース/ドレイン272(図7(e)参照)を除く領域と平面的に重なる領域にレジスト203を形成する。PMOSTFT130は、PMOSTFT141pと比較して、例えば、LDDの不純物濃度が低い。レジスト201、202、203の厚みは、例えば、1μmである。

40

【0057】

次に、図7(e)に示す工程(第1イオン注入工程)では、レジスト201、202、203をマスクとして、PMOSTFT140p及びPMOSTFT130のソース/ドレイン271、272となる領域(ソース/ドレイン前駆体)に、P型を示す不純物(

50

例えば、ボロン)をイオン注入する。イオン注入条件は、例えば、加速電圧として90 eV、注入量として $2 \times 10^{15} / \text{cm}^2$ である(高濃度注入)。イオン注入後、各レジスト201, 202, 203を除去する。

【0058】

次に、図7(f)に示す工程(ゲート電極形成工程)では、第1領域155に第4ゲート電極260、第2領域156に第5ゲート電極261、及び第3領域157に第6ゲート電極262を形成する。具体的には、第4ゲート電極260、第5ゲート電極261、第6ゲート電極262は金属やポリシリコン、金属とシリコンとの化合物、あるいはこれらの多層構造を用いても良い。第4ゲート電極260、第5ゲート電極261、第6ゲート電極262は、図示しないゲート電極前駆体を成膜した後、フォトリソグラフ/エッチング法により形成することができる。

10

【0059】

次に、図7(g)に示す工程(多階調レジスト形成工程)では、第2領域156に第1多階調レジスト211、第3領域157に第2多階調レジスト212を形成する。多階調レジスト211, 212を形成する具体例としては、例えば、階調差を有するフォトリソマスクを利用して、レジストを段差状に形成する。具体的には、フォトリソマスクは、露光光を完全に遮断する遮光部と、光の強度を弱くする中間調部とを有する。それ以外の領域は、光が通過する透過領域となる。そして、上記フォトリソマスクを用いてレジストを露光することにより、例えば、厚くレジストを形成したり、薄くレジストを形成したりすることができる。

20

【0060】

第3領域157の第2多階調レジスト212の膜厚は、第2領域156の第1多階調レジスト211よりも厚く形成されている。これは、ハーフトーンマスクの濃淡を変えることによって形成することができる。第2領域156の第1多階調レジスト211の膜厚は、例えば、 $0.3 \mu\text{m}$ である。第3領域157の第2多階調レジスト212の膜厚は、例えば、 $1.5 \mu\text{m}$ である。

【0061】

次に、図7(h)に示す工程(第2イオン注入工程)では、第1領域155のNMOS TFT140nのソース/ドレイン前駆体273aにN型を示す不純物(例えば、リン)をイオン注入する。イオン注入条件は、例えば、加速電圧として70 eV、注入量として $2 \times 10^{15} / \text{cm}^2$ である(高濃度注入)。NMOS TFT140nのソース/ドレイン273は、セルフアラインで形成される。

30

【0062】

次に、図8(i)に示す工程(第1アッシング工程)では、素子基板10にアッシング処理を施して、第2領域156の第1多階調レジスト211を除去すると共に、第3領域157の第2多階調レジスト212の膜厚を薄くする。処理後の第2多階調レジスト212の膜厚は、例えば、 $0.3 \mu\text{m}$ である。

【0063】

次に、図8(j)に示す工程(第1LDDイオン注入工程)では、第2領域156の第1LDD前駆体としてのLDD前駆体281aにP型を示す不純物(例えば、ボロン)をイオン注入し、第1LDDとしてのLDD281を形成する。イオン注入条件は、例えば、加速電圧として90 eV、注入量として $2 \times 10^{13} / \text{cm}^2$ である(低濃度注入)。PMOS TFT140pのLDD281は、セルフアラインで形成される。また、LDD281に注入された不純物の濃度を第1濃度とする。

40

【0064】

次に、図8(k)に示す工程(第2アッシング工程)では、素子基板10にアッシング処理を施して、第3領域157の第2多階調レジスト212を除去する。この工程において、レジストは全てなくなる。

【0065】

次に、図8(l)に示す工程(第2LDDイオン注入工程)では、第3領域157のP

50

MOSTFT130の第2LDD前駆体としてのLDD前駆体282aとなる領域にP型を示す不純物（例えば、ボロン）をイオン注入し、第2LDDとしてのLDD282を形成する。イオン注入条件は、例えば、加速電圧として90eV、注入量として $2 \times 10^{13} / \text{cm}^2$ である（低濃度注入）。PMOSTFT130のLDD282は、セルフアラインで形成される。また、LDD282に注入された不純物の濃度を、第1濃度より濃度が低い第2濃度とする。

【0066】

上記した製造方法を用いることで、液晶装置100の駆動に好適なNMOSTFT140n、PMOSTFT140p、及びPMOSTFT130を形成することができる。

【0067】

以上詳述したように、第2実施形態の液晶装置100の製造方法及び電気光学装置の製造方法によれば、以下に示す効果が得られる。

【0068】

（3）第2実施形態の液晶装置100の製造方法及び電気光学装置の製造方法によれば、第1領域155のNMOSTFT140nと、第2領域156のLDD281を備えるPMOSTFT140pと、第3領域157のLDD282を備えるPMOSTFT130とを製造する製造方法において、例えば、光透過率の異なるハーフトーンマスクを用いて厚みの異なる2種類の多階調レジスト211、212を形成し、多階調レジスト211、212をマスクとして不純物の注入とアッシングとを繰り返すことにより、セルフアラインでLDD281、282を形成することが可能となる。よって、LDD281、282（LDD長など）の加工精度を向上させることができ、スイッチング特性などの電気的特性を向上させることができる。また、形成した3種類のMOSTFT140n、140p、130の信頼性を向上させることができる。また、ゲート電極260、261、262をマスクとして半導体膜に不純物を注入するので、光強度に影響を受けてレジストの形状精度が低下したり、マスク合わせの精度に起因したりすることを抑えることができる。また、微細なMOSTFT140n、140p、130を高い精度で形成することができる。

【0069】

（4）第2実施形態の液晶装置100の製造方法及び電気光学装置の製造方法によれば、ハーフトーンマスクを用いて光強度を制御することによりレジストの厚みを異ならせることができるので、膜厚の異なる多階調レジスト211、212を形成することが可能となり、異なる特性（LDD濃度、LDD長など）のLDD281、282を形成することができる。また、一度のフォトリソグラフィ工程で2種類の膜厚を備えるレジストを形成できることから、加工コストを低減することができる。

【0070】

なお、実施形態は上記に限定されず、以下のような形態で実施することもできる。

【0071】

（変形例1）

上記したように、膜厚の異なる2種類の多階調レジスト211、212を形成する方法としては、ハーフトーンマスクを用いて形成することに限定されず、光の強度が部分的に変えられるものであればよく、スリットマスクなどを用いて形成するようにしてもよい。

【符号の説明】

【0072】

3a…走査線、3b…共通線、6a…データ線、9…画素電極、10…基板としての素子基板、10a…表示領域、18…配向膜、19…共通電極、20…対向基板、29…配向膜、30…TFT（第2NMOSTFTとしてのNMOSTFT）、40m…NMOSTFT、40n…第1NMOSTFTとしてのNMOSTFT、40p…第1PMOSTFTとしてのPMOSTFT、50…液晶層、52…シール材、53…見切り部、100…液晶装置、101…データ線駆動回路、102…端子部、104…走査線駆動回路、105…配線、130…NMOSTFT、140p…第2PMOSTFTとしてのPMOS

10

20

30

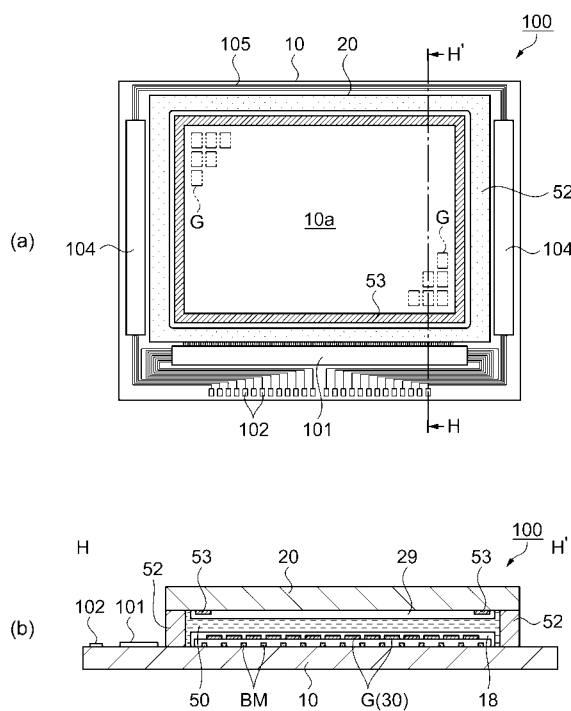
40

50

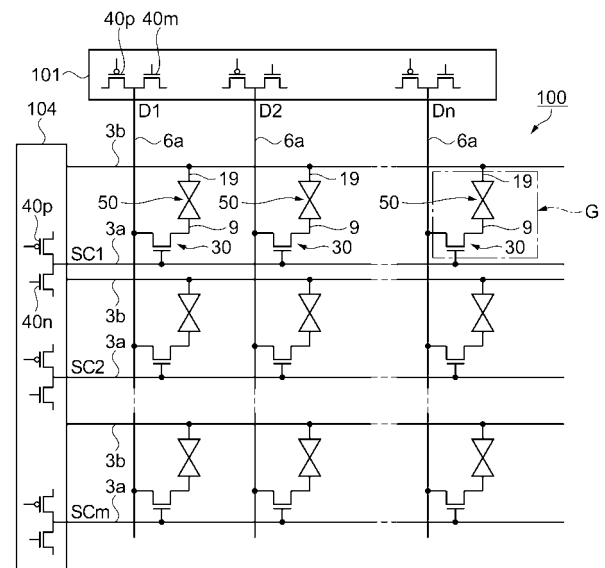
TFT、141p…PMOSTFT、151…窒化珪素層、152…酸化珪素層、153…半導体膜としての多結晶シリコン膜、155…第1領域、156…第2領域、157…第3領域、158…ゲート絶縁膜、160…第1ゲート電極、161…第2ゲート電極、162…第3ゲート電極、171, 172, 173, 271, 272, 273…ソース／ドレイン、173a…ソース／ドレイン前駆体、181, 281…第1LDDとしてのLDD、182, 282…第2LDDとしてのLDD、181a, 281a…第1LDD前駆体としてのLDD前駆体、182a…第2LDD前駆体としてのLDD前駆体、201, 202, 203, 301, 302, 303…レジスト、211…第1多階調レジスト、212…第2多階調レジスト、260…第4ゲート電極、261…第5ゲート電極、262…第6ゲート電極、273a…ソース／ドレイン前駆体。

10

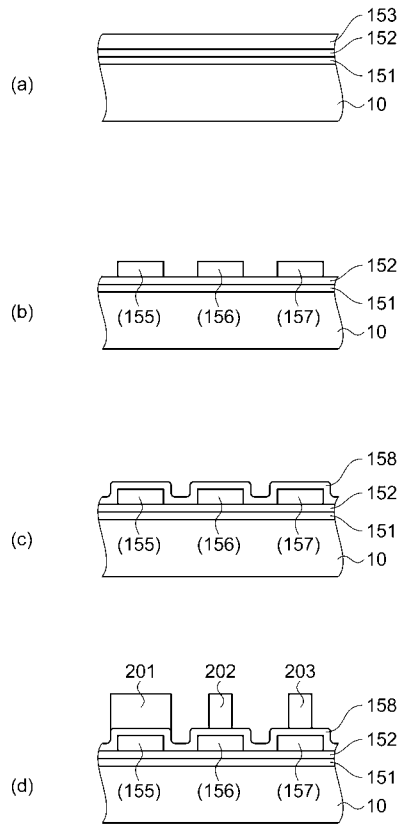
【図1】



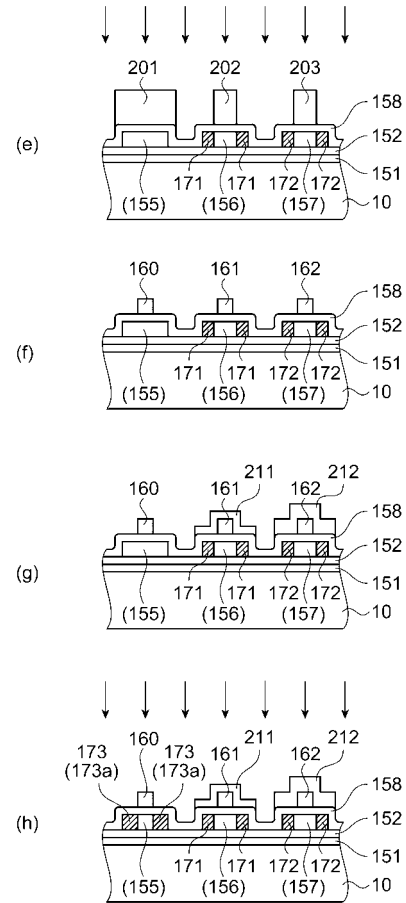
【図2】



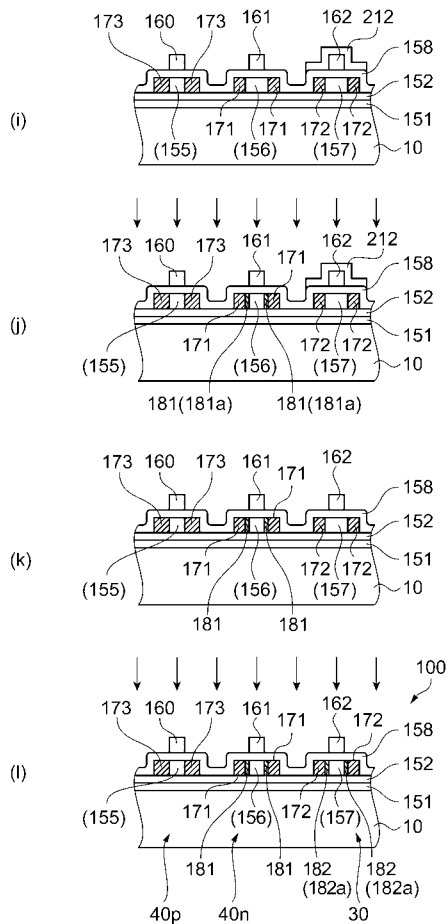
【図 3】



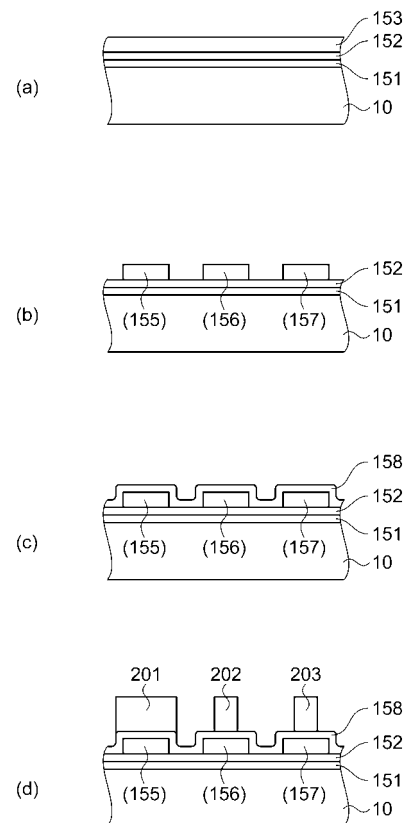
【図 4】



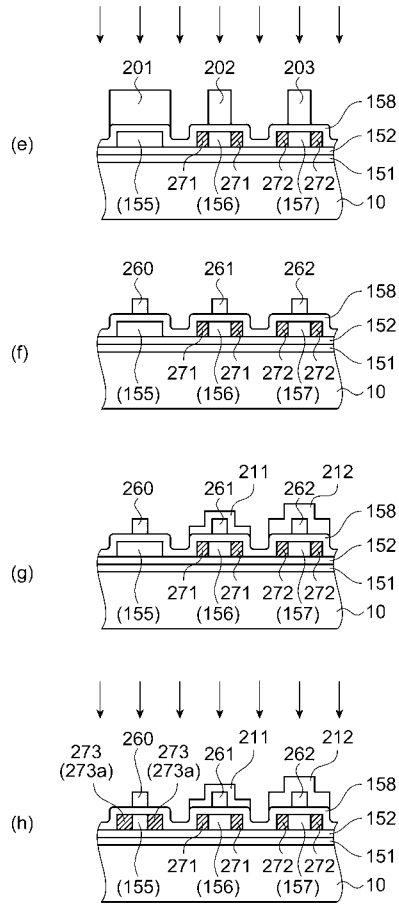
【図 5】



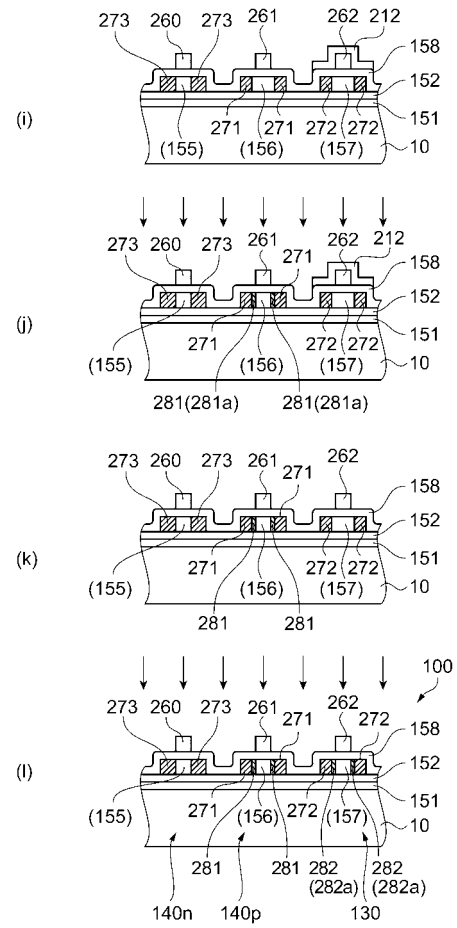
【図 6】



【図 7】



【図 8】



フロントページの続き

Fターム(参考) 5F110 AA01 AA16 BB02 BB04 CC02 DD03 DD13 DD14 EE02 EE05
EE09 EE14 FF23 FF29 GG02 GG13 HJ01 HJ04 HJ13 HM15
NN42 NN46 NN47 NN78 QQ02 QQ08 QQ11