

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5736196号
(P5736196)

(45) 発行日 平成27年6月17日(2015. 6. 17)

(24) 登録日 平成27年4月24日(2015. 4. 24)

(51) Int.Cl. F I
 H O 1 L 21/8242 (2006.01) H O 1 L 27/10 3 2 1
 H O 1 L 27/108 (2006.01)

請求項の数 5 (全 35 頁)

(21) 出願番号	特願2011-50991 (P2011-50991)	(73) 特許権者	000153878
(22) 出願日	平成23年3月9日(2011.3.9)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-216870 (P2011-216870A)		神奈川県厚木市長谷398番地
(43) 公開日	平成23年10月27日(2011.10.27)	(72) 発明者	井上 広樹
審査請求日	平成26年2月26日(2014.2.26)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-63929 (P2010-63929)		半導体エネルギー研究所内
(32) 優先日	平成22年3月19日(2010.3.19)	(72) 発明者	松崎 隆徳
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	長塚 修平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	上田 智志
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、容量素子、第1の導電層と、第2の導電層と、第3の導電層とを有し、

前記第2のトランジスタのソース電極又はドレイン電極の一方は、前記容量素子の一方の電極と、前記第1のトランジスタのゲート電極と電気的に接続され、

前記第1のトランジスタは、第1のチャネル形成領域を有し、

前記第2のトランジスタは、第2のチャネル形成領域を有し、

前記第1のチャネル形成領域と、前記第2のチャネル形成領域とは、互いに異なる半導体材料を有し、

前記第1のトランジスタは、pチャネル型のトランジスタであり、

前記第1の導電層は、前記第1のトランジスタのゲート電極として機能する領域を有し、

前記第2の導電層は、前記第2のトランジスタのソース電極又はドレイン電極の一方として機能する領域を有し、

前記第3の導電層は、前記容量素子の他方の電極として機能する領域を有し、

前記第1の導電層は、前記第2の導電層と重なる領域を有し、

前記第2の導電層は、前記第3の導電層と重なる領域を有することを特徴とする半導体装置。

【請求項2】

第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層とを有し、

前記第 2 のトランジスタのソース電極又はドレイン電極の一方は、前記容量素子の一方の電極と、前記第 1 のトランジスタのゲート電極と電気的に接続され、

前記第 1 のトランジスタは、第 1 のチャンネル形成領域を有し、

前記第 2 のトランジスタは、第 2 のチャンネル形成領域を有し、

前記第 1 のチャンネル形成領域と、前記第 2 のチャンネル形成領域とは、互いに異なる半導体材料を有し、

前記第 1 のトランジスタは、p チャンネル型のトランジスタであり、

前記第 2 のトランジスタは、n チャンネル型のトランジスタであり、

前記第 1 の導電層は、前記第 1 のトランジスタのゲート電極として機能する領域を有し

10

、
前記第 2 の導電層は、前記第 2 のトランジスタのソース電極又はドレイン電極の一方として機能する領域を有し、

前記第 3 の導電層は、前記容量素子の他方の電極として機能する領域を有し、

前記第 1 の導電層は、前記第 2 の導電層と重なる領域を有し、

前記第 2 の導電層は、前記第 3 の導電層と重なる領域を有することを特徴とする半導体装置。

【請求項 3】

第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層とを有し、

20

前記第 2 のトランジスタのソース電極又はドレイン電極の一方は、前記容量素子の一方の電極と、前記第 1 のトランジスタのゲート電極と電気的に接続され、

前記第 1 のトランジスタは、第 1 のチャンネル形成領域を有し、

前記第 2 のトランジスタは、第 2 のチャンネル形成領域を有し、

前記第 1 のチャンネル形成領域と、前記第 2 のチャンネル形成領域とは、互いに異なる半導体材料を有し、

前記第 1 のトランジスタは、p チャンネル型のトランジスタであり、

前記第 1 の導電層は、前記第 1 のトランジスタのゲート電極として機能する領域を有し

30

、
前記第 2 の導電層は、前記第 2 のトランジスタのソース電極又はドレイン電極の一方として機能する領域と、前記容量素子の一方の電極として機能する領域とを有し、

前記第 3 の導電層は、前記容量素子の他方の電極として機能する領域を有し、

前記第 1 の導電層は、前記第 2 の導電層と重なる領域を有し、

前記第 2 の導電層は、前記第 3 の導電層と重なる領域を有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、

前記第 1 の導電層と、前記第 2 の導電層と、前記第 3 の導電層とは、互いに重なる領域を有することを特徴とする半導体装置。

40

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、

前記第 1 のチャンネル形成領域は、シリコンを有し、

前記第 2 のチャンネル形成領域は、酸化物半導体を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

50

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

10

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

20

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

30

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込みまたは消去の高速化が容易ではないという問題もある。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の

50

保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0011】

開示する発明では、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて半導体装置を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、長期間にわたって情報を保持することが可能である。

【0012】

また、開示する発明では、酸化物半導体を用いた書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有する半導体装置を提供する。該メモリセルへの情報の書き込み及び書き換えは、書き込み用トランジスタをオン状態とすることにより、書き込み用トランジスタのソース電極またはドレイン電極の一方と、容量素子の電極の一方と、読み出し用トランジスタのゲート電極とが電氣的に接続されたノードに電位を供給し、その後、書き込み用トランジスタをオフ状態とすることにより、ノードに所定量の電荷を保持させることで行う。また、読み出し用トランジスタとして、pチャネル型トランジスタを用いて、読み出し電位を正の電位とする。

10

【0013】

より具体的には、例えば次のような構成を採用することができる。

20

【0014】

本発明の一態様は、pチャネル型の第1のトランジスタと、第2のトランジスタと、容量素子と、を含むメモリセルを有し、第1のトランジスタは、第1のゲート電極、第1のソース電極、第1のドレイン電極及び第1のチャネル形成領域と、を有し、第2のトランジスタは、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び、第1のチャネル形成領域とは異なる半導体材料を含んで構成された第2のチャネル形成領域と、を有し、第1のゲート電極と、第2のドレイン電極と、容量素子の一方の電極と、は、電氣的に接続されて電荷が保持されるノードを構成する半導体装置である。

【0015】

また、本発明の別の一態様は、第1乃至第5の配線と、第1の配線と第2の配線との間に接続されたメモリセルと、を有し、メモリセルは、第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャネル形成領域を含むpチャネル型の第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び、第1のチャネル形成領域とは異なる半導体材料を含んで構成された第2のチャネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のゲート電極と、第2のドレイン電極と、容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成し、第1の配線と、第1のソース電極とは、電氣的に接続され、第2の配線と、第1のドレイン電極とは、電氣的に接続され、第3の配線と、第2のソース電極とは、電氣的に接続され、第4の配線と、第2のゲート電極とは、電氣的に接続され、第5の配線と、容量素子の電極の他方とは電氣的に接続された半導体装置である。

30

40

【0016】

また、上記の半導体装置において、第2のチャネル形成領域は、酸化物半導体を含んで構成されるのが好ましい。

【0017】

また、上記の半導体装置において、第2のトランジスタは、第1のトランジスタの少なくとも一部と重畳して設けられるのが好ましい。

【0018】

また、上記の半導体装置において、第1のチャネル形成領域は、シリコンを含んで構成されていても良い。

【0019】

50

また、上記の半導体装置において、第2のトランジスタとして、nチャネル型トランジスタを用いても良い。

【0020】

なお、上記において、酸化物半導体を用いてトランジスタを構成することがあるが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップ E_g が 3 eV より大きい半導体材料）などを適用しても良い。

【0021】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

10

【0022】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0023】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

20

【0024】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

【0025】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

30

【発明の効果】

【0026】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0027】

また、開示する発明に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

40

【0028】

また、読み出し用トランジスタには、酸化物半導体以外の材料を適用した十分な高速動作が可能なトランジスタを用い、書き込み用トランジスタの酸化物半導体を用いたトランジ

50

スタと組み合わせることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【 0 0 2 9 】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】

10

【 0 0 3 0 】

【図 1】半導体装置の回路図。

【図 2】半導体装置の回路図。

【図 3】タイミングチャート図。

【図 4】半導体装置の回路図。

【図 5】半導体装置の断面図および平面図。

【図 6】半導体装置の作製工程に係る断面図。

【図 7】半導体装置の作製工程に係る断面図。

【図 8】半導体装置の作製工程に係る断面図。

【図 9】半導体装置の作製工程に係る断面図。

20

【図 10】半導体装置を用いた電子機器を説明するための図。

【図 11】酸化物半導体を用いたトランジスタの特性を示す図。

【図 12】酸化物半導体を用いたトランジスタの特性評価用回路図。

【図 13】酸化物半導体を用いたトランジスタの特性評価用タイミングチャート図。

【図 14】酸化物半導体を用いたトランジスタの特性を示す図。

【図 15】酸化物半導体を用いたトランジスタの特性を示す図。

【図 16】酸化物半導体を用いたトランジスタの特性を示す図。

【発明を実施するための形態】

【 0 0 3 1 】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【 0 0 3 2 】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【 0 0 3 3 】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

40

【 0 0 3 4 】

（実施の形態 1）

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成およびその動作について、図 1 を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OS の符号を併せて付す場合がある。

【 0 0 3 5 】

図 1（A - 1）に示す半導体装置において、第 1 の配線（1 s t L i n e）とトランジスタ 160 のソース電極とは、電気的に接続され、第 2 の配線（2 n d L i n e）とトランジスタ 160 のドレイン電極とは、電気的に接続されている。また、第 3 の配線（3 r d L i n e）とトランジスタ 162 のソース電極とは、電気的に接続され、第 4 の配

50

線 (4 t h L i n e) と、トランジスタ 1 6 2 のゲート電極とは、電氣的に接続されている。そして、トランジスタ 1 6 0 のゲート電極と、トランジスタ 1 6 2 のドレイン電極は、容量素子 1 6 4 の電極の一方と電氣的に接続され、第 5 の配線 (5 t h L i n e) と、容量素子 1 6 4 の電極の他方は電氣的に接続されている。

【 0 0 3 6 】

ここで、トランジスタ 1 6 2 (書き込み用トランジスタ) には、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 1 6 2 をオフ状態とすることで、トランジスタ 1 6 0 のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 1 6 4 を有することにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

10

【 0 0 3 7 】

なお、トランジスタ 1 6 0 (読み出し用トランジスタ) については特に限定されない。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。なお、トランジスタ 1 6 0 には p チャネル型トランジスタを用いるものとする。

【 0 0 3 8 】

また、図 1 (B) に示すように、容量素子 1 6 4 を設けない構成とすることも可能である。

【 0 0 3 9 】

20

図 1 (A - 1) に示す半導体装置では、トランジスタ 1 6 0 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【 0 0 4 0 】

はじめに、情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 1 6 2 がオン状態となる電位にして、トランジスタ 1 6 2 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 1 6 0 のゲート電極、および容量素子 1 6 4 に与えられる。すなわち、トランジスタ 1 6 0 のゲート電極には、所定の電荷が与えられる (書き込み) 。ここでは、異なる電位を与える二種類の電荷のいずれか一が与えられるものとする (以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という) 。なお、異なる三つまたはそれ以上の電位を与える電荷をそれぞれ適用して、記憶容量を向上させても良い。その後、第 4 の配線の電位を、トランジスタ 1 6 2 がオフ状態となる電位にして、トランジスタ 1 6 2 をオフ状態とすることにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷が保持される (保持) 。

30

【 0 0 4 1 】

トランジスタ 1 6 2 のオフ電流は極めて小さいから、トランジスタ 1 6 0 のゲート電極の電荷は長時間にわたって保持される。

【 0 0 4 2 】

次に、情報の読み出しについて説明する。第 1 の配線に所定の電位 (定電位) を与えた状態で、第 5 の配線に適切な電位 (読み出し電位) を与えると、トランジスタ 1 6 0 のゲート電極に保持された電荷の量に応じて、第 2 の配線は異なる電位をとる。すなわち、トランジスタ 1 6 0 のコンダクタンスは、トランジスタ 1 6 0 のゲート電極 (ノード F G ともいえる) に保持される電荷によって制御される。

40

【 0 0 4 3 】

一般に、トランジスタ 1 6 0 を p チャネル型とすると、トランジスタ 1 6 0 のゲート電極に Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ 1 6 0 のゲート電極に Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなる。例えば、書き込みにおいて Q_L が与えられた場合には、第 5 の配線の電位が V_0 (V_{th_H} と V_{th_L} の中間の電位) となれば、トランジスタ 1 6 0 は「オン状態」となる。 Q_H が与えられた場合には、第 5 の配線の電位が V_0 となっても、トランジスタ 1 6 0 は「オ

50

フ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。また、メモリセルをアレイ状に配置して用いる場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような高電位を与えればよい。

【0044】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【0045】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0046】

なお、トランジスタ162のドレイン電極（またはソース電極）は、トランジスタ160のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。以下において、トランジスタ162のドレイン電極（またはソース電極）とトランジスタ160のゲート電極が電気的に接続される部位をノードFGと呼ぶ場合がある。トランジスタ162がオフの場合、当該ノードFGは絶縁体中に埋設されたと見ることができ、ノードFGには電荷が保持される。酸化物半導体を用いたトランジスタ162のオフ電流は、シリコン半導体で形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、ノードFGに蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ162により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

【0047】

例えば、トランジスタ162の室温（25℃）でのオフ電流が 10 z A （ 1 z A （zeptoアンペア）は $1 \times 10^{-21}\text{ A}$ ）以下であり、容量素子164の容量値が 10 f F 程度である場合には、少なくとも104秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

【0048】

また、開示する発明に係る半導体装置においては、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

【0049】

図1（A-1）に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図1（A-2）のように考えることが可能である。つまり、図1（A-2）では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されたと考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時の

ゲート絶縁層による抵抗値に相当し、容量値 C_2 はいわゆるゲート容量（ゲート電極と、ソース電極またはドレイン電極との間に形成される容量）値に相当する。

【0050】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値（実効抵抗とも呼ぶ）を R_{OS} とすると、トランジスタ162のゲートリーク電流が十分に小さい条件において、 R_1 および R_2 が、 $R_1 > R_{OS}$ （ R_1 は R_{OS} 以上）、 $R_2 > R_{OS}$ （ R_2 は R_{OS} 以上）を満たす場合には、電荷の保持期間（情報の保持期間ということもできる）は、主としてトランジスタ162のオフ電流によって決定されることになる。

【0051】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流（例えば、ソース電極とゲート電極の間において生じるリーク電流等）が大きいためである。このことから、本実施の形態において開示する半導体装置は、 $R_1 > R_{OS}$ （ R_1 は R_{OS} 以上）、および $R_2 > R_{OS}$ （ R_2 は R_{OS} 以上）の関係を満たすものであることが望ましいといえる。

10

【0052】

一方で、 C_1 と C_2 は、 $C_1 > C_2$ （ C_1 は C_2 以上）の関係を満たすことが望ましい。 C_1 を大きくすることで、第5の配線によってノードFGの電位を制御する際に、第5の配線の電位を効率よくノードFGに与えることができるようになり、第5の配線に与える電位間（例えば、読み出しの電位と、非読み出しの電位）の差を低く抑えることができるためである。

20

【0053】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、 R_1 および R_2 は、トランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御される。 C_1 および C_2 についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0054】

本実施の形態で示す半導体装置においては、ノードFGが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のノードFGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

30

【0055】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0056】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

40

【0057】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対する優位点である。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの最小のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

【0058】

50

さらに、容量素子 164 を構成する絶縁層の比誘電率 r_1 と、トランジスタ 160 を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、容量素子 164 を構成する絶縁層の面積 S_1 と、トランジスタ 160 においてゲート容量を構成する絶縁層の面積 S_2 とが、 $2 \cdot S_2 \leq S_1$ ($2 \cdot S_2$ は S_1 以上)、望ましくは $S_2 \leq S_1$ (S_2 は S_1 以上) を満たしつつ、 $C_1 \leq C_2$ (C_1 は C_2 以上) を実現することが容易である。すなわち、容量素子 164 を構成する絶縁層の面積を小さくしつつ、 $C_1 \leq C_2$ を実現することが容易である。具体的には、例えば、容量素子 164 を構成する絶縁層においては、酸化ハフニウムなどの high-k 材料でなる膜、または酸化ハフニウムなどの high-k 材料でなる膜と酸化物半導体でなる膜との積層構造を採用して r_1 を 10 以上、好ましくは 15 以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 r_2 を 3 以上 4 以下程度とすることができる。

10

【0059】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【0060】

なお、半導体装置の記憶容量を大きくするためには、高集積化以外に、多値化の手法を採用することもできる。例えば、メモリセルの 1 に 3 段階以上の情報を書き込む構成とすることで、2 段階 (1 ビット) の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷 Q_L 、高電位を与える電荷 Q_H に加え、他の電位を与える電荷 Q をトランジスタ 160 のゲート電極に与えることで、多値化を実現することができる。この場合、比較的規模の大きい回路構成 (例えば、 $15F^2$ 以上 $50F^2$ 以下など: F は最小加工寸法) を採用しても十分な記憶容量を確保することができる。

20

【0061】

応用例 1

次に、図 1 に示す回路を応用したより具体的な回路構成および動作について、図 2 乃至図 4 を参照して説明する。なお、以下の説明においては、書き込み用トランジスタ (トランジスタ 162) に n チャネル型トランジスタを用い、読み出し用トランジスタ (トランジスタ 160) に p チャネル型トランジスタを用いる場合を例に説明する。

【0062】

図 2 は、 $(m \times n)$ 個のメモリセル 170 を有する半導体装置の回路図の一例である。図 2 (A) 中のメモリセル 170 の構成は、図 1 (A-1) と同様である。すなわち、図 1 (A-1) における第 2 の配線が図 2 における読み出しビット線 D に相当し、図 1 (A-1) における第 3 の配線が図 2 における書き込みビット線 OSS に相当し、図 1 (A-1) における第 4 の配線が図 2 における書き込みワード線 OSG に相当し、図 1 (A-1) における第 5 の配線が図 2 における書き込み及び読み出しワード線 C に相当する (図 2 (B) 参照)。ただし、図 2 (A) では、図 1 (A-1) における第 1 の配線であるソース線 SL は省略している。

30

【0063】

図 2 (A) に示す半導体装置は、 m 本 (m は 2 以上の整数) の書き込みワード線 OSG と、 m 本の書き込み及び読み出しワード線 C と、 n 本 (n は 2 以上の整数) の書き込みビット線 OSS と、 n 本の読み出しビット線 D と、メモリセル 170 が縦 m 個 (行) \times 横 n 個 (列) のマトリクス状に配置されたメモリセルアレイと、昇圧回路 180 と、 n 本の書き込みビット線 OSS 及び n 本の読み出しビット線 D に接続する第 1 の駆動回路 190 と、 m 本の書き込みワード線 OSG および m 本の書き込み及び読み出しワード線 C に接続する第 2 の駆動回路 192 と、を有する。

40

【0064】

その他、第 1 の駆動回路 190 には、データ入力端子 DIN 、データ出力端子 DOU T、アドレス選択信号端子 $A1$ 等が接続されている。データ入力端子 DIN は、メモリセル 170 の列方向に書き込むデータが入力される端子であり、データ出力端子 DOU T は、メ

50

メモリセルの列方向に書き込まれたデータを出力する端子である。データ入力端子D I N及びデータ出力端子D O U Tは、第1の駆動回路190の回路構成によってそれぞれ複数本有する場合がある。なお、データ入力端子D I N及びデータ出力端子D O U Tを共通とすることも可能である。また、アドレス選択信号端子A 1は、メモリセルの列方向のアドレスを選択する信号が入力される端子である。アドレス選択信号端子A 1は、メモリセルの列数や、第1の駆動回路190の回路構成によって複数本有する場合がある。

【0065】

また、第2の駆動回路192には、アドレス選択信号端子A 2が接続されている。アドレス選択信号端子A 2は、メモリセルの行方向のアドレスを選択する信号が入力される端子である。アドレス選択信号端子A 2は、メモリセルの行数や、第2の駆動回路192の回路構成によって複数本有する場合がある。

10

【0066】

図2(A)に示す半導体装置は、ライトイネーブル信号入力端子W Eから入力されるライトイネーブル信号と、リードイネーブル信号入力端子R Eから入力されるリードイネーブル信号と、によって書き込みまたは読み出しの動作を判別し、判別した動作によって、書き込みワード線O S G、書き込み及び読み出しワード線C、書き込みビット線O S S、または読み出しビット線Dに出力する信号を制御する。例えば、ライトイネーブル信号入力端子W EにH i g h電位が入力されると、書き込み動作を選択し、リードイネーブル信号入力端子R EにH i g h電位が入力されると、読み出し動作を選択する。なお、選択される動作と電位の関係はこれに限られるものではない。

20

【0067】

昇圧回路180は、配線V H Lによって第2の駆動回路192と接続され、昇圧回路入力端子U Cから入力される一定電位(例えば、電源電位V D D)を昇圧して、第2の駆動回路192に該一定電位よりも高い電位(V H)を出力する。メモリセル170のノードF Gに書き込む電位を、書き込みトランジスタのしきい値(V t h__O S)分降下させないようにするためには、書き込みワード線O S Gの電位を、書き込みビット線O S Sの電位+V t h__O Sよりも高くする必要がある。したがって、例えば、ノードF Gに電源電位V D Dを書き込む場合には、V HをV D D+V t h__O S以上とする。ただし、ノードF Gに書き込まれる電位がV t h__O S分降下しても問題がない場合には、昇圧回路180を設けなくとも良い。なお、本明細書において、トランジスタのしきい値とは、トランジスタがオン状態からオフ状態となるゲート電極とソース電極(またはドレイン電極)との電位差をいう。

30

【0068】

図2に示す半導体装置において、データの書き込み、保持、および読み出しは、基本的に図1の場合と同様である。図3に、図2に係る半導体装置の書き込み及び読み出し動作に係るタイミングチャートの例を示す。タイミングチャート中のW E、O S G等の名称は、タイミングチャートに示す電位が与えられる配線または端子を示しており、同様の機能を有する配線が複数ある場合には、配線の名称の末尾に__1、__2等を付すことで区別している。なお、ここでは説明を簡単にするため、メモリセル170が2(行)×2(列)に配列された半導体装置を例に説明するが、開示する発明はこれに限られない。

40

【0069】

図3に示されるタイミングチャートは、書き込み期間において、1行1列目にデータ"1"、1行2列目にデータ"0"、2行1列目にデータ"0"、2行2列目にデータ"1"を書き込み、その後、読み出し期間において、書き込んだデータを読み出す場合の、各配線の電位の関係を示すものである。

【0070】

なお、ここでは一例として、ノードF Gに電位V D Dまたは接地電位G N Dのいずれかを与える場合について説明するが、ノードF Gに与える電位の関係はこれに限られない。また、ノードF Gに電位V D Dを与えた場合に保持されるデータをデータ"1"、ノードF Gに接地電位G N Dを与えた場合に保持されるデータをデータ"0"とする。また、図3

50

には図示しないが、ソース線 S_L の電位は V_{DD} または V_{DD} より幾らか低い電位 (V_{DDL}) とする。ただし、動作に問題がなければ、ソース線 S_L の電位を一時的に変化させても良い。

【0071】

書き込み期間において、 WE を高電位とし、 RE を低電位として、メモリセルへの書き込みが行える状態にする。なお、図3において、 REB は、 RE から入力される信号を反転させた信号である。

【0072】

1行目1列目にデータ"1"、1行目2列目にデータ"0"を書き込むため、1行目選択のタイミングに合わせて、すなわち、 OSG_1 が高電位となり、 C_1 が低電位となるタイミングに合わせて、 OSS_1 を V_{DD} とし、 OSS_2 を GND とする。また、2行目1列目にデータ"0"、2行目2列目にデータ"1"を書き込むため、2行目選択のタイミングに合わせて(すなわち、 OSG_2 が高電位となり、 C_2 が低電位となるタイミングに合わせて)、 OSS_1 を GND とし、 OSS_2 を V_{DD} とする。なお、昇圧回路180を用いる場合には、 OSG_1 及び OSG_2 の高電位は、 $V_{DD} + V_{th_OS}$ 以上の昇圧回路出力電位 V_H となる。

【0073】

なお、 OSS (OSS_1 及び OSS_2) の信号入力期間は、 OSG (OSG_1 及び OSG_2) の信号入力期間と同期間以上とするのが好ましい。 OSS の立ち下がり方が OSG より早いと、メモリセル170への書き込みが不十分となる可能性があるためである。または、例えば、 OSS に遅延回路を接続するなどして、 OSS の信号入力を OSG の信号入力より遅らせてもよい。なお、 D_1 および D_2 の電位は、書き込み期間には問題とならない(高電位であっても良いし低電位であっても良い)。

【0074】

読み出し期間においては、 WE を低電位とし、 RE を高電位としてメモリセルからの読み出しが行える状態にする。第2の駆動回路192は、アドレス入力信号に応じた行選択信号を OSG (OSG_1 及び OSG_2) と、 C (C_1 及び C_2) とに出力する。 C_1 及び C_2 は、メモリセル行を選択時に低電位、非選択時に高電位となり、 OSG_1 及び OSG_2 は、選択、非選択に関わらず低電位となる。なお、 OSS_1 および OSS_2 の電位は、読み出し時には問題とならない。

【0075】

上述の動作により、 D_1 および D_2 には、選択された行のメモリセルに保持されているデータに応じた電位が与えられる。選択されたメモリセルにデータ"1"が書き込まれている場合は、トランジスタ160がオフ状態となるため、 D_1 または D_2 には GND が与えられる。選択されたメモリセルにデータ"0"が書き込まれている場合は、トランジスタ160がオン状態となるため、 D_1 または D_2 には V_{DD} が与えられる。なお、書き込み時において、 D_1 および D_2 は V_{DD} となるが、または、 V_{DD} 及び GND のどちらとも接続されていないハイインピーダンスとなる。

【0076】

次に、読み出し回路の例として、図4に示す回路を用いる場合の出力電位について説明する。読み出し期間においては、 RE が高電位となり、クロックインバータが動作状態となるため、 D_1 または D_2 には V_{DD} が与えられた場合、クロックインバータには高電位が入力され、出力 $DOUT$ は低電位となる。 D_1 または D_2 には GND が与えられた場合、クロックインバータには低電位が入力され、出力 $DOUT$ は高電位となる。

【0077】

図2に示した半導体装置では、読み出しを行う場合に非選択行のメモリセルをオフ状態とする必要がある。ここで、読み出しトランジスタに n チャネル型トランジスタを用いると、読み出しトランジスタのゲート電極の電位が読み出しトランジスタのしきい値より高くなってしまった場合に、書き込み及び読み出しワード線 C を $0V$ としても全てのメモリセ

10

20

30

40

50

ルをオフ状態にできるとは限らないため、非選択行の書き込み及び読み出しワード線Cに負電位を供給する必要がある。

【0078】

しかしながら、図2に示す半導体装置では、読み出しトランジスタにpチャネル型トランジスタを用いているため、非選択行の書き込み及び読み出しワード線Cを高電位とすることでメモリセルをオフ状態とすることが可能である。したがって、メモリセルにおいて負電位を生成する電源を設ける必要がなくなるため、消費電力を削減し、且つ半導体装置を小型化することができる。

【0079】

なお、開示する発明の半導体装置に関する動作方法、動作電圧などについては、上述の構成に限定されず、半導体装置の動作が実現される態様において適宜変更することが可能である。

【0080】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0081】

(実施の形態2)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図5乃至図9を参照して説明する。

【0082】

半導体装置の断面構成および平面構成

図5は、半導体装置の構成の一例である。図5(A)には、半導体装置の断面を、図5(B)には、半導体装置の平面を、それぞれ示す。ここで、図5(A)は、図5(B)のA1-A2およびB1-B2における断面に相当する。図5(A)および図5(B)に示される半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。ここで、トランジスタ160にはpチャネル型トランジスタを用いるものとする。また、第1の半導体材料と第2の半導体材料とは異なる材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能のため、記憶した情報の読み出しなどを高速に行うことが可能である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0083】

なお、開示する発明の技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0084】

図5におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれる。

【0085】

また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように絶縁層128および絶縁層130が設けられている。なお、高集積化を実現するためには、図5に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域120を設けても良い。

【0086】

図5におけるトランジスタ162は、絶縁層130上に設けられたソース電極142a及びドレイン電極142bと、ソース電極142a及びドレイン電極142bと電氣的に接続されている酸化物半導体層144と、ソース電極142a、ドレイン電極142b、酸化物半導体層144を覆うゲート絶縁層146と、ゲート絶縁層146上に酸化物半導体層144と重畳するように設けられたゲート電極148aと、ソース電極142aと酸化物半導体層144との間の、ゲート電極148aと重畳する領域の絶縁層143aと、ドレイン電極142bと酸化物半導体層144との間の、ゲート電極148aと重畳する領域の絶縁層143bと、を有する。なお、ソース電極またはドレイン電極と、ゲート電極との間の容量を低減するためには、絶縁層143aおよび絶縁層143bを設けることが望ましいが、絶縁層143aおよび絶縁層143bを設けない構成とすることも可能である。

【0087】

ここで、酸化物半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、水素等のドナーに起因するキャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温(25℃)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は 100 zA (1zA(zeptoアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは 10 zA 以下となる。このように、i型化(真性化)または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

【0088】

なお、図5のトランジスタ162では、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体層144を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層144の汚染を防止できる。

【0089】

図5における容量素子164は、ソース電極142a、酸化物半導体層144、ゲート絶縁層146、および電極148b、で構成される。すなわち、ソース電極142aは、容量素子164の一方の電極として機能し、電極148bは、容量素子164の他方の電極として機能することになる。

【0090】

なお、図5の容量素子164では、酸化物半導体層144とゲート絶縁層146を積層させることにより、ソース電極142aと、電極148bとの間の絶縁性を十分に確保することができる。もちろん、十分な容量を確保するために、酸化物半導体層144を有しない構成の容量素子164を採用しても良い。また、絶縁層143aと同様に形成される絶

10

20

30

40

50

縁層を有する構成の容量素子 164 を採用しても良い。さらに、容量が不要の場合は、容量素子 164 を設けない構成とすることも可能である。

【0091】

なお、トランジスタ 162 および容量素子 164 において、ソース電極 142a、およびドレイン電極 142b の端部は、テーパ形状であることが好ましい。ソース電極 142a、ドレイン電極 142b の端部をテーパ形状とすることにより、酸化物半導体層 144 の被覆性を向上し、段切れを防止することができるためである。ここで、テーパ角は、例えば、30°以上60°以下とする。なお、テーパ角とは、テーパ形状を有する層（例えば、ソース電極 142a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

10

【0092】

本実施の形態では、トランジスタ 162 および容量素子 164 が、トランジスタ 160 と重畳するように設けられている。このような、平面レイアウトを採用することにより、高集積化が可能である。例えば、最小加工寸法を F として、メモリセルの占める面積を $15F^2$ 以上 $25F^2$ 以下程度とすることが可能である。

【0093】

トランジスタ 162 および容量素子 164 の上には、絶縁層 150 が設けられており、絶縁層 150 上には絶縁層 152 が設けられている。そして、ゲート絶縁層 146、絶縁層 150、絶縁層 152 などに形成された開口には、電極 154 が設けられ、絶縁層 152 上には電極 154 と接続する配線 156 が形成される。なお、図 5 では電極 154 を用いて、ドレイン電極 142b と、配線 156 とを接続しているが、開示する発明はこれに限定されない。例えば、配線 156 を直接、ドレイン電極 142b に接触させても良い。

20

【0094】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ 160 の作製方法について図 6 および図 7 を参照して説明し、その後、上部のトランジスタ 162 および容量素子 164 の作製方法について図 8 および図 9 を参照して説明する。

【0095】

下部のトランジスタの作製方法

まず、半導体材料を含む基板 100 を用意する（図 6（A）参照）。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI 基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

30

40

【0096】

半導体材料を含む基板 100 として、特に、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

【0097】

はじめに、基板 100 上に、素子分離絶縁層を形成するためのマスクとなる保護層 102 を形成する（図 6（A）参照）。保護層 102 としては、例えば、酸化シリコンや窒化シリコン、酸化窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物元素や p 型の導電性を付与する不純物元素を基板 100 に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素な

50

どを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0098】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域（露出している領域）の、基板100の一部を除去する。これにより他の半導体領域と分離された半導体領域104が形成される（図6（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0099】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する（図6（C）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP（化学的機械的研磨）などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

【0100】

次に、半導体領域104の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0101】

絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域104表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタ法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、窒素が添加されたハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

【0102】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタ法、スピンコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【0103】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108、ゲート電極110を形成する（図6（C）参照）。

【0104】

次に、半導体領域104に硼素（B）やアルミニウム（Al）などの不純物元素を添加して、チャネル形成領域116および不純物領域120を形成する（図6（D）参照）。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

【0105】

なお、ゲート電極110の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

10

20

30

40

50

【0106】

次に、ゲート電極110、不純物領域120等を覆うように金属層122を形成する（図7（A）参照）。当該金属層122は、真空蒸着法やスパッタ法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【0107】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、不純物領域120に接する金属化合物領域124が形成される（図7（A）参照）。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

10

【0108】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域124を形成した後は、金属層122は除去する。

20

【0109】

次に、上述の工程により形成された各構成を覆うように、絶縁層128、絶縁層130を形成する（図7（B）参照）。絶縁層128や絶縁層130は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層128や絶縁層130に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層128や絶縁層130には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層128や絶縁層130は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁層128と絶縁層130の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。

30

【0110】

以上により、半導体材料を含む基板100を用いたトランジスタ160が形成される（図7（B）参照）。このようなトランジスタ160は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0111】

さらに、トランジスタ160は、pチャネル型トランジスタであるため、読み出し用トランジスタとして用いることで、メモリセルにおいて読み出し動作に負電位を生成する電源を設ける必要がなくなる。したがって、消費電力を削減し、且つ半導体装置を小型化することができる。また、読み出しに負電位を用いる場合と比較して高速に動作させることが可能となる。

40

【0112】

その後、トランジスタ162および容量素子164の形成前の処理として、絶縁層128や絶縁層130にCMP処理を施して、ゲート電極110の上面を露出させる（図7（C）参照）。ゲート電極110の上面を露出させる処理としては、CMP処理の他にエッチング処理などを適用することも可能であるが、トランジスタ162の特性を向上させるために、絶縁層128や絶縁層130の表面は可能な限り平坦にしておくことが望ましい。

50

【0113】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層および導電層の積層構造である多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0114】

上部のトランジスタの作製方法

次に、ゲート電極110、絶縁層128、絶縁層130などの上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極142a、ドレイン電極142bを形成する(図8(A)参照)。

【0115】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0116】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極142a、およびドレイン電極142bへの加工が容易であるというメリットがある。

【0117】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3 - \text{ZnO}$)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0118】

導電層のエッチングは、形成されるソース電極142a、およびドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下であることが好ましい。ソース電極142a、ドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。

【0119】

上部のトランジスタのチャネル長(L)は、ソース電極142a、およびドレイン電極142bの下端部の間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm以上数10nm以下と波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、10nm以上1000nm(1 μm)以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

【0120】

なお、絶縁層128や絶縁層130の上には、下地として機能する絶縁層を設けても良い。当該絶縁層は、PVD法やCVD法などを用いて形成することができる。

【0121】

次に、ソース電極142aの上に絶縁層143aを、ドレイン電極142bの上に絶縁層

10

20

30

40

50

143bを、それぞれ形成する(図8(B)参照)。絶縁層143aおよび絶縁層143bは、ソース電極142aや、ドレイン電極142bを覆う絶縁層を形成した後、当該絶縁層を選択的にエッチングすることにより形成できる。また、絶縁層143aおよび絶縁層143bは、後に形成されるゲート電極の一部と重畳するように形成する。このような絶縁層を設けることにより、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減することが可能である。

【0122】

絶縁層143aや絶縁層143bは、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層143aや絶縁層143bに誘電率の低い(low-k)材料を用いることで、ゲート電極と、ソース電極またはドレイン電極との間の容量を十分に低減することが可能になるため好ましい。なお、絶縁層143aや絶縁層143bには、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、ゲート電極と、ソース電極またはドレイン電極との間の容量をさらに低減することが可能である。

【0123】

なお、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減させるという点では、絶縁層143aおよび絶縁層143bを形成するのが好適であるが、当該絶縁層を設けない構成とすることも可能である。

【0124】

次に、ソース電極142a、およびドレイン電極142bを覆うように酸化物半導体層を形成した後、当該酸化物半導体層を選択的にエッチングして酸化物半導体層144を形成する(図8(C)参照)。

【0125】

酸化物半導体層は、少なくともIn、Ga、Sn及びZnから選ばれた一種以上の元素を含有する。例えば、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、In-Ga-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などを用いて形成することができる。また、上記酸化物半導体にInとGaとSnとZn以外の元素、例えばSiO₂を含ませてもよい。

【0126】

例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物半導体、という意味であり、その組成比は問わない。

【0127】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0128】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、InGaO₃(ZnO)_m(m>0)で表記されるものがある。また、Gaに代えてMを用い、InMO₃(ZnO)_m(m>0)のように表記される酸化物半導体材料がある。ここで、Mは、亜鉛(Zn)、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

【0129】

酸化物半導体層をスパッタ法で作製するためのターゲットとしては、In:Ga:Zn=

10

20

30

40

50

1 : x : y (x は 0 以上、 y は 0 . 5 以上 5 以下) の組成比を有するものを用いるのが好適である。例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol 数比] の組成比を有するターゲットなどを用いることができる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol 数比] の組成比を有するターゲットや、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [mol 数比] の組成比を有するターゲットを用いることもできる。

【 0 1 3 0 】

また、酸化物半導体として In - Zn - O 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$)、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$)、さらに好ましくは $\text{In} : \text{Zn} = 15 : 1 \sim 1 . 5 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$) とする。例えば、In - Zn - O 系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1 . 5 X + Y$ とする。

【 0 1 3 1 】

本実施の形態では、非晶質構造の酸化物半導体層を、In - Ga - Zn - O 系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。

【 0 1 3 2 】

金属酸化物ターゲット中の金属酸化物の相対密度は 80 % 以上、好ましくは 95 % 以上、さらに好ましくは 99 . 9 % 以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

【 0 1 3 3 】

酸化物半導体層の形成雰囲気は、希ガス (代表的にはアルゴン) 雰囲気、酸素雰囲気、または、希ガス (代表的にはアルゴン) と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度 1 ppm 以下 (望ましくは濃度 10 ppb 以下) にまで除去された高純度ガス雰囲気を用いるのが好適である。

【 0 1 3 4 】

酸化物半導体層の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が 100 以上 550 未満、好ましくは 200 以上 400 以下となるように被処理物を熱する。または、酸化物半導体層の形成の際の被処理物の温度は、室温 (25 ± 10) としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層を形成する。被処理物を熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプなどを用いることができる。また、ターボ分子ポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。

【 0 1 3 5 】

酸化物半導体層の形成条件としては、例えば、被処理物とターゲットの間との距離が 170 mm、圧力が 0 . 4 Pa、直流 (DC) 電力が 0 . 5 kW、雰囲気が酸素 (酸素 100 %) 雰囲気、またはアルゴン (アルゴン 100 %) 雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流 (DC) 電源を用いると、形成時に発生する粉状物質 (パーティクル、ゴミともいう) を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層の厚さは、1 nm 以上 50 nm 以下、好ましくは 1 nm 以上 30 nm 以下、より好ましくは 1 nm 以上 10 nm 以下とする。このような厚さの酸化物半導体層を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚

10

20

30

40

50

さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

【0136】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば絶縁層130の表面）の付着物を除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

10

【0137】

その後、酸化物半導体層に対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300 以上550 未満、または400 以上500 以下とする。

【0138】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450 、1時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

20

【0139】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

30

【0140】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

【0141】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは7N (99.99999%) 以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

40

【0142】

いずれにしても、第1の熱処理によって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0143】

50

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

【0144】

酸化物半導体層のエッチングは、上記熱処理の前、または上記熱処理の後のいずれにおいて行っても良い。また、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。なお、素子におけるリークなどが問題とならない場合には、酸化物半導体層を島状に加工しないで用いても良い。

10

【0145】

次に、酸化物半導体層144に接するゲート絶縁層146を形成し、その後、ゲート絶縁層146上において酸化物半導体層144と重畳する領域にゲート電極148aを形成し、ソース電極142aと重畳する領域に電極148bを形成する（図8（D）参照）。

【0146】

ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、窒素が添加されたハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

20

【0147】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、窒素が添加されたハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、などの高誘電率（high-k）材料を用いると良い。high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

30

【0148】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、好ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を形成することもできる。

40

【0149】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさ

50

せても良い。

【0150】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層144を、その主成分以外の不純物が極力含まれないように高純度化することができる。

【0151】

ゲート電極148aおよび電極148bは、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極148aおよび電極148bとなる導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、ソース電極142aなどの場合と同様であり、これらの記載を参酌できる。

10

【0152】

次に、ゲート絶縁層146、ゲート電極148a、および電極148b上に、絶縁層150および絶縁層152を形成する(図9(A)参照)。絶縁層150および絶縁層152は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。

【0153】

なお、絶縁層150や絶縁層152には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁層150や絶縁層152の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。

20

【0154】

なお、本実施の形態では、絶縁層150と絶縁層152の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。また、絶縁層を設けない構成とすることも可能である。

【0155】

なお、上記絶縁層152は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように絶縁層152を形成することで、半導体装置を微細化した場合などにおいても、絶縁層152上に、電極や配線などを好適に形成することができるためである。なお、絶縁層152の平坦化は、CMP(化学的機械的研磨)などの方法を用いて行うことができる。

30

【0156】

次に、ゲート絶縁層146、絶縁層150、絶縁層152に、ドレイン電極142bにまで達する開口を形成する(図9(B)参照)。当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

【0157】

その後、上記開口に電極154を形成し、絶縁層152上に電極154に接する配線156を形成する(図9(C)参照)。

【0158】

電極154は、例えば、開口を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMPといった方法を用いて、上記導電層の一部を除去することにより形成することができる。

40

【0159】

より具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここではドレイン電極142b)との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどに

50

よるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0160】

なお、上記導電層の一部を除去して電極154を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後のCMP処理によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、電極154を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0161】

配線156は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。詳細は、ソース電極142aなどと同様である。

【0162】

以上により、高純度化された酸化物半導体層144を用いたトランジスタ162、および容量素子164が完成する(図9(C)参照)。

【0163】

本実施の形態において示すトランジスタ162では、酸化物半導体層144が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層144のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度($1 \times 10^{14} / \text{cm}^3$ 程度)と比較して、十分に小さい値(例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満)をとる。そして、トランジスタ162のオフ電流も十分に小さくなる。例えば、トランジスタ162の室温(25℃)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は 100 zA (1 zA (ゼプトアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは 10 zA 以下となる。

【0164】

このように高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0165】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0166】

(実施の形態3)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図10を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0167】

図10(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702

10

20

30

40

50

の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0168】

図10(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

10

【0169】

図10(C)は、電子ペーパーを実装した電子書籍であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0170】

図10(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図10(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

20

30

【0171】

図10(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【0172】

図10(F)は、テレビジョン装置であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

40

【0173】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【実施例1】

【0174】

本実施例では、高純度化された酸化物半導体を用いたトランジスタのオフ電流を求めた結果について説明する。

50

【 0 1 7 5 】

まず、高純度化された酸化物半導体を用いたトランジスタのオフ電流が十分に小さいことを考慮して、チャネル幅 W が $1\ \mu\text{m}$ と十分に大きいトランジスタを用意してオフ電流の測定を行った。チャネル幅 W が $1\ \mu\text{m}$ のトランジスタのオフ電流を測定した結果を図 11 に示す。図 11 において、横軸はゲート電圧 V_G 、縦軸はドレイン電流 I_D である。ドレイン電圧 V_D が $+1\ \text{V}$ または $+10\ \text{V}$ の場合、ゲート電圧 V_G が $-5\ \text{V}$ から $-20\ \text{V}$ の範囲では、トランジスタのオフ電流は、検出限界である $1 \times 10^{-12}\ \text{A}$ 以下であることがわかった。また、トランジスタのオフ電流（ここでは、単位チャネル幅（ $1\ \mu\text{m}$ ）あたりの値）は $1\ \text{aA}/\mu\text{m}$ （ $1 \times 10^{-18}\ \text{A}/\mu\text{m}$ ）以下となることがわかった。

【 0 1 7 6 】

10

次に、高純度化された酸化物半導体を用いたトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体を用いたトランジスタのオフ電流は、測定器の検出限界である $1 \times 10^{-12}\ \text{A}$ 以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値（上記測定における測定器の検出限界以下の値）を求めた結果について説明する。

【 0 1 7 7 】

はじめに、電流測定方法に用いた特性評価用素子について、図 12 を参照して説明する。

【 0 1 7 8 】

図 12 に示す特性評価用素子は、測定系 800 が 3 つ並列に接続されている。測定系 800 は、容量素子 802、トランジスタ 804、トランジスタ 805、トランジスタ 806、トランジスタ 808 を有する。トランジスタ 804、トランジスタ 805、トランジスタ 806、トランジスタ 808 には、高純度化された酸化物半導体を用いたトランジスタを適用した。

20

【 0 1 7 9 】

測定系 800 において、トランジスタ 804 のソース端子およびドレイン端子の一方と、容量素子 802 の端子の一方と、トランジスタ 805 のソース端子およびドレイン端子の一方は、電源（ V_2 を与える電源）に接続されている。また、トランジスタ 804 のソース端子およびドレイン端子の他方と、トランジスタ 808 のソース端子およびドレイン端子の一方と、容量素子 802 の端子の他方と、トランジスタ 805 のゲート端子とは、接続されている。また、トランジスタ 808 のソース端子およびドレイン端子の他方と、トランジスタ 806 のソース端子およびドレイン端子の一方と、トランジスタ 806 のゲート端子は、電源（ V_1 を与える電源）に接続されている。また、トランジスタ 805 のソース端子およびドレイン端子の他方と、トランジスタ 806 のソース端子およびドレイン端子の他方とは、接続され、出力端子となっている。

30

【 0 1 8 0 】

なお、トランジスタ 804 のゲート端子には、トランジスタ 804 のオン状態と、オフ状態を制御する電位 V_{ext_b2} が供給され、トランジスタ 808 のゲート端子には、トランジスタ 808 のオン状態と、オフ状態を制御する電位 V_{ext_b1} が供給される。また、出力端子からは電位 V_{out} が出力される。

【 0 1 8 1 】

40

次に、上記の特性評価用素子を用いた電流測定方法について説明する。

【 0 1 8 2 】

まず、オフ電流を測定するために電位差を付与する初期期間の概略について説明する。初期期間においては、トランジスタ 808 のゲート端子に、トランジスタ 808 をオン状態とする電位 V_{ext_b1} を入力して、トランジスタ 804 のソース端子またはドレイン端子の他方と接続されるノード（つまり、トランジスタ 808 のソース端子およびドレイン端子の一方、容量素子 802 の端子の他方、およびトランジスタ 805 のゲート端子に接続されるノード）であるノード A に電位 V_1 を与える。ここで、電位 V_1 は、例えば高電位とする。また、トランジスタ 804 はオフ状態としておく。

【 0 1 8 3 】

50

その後、トランジスタ 808 のゲート端子に、トランジスタ 808 をオフ状態とする電位 V_{ext_b1} を入力して、トランジスタ 808 をオフ状態とする。トランジスタ 808 をオフ状態とした後に、電位 V_1 を低電位とする。ここでも、トランジスタ 804 はオフ状態としておく。また、電位 V_2 は電位 V_1 と同じ電位とする。以上により、初期期間が終了する。初期期間が終了した状態では、ノード A とトランジスタ 804 のソース電極及びドレイン電極の一方との間に電位差が生じ、また、ノード A とトランジスタ 808 のソース電極及びドレイン電極の他方との間に電位差が生じることになるため、トランジスタ 804 およびトランジスタ 808 には僅かに電荷が流れる。つまり、オフ電流が発生する。

【0184】

10

次に、オフ電流の測定期間の概略について説明する。測定期間においては、トランジスタ 804 のソース端子またはドレイン端子の一方の端子の電位（つまり V_2 ）、および、トランジスタ 808 のソース端子またはドレイン端子の他方の端子の電位（つまり V_1 ）は低電位に固定しておく。一方で、測定期間中は、上記ノード A の電位は固定しない（フローティング状態とする）。これにより、トランジスタ 804 に電荷が流れ、時間の経過と共にノード A に保持される電荷量の変動する。そして、ノード A に保持される電荷量の変動に伴って、ノード A の電位が変動する。つまり、出力端子の出力電位 V_{out} も変動する。

【0185】

上記電位差を付与する初期期間、および、その後の測定期間における各電位の関係の詳細（タイミングチャート）を図 13 に示す。

20

【0186】

初期期間において、まず、電位 V_{ext_b2} を、トランジスタ 804 がオン状態となるような電位（高電位）とする。これによって、ノード A の電位は V_2 すなわち低電位（ V_{SS} ）となる。なお、ノード A に低電位（ V_{SS} ）を与えるのは必須ではない。その後、電位 V_{ext_b2} を、トランジスタ 804 がオフ状態となるような電位（低電位）として、トランジスタ 804 をオフ状態とする。そして、次に、電位 V_{ext_b1} を、トランジスタ 808 がオン状態となるような電位（高電位）とする。これによって、ノード A の電位は V_1 、すなわち高電位（ V_{DD} ）となる。その後、電位 V_{ext_b1} を、トランジスタ 808 がオフ状態となるような電位とする。これによって、ノード A がフローティング状態となり、初期期間が終了する。

30

【0187】

その後の測定期間においては、電位 V_1 および電位 V_2 を、ノード A に電荷が流れ込み、またはノード A から電荷が流れ出すような電位とする。ここでは、電位 V_1 および電位 V_2 を低電位（ V_{SS} ）とする。ただし、出力電位 V_{out} を測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的に V_1 を高電位（ V_{DD} ）とすることがある。なお、 V_1 を高電位（ V_{DD} ）とする期間は、測定に影響を与えない程度の短期間とする。

【0188】

上述のようにして電位差を与え、測定期間が開始されると、時間の経過と共にノード A に保持される電荷量の変動し、これに従ってノード A の電位が変動する。これは、トランジスタ 805 のゲート端子の電位が変動することを意味するから、時間の経過と共に、出力端子の出力電位 V_{out} の電位も変化することとなる。

40

【0189】

得られた出力電位 V_{out} から、オフ電流を算出する方法について、以下に説明する。

【0190】

オフ電流の算出に先だって、ノード A の電位 V_A と、出力電位 V_{out} との関係を求めておく。これにより、出力電位 V_{out} からノード A の電位 V_A を求めることができる。上述の関係から、ノード A の電位 V_A は、出力電位 V_{out} の関数として次式のように表すことができる。

50

【 0 1 9 1 】

【 数 1 】

$$V_A = F(V_{out})$$

【 0 1 9 2 】

また、ノード A の電荷 Q_A は、ノード A の電位 V_A 、ノード A に接続される容量 C_A 、定数 (const) を用いて、次式のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 802 の容量と他の容量の和である。

【 0 1 9 3 】

【 数 2 】

$$Q_A = C_A V_A + const$$

10

【 0 1 9 4 】

ノード A の電流 I_A は、ノード A に流れ込む電荷 (またはノード A から流れ出る電荷) の時間微分であるから、ノード A の電流 I_A は次式のように表される。

【 0 1 9 5 】

【 数 3 】

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

【 0 1 9 6 】

20

このように、ノード A に接続される容量 C_A と、出力端子の出力電位 V_{out} から、ノード A の電流 I_A を求めることができる。

【 0 1 9 7 】

以上に示す方法により、オフ状態においてトランジスタのソースとドレイン間を流れるリーク電流 (オフ電流) を測定することができる。

【 0 1 9 8 】

本実施例では、チャネル長 $L = 10 \mu m$ 、チャネル幅 $W = 50 \mu m$ の、高純度化した酸化物半導体を用いてトランジスタ 804、トランジスタ 805、トランジスタ 806、トランジスタ 808 を作製した。また、並列された各測定系 800 において、容量素子 802 の各容量値を、 $100 fF$ 、 $1 pF$ 、 $3 pF$ とした。

30

【 0 1 9 9 】

なお、本実施例に係る測定では、 $V_{DD} = 5 V$ 、 $V_{SS} = 0 V$ とした。また、測定期間においては、電位 V_1 を原則として V_{SS} とし、 $10 sec$ から $300 sec$ の範囲ごとに、 $100 msec$ の期間だけ V_{DD} として V_{out} を測定した。また、素子に流れる電流 I の算出に用いられる t は、約 $30000 sec$ とした。

【 0 2 0 0 】

図 14 に、上記電流測定に係る経過時間 $Time$ と、出力電位 V_{out} との関係を示す。図 14 より、時間の経過にしたがって、電位が変化している様子が確認できる。

【 0 2 0 1 】

図 15 には、上記電流測定によって算出された室温 ($25^\circ C$) におけるオフ電流を示す。なお、図 15 は、ソース - ドレイン電圧 V と、オフ電流 I との関係を表すものである。図 15 から、ソース - ドレイン電圧が $4 V$ の条件において、オフ電流は約 $40 z A / \mu m$ であることが分かった。また、ソース - ドレイン電圧が $3.1 V$ の条件において、オフ電流は $10 z A / \mu m$ 以下であることが分かった。なお、 $1 z A$ は $10^{-21} A$ を表す。

40

【 0 2 0 2 】

さらに、上記電流測定によって算出された $85^\circ C$ の温度環境下におけるオフ電流について図 16 に示す。図 16 は、 $85^\circ C$ の温度環境下におけるソース - ドレイン電圧 V と、オフ電流 I との関係を表すものである。図 16 から、ソース - ドレイン電圧が $3.1 V$ の条件において、オフ電流は $100 z A / \mu m$ 以下であることが分かった。

【 0 2 0 3 】

50

以上、本実施例により、高純度化された酸化物半導体を用いたトランジスタでは、オフ電流が十分に小さくなることが確認された。

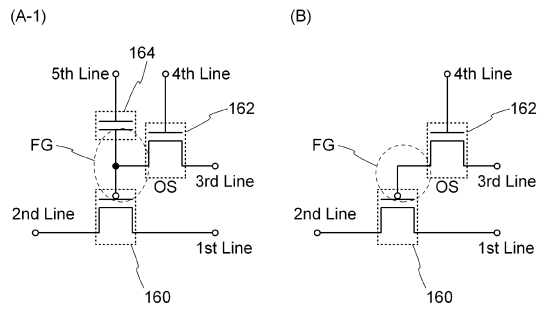
【符号の説明】

【 0 2 0 4 】

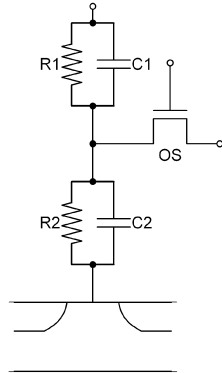
1 0 0	基板	
1 0 2	保護層	
1 0 4	半導体領域	
1 0 6	素子分離絶縁層	
1 0 8	ゲート絶縁層	
1 1 0	ゲート電極	10
1 1 6	チャネル形成領域	
1 2 0	不純物領域	
1 2 2	金属層	
1 2 4	金属化合物領域	
1 2 8	絶縁層	
1 3 0	絶縁層	
1 4 2 a	ソース電極	
1 4 2 b	ドレイン電極	
1 4 3 a	絶縁層	
1 4 3 b	絶縁層	20
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8 a	ゲート電極	
1 4 8 b	電極	
1 5 0	絶縁層	
1 5 2	絶縁層	
1 5 4	電極	
1 5 6	配線	
1 6 0	トランジスタ	
1 6 2	トランジスタ	30
1 6 4	容量素子	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	40
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	50

7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	10
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	20
7 8 0	リモコン操作機	
8 0 0	測定系	
8 0 2	容量素子	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 8	トランジスタ	

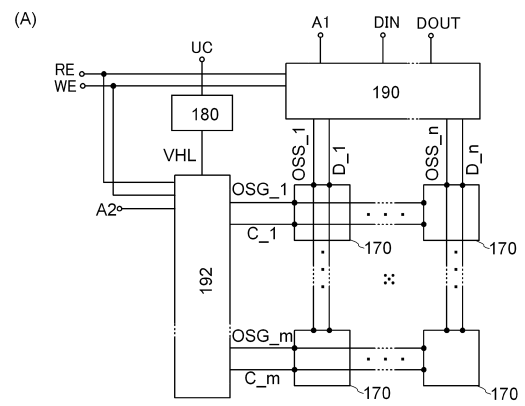
【図 1】



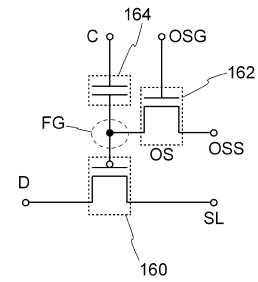
(A-2)



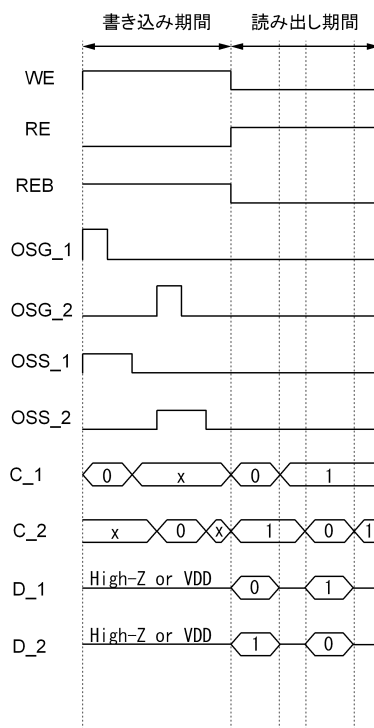
【図 2】



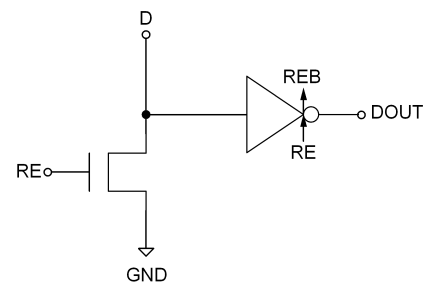
(B)



【図 3】

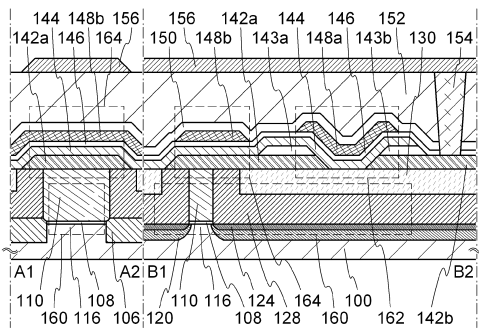


【図 4】

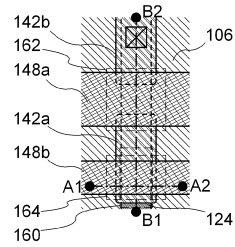


【図 5】

(A)

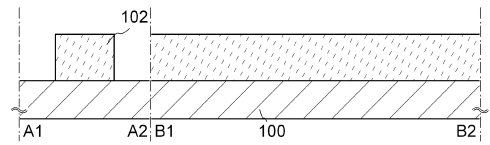


(B)

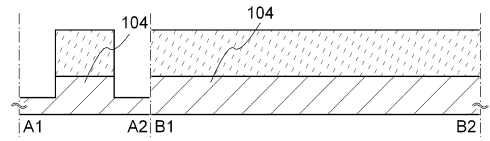


【図 6】

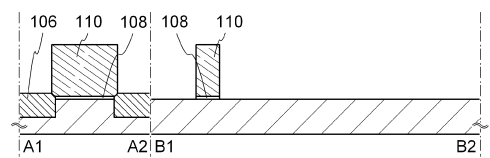
(A)



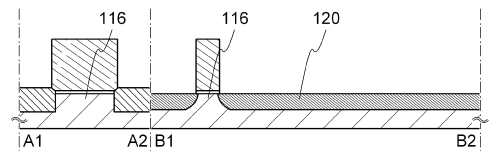
(B)



(C)

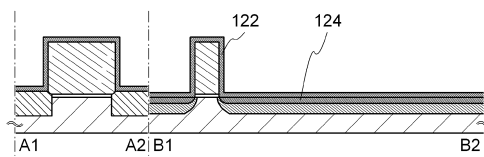


(D)

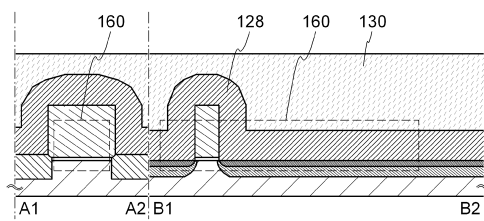


【図 7】

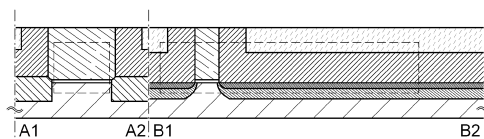
(A)



(B)

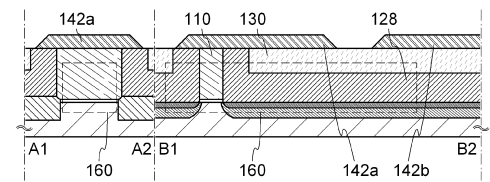


(C)

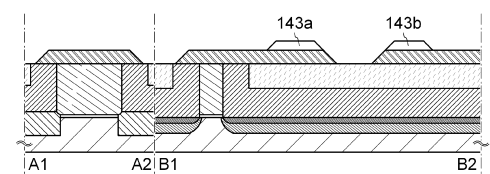


【図 8】

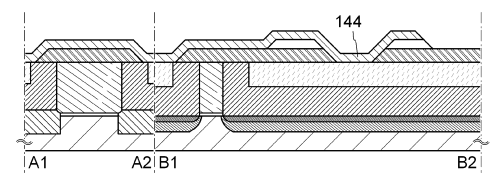
(A)



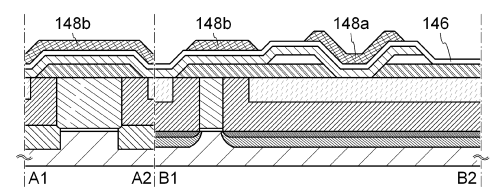
(B)



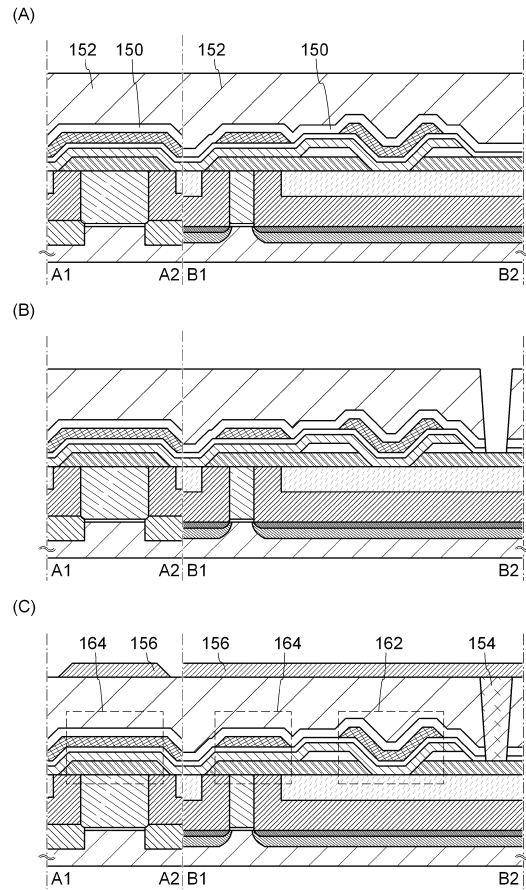
(C)



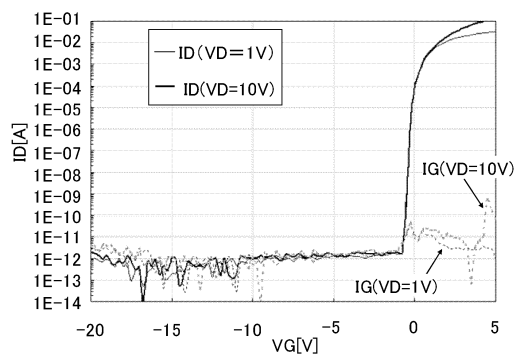
(D)



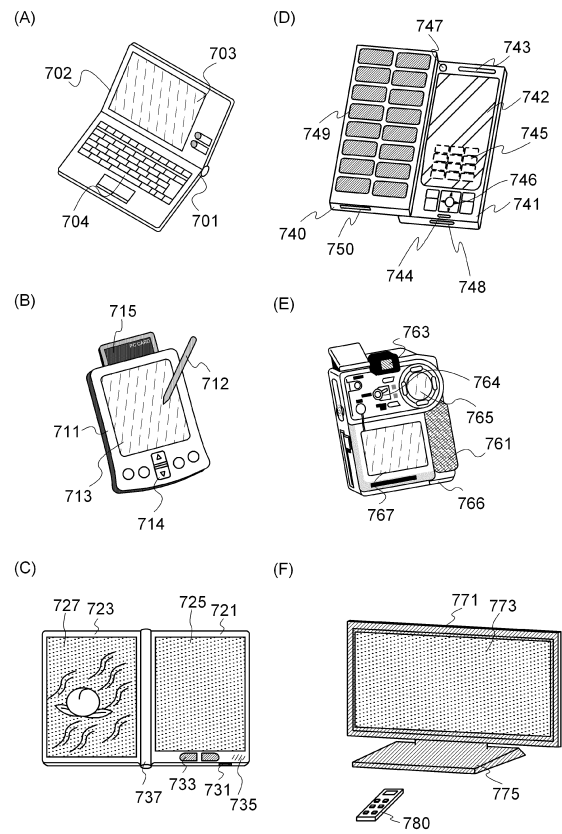
【図 9】



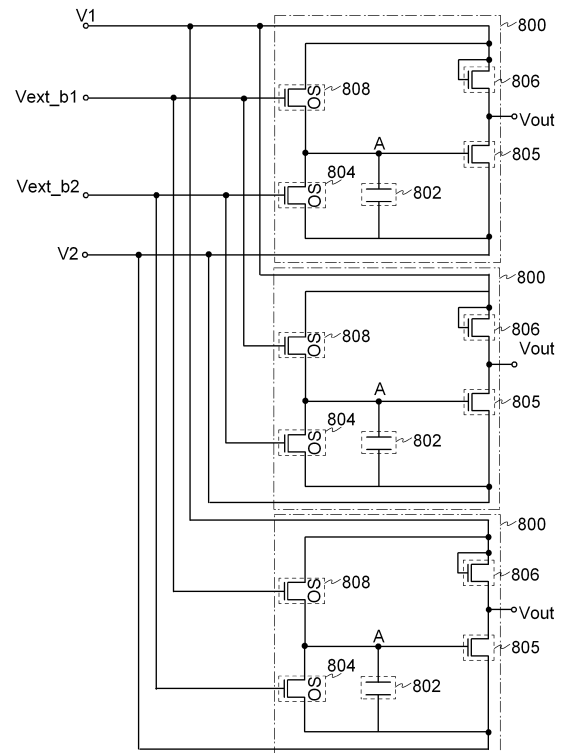
【図 11】



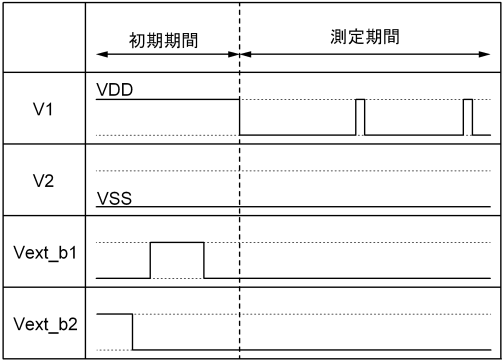
【図 10】



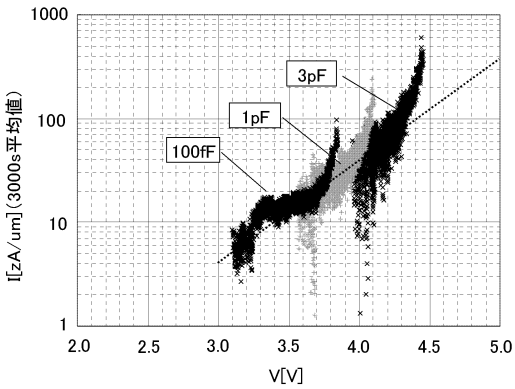
【図 12】



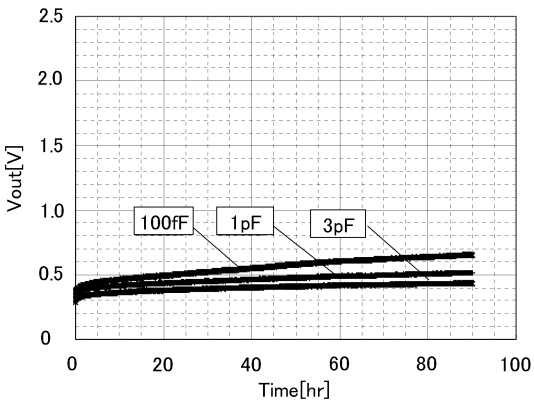
【図 1 3】



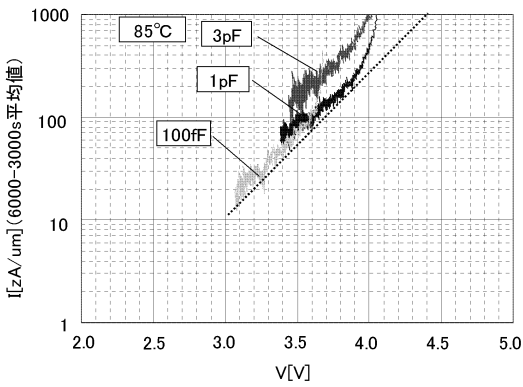
【図 1 5】



【図 1 4】



【図 1 6】



フロントページの続き

(56)参考文献 特開2001-053167(JP,A)
特表2009-535819(JP,A)
特開2009-004787(JP,A)
特開2007-103918(JP,A)
特開2009-302520(JP,A)
特表2006-502597(JP,A)
特開2009-278115(JP,A)
特開2009-135350(JP,A)
特開2002-093924(JP,A)
特開昭62-274773(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336, 21/8242, 21/8247,
27/108, 27/115,
29/788, 29/792,
G11C 11/405