(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G11C 11/407 (2006.01)

(45) 공고일자 2006년11월29일
(11) 등록번호 10-0652295
(24) 등록일자 2006년11월23일

(21) 출원번호 10-2000-0054394
(22) 출원일자 2000년09월16일
심사청구일자 2005년04월07일

(65) 공개번호 10-2001-0050486
(43) 공개일자 2001년06월15일

(30) 우선권주장 특원평11-262154 1999년09월16일 일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 아가타마사시
일본국오오사카후오오사카시니시쿠구조3-19-4

(74) 대리인 김영철

심사관 : 장호근

전체 청구항 수 : 총 7 항

(54) 반도체 메모리장치

(57) 요약

본 발명은 하나의 워드선으로 액세스 가능한 복수의 데이터열을 고속으로 판독할 수 있도록 하는 것이다.

반도체 메모리 장치(1)는 메모리 셀(10)이 행렬상으로 배치되어 이루어지는 메모리 서브어레이(51)와, 쌍 비트선(BL, BLX)의 전위를 증폭하는 복수의 센스앰프 회로(20)를 갖는 센스앰프 어레이(52)와, 복수의 센스앰프 회로(20)를 선택하는 선택기(53)를 갖는다. 열 복호기(63)에는, 외부 클록신호(CLK) 주기로부터 데이터 기입시, 기입용 스위치(30)로 출력되는 기입 제어용 선택신호(WT) 주기를 4배로 분주하는 기입동작 제어용 분주기(67)가 설치된다.

대표도

도 4

특허청구의 범위

청구항 1.

데이터를 기억하는 데이터 기억수단과,

상기 데이터 기억수단으로 데이터를 기입하는 데이터 기입수단과,

상기 데이터 기억수단에 유지된 데이터를 판독하는 데이터 판독수단을 구비하며,

상기 데이터 판독수단은 외부 클록신호에 기초하여 판독용 클록신호를 생성함과 동시에, 상기 데이터 기입수단은 상기 외부 클록신호에 기초하여 기입용 클록신호를 생성하고,

상기 판독용 클록신호의 주기는, 상기 기입용 클록신호의 주기보다 짧아지도록 설정되는 것을 특징으로 하는 반도체 메모리장치.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

각각이 데이터를 기억하는 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

외부로부터 입력되는 기입데이터를 상기 복수의 메모리 셀 중 어느 하나에 기입할 때, 입력된 기입데이터를 수취하는 입력버퍼와,

상기 복수의 메모리 셀 중 어느 하나로부터 판독되는 판독데이터를 외부로 출력하는 출력버퍼와,

상기 메모리 셀 어레이와 상기 입력버퍼를 접속함과 동시에 상기 메모리 셀 어레이와 상기 출력버퍼를 접속하는 데이터버스를 구비하며,

상기 데이터버스에 있어서 상기 판독데이터의 전송주기는, 상기 데이터버스에 있어서의 상기 기입데이터 전송주기보다 짧아지도록 설정되어 있고,

상기 메모리 셀은, 전하축적용 커패시터와, 제 1 워드선 및 제 1 비트선과 접속되어 상기 전하축적용 커패시터에 대한 액세스를 가능하게 하는 제 1 셀 트랜지스터와, 제 2 워드선 및 제 2 비트선과 접속되어 상기 전하축적용 커패시터에 대한 액세스를 가능하게 하는 제 2 셀 트랜지스터로 구성되는 것을 특징으로 하는 반도체 메모리장치.

청구항 6.

제 5항에 있어서,

상기 데이터버스는, 상기 제 1 워드선 및 제 1 비트선과 접속되는 제 1 데이터버스와, 상기 제 2 워드선 및 제 2 비트선과 접속되는 제 2 데이터버스로 구성되고,

상기 메모리 셀로부터 데이터를 판독할 때, 상기 제 1 데이터버스로부터의 하나의 워드선과 접속되는 복수의 메모리 셀이 유지하는 데이터가 순차 출력됨과 동시에, 이 출력동작과 연속하여 상기 제 2 데이터버스로부터 다른 워드선과 접속되는 복수의 메모리 셀이 유지하는 데이터가 순차 출력되는 것을 특징으로 하는 반도체 메모리장치.

청구항 7.

각각이 데이터를 기억하는 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

외부로부터 입력되는 기입데이터를 상기 복수의 메모리 셀 중 어느 하나에 기입할 때, 입력된 기입데이터를 수취하는 입력버퍼와,

상기 복수의 메모리 셀 중 어느 하나로부터 판독되는 판독데이터를 외부로 출력하는 출력버퍼와,

상기 메모리 셀 어레이와 상기 입력버퍼를 접속함과 동시에 상기 메모리 셀 어레이와 상기 출력버퍼를 접속하는 데이터버스를 구비하며,

상기 데이터버스에 있어서 상기 판독데이터의 전송주기는, 상기 데이터버스에 있어서의 상기 기입데이터 전송주기보다 짧아지도록 설정되어 있고,

상기 기입데이터의 전송주기는 외부 클록신호의 주기를 분주함으로써 생성되는 것을 특징으로 하는 반도체 메모리장치.

청구항 8.

각각이 데이터를 기억하는 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

외부로부터 입력되는 기입데이터를 상기 복수의 메모리 셀 중 어느 하나에 기입할 때, 입력된 기입데이터를 수취하는 입력버퍼와,

상기 복수의 메모리 셀 중 어느 하나로부터 판독되는 판독데이터를 외부로 출력하는 출력버퍼와,

상기 메모리 셀 어레이와 상기 입력버퍼를 접속함과 동시에 상기 메모리 셀 어레이와 상기 출력버퍼를 접속하는 데이터버스를 구비하며,

상기 데이터버스에 있어서 상기 판독데이터의 전송주기는, 상기 데이터버스에 있어서의 상기 기입데이터 전송주기보다 짧아지도록 설정되어 있고,

복수의 데이터를 연속하여 기입할 때, 상기 기입데이터의 전송주기는 실질적으로 상기 판독데이터 전송주기의 4배인 것을 특징으로 하는 반도체 메모리장치.

청구항 9.

각각이 데이터를 기억하는 복수의 메모리 셀을 갖는 메모리 셀 어레이와,

외부로부터 입력되는 기입데이터를 상기 복수의 메모리 셀 중 어느 하나에 기입할 때, 입력된 기입데이터를 수취하는 입력버퍼와,

상기 복수의 메모리 셀 중 어느 하나로부터 판독되는 판독데이터를 외부로 출력하는 출력버퍼와,

상기 메모리 셀 어레이와 상기 입력버퍼를 접속함과 동시에 상기 메모리 셀 어레이와 상기 출력버퍼를 접속하는 데이터버스를 구비하며,

상기 데이터버스에 있어서 상기 판독데이터의 전송주기는, 상기 데이터버스에 있어서의 상기 기입데이터 전송주기보다 짧아지도록 설정되어 있고,

상기 각 메모리 셀이 갖는 셀 트랜지스터를 활성화시키기 위한 복수의 워드선과,

상기 메모리 셀 어레이로부터 복수의 데이터를 판독할 때, 외부로부터 입력된 하나의 어드레스로부터, 이 하나의 어드레스에 의하여 선택되는 워드선 상에, 연속하는 복수의 메모리 셀과 대응하는 일련의 어드레스를 생성하는 연속 어드레스 생성 수단을 추가로 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 10.

제 9항에 있어서,

기입동작에 있어서의 상기 워드선의 활성화 주기와 판독동작에 있어서의 상기 워드선의 동작활성화 주기는 실질적으로 동일한 것을 특징으로 하는 반도체 메모리장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터의 판독동작이 기입동작에 비해 고속으로 실행될 수 있는 메모리장치에 관한 것이다.

반도체 메모리장치 중, 디램(DRAM)은 대용량 데이터를 기억할 수 있는 디바이스로서 많이 이용되고 있다.

이하, 종래의 DRAM장치에 대하여 도면을 참조하면서 설명한다.

도 15는 종래의 DRAM장치에서의 메모리 코어부와 그 주변회로를 나타낸다. 도 15에 도시한 바와 같이, DRAM장치는, 메모리 서브어레이(110)와 센스앰프 어레이(120) 및 선택기(130)로 구성되는 메모리 코어부(100)와, 외부로부터 입력되는 클록신호(CLK) 및 열 어드레스 등을 수취하여 선택기(130)에 대하여 변환정보를 송출하는 열 복호기(140)와, 외부로부터 입력되는 기입데이터를 메모리 서브어레이(110)에 기입할 때, 입력된 기입데이터를 수취하는 Din버퍼(141)와, 메모리 서브어레이(110)로부터 판독된 판독데이터를 외부로 출력하는 Dout버퍼(142)를 갖는다.

메모리 서브어레이(110)에는 각각이 데이터를 유지하는 전하축적용 커패시터(112)와 이 전하축적용 커패시터(112) 외부로부터의 액세스를 제어하는 셀 트랜지스터(113)로 구성되는 메모리 셀(111)이 행렬상으로 설치된다.

센스앰프 어레이(120)는, 각 쌍 비트선(BL,BLX)에 프리차지 전위를 공급함과 동시에, 쌍 비트선(BL,BLX)을 서로 등전위로 하는 등화회로(121)를 갖는다. 각 쌍 비트선(BL,BLX)에는 검지증폭형의 센스앰프 회로(125)가 설치된다.

선택기(130)는, 데이터 기입시에, 열복호기(140)로부터의 선택신호(WT)에 기초하여, Din버퍼(141)와 각 쌍 비트선(BL,BLX)을 선택적으로 접속하는 기입용 스위치(131)를 갖는다. 또 데이터 판독시에, 열복호기(140)로부터의 선택신호(RD)에 기초하여 Dout버퍼(142)와 각 쌍 비트선(BL,BLX)을 선택적으로 접속함과 동시에, 비트선(BL) 또는 비트상보선(BLX)에 증폭된 전압값(데이터)을 검지하고 상보데이터버스(DL, DLX)로 더욱 증폭시켜 출력시키는 판독용 스위치(133)를 갖는다.

이하, 상기와 같이 구성된 DRAM장치 데이터의 기입동작 및 판독동작에 대하여 도면을 참조하면서 설명하기로 한다.

도 16은 종래의 DRAM장치에서의 기입동작 및 판독동작의 타이밍도를 나타낸다.

도 16에 도시한 바와 같이 우선, ACT명령에 의하여 행 어드레스(RA1)가 입력된다. 이에 따라 등화신호(EQ)가 저 레벨로 천이하게 됨으로써, 입력된 행 어드레스(RA1)에 의하여 선택되는 메모리 서브어레이(110)의 쌍 비트선(Bl, BLX)의 등화

가 해제되고 계속해서, 선택된 워드선(WL)이 활성화된다. 그 후, 센스앰프 활성화 신호(SAP, SAN) 중 SAP를 고 레벨로, 또 SAN을 저 레벨로 천이시켜 각각 활성화시킴으로써, 센스앰프 회로(125)가 메모리 셀(111)에 유지된 전하를 쌍 비트선(BL, BLX)을 통하여 검지하고, 검지한 쌍 비트선(BL, BLX)의 전위를 고 레벨 또는 저 레벨의 전위로 증폭한다.

다음으로, WRITE명령이 입력됨으로써 열 어드레스(CA1) 및 기입데이터(D1)가 입력되고, 이로써 Din버퍼(141)로부터 상보 데이터버스(DL, DLX)로 기입데이터(D1)가 전송된다. 이어서 열 어드레스(CA1)에 의하여 선택되는 기입용 스위치(131)를 통하여, 비트선(BL) 또는 비트상보선(BLX)과 접속하는 메모리 셀(111)의 데이터가 기입 변환된다.

여기서, 행 어드레스(RA1)와 동일 어드레스이고 또 열 어드레스만이 다르도록, 예를 들어 CA1에서 CA2로 바꾸어, 연속하여 데이터를 기입하는 경우에는, 다음의 WRITE명령이 입력되어 열 어드레스(CA2) 및 기입데이터(D2)가 입력되고, 전술한 바와 마찬가지의 기입동작이 실행된다. 입력되어 기입 변환된 데이터는 그대로 센스앰프 회로(125)에 의하여 증폭된다. 그 후, 프리차지 명령(PRE)에 의하여 워드선(WL)을 비활성화시킴으로써 메모리 셀(111)의 전하축적용 커패시터(112)에 데이터로서의 전하가 축적된다.

다음으로, 데이터의 판독동작을 설명한다.

이 경우에도 도 16에 도시한 바와 같이 ACT명령에 의하여, 예를 들어 행 어드레스(RA3)가 입력된다. 이로써 비활성화된 등화신호(EQ)에 따라, 입력된 행 어드레스(RA3)에 의하여 선택되는 메모리 서브어레이(110)의 쌍 비트선(BL, BLX)의 등화가 해제되고 이어서, 선택된 워드선(WL)이 활성화된다. 그 후, 센스앰프 활성화신호(SAP, SAN)를 각각 활성화시킴으로써, 센스앰프 회로(125)가 메모리 셀(111)에 유지된 전하를 쌍 비트선(BL, BLX)을 통하여 검지하고 이를 고 레벨 또는 저 레벨로 증폭한다.

다음으로, READ명령이 입력됨으로써 열 어드레스(CA3)가 입력되고, 쌍 비트선(BL, BLX)의 데이터가 판독용 스위치(133)를 통하여 상보 데이터버스(DL, DLX)에 검지되고 증폭되어, 판독데이터로서 Dout버퍼(142)로 전송된다. 이어서 출력데이터(Q3)로서 외부로 출력된다.

여기서 행 어드레스(RA3)와 동일 어드레스이고 열 어드레스만 다르도록, 예를 들어 CA3에서 CA4로 바꾸고 연속하여 판독하는 경우는, 다음 READ명령이 입력되어 열 어드레스(CA4)가 입력되고, 전술한 바와 마찬가지의 판독동작이 실행되어 출력데이터(Q4)가 출력된다. 쌍 비트선(BL, BLX)에 나타난 데이터는 그대로 센스앰프회로(125)에 의하여 유지되고 증폭되어 프리차지 명령(PRE)에 의하여 워드선(WL)을 비활성화시킴으로써 메모리 셀(111)의 전하축적용 커패시터(112)에 전하가 재 축적된다.

도 17은 도 16에 도시한 바와 같이, 액세스된 메모리 코어부(100)를 모식적으로 나타낸다. 도 17에 나타낸 바와 같이, 제 1 메모리 서브어레이(110A)에서는, 워드선(WL1)에 접속되는 메모리 셀(111)에 대하여 데이터(D1, D2) 기입이 실행되고, 제 2 메모리 서브어레이(110B)에서는, 워드선(WL3)에 접속되는 메모리 셀(111)에 대하여 데이터(Q3, Q4) 판독이 실행된다.

여기서, 하나의 행 어드레스, 즉 1개의 워드선 상에서 서로 다른 열 어드레스를 갖는 메모리 셀에 대하여 연속하여 동작을 실행시킬 경우, 그때마다 명령을 입력하지 않고, 열 어드레스를 DRAM 내부에서 자동적으로 변화시키는 버스트 카운터를 구비하여 명령을 순차로 입력하는 일없이, 소정 주기의 데이터의 연속 액세스가 가능한 DRAM장치도 개발되었다.

발명이 이루고자 하는 기술적 과제

그러나 반도체 메모리장치의 성능 향상이 추구되는 가운데, 상기 종래의 DRAM장치는, 예를 들어 그래픽 용도에 있어서 화상 데이터의 판독시와 같이, 스크린 상에 데이터를 표시하는 동작이 시스템 전체의 성능을 결정해버려 시스템 전체 성능을 향상시킬 수 없다고 하는 문제를 갖고 있다.

본 발명은 상기 종래 문제에 감안하여, 연속하여 유지되는 데이터를 고속으로 판독할 수 있도록, 특히 하나의 워드선에 의하여 액세스 가능한 복수 메모리 셀의 데이터열을 고속으로 판독할 수 있도록 함을 목적으로 한다.

발명의 구성

상기의 목적을 달성하기 위하여 본 발명은, 반도체 메모리장치에 있어서의 데이터 판독주기를 데이터 기입주기보다 짧게 하는 구성으로 한다. 또는 데이터 판독주기를 기준으로 하여, 데이터 기입주기를 판독주기의 2 이상의 정수 배로 하는 구성으로 한다.

구체적으로, 본 발명에 관한 제 1 반도체 메모리장치는, 데이터를 기억하는 데이터 기억수단과, 데이터 기억수단에 데이터를 기입하는 데이터 기입수단과, 데이터 기억수단에 유지된 데이터를 판독하는 데이터 판독수단을 구비하며, 데이터 판독수단은 외부 클록신호에 기초하여 판독용 클록신호를 생성함과 동시에, 데이터 기입수단은 외부 클록신호에 기초하여 기입용 클록신호를 생성하고, 판독용 클록신호의 주기는, 기입용 클록신호의 주기보다 짧아지도록 설정된다.

제 1 반도체 메모리장치에 의하면, 외부 클록신호에 기초하여 생성되는 판독용 클록신호의 주기가, 외부 클록신호에 기초하여 생성되는 기입용 클록신호의 주기보다 짧아지도록 설정된다. 종래의 반도체 메모리장치는 도 16에 도시한 바와 같이 기입명령(WRITE)과 판독명령(READ)의 입력 타이밍이 동일하다. 본 발명의 제 1 반도체 메모리장치는, 장치 내부에서 생성되는 판독용 클록신호의 주기를 기입용 클록신호의 주기보다 짧게 하기 때문에, 판독명령의 입력 타이밍이 기입명령의 입력 타이밍보다 빨라지므로, 데이터의 판독동작을 기입동작보다 빨리 실행할 수 있게 된다. 예를 들어 데이터 기억수단이 비트선에 의하여 액세스되어, 워드선에 의하여 액세스 가능해지는 행렬상의 메모리 셀 어레이로 이루어진다고 하면, 다른 워드선에 걸쳐지는 데이터의 경우에는 당연히, 하나의 행 어드레스와 다른 행 어드레스가 따로 입력되기 때문에 판독동작의 고속화가 현저하게는 되지 못한다. 따라서 동일한 행 어드레스이고 열 어드레스만 달라지는 경우에는, 하나의 행 어드레스 상에서, 연속하는 열 어드레스에 대응하는 복수의 메모리 셀로부터, 일련의 데이터를 고속으로 판독할 수 있게 된다. 그 결과, 화상 데이터와 같이 연속하여 판독하는 경우에 매우 유효하다.

본 발명에 관한 제 2 반도체 메모리장치는, 각각이 데이터를 기억하는 복수의 메모리 셀을 갖는 메모리 셀 어레이와, 외부로부터 입력되는 기입데이터를 복수의 메모리 셀 중 어느 하나에 기입할 때, 입력된 기입데이터를 수취하는 입력버퍼와, 복수의 메모리 셀 중 어느 하나로부터 판독되는 판독데이터를 외부로 출력하는 출력버퍼와, 메모리 셀 어레이와 입력버퍼를 접속함과 동시에 메모리 셀 어레이와 출력버퍼를 접속하는 데이터버스를 구비하며, 데이터버스에 있어서의 판독데이터 전송주기는, 데이터버스에 있어서의 기입데이터 전송주기보다 짧아지도록 설정된다.

제 2 반도체 메모리장치에 의하면, 데이터버스에 있어서의 판독데이터 전송주기는, 데이터버스에 있어서의 기입데이터 전송주기보다 짧아지도록 설정되기 때문에 판독명령의 입력 타이밍이 기입명령의 입력 타이밍보다 빨라지므로, 데이터의 판독동작을 기입동작보다 빨리 실행할 수 있게 된다. 또 제 1 반도체 메모리장치와 마찬가지로, 동일한 행 어드레스이고 열 어드레스만 달라지는 경우에는, 연속하는 열 어드레스에 대응하는 일련의 데이터열을 고속으로 판독하는 효과가 현저하게 된다. 또 판독명령의 입력 타이밍을 기입명령의 입력 타이밍보다 빨리 실행시키는 것은, 데이터버스에서 판독동작시 신호의 진폭을 기입동작시 신호의 진폭보다 작게 할 수 있는 것에 따른다.

제 2 반도체 메모리장치는 복수의 메모리 셀에 대하여, 각각 데이터 판독 또는 데이터 기입을 실행하기 위한 복수의 비트선과, 복수의 비트선마다의 전위를 검지하고 증폭하는 복수의 센스앰프와, 복수의 센스앰프 중 외부로부터 지정된 어드레스와 대응하는 센스앰프와, 데이터버스를 접속하는 절환스위치를 갖는 선택기를 추가로 구비하며, 데이터 판독시에 있어서 절환스위치의 절환 주파수는, 데이터 기입시에 있어서 절환스위치의 절환주파수보다 큰 것이 바람직하다. 이와 같이 하면 선택기는, 복수의 센스앰프 중 외부로부터 지정된 어드레스에 대응하는 센스앰프와 데이터버스를 접속하고 이 선택기가 갖는 절환스위치의 절환주파수는 데이터 기입시에 비해 데이터 판독시가 크므로, 데이터버스의 판독데이터의 전송주기를 기입데이터의 전송주기보다 확실하게 짧게 할 수 있다.

이 경우 선택기는, 데이터 판독용 선택기와 데이터 기입용 선택기로 구성되는 것이 바람직하다. 이와 같이 하면 판독데이터의 전송주기와 기입데이터의 전송주기를 따로따로 바꿀 수 있으므로 데이터의 전송주기를 개별로 설정하기 쉬워진다.

제 2 반도체 메모리장치에 있어서, 메모리 셀은, 전하축적용 커패시터와, 제 1 워드선 및 제 1 비트선과 접속되어 전하축적용 커패시터에 대한 액세스를 가능하게 하는 제 1 셀 트랜지스터와, 제 2 워드선 및 제 2 비트선과 접속되어 전하축적용 커패시터에 대한 액세스를 가능하게 하는 제 2 셀 트랜지스터로 구성되는 것이 바람직하다. 이와 같이 하면 메모리 셀이 전하축적용 커패시터에 대하여 독립 동작이 가능하므로, 제 1 셀 트랜지스터를 액세스하는 쪽을 제 1 포트로 하고, 제 2 셀 트랜지스터를 액세스하는 쪽을 제 2 포트로 하는, 이른바 2T1C 구성을 얻을 수 있다.

이 경우, 데이터버스는, 제 1 워드선 및 제 1 비트선과 접속되는 제 1 데이터버스와, 제 2 워드선 및 제 2 비트선과 접속되는 제 2 데이터버스로 구성되고, 메모리 셀로부터 데이터를 판독할 때, 제 1 데이터버스로부터, 하나의 워드선과 접속되는 복수의 메모리 셀이 유지하는 데이터가 순차 출력됨과 동시에, 이 출력동작과 연속하여 상기 제 2 데이터버스로부터, 다른

워드선과 접속되는 복수의 메모리 셀이 유지하는 데이터가 순차 출력되는 것이 바람직하다. 이와 같이 하면, 데이터 판독 시 제 1 포트의 하나의 워드선으로부터 일련의 데이터열을 연속하여 판독하고, 이어서 제 2 포트의 다른 워드선으로부터 일련의 데이터열을 연속 판독하여, 이 동작을 2 포트에서 교대로 동작시키는 것이 가능해진다. 이로써 데이터의 판독동작이 매우 고속으로 실행되게 된다.

제 2 반도체 메모리장치에 있어서, 기입데이터의 전송주기가 외부 클록신호의 주기를 분주함으로써 생성되는 것이 바람직하다. 이와 같이 하면 기입데이터의 전송주기가 판독데이터의 전송주기보다 길어지므로, 판독데이터의 전송주기를 기입데이터의 전송주기보다 확실하게 짧게 할 수 있다.

제 2 반도체 메모리장치에 있어서, 복수의 데이터를 연속하여 기입할 때 기입데이터의 전송주기는 실질적으로 판독데이터의 전송주기의 4배인 것이 바람직하다. 이와 같이 하면, 데이터버스의 데이터 기입 시 진폭이 판독할 때처럼 작아지지 않으므로, 판독시의 적어도 4배의 주기를 확보해 놓으면 기입동작이 보증된다.

제 2 반도체 메모리장치는, 각 메모리 셀이 갖는 셀 트랜지스터를 활성화하기 위한 복수의 워드선과, 메모리 셀 어레이로부터 복수의 데이터를 판독할 때, 외부로부터 입력된 하나의 어드레스로부터, 이 하나의 어드레스에 의하여 선택되는 워드선 상에, 연속하는 복수의 메모리 셀과 대응하는 일련의 어드레스를 생성하는 연속 어드레스 생성수단을 추가로 구비하는 것이 바람직하다. 이와 같이 하면, 연속 어드레스 생성수단이 하나의 워드선 상에 연속하는 복수의 메모리 셀과 대응하는 일련의 어드레스를 자동으로 생성하기 때문에, 하나의 판독명령을 입력하는 것만으로 일련의 열 어드레스가 생성된다. 이른바 버스트 모드로 동작하므로 명령 입력처리를 간소화할 수 있음과 동시에, 더욱 고속의 판독동작을 실행하게 된다.

이 경우, 기입동작에 있어서의 워드선의 활성화 주기와 판독동작에 있어서의 워드선의 동작활성화 주기는 실질적으로 동일한 것이 바람직하다. 이와 같이 하면, 이른바 랜덤 사이클이 거의 동일하게 되므로 판독동작 및 기입동작 그리고 이들 동작이 수반하는 어드레스 등의 입력주기가 동일주기로 실행되게 된다. 그 결과 랜덤 사이클만으로 결정되는 주기에 의하여 외부로부터 입력되는 명령 및 어드레스 입력이 가능해지므로 장치의 명령 제어가 수월해진다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

(제 1 실시예)

본 발명의 제 1 실시예에 대하여 도면을 참조하면서 설명하기로 한다.

도 1의 (a) 및 도 1의 (b)는 본 발명의 제 1 실시예에 관한 반도체 메모리장치로서, (a)는 데이터 처리용 프로세서와 버스 접속된 DRAM장치의 시스템 구성예를 나타내며, (b)는 프로세서와 DRAM장치가 1개의 칩 상에 형성된 시스템 구성예를 나타낸다. 도 1의 (a)에 도시하는 바와 같이, 복수의 DRAM장치(1A, 1B)가 메모리 버스(2)를 통하여 프로세서(3)와 접속되고, 프로세서(3)는 각 DRAM장치(1A, 1B)에 유지된 데이터의 판독이나 갱신을 실행한다.

또 도 1의 (b)의 경우에는, 반도체 칩(4) 상에 DRAM장치(1)와 프로세서(3)가 형성되고 양쪽은 메모리 버스(2)를 통하여 서로 접속된다.

도 2는 DRAM장치(1)의 상세한 블록 구성을 나타낸다. 도 2에 도시한 바와 같이, DRAM장치(1)는 메모리 셀(도시 생략)이 행렬상으로 배치되어 이루어지는 데이터 기억수단으로서의 메모리 어레이(50a)와, 선택된 메모리 셀로부터 판독된 전위를 검지하여 증폭시키는 복수의 센스앰프 회로(도시 생략)를 갖는 센스앰프 어레이(50b)와, 복수의 센스앰프 회로를 선택하는 선택기(50c)를 갖는다. 여기서는 메모리 어레이(50a)와, 센스앰프 어레이(50b) 및 선택기(50c) 3요소를 메모리 코어부(50)로 부른다. 또 외부로부터 입력되는 어드레스 신호를 수신하는 어드레스 버퍼(61)와, 어드레스 버퍼(61)로부터 출력되는 어드레스 신호 중의 행 어드레스를 복호하여 메모리 어레이(50a)의 워드선(도시 생략)을 선택하는 행 복호기(62)와, 어드레스 버퍼(61)로부터 출력되는 어드레스 신호 중의 열 어드레스를 복호하여 그 결과를 선택기(50c)로 출력하는 열 복호기(63)를 갖는다. 또한 데이터 판독 시에 센스앰프 어레이(50b)에 의하여 확정되고, 확정된 데이터가 선택기(50c)에 의하여 선택되어 판독된 데이터를 외부로 출력하는 Dout(출력)버퍼(64)와, 데이터 기입 시에 외부로부터 입력되는 데이터를 수취하는 Din(입력)버퍼(65)를 갖는다. 여기서 장치의 동작 타이밍을 결정하는 외부 클록신호(CLK) 및 장치동작을 지시하는 명령 신호에 대해서는 후술하기로 한다.

도 3은 메모리 코어부(50) 및 그 주변 회로부의 블록 구성을 도시한다. 도 3에 도시한 바와 같이, 메모리 코어부(50)는 행렬상으로 배치된 복수개의 메모리 셀을 포함하는 복수의 메모리 서브어레이(51)가 배치되고, 각 메모리 서브어레이(51)별로 센스앰프 어레이(52) 및 선택기(53)가 설치된다.

데이터 판독수단 및 데이터 기입수단으로서의 행 복호기(62) 및 열 복호기(63)에는 외부로부터 입력되는 외부 클록신호(CLK)와 메모리 셀을 특정하는 어드레스 신호 및 장치 동작을 지시하는 명령신호가 각각 입력된다. 또 행 복호기(62)는, 각 메모리 서브어레이(51) 및 각 센스앰프 어레이(52)와 접속되고, 수취한 행 어드레스를 복호하여 메모리 서브어레이(51)에 포함되는 메모리 셀(도시 생략) 및 센스앰프 어레이(52)에 포함되는 센스앰프 회로 등(도시 생략)을 선택적으로 활성화한다. 열 복호기(63)는 각 선택기(53)와 접속되어, 수취한 열 어드레스를 복호하고 센스앰프 어레이(52)에 포함되는 센스앰프 회로와 Dout버퍼(64) 또는 Din버퍼(65)를 데이터버스(내부 데이터버스)(66)를 통하여 선택적으로 접속한다.

도 4는 메모리 코어부(50)의 회로 구성 및 주변회로의 일례를 나타낸다. 도 4에 있어서, 도 3에 도시한 구성요소와 동일한 구성요소에는 동일 부호를 부여함으로써 그 설명을 생략한다. 도 4에 도시한 바와 같이 메모리 서브어레이(51)에는, 각각이 데이터로 되는 전하를 축적시켜 유지하는 전하 축적용 커패시터(11)와 이 전하 축적용 커패시터(11)에 대한 외부로부터의 액세스를 제어하는 셀 트랜지스터(12)로 구성되는 복수의 메모리 셀(10)이 행렬상으로 설치된다. 각 셀 트랜지스터(12)의 소스는 전하 축적용 커패시터(11)의 셀 플레이트와 반대쪽 전극과 접속되고, 드레인은 비트선(BL)(n) 또는 비트 상보선(BLX)(n)(단 n은 1≤n≤N의 정수)과 접속되며, 게이트는 쌍 비트선(BL, BLX)과 각각 교차하는 워드선(WL)(m)(단 m은 1≤m≤M의 정수)과 접속된다. 여기서는, 예를 들어 비트선의 개수(N)를 128로 하고, 워드선의 개수(M)도 128로 한다.

센스앰프 어레이(52)는 쌍 비트선(BL, BLX)별로 설치되어, 소스가 비트선(BL)과 접속되고 드레인이 프리차지 전위(VBLP)를 받으며 게이트가 등화신호(EQ)를 수신하는 제 1 NMOS 트랜지스터(16)와, 소스가 비트 상보선(BLX)과 접속되고 드레인이 프리차지 전위(VBLP)를 받으며 게이트가 등화신호(EQ)를 수신하는 제 2 NMOS 트랜지스터(17)와, 게이트로 등화신호(EQ)를 수신하여 쌍 비트선(BL, BLX)을 서로 등전위로 하는 NMOS 트랜지스터로 이루어지는 등화 트랜지스터(18)로 구성되는 등화회로(15)를 갖는다. 이로써 등화신호(EQ)가 활성화되는 기간중은, 각 쌍 비트선(BL, BLX)이 프리차지 전위를 수취할 수 있다. 또 쌍 비트선(BL, BLX)별로 설치되어, 센스앰프 활성화 신호(SAP, SAN)를 수신하고 2개의 PMOS 트랜지스터(21) 및 2개의 NMOS 트랜지스터(22)가 서로 교차하여 짝지어진 CMOS 크로스 커플형의 센스앰프 회로(20)를 갖는다.

선택기(53)는 쌍 비트선(BL, BLX)별로 설치되어 기입동작 시, 게이트가 열 복호기(63)로부터의 선택신호(WT)를 수취하고 드레인이 기입데이터(Din)를 수취하며 소스가 비트선(BL)과 접속된 제 1 NMOS 트랜지스터(31)와, 게이트가 선택신호(WT)를 수신하고 드레인이 기입데이터(Din)를 수취하며 소스가 비트상보선(BLX)과 접속된 제 2 NMOS 트랜지스터(32)로 구성되어, Din버퍼(65)와 각 쌍 비트선(BL, BLX)을 선택적으로 접속하는 기입용 스위치(30)를 갖는다.

또 선택기(53)는, 쌍 비트선(BL, BLX)별로 설치되어 판독 시, 게이트가 열 복호기(63)로부터 선택신호(RD)를 수취하고 드레인이 데이터버스(66)와 접속된 제 1 NMOS트랜지스터(36)와, 게이트가 비트선(BL) 또는 비트상보선(BLX)과 접속되고 소스가 접지되며 드레인이 제 1 NMOS트랜지스터의 소스와 접속된 제 2 NMOS트랜지스터(37)로 구성되며, 이 제 2 NMOS트랜지스터(37)가 각 쌍 비트선(BL, BLX)에 증폭된 전압 값을 반전, 증폭하며 또 제 1 NMOS트랜지스터(36)가 Dout버퍼(64)와의 접속을 선택하는 판독용 스위치(35)를 갖는다.

본 실시예에 관한 열 복호기(63)는 외부 클록신호(CLK)의 주기로부터, 데이터 기입 시에 기입용 스위치(30)로 출력되는 선택신호(WT)(＝내부 기입용 클록신호)의 주기를 4배로 분주하는 기입동작 제어용 분주기(67)를 구비한다.

이로써 데이터버스(66)의 판독데이터(Dout) 전송 주기는 기입데이터(Din)의 전송주기의 1/4로 된다. 즉 이와 같은 구성을 채용함으로써, 1개의 데이터 기입동작과 동등 기간에 4개의 연속된 데이터를 판독할 수 있게 되므로, 1개의 워드선에 의하여 액세스되는 복수의 메모리 셀로부터의 복수 데이터를 고속으로 판독할 수 있게 된다.

여기서 본 실시예에 관한 메모리 코어부(50) 각 회로의 회로구성은 일례에 지나지 않으며, 동등의 기능을 갖는 회로로 구성될 수 있는 것은 물론이다.

이하 상기와 같이 구성된 DRAM장치에 있어서의 데이터 기입동작 및 판독동작에 대하여 도면을 참조하면서 설명한다.

도 5는 본 실시예에 관한 DRAM장치에 있어서의 기입동작 및 판독동작의 타이밍도를 나타낸다. 도 5에 도시한 바와 같이 우선, ACT명령에 의하여 행 어드레스(RA1)가 입력된다. 이로써 등화신호(EQ)가 저 레벨로 천이하여 비활성 상태로 됨으

로써, 입력된 행 어드레스(RA1)에 의하여 선택되는 메모리 서브어레이(51)의 쌍 비트선(BL, BLX) 등화가 해제되고 이어서, 선택된 워드선(WL)이 활성화된다. 그 후, 센스앰프 활성화 신호(SAP, SAN) 중 SAP를 고 레벨로, 또 SAN을 저 레벨로 천이시켜 각각 활성화시킴으로써, 센스앰프 회로(20)가 메모리 셀(10)에 유지된 전하를 쌍 비트선(BL, BLX)을 통하여 검지하고, 검지한 쌍 비트선(BL, BLX)의 전하를 고 레벨 또는 저 레벨의 전위로 증폭한다.

다음으로 WRITE명령이 입력됨으로써, 열 어드레스(CA1) 및 기입데이터(D1)가 입력되고, 이로써 Din버퍼(65)로부터 데이터버스(66)로 기입데이터(D1)가 전송된다. 이어서, 열 어드레스(CA1)에 의하여 선택되는 기입용 스위치(30)를 통하여 비트선(BL) 또는 비트상보선(BLX)을 접속시키는 메모리 셀(10)의 데이터가 기입 변환된다.

그 다음, 행 어드레스(RA1)와 동일한 어드레스이면서 열 어드레스만 다르도록, 예를 들어 CA1로부터 CA2로 바꾸어 연속적으로 데이터를 기입하는 경우에는, 다른 WRITE명령이 최초 WRITE명령에 이어서 입력된다. 본 실시예에서는 2번째 WRITE명령은 열 복호기(63) 내의 분주기(67)에 의하여, 외부 클록신호(CLK)의 4주기분을 1주기로 하고 이 주기에 따라 기입동작을 실행한다. 따라서 도 5에 도시하는 바와 같이, 외부 클록신호(CLK)의 4주기 후에 2번째 WRITE명령에 따라, 열 어드레스(CA2) 및 기입데이터(D2)가 입력되고, 다시 한번 기입동작이 실행된다. 입력된 바뀐 기입데이터는 그대로 센스앰프 회로(20)에 의하여 증폭된다. 그 후 프리차지 명령(PRE)에 따라 워드선(WL)을 저 레벨로 천이시켜 비활성 상태로 함으로써, 메모리 셀(10)의 전하 축적용 커패시터(11)에 데이터로서 전하가 축적된다. 이어서 등화신호(EQ)가 고 레벨로 천이하여 활성화된 쌍 비트선(BL, BLX)의 등화동작이 실행되고, 다음 액세스에 대비하여 대기상태로 된다.

다음에 데이터의 판독동작을 설명한다.

이 경우에도 도 5에 도시한 바와 같이, ACT명령에 의하여 행 어드레스(RA3)가 입력되는 것으로 한다. 이로써 비활성화된 등화신호(EQ)에 따라, 입력된 행 어드레스(RA3)에 의하여 선택되는 메모리 서브어레이(51)의 쌍 비트선(BL, BLX)의 등화가 해제되고 이어서, 선택된 워드선(WL)이 활성화된다. 그 후 센스앰프 활성화 신호(SAP, SAN)가 각각 활성화되면, 센스앰프 회로(20)에 의하여 메모리 셀(10)에 유지된 전하가 쌍 비트선(BL, BLX)을 통하여 검지되고, 전위차로서 검지된 데이터가 고 레벨 또는 저 레벨의 전위까지 증폭된다.

다음으로 READ명령이 입력됨으로써 열 어드레스(CA3)가 입력되고, 쌍 비트선(BL, BLX)의 데이터가 판독용 스위치(35)를 통하여 데이터버스(66)에 검지되고 증폭되어 Dout버퍼(64)로 판독데이터(Dout)로서 전송된다. 이어서 출력데이터(Q3)로서 외부로 출력되어 판독동작이 완료된다.

다음으로 행 어드레스(RA3)와 동일한 어드레스이며 열 어드레스만이 다르도록, 예를 들어 CA4, CA5, CA6과 연속하여 판독하는 경우를 설명한다. 이 경우에는 2번째부터 4번째의 READ명령이 1번째 READ명령과 연속하여, 즉 외부 클록신호(CLK)의 1주기와 동기하여 입력된다. 일반적으로 판독동작의 경우에는 기입동작과 달리, 데이터버스(66)의 신호전압 진폭을 작게(소 진폭화) 할 수 있기 때문에 기입동작에 비하여 단시간에 완료할 수 있으므로, 데이터버스(66) 상의 전송동작을 고속화할 수 있다. 이에 덧붙여, 기입동작의 경우에는 비트선(BL) 또는 비트 상보선(BLX)에 증폭된 데이터를 바꾸어 기입할 필요가 있으므로 소진폭화를 쉽게 도모할 수는 없다. 따라서 도 5에 도시한 바와 같이 연속하는 클록주기로 고속 판독동작을 실현할 수 있다.

일련의 READ명령이 외부 클록신호(CLK) 1주기마다 입력되고 열 어드레스(CA4, CA5, CA6)가 입력되어, 전술한 바와 같은 판독동작이 실행되고 출력데이터(Q4, Q5, Q6)도 최초 출력데이터(Q3)와 연속하여 외부 클록신호(CLK) 1주기마다 순차 출력된다.

다음으로 쌍 비트선(BL, BLX)에 나타난 데이터는 그대로 센스앰프 회로(20)에 의하여 유지되고 증폭되어, 프리차지 명령(PRE)에 의하여 워드선(WL)을 비활성화시킴으로써, 활성화된 메모리 셀(10)의 각 전하 축적용 커패시터(11)에 다시 한번 전하가 축적된다. 그 후, 등화신호(EQ)가 활성화되어 쌍 비트선(BL, BLX) 전위가 등화되고 다음 액세스에 대비한다.

이와 같이 본 실시예에 의하면, 하나의 워드선(WL)으로 활성화되는 복수의 메모리 셀(10)에 유지된 데이터를, 기입동작 동작기간(tW)의 1/4 동작기간(tR)에서 판독할 수 있다.

도 6은 도 5에 도시한 바와 같이 액세스된 메모리 코어부(50)를 모식적으로 나타낸다. 도 6에 있어서, 도 4에 도시한 구성요소와 동일 구성요소에는 동일한 부호를 부여함으로써 설명을 생략한다. 도 6에 도시한 바와 같이 제 1 메모리 서브어레이(51A)에서는 워드선(WL1)과 접속된 메모리 셀(10)에 대하여 데이터(D1, D2) 기입이 실행되고, 제 2 메모리 서브어레이(51B)에서는 워드선(WL3)과 접속된 메모리 셀(10)에 대하여 일련의 데이터(Q3, Q4, Q5, Q6) 판독이 실행된다.

전술한 바와 같이 일반적으로, 그래픽 용도의 반도체 메모리장치에서는, 기입동작 시, 프로세서(3)로 처리된 데이터를 임의의 어드레스로 기입하고, 판독 시에는 스크린 상에 출력하는 화상 데이터를 판독하는 동작이 많이 실행되며, 이 경우에 하나의 워드선(WL) 상의 데이터를 연속하여 판독한다는 동작 실행이 빈번하다. 따라서 이와 같은 경우, 기입동작에 비해 하나의 워드선(WL)으로 활성화되는 복수의 메모리 셀(10) 데이터를 고속으로 판독하는 것은 화상 데이터를 고속으로 처리하는데 있어서 크게 유효하다.

또 본 실시예와 같이, 기입 제어용 내부클록(WT) 주기(tW)를 외부클록(CLK)주기의 4배로 분주했지만, 이에 한정되지 않고 외부 클록신호(CLK) 1주기를 판독동작을 충분하게 실행할 수 있을 정도로 짧게 하여도 되며, 이 경우에는 기입용 내부클록(WT) 주기(tW)를 연속된 기입동작이 충분히 실행될 수 있을 정도로 분주비를 크게 하면 된다.

(제 1 실시예의 제 1 변형예)

이하 본 발명의 제 1 실시예의 제 1 변형예에 대하여 도면을 참조하면서 설명하기로 한다.

도 7은 본 실시예의 제 1 변형예에 관한 반도체 메모리장치에서의 메모리 코어부(50)의 회로 구성 및 주변회로의 일례를 나타낸다. 도 7에서, 도 4에 도시한 구성요소와 동일 구성요소에는 동일한 부호를 부여함으로써 설명을 생략한다.

본 변형예에 관한 열 복호기(63)는 기입 제어용 내부클록(WT) 주기(tW)를 외부 클록신호(CLK) 주기와 동일하게 하고, 반대로 판독 제어용 내부클록(RD) 주기(tR)를 외부 클록신호(CLK) 주기의 1/4(4배의 주파수)로 하여 출력하는 타이밍 발생기(68)갖는다.

본 변형예에 있어서도 하나의 워드선(WL)으로 활성화되는 복수의 메모리 셀(10)에 유지된 데이터를, 기입동작의 동작기간(tW)의 1/4 동작기간(tR)에서 판독할 수 있다.

(제 1 실시예의 제 2 변형예)

이하 본 발명의 제 1 실시예의 제 2 변형예에 대하여 도면을 참조하면서 설명하기로 한다.

도 8은 본 실시예의 제 1 변형예에 관한 반도체 메모리장치에서의 메모리 코어부(50)의 회로 구성 및 주변회로의 일례를 나타낸다. 도 8에서, 도 4에 도시한 구성요소와 동일 구성요소에는 동일한 부호를 부여함으로써 설명을 생략한다.

본 변형예에 관한 열 복호기(63)는, 기입동작의 내부클록(WT) 주기(tW)를 외부 클록신호(CLK) 주기와 동일하게 하고, 반대로 판독동작 제어용 내부클록(RD) 주기(tR)를 외부 클록신호(CLK)의 1/4(4배의 주파수)로 하여 출력하는 타이밍 발생기(68)와, 예를 들어 4 데이터 또는 8 데이터의 연속된 버스트 어드레스를 발생시키는 연속 어드레스 생성수단으로서의 버스트 카운터(69)를 갖는다.

이로써 도 9의 타이밍도에 도시한 명령과 같이, 하나의 워드선 상에 연속하는 어드레스를 DRAM장치 내부에서 생성할 수 있으므로, 외부로부터는 열 어드레스(CA3)만을 입력하면 되고, 연속하는 어드레스를 입력할 필요가 없다. 따라서 이와 같은 구성이라도, 도 6에 도시한 바와 같이, 외부로부터 입력된 열 어드레스(CA3)에 대하여 1개의 워드선(WL3) 상에, 연속된 열 어드레스와 대응하는 메모리 셀(10)에 유지된 데이터(Q3, Q4, Q5, Q6)를 연속하여 판독시킨다.

즉 버스트 카운터(69)를 설치함으로써, 외부로부터 READ명령을 연속적으로 입력할 필요가 없어지며, 그 결과 액세스가 쉽고 더욱 고속의 판독동작을 실행할 수 있는 반도체 메모리장치를 실현할 수 있다.

여기서 버스트 카운터(69)는 도4에 도시한 분주기(67)를 구비한 DRAM장치에 설치하여도 된다.

(제 2 실시예)

이하 본 발명의 제 2 실시예에 대하여 도면을 참조하면서 설명하기로 한다.

도 10은 본 발명의 제 2 실시예에 관한 반도체 메모리장치의 메모리 코어부 및 그 주변회로부의 블록 구성을 나타낸다. 여기서 본 실시예에 관한 반도체 메모리장치의 전체 구성은 제 1 실시예와 마찬가지 구성이면 된다.

도 10에 도시한 바와 같이, 본 실시예에 관한 메모리 코어부(50)는, 각각이 제 1 포트(a) 및 제 2 포트(b), 2개의 포트를 갖는 2포트 구성으로서, 행렬상으로 배치된 복수개의 메모리 셀을 포함하는 복수의 메모리 서브어레이(55)를 갖는다. 이하 제 1 포트(a)를 a포트, 제 2 포트(b)를 b포트라 칭한다. 이 2포트 구성으로써 각 메모리 서브어레이(55)마다 a포트용 제 1 센스앰프 어레이(52a) 및 b포트용 제 2 센스앰프 어레이(52b)와, a포트용 제 1 선택기(53a) 및 b포트용 제 2 선택기(53b)가 설치된다.

a포트용 제 1 행 복호기(62a), b포트용 제 2 행 복호기(62b), a포트용 제 1 열 복호기(63a), b포트용 제 2 열 복호기(63b)에는, 외부 클록신호(CLK)와, 메모리 셀을 특정하는 어드레스 신호 및 장치동작을 지시하는 명령신호가 각각 입력된다. 또 본 실시예의 특징으로서 제 1 열 복호기(63a), 제 2 열 복호기(63b)에 있어서의 기입용 내부 클록신호 주기를 분주하는 분주기(67)를 갖는다.

제 1 선택기(53a)는 제 1 데이터버스(66a)와 접속되고, 제 2 선택기(53b)는 제 2 데이터버스(66b)와 접속된다. 제 1 데이터버스(66a) 및 제 2 데이터버스(66b)는 버스 선택기(70)를 통하여 Dout버퍼(64) 또는 Din버퍼(65)와 접속된다.

도 11은 메모리 코어부(50)의 회로 구성 및 주변회로의 일례를 나타낸다. 도 11에 있어서, 도 4 및 도 10에 도시한 구성요소와 동일한 구성요소에는 동일 부호를 부여하고 그 설명을 생략한다. 도 11에 도시한 바와 같이 메모리 서브어레이(55)가 갖는 각 메모리 셀(10)은, 각각이 데이터로 되는 전하를 축적시켜 유지하는 전하 축적용 커패시터(11)와, 전하 축적용 커패시터(11)에 대한 외부로부터의 액세스를 제어하는 a포트용 제 1 셀 트랜지스터(13)와, 전하 축적용 커패시터(11)에 대한 외부로부터의 액세스를 제어하는 b포트용 제 2 셀 트랜지스터(14)로 구성된다.

제 1 셀 트랜지스터(13)는, 소스가 전하축적용 커패시터(11)의 셀 플레이트와 반대쪽 전극과 접속되고, 드레인이 a포트용 제 1 비트선(BL(n)a)과 접속되며, 게이트가 제 1 비트선(BL(n)a), 또는 b포트용 제 2 비트선(BL(n)b)과 각각 교차하는 a포트용 제 1 워드선(WL(m)a)과 접속된다. 단 n은 1≤n≤N의 정수로 하며, m은 1≤m≤M의 정수로 한다. 여기서는 제 1 비트선(BLa) 및 제 2 비트선(BLb)의 개수 N을 각각 128로 하고, 제 1 워드선(WLa) 및 b포트용 제 2 워드선(WLb)의 개수 M을 각각 64로 한다.

제 2 셀 트랜지스터(14)는, 소스가 제 1 셀 트랜지스터(13)의 소스와 공유되고, 드레인이 제 2 비트선(BL(n)b)에 접속되며, 게이트가 제 1 워드선(WL(m)a)과 평행하게 뻗는 제 2 워드선(WL(m)b)에 접속된다. 이와 같이 본 실시예에 관한 메모리 셀(10)은 1개의 전하 축적용 커패시터(11)에 대하여 각각 독립 액세스 가능한 2개의 셀 트랜지스터(13, 14)를 갖는, 이른바 2T1C형 구성을 갖는다.

도 11에 도시한 바와 같이, a포트용 제 1 센스앰프 어레이(52a) 및 제 1 선택기(53a)와 접속되는 제 1 비트선(BL(n)a)의 상보선(BLX(n)a)은 제 1 센스앰프 어레이(52a)에 대하여 메모리 서브어레이(55)와 반대쪽 영역에 배치된, 도시 생략된 메모리 서브어레이로부터 연장된다. 마찬가지로 b포트용 제 2 센스앰프 어레이(52b), 및 제 2 선택기(53b)와 접속되는 제 2 비트선(BL(n)b)의 상보선(BLX(n)b)은 제 2 센스앰프 어레이(52b)에 대하여 메모리 서브어레이(55)와 반대쪽 영역에 배치된, 도시 생략된 메모리 서브어레이로부터 연장된다.

제 1 센스앰프 어레이(52a)가 갖는 등화회로(15)는 a포트용 제 1 등화신호(EQa)를 수신하고, 제 1 센스앰프 어레이(52a)가 갖는 센스앰프 회로(20)는 a포트용 제 1 센스앰프 활성화 신호(SAPa, SANa)를 수신한다. 한편, 제 2 센스앰프 어레이(52b)가 갖는 등화회로(15)는 b포트용 제 2 등화신호(EQb)를 수신하고, 제 2 센스앰프 어레이(52b)가 갖는 센스앰프 회로(20)는 b포트용 제 2 센스앰프 활성화 신호(SAPb, SANb)를 수신한다.

제 1 선택기(53a)가 갖는 기입용 스위치(30) 및 판독용 스위치(35)는, a포트용 제 1 데이터버스(66a)와 접속되며, 제 2 선택기(53b)가 갖는 기입용 스위치(30) 및 판독용 스위치(35)는, b포트용 제 2 데이터버스(66b)와 접속된다.

이하 상기와 같이 구성된 DRAM장치에 있어서의 데이터 기입동작 및 판독동작에 대하여 도면을 참조하면서 설명하기로 한다.

도 12는 본 실시예에 관한 DRAM장치의 기입동작 및 판독동작의 타이밍도를 나타낸다. 도 12에 도시한 바와 같이, 제 1 실시예와 달리, 명령에는 ACT명령이 없이, 예를 들어 WRITE 또는 READ 명령이 입력되는 타이밍에서, 행 어드레스 및 열 어드레스가 하나의 어드레스(A1)로서 입력된다. 따라서 본 실시예에 있어서는 a포트 및 b포트 중 어느 포트에서 메모리 셀(10)에 대하여 액세스를 실행하는지는 명령이 입력되었을 때의 장치 상태에 따라 선택된다.

기입동작의 경우, WRITE명령과 동시에 어드레스(A1) 및 데이터(D1)가 입력된다. 입력된 어드레스(A1)는 장치 내부에서 행 어드레스와 열 어드레스로 분리된다.

여기서는 도 12에 도시한 바와 같이 데이터의 기입명령(WRITE)이 a포트에 입력되는 경우를 설명한다.

입력된 어드레스(A1)에 포함되는 행 어드레스에 의하여, 제 1 등화신호(EQa)가 저 레벨로 천이함으로써, 선택된 메모리 서브어레이(55)의 제 1 쌍 비트선(BLa, BLXa)의 등화가 해제되고, 이어서 선택된 제 1 워드선(WLa)이 활성화된다. 한편, 입력된 어드레스(A1)에 포함되는 열 어드레스에 의하여 선택된 센스앰프 회로(20)에 대하여, Din버퍼(65)로부터 버스 선택기(70)를 통하여 제 1 데이터버스(66a) 상에 기입데이터(D1)가 전송되고, 활성화된 제 1 기입제어 신호(WTa)에 의하여 선택된 기입용 스위치(30)가 도통상태로 됨으로써, 선택된 제 1 비트선(BLa)의 전위가 입력된 데이터에 의하여 갱신된다.

그 후, 제 1 센스앰프 활성화 신호(SAPa, SANa)를 각각 활성화시킴으로써 a포트용 센스앰프 회로(20)에 의하여, 갱신된 제 1 비트선(BLa)의 전위가 증폭되고, 이 증폭된 전위가, 선택 중의 제 1 워드선(WLa)에 의하여 활성화된 제 1 셀 트랜지스터(13)를 통하여 메모리 셀(10)의 전하축적용 커패시터(11)에 축적된다.

여기서, 장치 내의 기입동작 타이밍을 결정하는 내부 클록신호(＝WTa, WTb)는 외부 클록신호(CLK)의 주파수를 분주하여 이용한다. 즉 본 실시예에서는, 기입 제어용 분주기(67)에 의하여 외부 클록신호(CLK)의 4배 주기를 갖는 내부 클록신호(WTa, WTb)를 생성하고, 이 내부 클록신호(WTa, WTb) 1주기에서 1회의 기입동작을 실행하도록 한다.

다음으로 연속하여 기입동작을 실행하는 경우에는, 외부 클록신호(CLK) 4주기 후에 다시 입력되는 WRITE명령에 의하여, 어드레스(A2)와 기입데이터(D2)가 입력되고 이번에는 b포트 측 회로를 이용하여 마찬가지 기입동작이 실행된다. 이어서 기입동작의 종료 후는, 장치 내에서 생성한 프리차지 신호(VBLP)를 이용하여, 선택된 제 1 워드선(WLa) 또는 제 2 워드선(WLb)을 비활성 상태로 하고, 그 후 선택된 제 1 비트선(BLa) 또는 제 2 비트선(BLb)의 등화동작이 실행되어 다음 액세스에 대비한다.

이와 같이 데이터 기입동작을 실행할 때, a포트와 b포트를 교대로 액세스시킴으로써 도 12에 도시한 바와 같이, 예를 들어 제 1 워드선(WLa)이 선택 중에 활성화 상태로서, 비활성 상태로 천이시키기 전에, 다음의 제 2 워드선(WLb)을 활성화시킬 수 있다. 그 결과 기입동작을 고속으로 실행할 수가 있다.

다음, 데이터의 판독동작을 설명한다.

판독동작의 경우에도, READ명령과 동시에, 예를 들어 어드레스(A51)가 입력된다. 입력된 어드레스(A51)는 장치 내부에서 행 어드레스와 열 어드레스로 분리된다.

먼저, 입력된 어드레스(A51)에 포함되는 행 어드레스로 선택된 메모리 서브어레이(55)의 제 1 쌍 비트선(BLa, BLXa)의 등화가, 제 1 등화신호(EQa)의 저 레벨로의 천이에 의하여 해제되고, 이어서 선택된 제 1 워드선(WLa)이 활성화된다.

그 후, 제 1 센스앰프 활성화 신호(SAPa, SANa)를 각각 활성화시킴으로써, 센스앰프 회로(20)기 메모리 셀(10)에 유지된 전하를 제 1 쌍 비트선(BLa, BLXa)을 통하여 검지하고, 이를 고 레벨 또는 저 레벨의 전위로 증폭시켜 확정한다.

다음으로, 입력된 어드레스(A51)에 포함되는 열 어드레스에 의하여 선택된 판독 스위치(35)에 의하여, 제 1 비트선(BLa)에 확정된 데이터가 검지되면서 반전하여 증폭된다. 증폭된 데이터는 버스 선택기(70)를 통하여 Dout버퍼(64)로 판독데이터(Q51)로서 전송되어 외부로 출력된다.

여기서, 먼저 입력된 행 어드레스와 동일 어드레스이며 열 어드레스만 다르도록, 예를 들어 어드레스(A52, A53, A54)를 연속적으로 판독하는 경우는, 차례로 외부 클록신호(CLK)와 동일 주기의 READ명령마다 어드레스(A52, A53, A54)가 입력된다. 그 결과, A51의 경우와 마찬가지 동작으로 또 A51의 경우와 마찬가지 a포트의 회로를 통하여 실행된다.

전술한 바와 같이 기입동작과 달리 판독동작의 경우는, 제 1 데이터버스(66a) 및 제 2 데이터버스(66b) 신호 전압의 소진폭화를 도모할 수 있으므로, 하나의 행 어드레스에 대하여 복수회의 판독동작을 실현할 수 있다. 본 실시예에서는 도 12에 도시한 바와 같이, 기입 주기 1주기분으로 4회의 판독동작을 행한다.

다음으로, 제 1 쌍 비트선(BLa, BLXa)에 나타나는 데이터는 그대로 센스앰프 회로(20)에 의하여 유지되고 증폭되어, 판독동작 종료 후 내부에서 생성된 프리차지 명령에 의하여 제 1 워드선(WLa)을 비 활성화 상태로 함으로써, 활성화된 메모리 셀(10)의 각 전하 축적용 커패시터(11)에 전하가 재 축적된다. 그 후, 제 1 등화신호(EQa)가 활성화되어 제 1 쌍 비트선(BLa, BLXa) 전위가 등화되고 다음 액세스에 대비한다.

이와 같이 본 실시예에 의하면, 하나의 워드선(WLa, WLb)으로 활성화되는 복수의 메모리 셀(10)에 유지된 데이터를, 기입동작 동작기간(tW)의 1/4 동작기간(tR)으로 판독할 수 있다.

또 도 12에 도시한 바와 같이, 이와 같은 4주기에 걸치는 일련의 판독동작 후에, 다시 판독동작을 실행하는 경우에는, READ명령에 의하여, 예를 들어 어드레스(A61~A64)가 입력되고 전술한 어드레스(A51~A54)와 같은 동작이면서 이번에는 b포트의 회로를 통하여 판독동작이 실행되어, 일련의 판독데이터(Q61, Q62, Q63, Q64)가 출력된다.

이와 같이 2T1C형의 메모리 셀(10)의 특성을 살려, a포트와 b포트를 교대로 액세스시킴으로써 간단없이 또 매우 고속의 판독동작을 실현할 수 있다.

도 13은 도 12에 도시한 바와 같이 액세스된 메모리 코어부(50)를 모식적으로 나타낸다. 도 13에 있어서, 도 11에 도시한 구성요소와 동일 구성요소에는 동일 부호를 부여함으로써 설명을 생략한다. 도 13에 도시한 바와 같이, 제 1 메모리 서브어레이(55A)에서는, 제 1 워드선(WL1a)과 접속된 메모리 셀(10)에 대하여 데이터(D1)의 기입이 실행되고, 제 2 워드선(WL2b)과 접속된 메모리 셀(10)에 대하여 데이터(D2)의 기입이 실행된다. 제 2 메모리 서브어레이(55B)에서는, 제 1 워드선(WL5a)과 접속된 메모리 셀(10)에 대하여 일련의 데이터(Q51, Q52, Q53, Q54)의 판독이 실행되고, 제 2 워드선(WL6b)과 접속된 메모리 셀(10)에 대하여 일련의 데이터(Q61, Q62, Q63, Q64)의 판독이 실행된다. 그리고 제 3 메모리 서브어레이(55C)에서는 제 1 워드선(WL7a)과 접속된 메모리 셀(10)에 대하여 일련의 데이터(Q71, Q72, Q73, Q74)의 판독이 실행되고, 제 2 워드선(WL8b)과 접속된 메모리 셀(10)에 대하여 일련의 데이터(Q81, Q82, Q83, Q84)의 판독이 실행된다.

여기서 제 1 실시예와 마찬가지로, 기입 제어용 내부클록(WT) 주기(tW)를 외부클록(CLK) 주기의 4배로 분주했지만, 이에 한정되지 않고 외부 클록신호(CLK) 1주기를 판독동작이 충분히 실행될 정도로 짧게 하여도 되며, 이 경우에는, 내부클록(WT)의 주기(tW)를 연속적인 기입동작이 충분히 실행될 정도로 분주비를 크게 하면 된다.

또 기입 제어용 내부클록(WT)의 주기(tW)를, 외부클록(CLK) 주기를 분주하는 대신 판독 제어용 내부클록(RD)의 주기(tR)를 외부클록(CLK) 주기의 1/4로 하여도 된다.

그리고 제 1 실시예와 마찬가지로, 판독동작시 기동하는 열 복호기(63a, 63b)에 버스트 카운터를 부가시킴으로써, 외부로부터 입력되는 어드레스에 대하여 하나의 워드선 상에 연속하는 어드레스를 내부에서 자동 발생시켜도 된다. 이와 같이 하면, 어드레스를 클록 주기별로 입력시킬 필요가 없어지므로, 액세스가 쉬운 반도체 메모리장치를 얻을 수 있다.

도 14는 본 실시예에 버스트 모드를 채용한 경우의 기입동작 및 판독동작의 타이밍도를 나타낸다. 도 14에 도시한 바와 같이 판독동작과 기입동작의 랜덤 사이클(단, 여기서는 워드선(WLa, WLb)의 동작 주기)이 동일 주기로 되도록 구성된다. 이로써, 판독동작 및 기입동작과 이에 수반되는 어드레스 입력 주기(tCOM)가 모두 동일한 4주기로 실현된다. 그 결과 랜덤 사이클만으로 결정되는 주기에 따라, 외부로부터 입력되는 명령 및 어드레스를 입력하는 간단한 제어로 고속이며 간단없는 데이터 판독을 실행할 수 있다.

발명의 효과

본 발명에 관한 반도체 메모리장치에 의하면, 외부 클록신호에 기초하여 생성되는 판독용 클록신호의 주기가, 외부 클록신호에 기초하여 생성되는 기입용 클록신호의 주기보다 짧아지도록 설정되므로, 하나의 행 어드레스 상에서, 연속하는 열 어드레스에 대응하는 복수의 메모리 셀로부터, 일련의 데이터를 고속으로 판독할 수 있다.

또 메모리 셀이 2개의 트랜지스터와 1개의 커패시터로 구성된 2포트 구성을 채용하는 경우에, 데이터 판독 시는 제 1 포트의 하나의 워드선으로부터 일련의 데이터열을 연속적으로 판독하고, 이어서 제 2 포트의 다른 워드선으로부터 일련의 데이터를 연속적으로 판독하며, 이 동작을 교대로 실행함으로써 데이터의 판독동작을 매우 고속으로 실행할 수 있다.

도면의 간단한 설명

도 1의 (a) 및 (b)는 본 발명의 제 1 실시예에 관한 반도체 메모리장치의 시스템 구성을 나타내며, (a)는 데이터 처리용 프로세서와 버스 접속된 DRAM장치를 도시하는 블록 구성도이고, (b)는 프로세서와 DRAM장치가 1개의 칩 상에 실현된 경우의 블록 구성도이다.

도 2는 본 발명의 제 1 실시예에 관한 반도체 메모리장치를 도시하는 블록 구성도.

도 3은 본 발명의 제 1 실시예에 관한 반도체 메모리장치에 있어서의 메모리 코어부 및 그 주변회로부를 도시하는 블록 구성도.

도 4는 본 발명의 제 1 실시예에 관한 반도체 메모리장치에 있어서의 메모리 코어부 및 그 주변회로부를 도시하는 회로도.

도 5는 본 발명의 제 1 실시예에 관한 반도체 메모리장치에 있어서의 동작 타이밍을 도시하는 타이밍도.

도 6은 본 발명의 제 1 실시예에 관한 반도체 메모리장치의 메모리 코어부를 도시하며, 도 5에 도시한 타이밍에서 액세스되는 양상을 나타내는 모식도.

도 7은 본 발명의 제 1 실시예의 제 1 변형예에 관한 반도체 메모리장치에 있어서의 메모리 코어부 및 그 주변회로부를 도시한 회로도.

도 8은 본 발명의 제 1 실시예의 제 2 변형예에 관한 반도체 메모리장치에 있어서의 메모리 코어부 및 그 주변회로부를 도시한 회로도.

도 9는 본 발명의 제 1 실시예의 제 2 변형예에 관한 반도체 메모리장치에 있어서의 동작 타이밍을 나타내는 타이밍도.

도 10은 본 발명의 제 2 실시예에 관한 반도체 메모리장치에 있어서의 메모리 코어부 및 그 주변회로부를 도시하는 블록 구성도.

도 11은 본 발명의 제 2 실시예에 관한 반도체 메모리장치에 있어서의 메모리 코어부 및 그 주변회로부를 도시하는 회로도.

도 12는 본 발명의 제 2 실시예에 관한 반도체 메모리장치에 있어서의 동작 타이밍을 나타내는 타이밍도.

도 13은 본 발명의 제 2 실시예에 관한 반도체 메모리장치의 메모리 코어부를 도시하며, 도 12에 도시한 타이밍에서 액세스되는 양상을 나타내는 모식도.

도 14는 본 발명의 제 2 실시예에 관한 반도체 메모리장치에 있어서의 버스트 모드에서의 동작 타이밍을 나타내는 타이밍도.

도 15는 종래의 반도체 메모리장치에서의 메모리 코어부 및 그 주변회로부를 도시한 블록 구성도.

도 16은 종래의 반도체 메모리장치에서의 동작 타이밍을 나타내는 타이밍도.

도 17은 종래의 반도체 메모리장치의 메모리 코어부를 나타내며, 도 16에 도시한 동작 타이밍에서 액세스되는 양상을 도시한 모식도.

* 도면의 주요 부분에 대한 부호의 설명 *

1, 1A, 1B : DRAM장치 2 : 메모리 버스

3 : 프로세서 4 : 반도체 칩

10 : 메모리 셀 11 : 전하축적용 커패시터

12 : 셀 트랜지스터 13 : 제 1 셀 트랜지스터

14 : 제 2 셀 트랜지스터 15 : 등화회로

16, 31, 36 : 제 1 NMOS 트랜지스터

17, 32, 37 : 제 2 NMOS 트랜지스터

20 : 센스앰프 회로 21 : PMOS 트랜지스터

22 : NMOS 트랜지스터 30 : 기입용 스위치

35 : 판독용 스위치 50 : 메모리 코어부

50a : 메모리 어레이(데이터 기억수단)

50b, 52 : 센스앰프 어레이 50c, 53 : 선택기

51, 55 : 메모리 서브어레이 51A, 55A : 제 1 메모리 서브어레이

51B, 55B : 제 2 메모리 서브어레이

52a : 제 1 센스앰프 어레이 52b : 제 2 센스앰프 어레이

53a : 제 1 선택기 53b : 제 2 선택기

55C : 제 3 메모리 서브어레이 61 : 어드레스 버퍼

62 : 행 복호기 62a : 제 1 행 복호기

62b : 제 2 행 복호기

63 : 열 복호기(데이터 기입수단/ 데이터 판독수단)

63a : 제 1 열 복호기 63b : 제 2 열 복호기

64 : Dout버퍼(출력버퍼) 65 : Din버퍼(입력버퍼)

66 : 데이터버스 66a : 제 1 데이터버스

66b : 제 2 데이터버스 67 : 분주기

68 : 타이밍 발생기

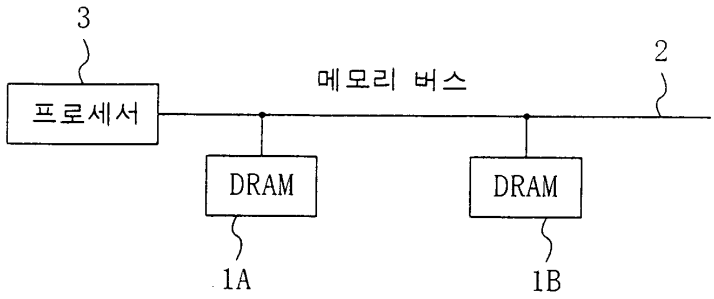
69 : 버스트 카운터(연속 어드레스 생성수단)

70 : 버스 선택기

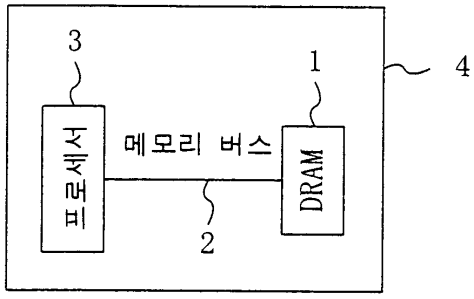
도면

도면1

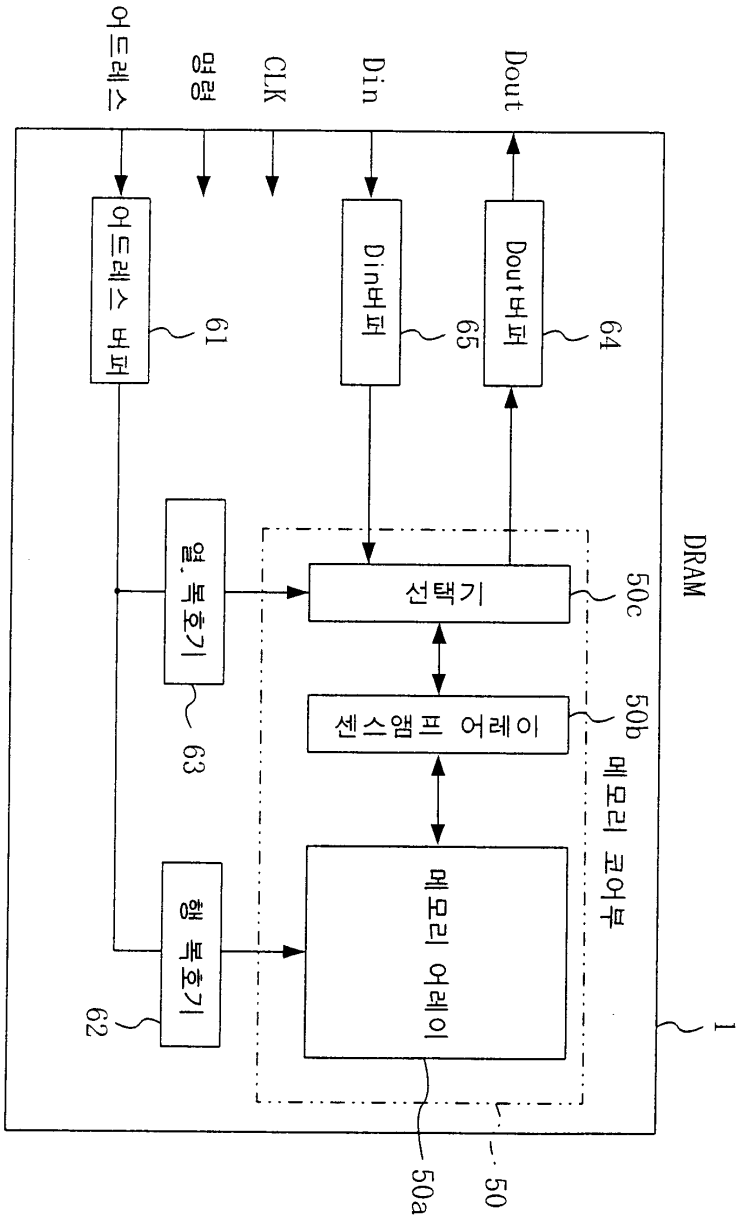
(a)



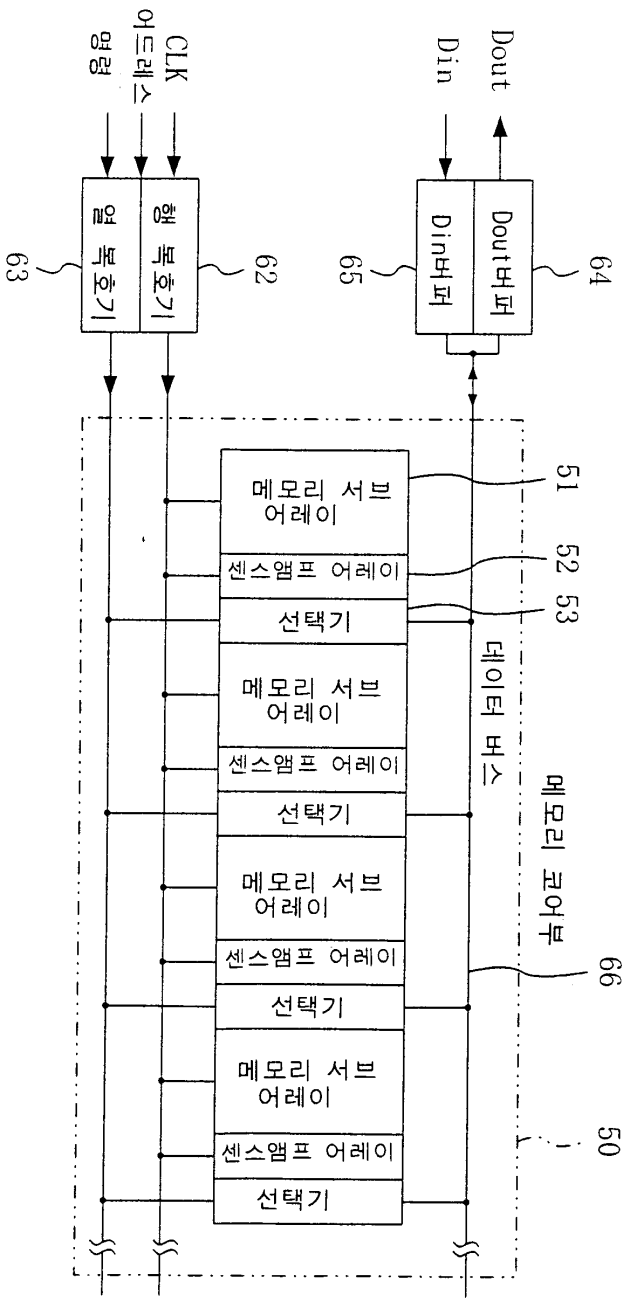
(b)



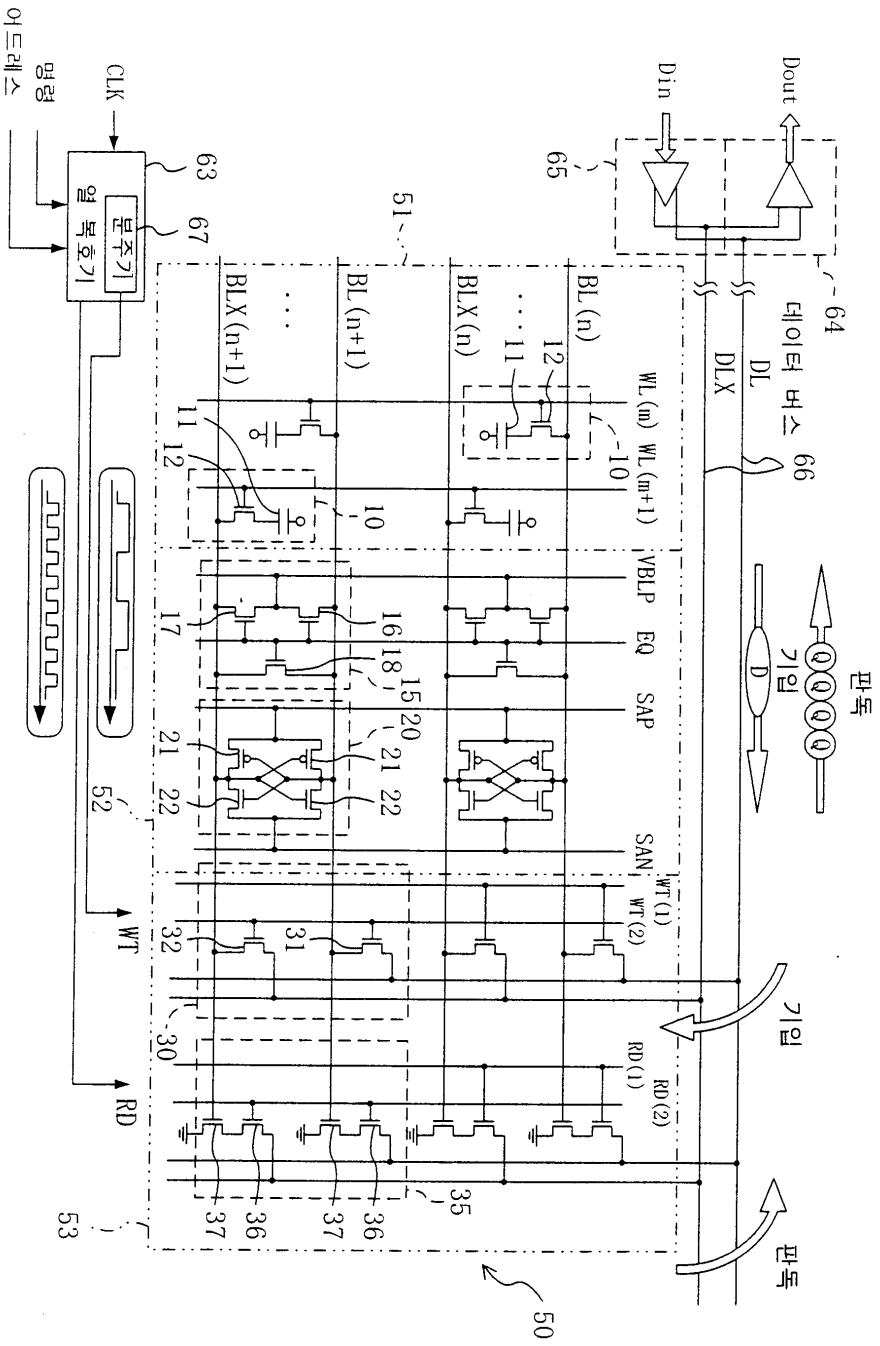
도면2


어드레스
명령
CLK
Din
Dout
어드레스 버퍼
61
Din버퍼
65
Dout버퍼
64
DRAM
열 복호기
63
선택기
50c
센스앰프 어레이
50b
메모리 코어부
행 복호기
62
메모리 어레이
1
50a
50

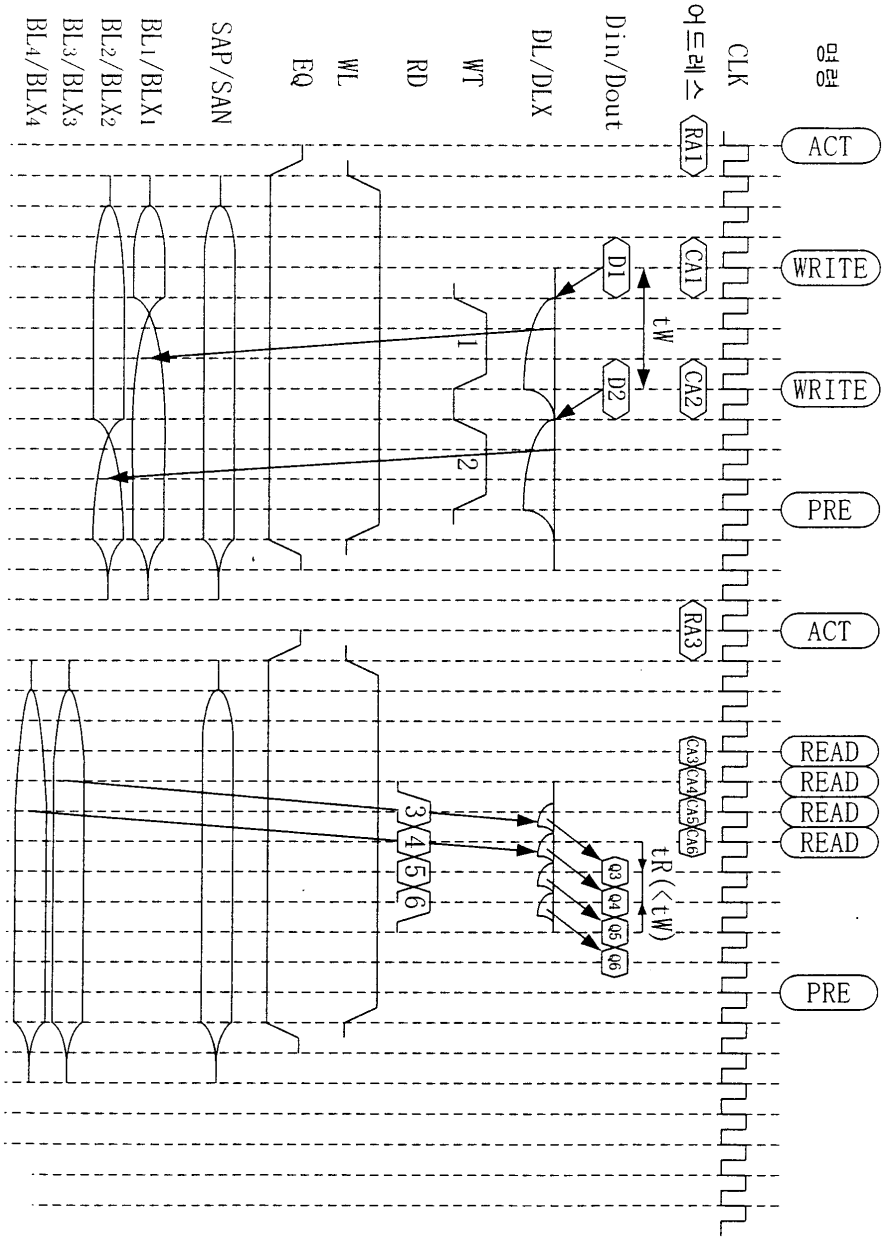
도면3


명령
CLK
어드레스
Din
Dout
열 복호기
63
행 복호기
62
Din버퍼
65
Dout버퍼
64
메모리 서브 어레이
센스앰프 어레이
선택기
메모리 서브 어레이
센스앰프 어레이
선택기
메모리 서브 어레이
센스앰프 어레이
선택기
메모리 서브 어레이
센스앰프 어레이
선택기
51
52
53
데이터 버스
66
메모리 코어부
50

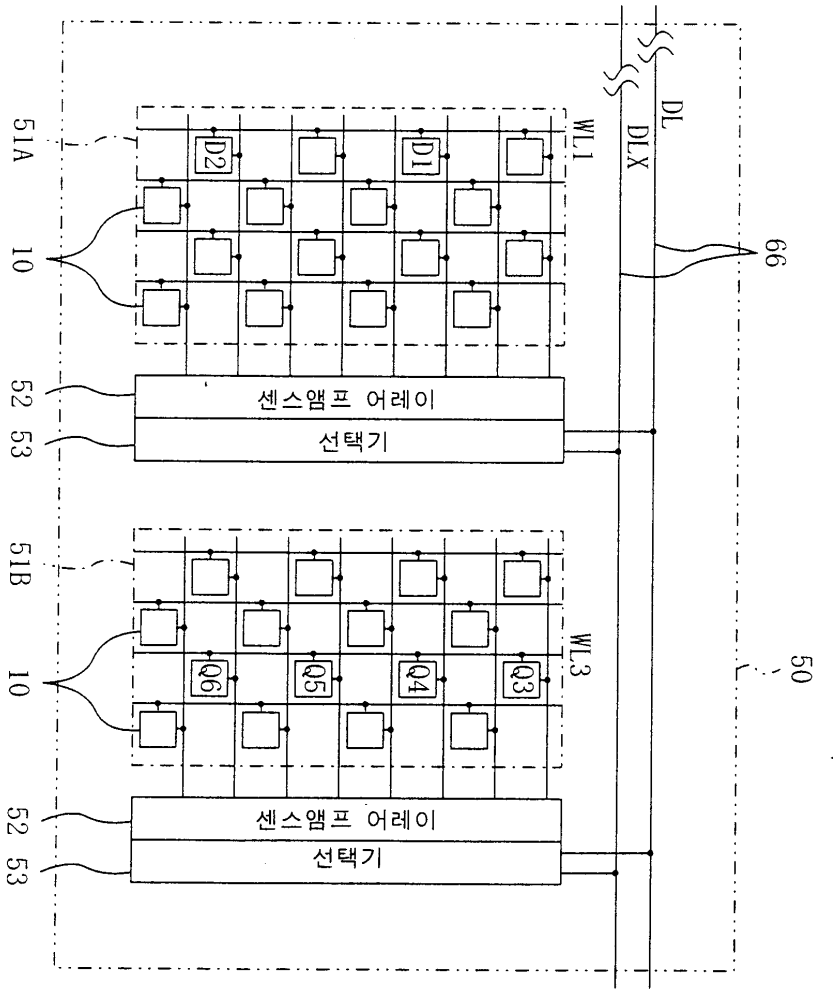
도면4


Dout
Din
65
64
데이터 버스
DL
DLX
66
51
63
67
CLK
명령
어드레스
열 복호기
분주기
BL(n)
BLX(n)
BL(n+1)
BLX(n+1)
WL(m)
WL(m+1)
VBLP
EQ
SAP
SAN
WT(1)
WT(2)
RD(1)
RD(2)
WT
RD
판독
기입
50
52
53

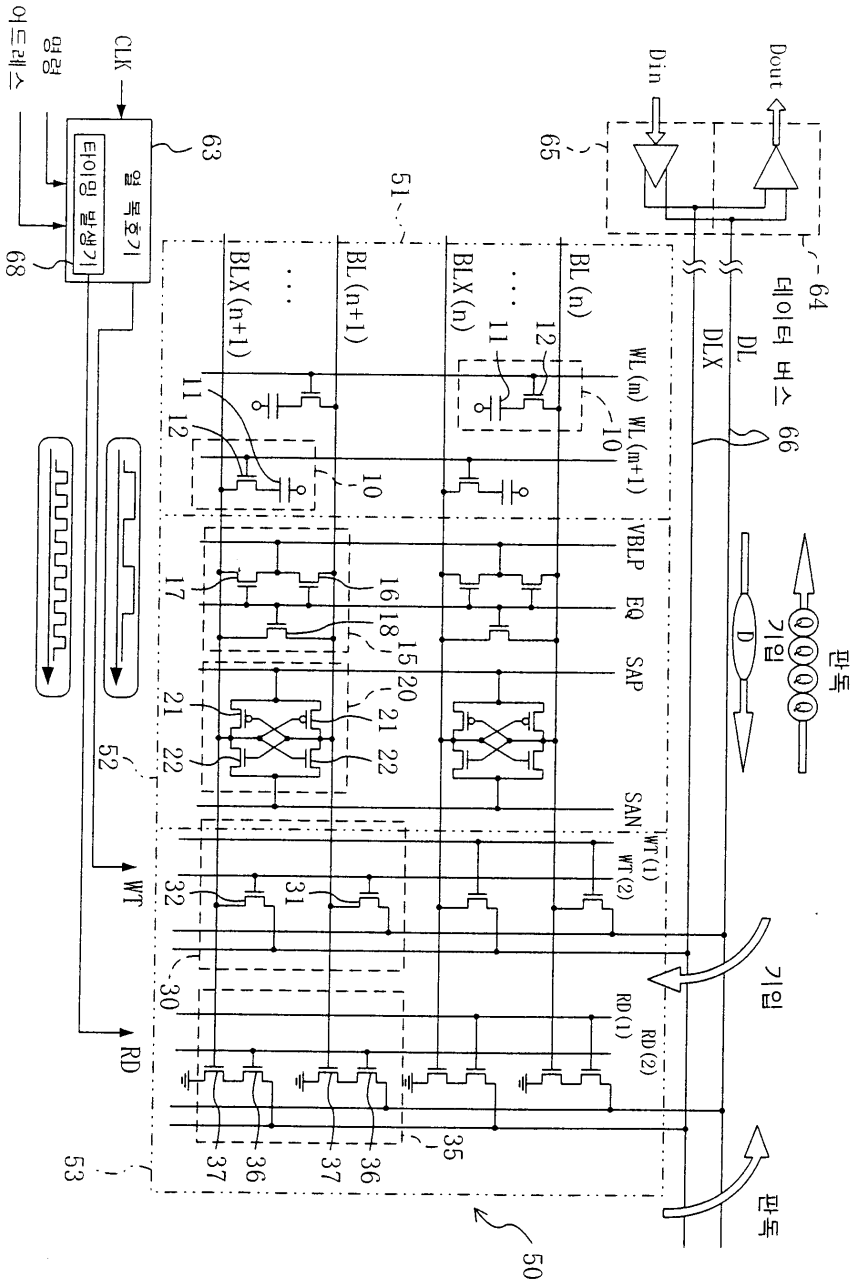
도면5


입력
CLK
어드레스
Din/Dout
DL/DLX
WT
RD
WL
EQ
SAP/SAN
BL1/BLX1
BL2/BLX2
BL3/BLX3
BL4/BLX4
RA1
ACT
CA1
D1
WRITE
tW
CA2
D2
WRITE
PRE
RA3
ACT
CA3
CA4
CA5
CA6
READ
READ
READ
READ
Q3
Q4
Q5
Q6
tR(<tW)
PRE
1
2
3
4
5
6

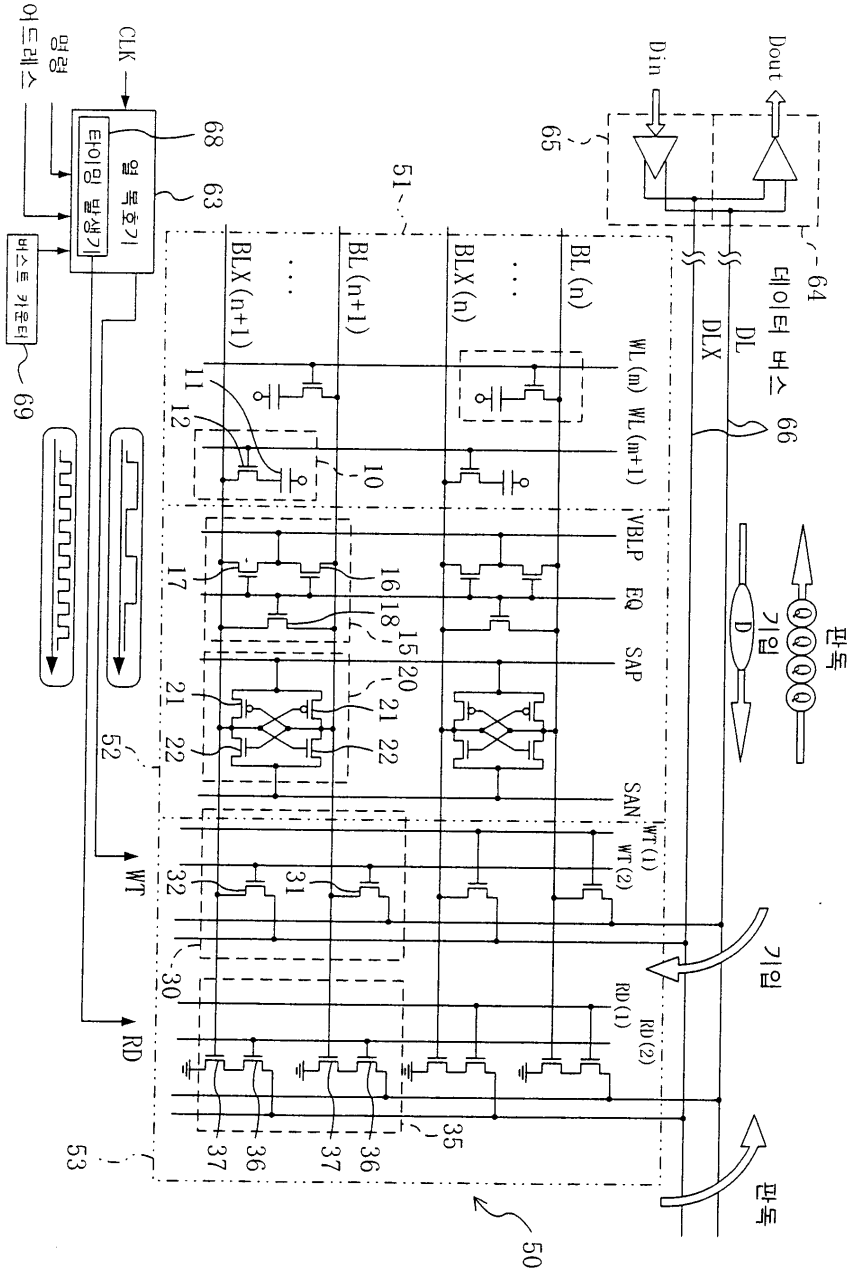
도면6


51A
10
52
53
51B
10
52
53
WL1
WL3
D2
D1
Q6
Q5
Q4
Q3
센스앰프 어레이
선택기
센스앰프 어레이
선택기
DL
DLX
66
50

도면7

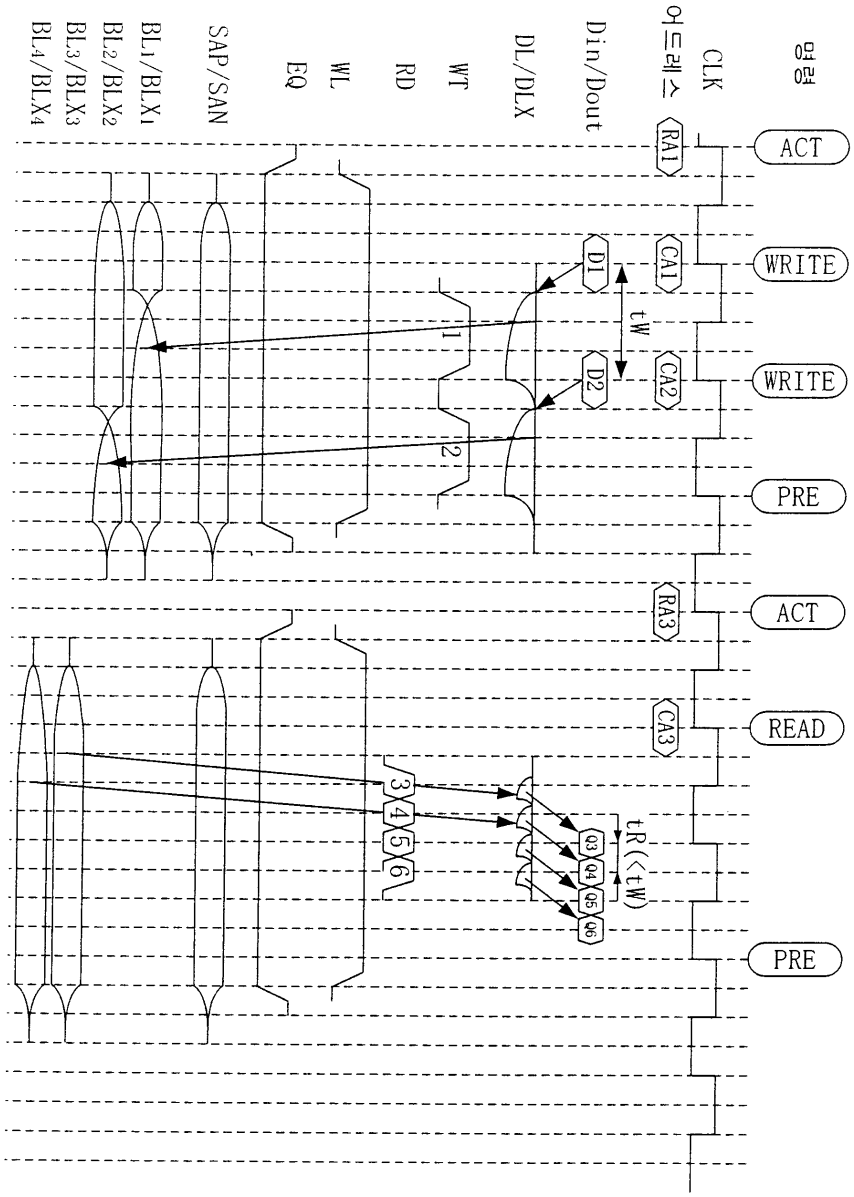

어드레스
입력
CLK
열 복호기
타이밍 발생기
63
68
51
Din
Dout
65
64
데이터 버스
DL
DLX
66
BL(n)
BLX(n)
BL(n+1)
BLX(n+1)
WL(m)
WL(m+1)
10
11
12
VBLP
EQ
SAP
SAN
16
17
18
15
20
21
22
52
WT
WT(1)
WT(2)
31
32
30
RD
RD(1)
RD(2)
35
36
37
53
50
D
기입
판독

도면8

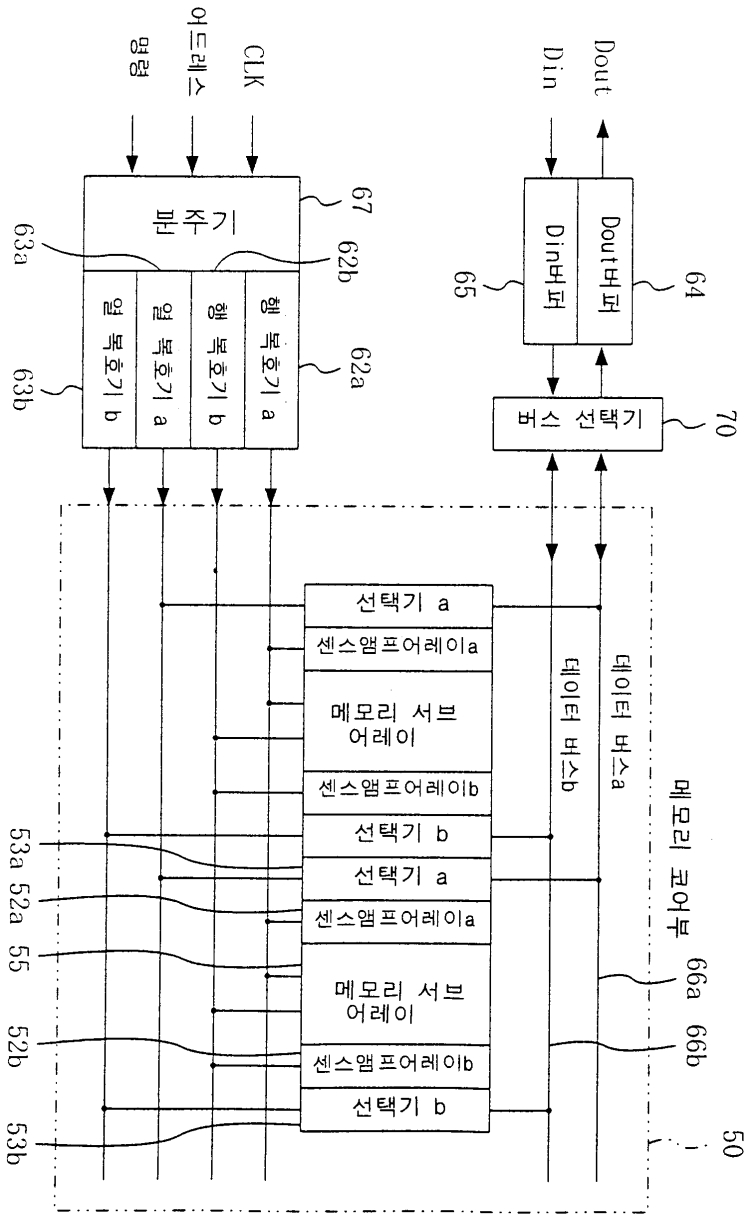


Dout
Din
65
64
데이터 버스
DL
DLX
66
51
BL(n)
BLX(n)
BL(n+1)
BLX(n+1)
WL(m)
WL(m+1)
VBLP
EQ
SAP
SAN
WT(1)
WT(2)
RD(1)
RD(2)
기입
판독
D
Q
CLK
열 복호기
타이밍 발생기
68
63
명령
어드레스
버스트 카운터
69
WT
RD
52
53
50

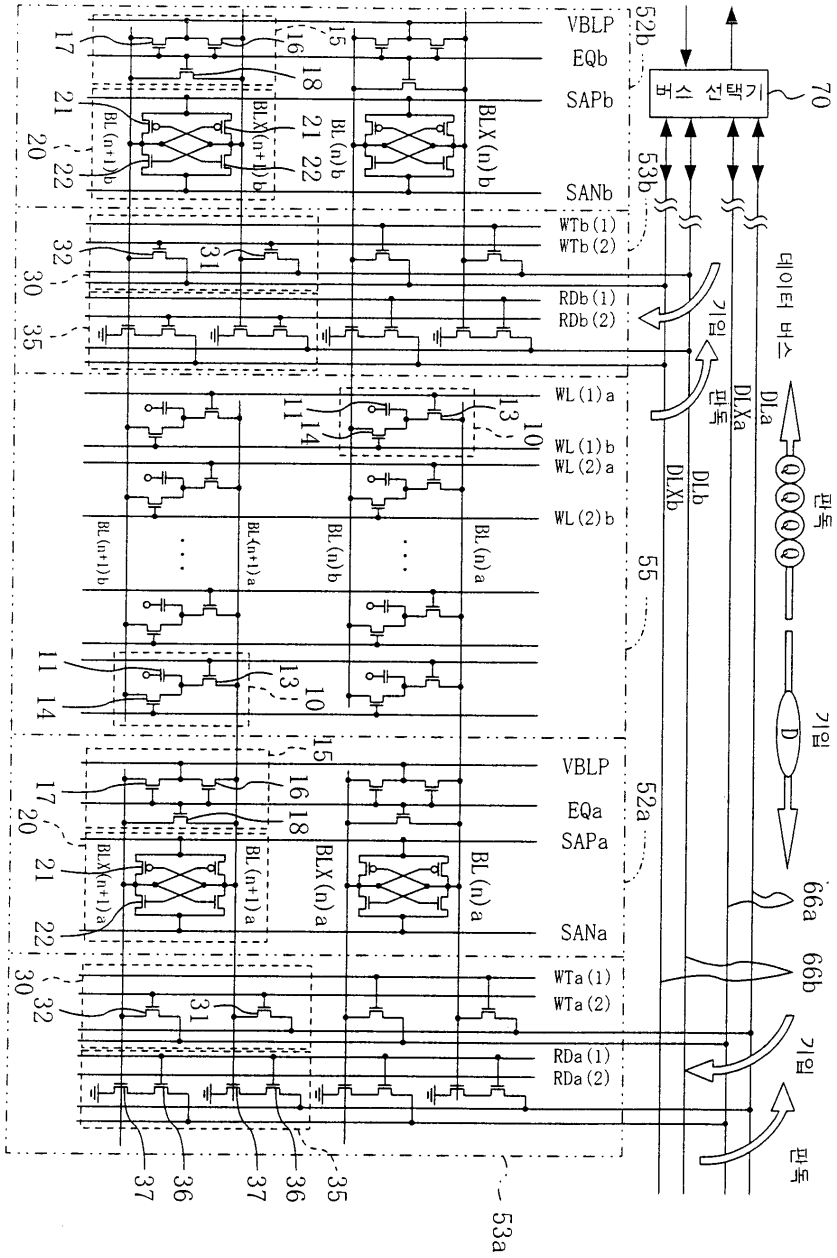
도면9


명령
CLK
어드레스
Din/Dout
DL/DLX
WT
RD
WL
EQ
SAP/SAN
BL1/BLX1
BL2/BLX2
BL3/BLX3
BL4/BLX4
ACT
WRITE
WRITE
PRE
ACT
READ
PRE
RA1
CA1
CA2
RA3
CA3
D1
D2
Q3
Q4
Q5
Q6
tW
tR(<tW)
1
2
3
4
5
6

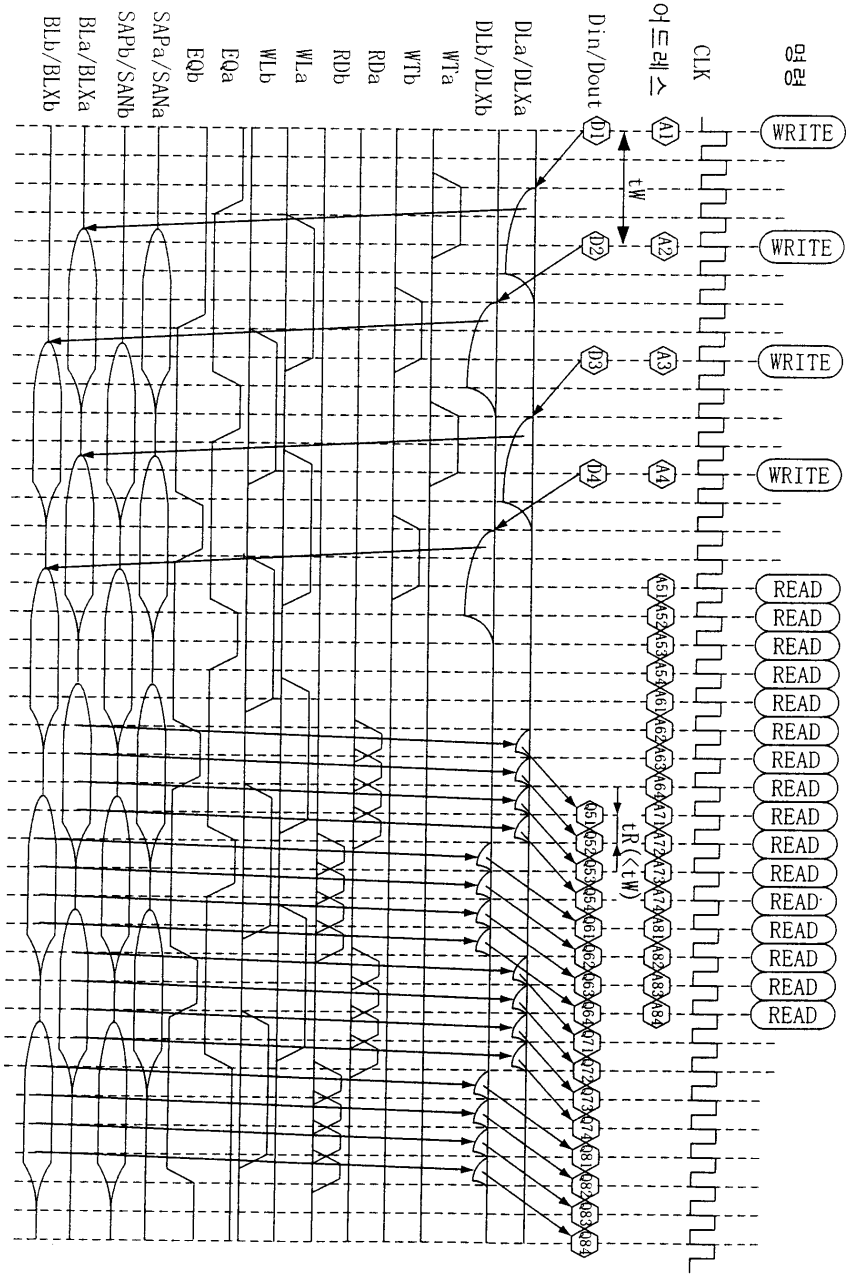
도면10


명령
어드레스
CLK
Din
Dout
버퍼
67
62b
63a
Din버퍼
Dout버퍼
65
64
열 복호기 b
열 복호기 a
행 복호기 b
행 복호기 a
63b
62a
버스 선택기
70
선택기 a
센스앰프어레이a
메모리 서브 어레이
센스앰프어레이b
선택기 b
선택기 a
센스앰프어레이a
메모리 서브 어레이
센스앰프어레이b
선택기 b
데이터 버스b
데이터 버스a
메모리 코어부
53a
52a
55
52b
53b
66a
66b
50

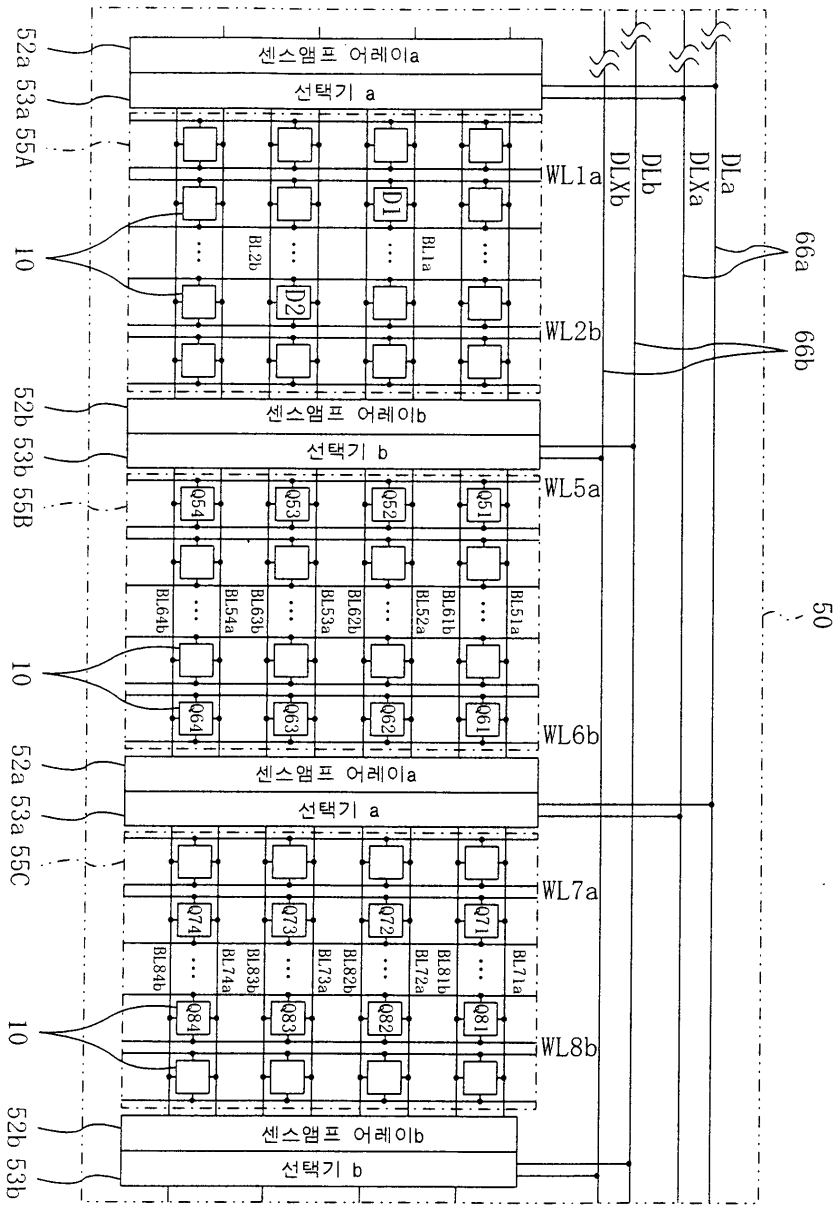
도면11


VBLP
EQb
SAPb
SANb
WTb(1)
WTb(2)
RDb(1)
RDb(2)
WL(1)a
WL(1)b
WL(2)a
WL(2)b
VBLP
EQa
SAPa
SANa
WTa(1)
WTa(2)
RDa(1)
RDa(2)
BLX(n)b
BL(n)b
BL(n+1)b
BLX(n)a
BL(n)a
BL(n+1)a
열 선택기
데이터 버스
기입
판독
DLa
DLXa
DLb
DLXb
D
52b
53b
55
52a
53a
66a
66b
70

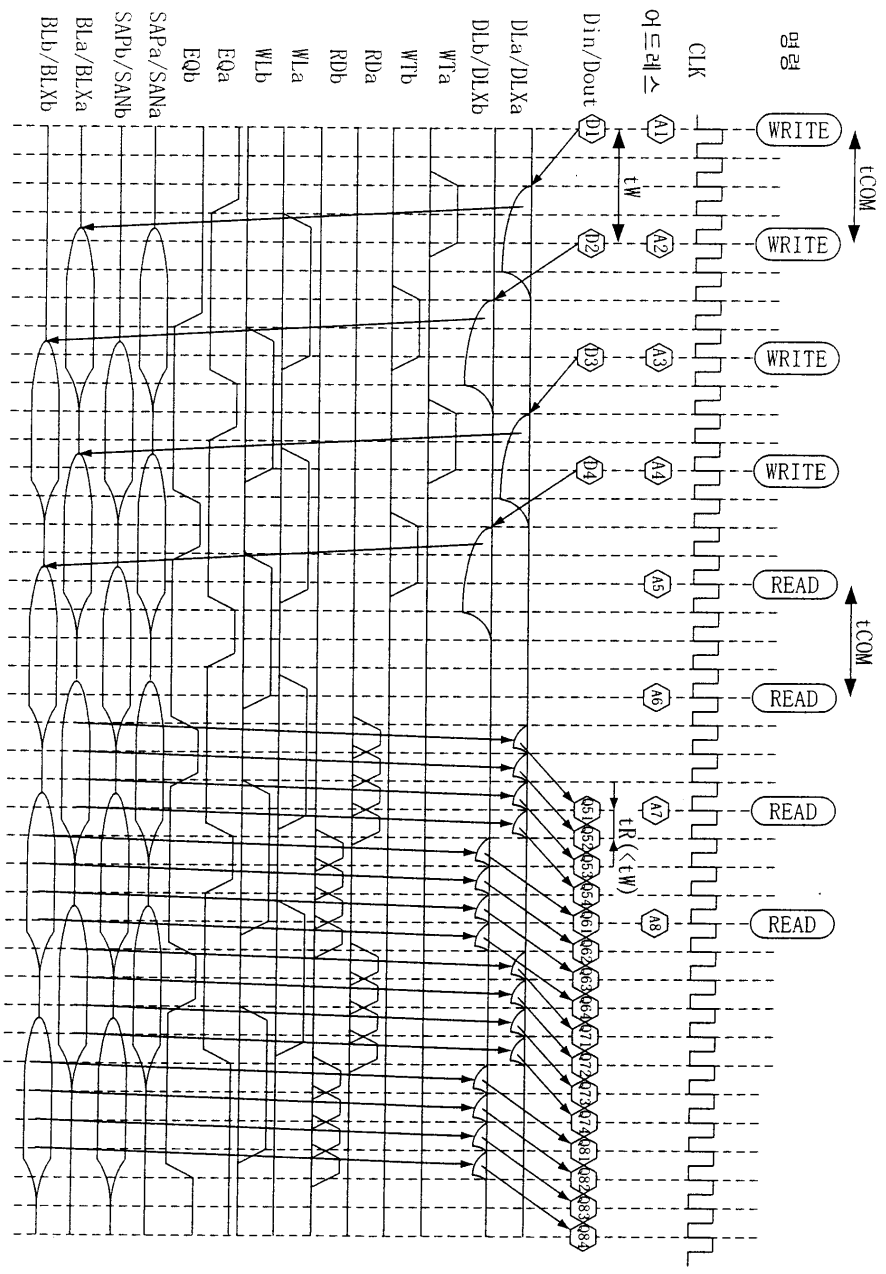
도면12


명령
CLK
어드레스
Din/Dout
DLa/DLXa
DLb/DLXb
WTa
WTb
RDa
RDb
WLa
WLb
EQa
EQb
SAPa/SANa
SAPb/SANb
BLa/BLXa
BLb/BLXb
WRITE
READ
tW
tR (<tW)

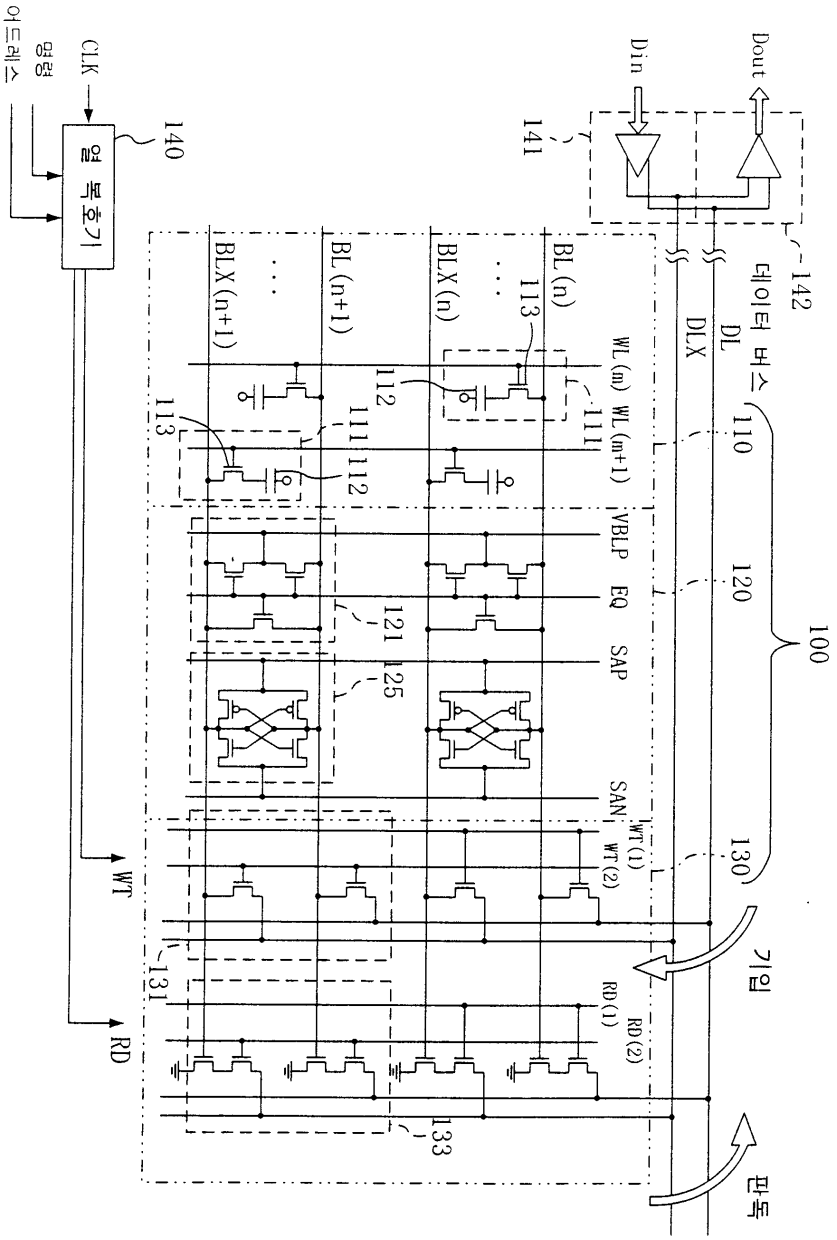
도면13


센스앰프 어레이a
선택기 a
센스앰프 어레이b
선택기 b
WL1a
WL2b
WL5a
WL6b
WL7a
WL8b
DLa
DLXa
DLb
DLXb
66a
66b
50
52a 53a 55A
10
52b 53b 55B
10
52a 53a 55C
10
52b 53b

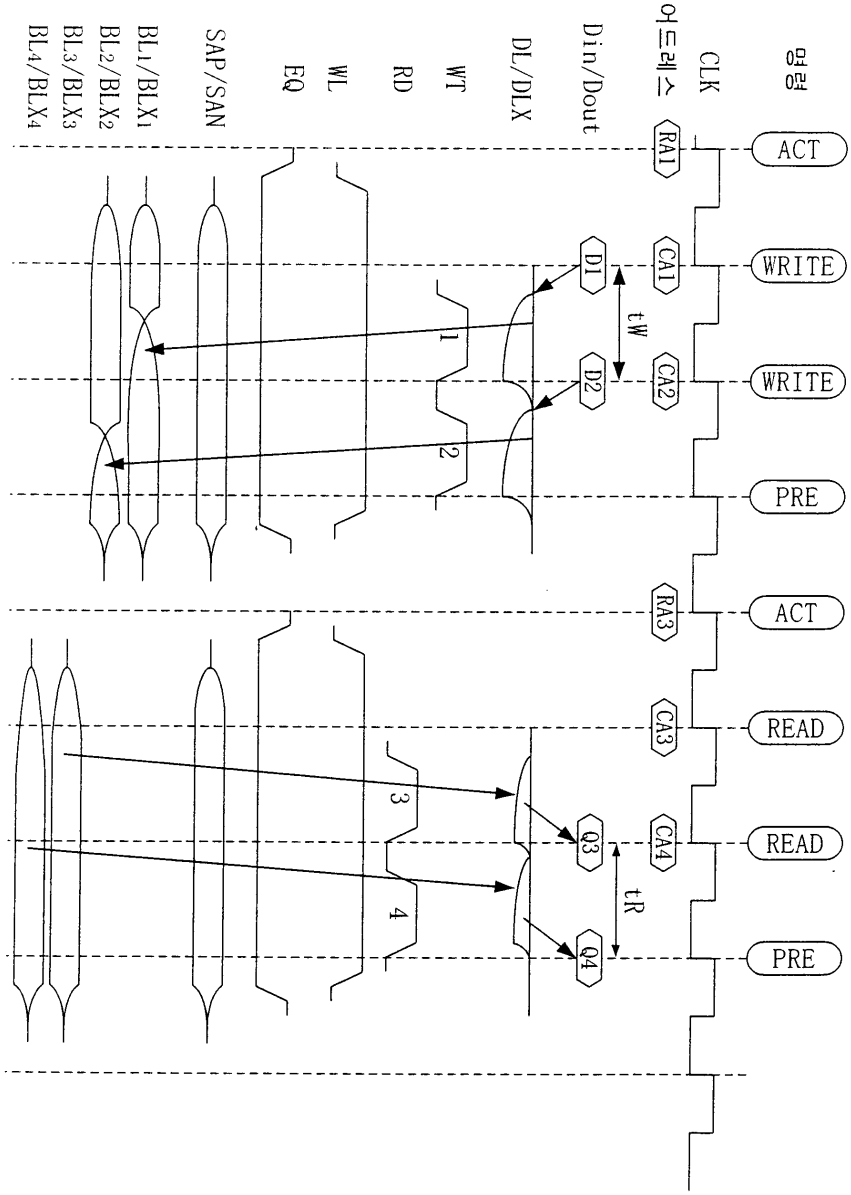
도면14


명령
CLK
어드레스
Din/Dout
DLa/DLXa
DLb/DLXb
WTa
WTb
RDa
RDb
WLa
WLb
EQa
EQb
SAPa/SANa
SAPb/SANb
BLa/BLXa
BLb/BLXb
WRITE
READ
tW
tR (<tW)
tCOM
A1
A2
A3
A4
A5
A6
A7
A8
D1
D2
D3
D4

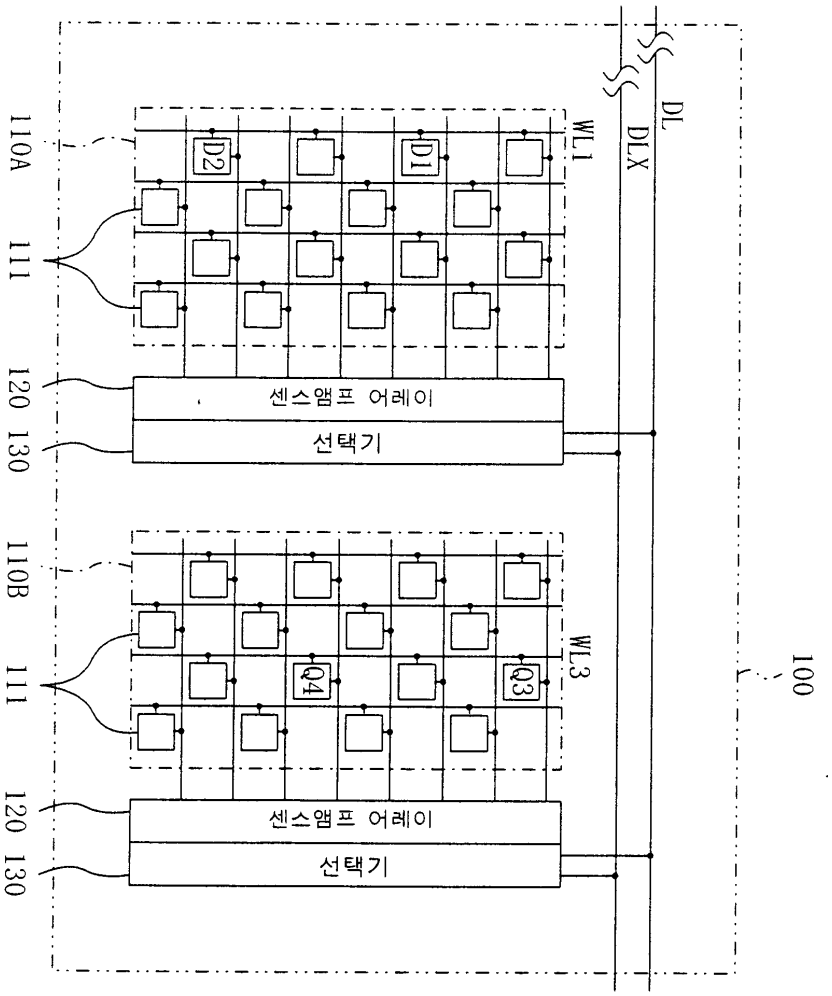
도면15


CLK
명령
어드레스
열 복호기
140
Dout
Din
141
142
데이터 버스
DL
DLX
BL(n)
BLX(n)
BL(n+1)
BLX(n+1)
WL(m)
WL(m+1)
VBLP
EQ
SAP
SAN
WT(1)
WT(2)
RD(1)
RD(2)
WT
RD
기입
판독
100
110
111
112
113
120
121
125
130
131
133

도면16


명령
CLK
어드레스
Din/Dout
DL/DLX
WT
RD
WL
EQ
SAP/SAN
BL1/BLX1
BL2/BLX2
BL3/BLX3
BL4/BLX4
ACT
WRITE
WRITE
PRE
ACT
READ
READ
PRE
RA1
CA1
CA2
RA3
CA3
CA4
D1
D2
Q3
Q4
tW
tR
1
2
3
4

도면17


110A
111
120
130
110B
111
120
130
WL1
WL3
DL
DLX
D2
D1
Q4
Q3
센스앰프 어레이
선택기
센스앰프 어레이
선택기
100