

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年5月17日(2007.5.17)

【公開番号】特開2006-318381(P2006-318381A)

【公開日】平成18年11月24日(2006.11.24)

【年通号数】公開・登録公報2006-046

【出願番号】特願2005-142780(P2005-142780)

【国際特許分類】

G 05 F 3/24 (2006.01)

G 09 G 3/36 (2006.01)

G 02 F 1/133 (2006.01)

G 09 G 3/20 (2006.01)

【F I】

G 05 F 3/24 B

G 09 G 3/36

G 02 F 1/133 5 5 0

G 02 F 1/133 5 7 5

G 09 G 3/20 6 1 1 A

G 09 G 3/20 6 1 2 F

【手続補正書】

【提出日】平成19年3月23日(2007.3.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の電源電圧を供給する第1の電源と、前記第1の電源電圧よりも電源電圧の低い第2の電源電圧を供給する第2の電源とを用いて第1～第M(Mは2以上の整数)の分割電圧を生成して出力する電圧分割回路と、

前記第1～第Mの分割電圧のインピーダンス変換を行う第1～第Mのインピーダンス変換回路と、

を含み、

前記第1～第P(1 < P < M、Pは整数)のインピーダンス変換回路及び前記第Q(P < Q < M、Qは整数)～第Mのインピーダンス変換回路は、その動作範囲が前記第1の電源電圧と前記第2の電源電圧との間の範囲に設定されたRai1-to-Rai1型である第1型の演算增幅器を含み、

前記第P+1～第Q-1のインピーダンス変換回路は、その動作範囲が前記第1の電源電圧よりも低い第3の電圧と、前記第1の電源電圧よりも低く前記第2の電源電圧よりも高い第4の電圧との間の範囲に設定された第2型の演算增幅器を含むことを特徴とする電圧発生回路。

【請求項2】

請求項1において、

第2～第Pのインピーダンス変換回路及び第Q～第M-1のインピーダンス変換回路は、前記第2型の演算增幅器をさらに含み、

前記第2～第Pのインピーダンス変換回路及び前記第Q～第M-1のインピーダンス変換回路の各々に設けられた前記第1型の演算增幅器及び前記第2型の演算增幅器は、排他

的に選択され、インピーダンス変換電圧を出力することを特徴とする電圧発生回路。

【請求項 3】

請求項 2において、

前記第 2 ~ 第 P のインピーダンス変換回路及び前記第 Q ~ 第 M - 1 のインピーダンス変換回路の各々に設けられた前記第 1 及び第 2 型の演算増幅器は、

前記第 1 型の演算増幅器及び前記第 2 型の演算増幅器の選択・非選択を設定する初期設定レジスタの設定値に基づいて、排他的に選択されてインピーダンス変換電圧を出力することを特徴とする電圧発生回路。

【請求項 4】

請求項 3において、

前記第 2 ~ 第 P のインピーダンス変換回路及び前記第 Q ~ 第 M - 1 のインピーダンス変換回路の各々に設けられた前記第 1 及び第 2 型の演算増幅器のうち、選択された演算増幅器ではバイアス電流用トランジスタがオンに設定され、非選択された演算増幅器ではバイアス電流用トランジスタがオフに設定されることを特徴とする電圧発生回路。

【請求項 5】

請求項 3 又は 4において、

前記第 1 型及び第 2 型の演算増幅器は、

一端に第 1 の電源電圧 (VDD) が供給された第 1 の電流源 (CS1) の他端に各トランジスタのソースが接続されると共に、入力信号 (Vin) 及び出力信号 (Vout) が各トランジスタのゲートに入力される第 1 の導電型の第 1 の差動トランジスタ対 (PT1、PT2) と、前記第 1 の差動トランジスタ対の各トランジスタのドレン電流を生成する第 1 のカレントミラー回路 (CM1) とを有する第 1 の導電型差動増幅回路 (100) と、

一端に第 2 の電源電圧 (VSS) が供給された第 2 の電流源 (CS2) の他端に各トランジスタのソースが接続されると共に、前記入力信号及び前記出力信号が各トランジスタのゲートに入力される第 2 の導電型の第 2 の差動トランジスタ対 (NT3、NT4) と、前記第 2 の差動トランジスタ対の各トランジスタのドレン電流を生成する第 2 のカレントミラー回路 (CM2) とを有する第 2 の導電型差動増幅回路 (110) と、

前記第 1 の差動トランジスタ対を構成する 2 つのトランジスタの一方のドレンである第 1 の出力ノード (ND1) の電圧に基づいてそのゲート電圧が制御される第 2 の導電型の第 1 の駆動トランジスタ (NT01) と、そのドレンが前記第 1 の駆動トランジスタのドレンに接続され前記第 2 の差動トランジスタ対を構成する 2 つのトランジスタの一方のドレンである第 2 の出力ノード (ND2) の電圧に基づいてそのゲート電圧が制御される第 1 の導電型の第 2 の駆動トランジスタ (PT01) とを有し、前記第 1 の駆動トランジスタ (NT01) のドレンの電圧を前記出力信号 (Vout) として出力する出力回路 (120) とを含むことを特徴とする電圧発生回路。

【請求項 6】

請求項 5において、

前記第 1 型及び第 2 型の演算増幅器は、

前記入力信号 (Vin) がゲートに入力されるトランジスタ (NT3) のゲートと、前記出力信号 (Vout) がゲートに入力されるトランジスタ (NT4) のゲートとを電気的に接続する第 1 のスイッチをさらに含み、

前記第 1 及び第 2 型の演算増幅器のうち、

非選択に設定された演算増幅器の前記第 1 のスイッチはオンに設定され、

選択された演算増幅器の前記第 1 のスイッチはオフに設定されることを特徴とする電圧発生回路。

【請求項 7】

請求項 5 又は 6において、

前記第 1 型及び第 2 型の演算増幅器は、

前記第 1 の出力ノード (ND1) と前記第 2 の電源とを電気的に接続する第 2 のスイッ

チと、

前記第2の出力ノード(ND2)と前記第1の電源とを電気的に接続する第3のスイッチと、

をさらに含み、

前記第1及び第2型の演算増幅器のうち、

非選択に設定された演算増幅器の前記第2及び第3のスイッチはオンに設定され、

選択された演算増幅器の前記第2及び第3のスイッチはオフに設定されることを特徴とする電圧発生回路。

【請求項8】

請求項5乃至7のいずれかにおいて、

前記第1及び第2型の演算増幅器は、

前記出力信号(Vout)がゲートに入力されるトランジスタ(NT4)のゲートと出力信号(Vout)が出力される出力部とを電気的に接続する第4のスイッチをさらに含み、

前記第1及び第2型の演算増幅器のうち、

非選択に設定された演算増幅器の前記第4のスイッチはオフに設定され、

選択された演算増幅器の前記第4のスイッチはオンに設定されることを特徴とする電圧発生回路。

【請求項9】

請求項5乃至8のいずれかにおいて、

前記第1及び第2型の演算増幅器は、

前記第2の駆動トランジスタ(PTO1)と前記第1の駆動トランジスタ(NTO1)との間の中間ノードと、前記第2の駆動トランジスタ(PTO1)のドレインとを電気的に接続する第5のスイッチと、

前記第1の駆動トランジスタ(NTO1)のドレインと、前記中間ノードとを電気的に接続する第6のスイッチと、

をさらに含み、

前記第1及び第2型の演算増幅器のうち、

非選択に設定された演算増幅器の前記第5及び第6のスイッチはオフに設定され、

選択された演算増幅器の前記第5及び第6のスイッチはオンに設定されることを特徴とする電圧発生回路。

【請求項10】

請求項5乃至9のいずれかにおいて、

前記第1及び第2型の演算増幅器は、

前記第2の駆動トランジスタ(PTO1)と前記第1の駆動トランジスタ(NTO1)との間の中間ノードと、出力信号(Vout)が出力される出力部とを電気的に接続する出力イネーブルスイッチをさらに含み、

前記第1及び第2型の演算増幅器のうち、

非選択に設定された演算増幅器の前記出力イネーブルスイッチはオフに設定され、

選択された演算増幅器の前記出力イネーブルスイッチはオンに設定されることを特徴とする電圧発生回路。

【請求項11】

請求項1乃至4のいずれかにおいて、

前記第1型の演算増幅器は、

入力信号(Vin)及び出力信号(Vout)の差分を増幅する第1の導電型差動増幅回路(100)と、

前記入力信号(Vin)及び前記出力信号(Vout)の差分を増幅する第2の導電型差動増幅回路(110)と、

前記入力信号(Vin)及び前記出力信号(Vout)に基づいて、前記第1の導電型差動増幅回路の第1の出力ノード(ND1)及び第1の反転出力ノード(NXD1)のう

ち少なくとも一方を駆動する第1の補助回路(130)と、

前記入力信号(Vin)及び前記出力信号(Vout)に基づいて、前記第2の導電型差動増幅回路の第2の出力ノード(ND2)及び第2の反転出力ノード(NXD2)のうち少なくとも一方を駆動する第2の補助回路(140)と、

前記第1及び第2の出力ノード(ND1、ND2)の電圧に基づいて前記出力信号(Vout)を生成する出力回路(120)とを含むことを特徴とする電圧発生回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正の内容】

【0069】

基準電圧発生回路20は(ガンマ)補正用のラダー抵抗を含むように構成されてもよし、階調電圧を生成するための複数の基準電圧を発生する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0091

【補正方法】変更

【補正の内容】

【0091】

これは、一般的に、VCOMの正極期間と負極期間とでは(ガンマ)補正特性(階調特性)が非対称になるためである。つまり、このように(ガンマ)補正特性が非対称になる場合にも、図6のようにラダー抵抗の抵抗分割を正極性用、負極性用とで変更することで、VCOMの正極期間、負極期間の各期間に最適な(ガンマ)補正を行うことが可能になる。なお、第1の電圧分割回路80においても、基準電圧VCOMの正極・負極に基づいて、微調整レジスタ28を設定することで、各インピーダンス変換回路IP3～IP8に入力される電圧を変更可能である。