

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 1 407 416 B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des Hinweises auf die Patenterteilung:

01.06.2005 Patentblatt 2005/22

(51) Int Cl.7: **G06G 7/163**

(86) Internationale Anmeldenummer:

PCT/DE2002/002525

(21) Anmeldenummer: **02753008.8**

(87) Internationale Veröffentlichungsnummer:

WO 2003/009078 (30.01.2003 Gazette 2003/05)

(22) Anmeldetag: **10.07.2002**

(54) **MULTIPLIZIERERSCHALTUNG**

MULTIPLIER CIRCUIT

CIRCUIT MULTIPLICATEUR

(84) Benannte Vertragsstaaten:

DE FR GB

(72) Erfinder: **TRÄNKLE, Günther**

89233 Neu-Ulm (DE)

(30) Priorität: **17.07.2001 DE 10134754**

(74) Vertreter: **Epping Hermann & Fischer**

Ridlerstrasse 55

80339 München (DE)

(43) Veröffentlichungstag der Anmeldung:

14.04.2004 Patentblatt 2004/16

(56) Entgegenhaltungen:

GB-A- 2 310 941

(73) Patentinhaber: **Infineon Technologies AG**

81669 München (DE)

EP 1 407 416 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Multiplizierschaltung.

[0002] Analoge Multiplizierschaltungen kommen beispielsweise in Massenprodukten des Mobilfunks, wie Mobiltelefone, zum Einsatz. Sowohl in Sende- als auch in Empfangsrichtung ist darin üblicherweise ein Analogschaltkreis vorgesehen, der alle erforderlichen Schaltungskomponenten zur Ankopplung der digitalen Signalverarbeitung an eine Funkschnittstelle umfaßt. Je nach Modulationsverfahren wird dabei ein Trägersignal in Senderichtung moduliert und in Empfangsrichtung ein empfangenes Hochfrequenzsignal mit einem Überlagerungssignal verknüpft und in ein niederfrequentes Signal übersetzt.

[0003] Zur Frequenzumsetzung sowohl in Sende- wie auch in Empfangsrichtung werden analoge Multiplizierschaltungen in einem sogenannten Mischer-Betrieb eingesetzt. Weitere Anwendungsbeispiele für analoge Multiplizierschaltungen liegen bei der in modernen Mobilfunk-Sendern und -Empfängern üblichen Aufspaltung der Signale in ein komplexwertiges Signal mit einem Inphase- und einer Quadraturkomponente. Hierfür sind den Multiplizierern zuführbare Überlagerungs- beziehungsweise Trägersignale gefordert, mit einem Signalpaar, welches zueinander eine exakte Phasenversetzung von 90° aufweist. Multiplizierschaltungen, insbesondere solche mit gleichartigen Signaleingängen, wie beispielsweise passive Ringmischer, erlauben eine besonders präzise Überwachung des Phasenversatzes von 90° .

[0004] In dem Dokument Gray, Meyer: Analysis and Design of Analog Integrated Circuits, John Wiley & Sons, Third Edition 1993, ISBN 0-471-57495-3 ist in Figur 10.9 eine in bipolarer Schaltungstechnik aufgebaute Gilbert-Multipliziererschaltung angegeben. Dieser Multiplizierer vom Gilbert-Typ ist ein aktiver Multiplizierer, der jedoch den Nachteil aufweist, daß die beiden Signaleingänge zum Zuführen der zu multiplizierenden Signale elektrisch nicht gleichwertig sind.

[0005] Derartige, elektrisch nicht gleichwertige Signaleingänge sind beispielsweise in dem Dokument DE 236 50 59 gezeigt, vergleiche dort beispielsweise die Verschaltung der Signalquellen V1, V2 mit den Differenzverstärkern in Figur 1. Beide Signalquellen sind über jeweilige Transistoren an die Basisanschlüsse der Differenzverstärker angekoppelt. Dabei sind jedoch die der Quelle V2 zugeordneten Transistoren unmittelbar mit Versorgungspotential verbunden, während die der Quelle V1 zugeordneten Transistoren über Widerstände und eine Stromquelle an Masse gelegt sind. Demnach ist ein Gegentaktmodulator mit elektrisch nicht gleichwertigen Signaleingängen gezeigt.

[0006] Analoge Multiplizierschaltungen in den beschriebenen Anwendungsgebieten unterliegen Forderungen nach immer geringerer Versorgungsspannung, geringem Flächenbedarf und der Herstellbarkeit in ko-

stengünstiger monolithischer Integration.

[0007] Bei Anwendung der Analogmultiplizierer als Frequenzumsetzer, das heißt als Hochfrequenzmischer, wird neben den oben genannten Eigenschaften zusätzlich eine gute Linearität, geringes Rauschen sowie eine hohe Mischerverstärkung gefordert.

[0008] In dem Dokument GB 2 310 941 A ist ein Bipolar-Multiplizierer angegeben. Dieser umfaßt zwei Eingänge zum Anlegen von Eingangsspannungen sowie vier Bipolartransistoren, die zwei parallele Differenzverstärker bilden. Eine Spannungs-Strom-Umsetzung am Eingang linearisiert die tanh-Abhängigkeit der Multiplikation, so dass ein linearer Betrieb bezüglich zumindest eines Eingangs möglich ist. Dies dient der Anwendbarkeit als Frequenzmischer eines Hochfrequenzsignals mit einem LO-Signal.

[0009] Aufgabe der vorliegenden Erfindung ist es, eine Multiplizierschaltung anzugeben, welche bei hoher Genauigkeit zur Überwachung des 90° -Phasenunterschiedes von Hochfrequenz-Signalen einsetzbar ist.

[0010] Erfindungsgemäß wird die Aufgabe durch eine Multiplizierschaltung gelöst, aufweisend die Merkmale des Patentanspruchs 1.

[0011] Gemäß dem vorliegenden Prinzip ist ein breitbandiger Analogmultiplizierer mit zwei elektrisch gleichwertigen Eingängen vorgesehen.

[0012] Die angegebene Vier-Quadranten-Multiplizierschaltung weist zwei Eingänge zur Zuführung je eines zu multiplizierenden Signals auf, welche aufgrund der gleichen Quellimpedanzen der Signalquellen gleiche elektrische Eigenschaften haben.

[0013] Die Steuereingänge des Multipliziererkerns sind bevorzugt die Steuereingänge der Transistoren, die die beiden kreuzgekoppelten Transistorpaare bilden.

[0014] Aufgrund der dem vorliegenden Prinzip zugrundeliegenden Gleichwertigkeit der beiden Signaleingänge der vorliegenden Multiplizierschaltung kann diese insbesondere für präzise analoge Multipliziererschaltungen, sowie für breitbandige Phasen-/Frequenz-Modulator- und -Demodulatorschaltungen eingesetzt werden. Zusätzlich ermöglicht die vorliegende Multiplizierschaltung die exakte Überwachung des 90° -Phasenversatzes von Lokaloszillatorsignalen in Mobilfunk-Transceivern.

[0015] Da die vorliegende Multiplizierschaltung mit einer geringen Anzahl von Transistorebenen aufbaubar ist, kann sie für Betriebsspannungen $< 2,5$ V eingesetzt werden.

[0016] Die in üblichen Gilbert-Multiplizierschaltungen eingesetzte Spannungs-/Stromsteuerung ist bei vorliegendem Prinzip ersetzt durch die Steuerung beider Eingangstore mit überlagerten Spannungsquellen. Die Steuerung pro Signalquelle erfolgt hier mit jeweils einer Stromquelle, wobei beide Quellen die gleiche Quellimpedanz haben und damit elektrisch gleichwertig sind.

[0017] Hierbei ist die Überlagerung der Signalquellen

an den Steuereingängen des Multipliziererkerns als Summierung zweier Ströme an einer Quellimpedanz gleichwertig mit der Summierung zweier Spannungsquellen mit einer wirksamen Quellimpedanz.

[0018] Die Ansteuerung des Multipliziererkerns mit den beiden kreuzgekoppelten Transistorpaaren, welche vorteilhafterweise als Differenzverstärker, die kreuzgekoppelt sind, verschaltet sind, erfolgt dabei für ein erstes Eingangssignal über das Gleichtakt-Eingangssignal des jeweiligen Transistorpaares und für ein zweites Eingangssignal über die jeweils differentielle Aussteuerung der beiden Transistorpaare.

[0019] Demnach erfolgt die Gleichtaktaussteuerung der Transistorpaare nicht, wie bei der Gilbert-Zelle, über den gemeinsamen Emitterknoten und dessen Gleichtaktaussteuerung, sondern die Ansteuerung mit beiden Eingangssignalen greift an den Steuereingängen der Transistoren an, so daß gleiche Quellimpedanzen und damit gleiche elektrische Eigenschaften der beiden Eingänge erzielbar sind.

[0020] Die vorliegende Multipliziererschaltung verbindet damit die Vorteile einer aktiven Gilbert-Multipliziererzelle, nämlich die monolithische Integrierbarkeit, mit den Vorteilen der passiven Ringmischer-Schaltung, nämlich die hohe elektrische Symmetrie der beiden Eingänge.

[0021] In einer vorteilhaften Weiterbildung der Erfindung umfaßt der Multipliziererkern ein erstes und ein zweites Transistorpaar, welche miteinander in einer Kreuzkopplung verschaltet sind, wobei die Transistorpaare je einen ersten und einen zweiten Transistor mit je einem Steuereingang umfassen. Weiterhin steuern die Signalquellen den Multipliziererkern an den Steuereingängen der Transistoren so an, daß mit dem ersten zu multiplizierenden Signal eine Umsteuerung zwischen dem ersten und dem zweiten Transistorpaar und mit dem zweiten zu multiplizierenden Signal eine Umsteuerung zwischen erstem und zweitem Transistor jeweils in beiden Transistorpaaren bewirkt ist.

[0022] Gegenüber der herkömmlichen Gilbert-Zelle, bei der die Umsteuerung mit dem zweiten zu multiplizierenden Signal ebenfalls differentiell über die Steuereingänge der Transistoren erfolgt, ist bei vorliegender Multipliziererschaltung auch die Umsteuerung mit dem Gleichtaktpegel der Transistorpaare zwischen erstem und zweitem Transistorpaar durch Ansteuerung der Steuereingänge der Transistoren erzielt, während bei der herkömmlichen Gilbert-Zelle diese Steuerung über Spannungs-Stromwandlung und die Speiseströme der Differenzverstärker erreicht ist. Mit vorliegendem Prinzip ist jedoch die gewünschte elektrische Gleichwertigkeit der Signalquellen durch Gleichartigkeit von deren Quellimpedanzen möglich.

[0023] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist die erste Signalquelle mit dem Multipliziererkern zur Signalführung derart gekoppelt, daß den Steuereingängen von erstem und zweitem Transistor des ersten Transistorpaares das

erste zu multiplizierende Signal unverändert und den Steuereingängen von erstem und zweitem Transistor des zweiten Transistorpaares das erste zu multiplizierende Signal invertiert zugeführt wird, und daß den Steuereingängen der ersten Transistoren von erstem und zweitem Transistorpaar das zweite zu multiplizierende Signal unverändert und den Steuereingängen der zweiten Transistoren von erstem und zweitem Transistorpaar das zweite zu multiplizierende Signal invertiert zugeführt wird.

[0024] Die als Differenzverstärker ausgebildeten Transistorpaare des Multipliziererkerns können mit der beschriebenen Beschaltung ihrer Steuereingänge mittels der üblicherweise ohnehin als symmetrische Signale vorliegenden zu multiplizierenden Signalen in einfacher Weise differentiell angesteuert werden, wobei sich die von den ersten und zweiten Signalquellen zugeführten Eingangssignale gemäß dem vorliegenden Prinzip überlagern.

[0025] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung sind die Steueranschlüsse der Transistoren der Transistorpaare des Multipliziererkerns deren Basis- oder Gateanschlüsse.

[0026] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung sind jeweils Emitter- oder Sourceanschlüsse der ersten und zweiten Transistoren zur Bildung je eines Transistorpaares miteinander verbunden.

[0027] Zur Bildung eines Differenzverstärkers werden Emitter- oder Sourceanschlüsse zweier Transistoren miteinander und über eine Stromquelle mit einem Versorgungs- oder Bezugspotentialanschluß gekoppelt. Bei vorliegender Multipliziererschaltung erfolgt diese Ankopplung bevorzugt über eine Konstantstromquelle. Weiterhin erfolgt diese Ankopplung entweder unmittelbar oder über Gegenkopplungswiderstände, je nach den gewünschten Linearitätseigenschaften und dem Anwendungsfall der elektrischen Multiplikation.

[0028] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung umfassen die erste und die zweite Signalquelle jeweils einen Differenzverstärker mit je zwei Eingängen zur Zuführung der zu multiplizierenden Signale und vier Ausgängen zum Anschluß an die Steuereingänge der Transistoren.

[0029] Die beiden Eingänge der Differenzverstärker bilden je einen symmetrischen Signaleingang zur Zuführung des zu multiplizierenden Signals als differentielles Signal.

[0030] Die Ausgänge der Differenzverstärker sind zur Bereitstellung der für die Ansteuerung des Multipliziererkerns erforderlichen Überlagerungssignale mit je vier Ausgängen, das heißt mit zwei symmetrischen Ausgangsklemmenpaaren ausgebildet, mit je zwei invertierenden und zwei nicht-invertierenden Anschlüssen.

[0031] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist der Differenzverstärker der ersten Signalquelle mit einem Versorgungs- potentialanschluß und der Differenzverstärker der zwei-

ten Signalquelle mit einem Bezugspotentialanschluß gekoppelt. Zur Speisung der Differenzverstärker können diese entweder beide an einen Bezugspotentialanschluß, beispielsweise Masse, oder beide an einen Versorgungspotentialanschluß angekoppelt sein, oder wie beschrieben und bevorzugt bei Hochfrequenzanwendung des Multiplizierers als Mischer vorgesehen je einer der Differenzverstärker zur Bereitstellung der ersten und zweiten Signalquelle mit Versorgungs- beziehungsweise mit Bezugspotentialanschluß gekoppelt sein. Die Ausgänge, beispielsweise die Kollektoranschlüsse der Signalquellen-Differenzverstärker, sind mit den Steuereingängen des Multipliziererkerns verbunden.

[0032] Die Aufteilung in gleiche Signalströme für die erste Signalquelle und in gleiche Signalströme für die zweite Signalquelle kann bevorzugt mit flächengleichen Transistoren oder zusätzlich mit Gegenkopplungswiderständen zwischen den Emitteranschlüssen der der gepaarten Transistoren der Signalquellen-Differenzverstärker und einer angeschlossenen Stromquelle erreicht werden.

[0033] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung sind erste und zweite Signalquelle als Spannungs-/Stromwandler ausgebildet.

[0034] Zu multiplizierende Signale liegen üblicherweise als Spannungssignale vor, während die Ansteuerung des eigentlichen Multipliziererkerns vorteilhafterweise über Stromsignale erfolgen kann. Daher ist die beschriebene Ausbildung der Signalquellen als Spannungs-/Stromwandler vorteilhaft.

[0035] Weitere Einzelheiten und vorteilhafte Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

[0036] Die Erfindung wird, wie nachfolgend beschrieben, anhand mehrerer Ausführungsbeispiele, die in den Zeichnungen dargestellt sind, näher erläutert.

[0037] Es zeigen:

Figur 1 das Prinzip der vorliegenden Multipliziererschaltung anhand eines vereinfachten Ersatzschaltbildes an einem Beispiel, wobei erste und zweite Signalquelle als Stromquellen dargestellt sind,

Figur 2a die bekannte Äquivalenz von Strom- und Spannungsquellen unter Berücksichtigung der Quellimpedanz,

Figur 2b eine Weiterbildung des Prinzips von Figur 2a mit je zwei überlagerten Strom- beziehungsweise Spannungsquellen

Figur 3 ein weiteres Ausführungsbeispiel der Multipliziererschaltung anhand einer Weiterbildung von Figur 1,

Figur 4 eine erste beispielhafte Realisierung einer

Signalquelle zur Anwendung in einer Multipliziererschaltung gemäß Figur 3,

Figur 5 eine zweite beispielhafte Realisierung einer Signalquelle zur Anwendung in einer Multipliziererschaltung gemäß Figur 3,

Figur 6 ein weiteres Ausführungsbeispiel der Multipliziererschaltung anhand einer Weiterbildung der Schaltung gemäß Figur 1,

Figur 7 eine Weiterbildung der Multipliziererschaltung gemäß Figur 1, angewendet auf einen Hochfrequenz-Mischer, und

Figur 8 ein Schaltbild zur Erläuterung des Prinzips der Spannungs-/Stromsteuerung der ersten Signalquelle gemäß Figur 7.

[0038] Der Multipliziererkern der vorliegenden Multipliziererschaltung, der mit Bezugszeichen 1 versehen ist, umfaßt zwei als Differenzverstärker verschaltete Bipolar-Transistorpaare, wobei ein erstes Transistorpaar einen ersten Transistor 2 und einen zweiten Transistor 3 sowie ein zweites Transistorpaar einen ersten Transistor 4 und einen zweiten Transistor 5 umfaßt. Erstes Transistorpaar 2, 3 und zweites Transistorpaar 4, 5 sind miteinander in einer Kreuzkopplung verschaltet. Hierfür sind die beiden Kollektoranschlüsse der ersten Transistoren 2, 4 und die Kollektoranschlüsse der zweiten Transistoren 3, 5 jeweils miteinander unmittelbar verbunden. Weiterhin sind zur Bildung der Differenzverstärker die Emitteranschlüsse der Transistoren 2, 3 sowie der Transistoren 4, 5, welche das erste beziehungsweise zweite Transistorpaar bilden, unmittelbar miteinander verbunden. Ein erstes und ein zweites zu multiplizierendes Signal werden an den als Basisanschlüssen ausgebildeten Steueranschlüssen der Transistoren 2 bis 5 eingekoppelt. Die gemeinsamen Emitterknoten der Transistorpaare 2, 3; 4, 5 sind über je eine Stromquelle 6, 7 mit einem Bezugspotentialanschluß 8 verbunden. Weiterhin ist ein Gegenkopplungswiderstand 9 vorgesehen, der die beiden Emitterknoten der Transistorpaare 2, 3; 4, 5 miteinander verbindet. In alternativen Ausführungsformen kann dieser Gegenkopplungswiderstand 9 entfallen.

[0039] Erste und zweite Signalquellen zur Ansteuerung des Multipliziererkerns 1 über die Steuereingänge der Transistoren 2 bis 5 mit erstem und zweitem zu multiplizierenden Signal sind im vereinfachten Schaltbild gemäß Figur 1 als Stromquellen 10, 11, 13, 14 mit Parallelimpedanz 12 dargestellt. Im einzelnen ist an den Steuereingang, das heißt den Basisanschluß des ersten Transistor 2 des ersten Transistorpaares 2, 3 eine das erste zu multiplizierende Signal repräsentierende, gesteuerte Stromquelle 10 gegen Bezugspotentialanschluß 8 angeschlossen. Parallel zur Stromquelle 10 ist eine weitere Stromquelle 11 geschaltet, welche das

zweite zu multiplizierende Signal repräsentiert. Als Quellimpedanz 12 ist ein Widerstand vorgesehen, der parallel zu den Stromquellen 10, 11 geschaltet ist.

[0040] In Analogie zur Ersatz-Stromquelle 10, 11, 12 ist an jedem weiteren Steuereingang der Transistoren 3, 4, 5 des Multipliziererkerns ebenfalls eine Parallelschaltung aus zwei Stromquellen und der Quellimpedanz 12 angeschlossen. Die Quellimpedanz 12 ist dabei gemäß dem Prinzip der vorliegenden Erfindung zur Bereitstellung symmetrischer Eingangstore für alle Steuereingänge der Transistoren des Multipliziererkerns 1 gleich. Die an den Steuereingang des zweiten Transistors 3 des ersten Transistorpaares 2, 3 angeschlossenen Stromquellen repräsentieren zum einen wiederum das erste zu multiplizierende Signal sowie zum anderen das invertierte, zweite zu multiplizierende Signal und sind demnach mit dem Bezugszeichen 10 und 13 bezeichnet.

[0041] Der Steueranschluß des ersten Transistors 4 des zweiten Transistorpaares 4, 5 ist mit der Quellimpedanz 12 sowie einer dazu parallel geschalteten Stromquelle 14 und ebenfalls parallel geschalteten Stromquelle 13 gegen Bezugspotential 8 angeschlossen. Während die Stromquelle 14 das invertierte, vom ersten zu multiplizierenden Signal abgeleitete Signal repräsentiert, stellt Stromquelle 13 wie oben erwähnt das invertierte, zweite zu multiplizierende Signal des Multiplizierers bereit.

[0042] An den Steuereingang des zweiten Transistors 5 des zweiten Transistorpaares 4, 5 schließlich sind Stromquellen 14, 11 und Quellimpedanz 12 in einer Parallelschaltung angeschlossen, wobei die Stromquellen 14, 13 das vom ersten zu multiplizierenden Signal abgeleitete Signal invertiert und das vom zweiten zu multiplizierenden Signal abgeleitete Signal nicht-invertiert bereitstellen.

[0043] Die erste Signalquelle des vorliegenden Multiplizierers umfaßt demnach die Stromquellen 10, 14, während die zweite Signalquelle die Stromquellen 11, 13 umfaßt.

[0044] Mit dem vom ersten zu multiplizierenden Signal abgeleiteten Strom I_{s1} , der nicht-invertiert von den Stromquellen 10 und invertiert von den Stromquellen 14 bereitgestellt wird, ist eine Umsteuerung zwischen erstem Differenzverstärker 2, 3 und zweitem Differenzverstärker 4, 5 erzielt. Bei herkömmlichen Multiplizierern wird diese Umsteuerung normalerweise über deren am Emitterknoten anliegenden Gleichtaktsignal erzielt. Bei vorliegendem Prinzip hingegen werden diese Gleichaktaussteuerungen der Differenzverstärker 2, 3; 4, 5 über deren Basisanschlüsse eingekoppelt. Hierdurch ist es möglich, durch Überlagern der Stromansteuerung der Transistoren mit erstem und zweitem zu multiplizierenden Signals jeweils gleiche Quellimpedanzen 12 bei erster und zweiter Signalquelle vorzusehen. Mit dem vom zweiten zu multiplizierenden Signals abgeleiteten Strom, der nicht-invertiert von den Stromquellen 11 und invertiert von den Stromquellen 13 bereitgestellt wird,

ist die differentielle Aussteuerung der beiden Transistorpaare 2, 3; 4, 5 jeweils zwischen erstem Transistor 2, 4 und zweitem Transistor 3, 5 wie bei herkömmlichen Multiplizierern bewirkt.

[0045] Aufgrund der guten Symmetrieeigenschaften von erstem und zweitem Eingang des Multiplizierers gemäß Figur 1 kann dieser bevorzugt zur Überwachung der exakten Phasendifferenz von 90° bei Lokaloszillatorsignalen sowie als Hochfrequenzmischer eingesetzt werden.

[0046] Figur 2 zeigt die bekannte Umsetzung einer Stromquelle mit Parallelimpedanz in eine äquivalente Spannungsquelle mit Serienimpedanz. Eine Stromquelle 15 mit einem Kurzschlußstrom I_k und parallel geschalteter Quellimpedanz 16 ist elektrisch äquivalent zu einer Spannungsquelle 17 mit einer Leerlaufspannung U_L und einer Serienimpedanz 16. Die Darstellungen der Signalquellen 10 bis 14 gemäß Figur 1, welche zur besseren Übersichtlichkeit und zum leichteren Verständnis als Stromquellen gezeichnet sind, können demnach in einfacher Weise gemäß Figur 2 in Spannungsquellen, welche äquivalente elektrische Eigenschaften haben, umgesetzt werden. Zur Umrechnung zwischen Kurzschlußstrom, Leerlaufspannung und Quellimpedanz kann das Ohm'sche Gesetz herangezogen werden.

[0047] Figur 2b zeigt eine Weiterbildung des Prinzips von Figur 2a angewendet auf zwei überlagerte Strombeziehungsweise Spannungsquellen. Dabei ist eine Parallelschaltung aus zwei Stromquellen 15 mit einer ebenfalls parallelgeschalteten Quellen-Impedanz 16 elektrisch äquivalent zu einer Serienschaltung aus zwei Spannungsquellen 17 mit einer Serienimpedanz 16.

[0048] Angewendet auf das Prinzip von Figur 1 können demnach die parallelgeschalteten, überlagerten Stromquellen 10, 11, 13, 14 im Rahmen der Erfindung durch eine Serienschaltung zweier überlagerter und jeweils gesteuerter Spannungsquellen mit Serienimpedanz ersetzt werden.

[0049] Figur 3 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen Multiplizierschaltung in einer Weiterbildung der Schaltung gemäß Figur 1. Der Multipliziererkern 1 mit den Transistorpaaren 2, 3; 4, 5 entspricht in Aufbau und Wirkungsweise dem von Figur 1 und soll deshalb hier nicht noch einmal beschrieben werden. Zur Speisung der Differenzverstärker 2, 3; 4, 5 des Multipliziererkerns 1 ist eine Stromquelle 18 vorgesehen, die über je einen Widerstand 19 mit dem Emitterknoten der Differenzverstärker 2, 3; 4, 5 sowie mit einem Bezugspotentialanschluß 8 gekoppelt ist.

[0050] Zur Speisung der Stromquellen 10, 11, 13, 14, welche wie für Figur 1 beschrieben, erste und zweite Signalquelle zur Zuführung des ersten und zweiten zu multiplizierenden Signals bereitstellen, ist je ein Widerstand 20 zwischen Steuereingang der Transistoren 2, 3, 4, 5 und einen Versorgungspotentialanschluß 21 geschaltet. Um die gemäß dem vorliegenden Prinzip vorgesehene Gleichheit der Quellimpedanzen sicherzustellen, besitzen alle Widerstände 20 den gleichen Wi-

derstandswert.

[0051] Wie bei der Multiplizierschaltung gemäß Figur 1 ist ein symmetrischer Ausgang der Multiplizierschaltung an den kreuzgekoppelten Kollektorausgängen der Transistorpaare 2, 3; 4, 5 gebildet und mit Bezugszeichen 22 gekennzeichnet. Dieser Multipliziererausgang 22 ist über je einen weiteren Widerstand 23 mit Versorgungspotentialanschluß 21 verbunden. Die Funktionsweise der Schaltung gemäß Figur 3 entspricht derjenigen von Figur 1 und soll deshalb nicht noch einmal wiederholt werden. Um die beschriebene Umsteuerung des Multipliziererkerns mittels erster und zweiter Signalquelle wie bei Figur 1 beschrieben zu erreichen, müssen die in Figur 3 unten angegebenen Bedingungen erfüllt sein, das heißt, daß sich die Signalquellen Is_1 , Is_1' ; Is_2 , Is_2' , $Is_1\backslash$, $Is_1'\backslash$ sowie $Is_2\backslash$, $Is_2'\backslash$ jeweils in Amplitude A und Phasenlage ϕ gleichen.

[0052] Figur 4 und Figur 5 zeigen jeweils beispielhaft Realisierungsmöglichkeiten für die Stromquellen 10, 11, 13, 14, das heißt zur Bildung der ersten und zweiten Signalquellen.

[0053] Figur 4 zeigt beispielhaft die erste Signalquelle 10, 14, welche jedoch auch als zweite Signalquelle 11, 13 sinngemäß eingesetzt werden kann. Im einzelnen zeigt Figur 4 einen Differenzverstärker mit jeweils doppelt ausgeführten Transistoren 24, 25; 26, 27, die eingangsseitig parallel geschaltet sind. An Basisanschlüsse der Transistoren 24, 25, 26, 27 ist als symmetrisches Signal das erste zu multiplizierende Signal anlegbar. Die Emitteranschlüsse der Bipolar-Transistoren 24 bis 27 sind zur Bildung eines Differenzverstärkers über je einen Emitterwiderstand 28 an einen gemeinsamen Emitterknoten angeschlossen, der über eine Stromquelle 29 mit einem Bezugspotentialanschluß 8 verbindbar ist. Die Kollektoranschlüsse bilden Stromausgänge der Transistoren, wobei der Kollektoranschluß des Transistors 24 den Stromquellenausgang Is_1 , der Kollektoranschluß des Transistors 25 den elektrisch gleichwertigen Stromausgang Is_1' bereitstellen und komplementäre, das heißt invertierte Stromausgänge $Is_1\backslash$ und gleichwertig $Is_1'\backslash$ von den Kollektoranschlüssen der npn-Bipolartransistoren 26, 27 bereitgestellt sind. Da die Emitterwiderstände 28 alle den gleichen Widerstandswert haben, und diese Quellimpedanz sowohl für die erste, als auch die zweite Signalquelle einsetzbar ist, welche beide mit einer Schaltung gemäß Figur 4 realisierbar sind, sind die dem vorliegenden Prinzip zugrundeliegenden symmetrischen Eigenschaften der Eingangstore der Schaltung erzielbar.

[0054] Die Emitterwiderstände 28 gemäß Figur 4 begünstigen die exakte Halbierung des Stroms auf die Stromausgänge Is_1 , Is_1' .

[0055] Figur 5 zeigt ein weiteres Ausführungsbeispiel für die erste und zweite Signalquelle, welche zur Bildung der Signalquellen 10, 11, 13, 14 gemäß Figur 3 als beispielhafte Alternative zu einer Signalquelle gemäß Figur 4 einsetzbar ist. Dabei sind zur Bildung eines Differenzverstärkers wie in Figur 4 jeweils zwei npn-Bipolartran-

sistoren 24, 25, 26, 27 emitterseitig miteinander, und über eine Stromquelle 29 mit einem Bezugsoder Versorgungspotentialanschluß gekoppelt. Basisseitig an den Transistoren 24 bis 27 ist ein erstes oder zweites zu multiplizierendes Signal, jeweils als symmetrisches Signal, zuführbar. Gegenüber Figur 4 können jedoch bei der Ausführung des Signalquellen-Differenzverstärkers gemäß Figur 5 die Emitterwiderstände 28 entfallen. Zur Bereitstellung der geforderten Symmetrie weisen die integrierten Transistoren 24 bis 27 gleiche Emitterflächen A auf.

[0056] Figur 6 zeigt ein weiteres Ausführungsbeispiel einer Multiplizierschaltung in einer alternativen Ausführungsform gemäß Figur 3. Die Schaltung gemäß Figur 6 stimmt dabei in Aufbau und Funktion weitgehend mit der Schaltung gemäß Figur 3 überein. Unterschiede bestehen lediglich in den fehlenden Emitterwiderständen 19 sowie im Ersetzen der Stromquellenwiderstände 20 durch Transistordioden 33. Demnach sind jeweils als Diode geschaltete Transistoren 33 zwischen Versorgungspotentialanschluß 21 und Steuereingängen der Multipliziererkern-Transistoren 2 bis 5 beziehungsweise Stromquellenausgänge 10, 11, 13, 14 geschaltet. Die Dioden 33 bilden eine logarithmische Last zur Linearisierung der tanh-Kennlinie, dann, wenn keine Emitterwiderstände an Emitterknoten der Transistorpaare 2, 3; 4, 5 vorgesehen sind.

[0057] Figur 7 zeigt ein weiteres Ausführungsbeispiel einer Multiplizierschaltung gemäß dem vorliegenden Prinzip, welche ausgehend von der Multiplizierschaltung gemäß Figur 1 als Hochfrequenz-Mischerschaltung weitergebildet ist.

[0058] Der Multipliziererkern 1 der Schaltung gemäß Figur 7 entspricht in Aufbau und Funktion dem bisher Erläuterten und wird daher an dieser Stelle nicht noch einmal besprochen. Ebenso ist die emitterseitige Stromzuführung mit Gegenkopplungswiderstand 9 bereits in Figur 1 beschrieben und wird daher an dieser Stelle ebenfalls nicht noch einmal wiederholt. Die Besonderheit der Multiplizierschaltung gemäß Figur 7 liegt in der Aufteilung der die erste und zweite Signalquelle bildenden Differenzverstärker 34, 35; 24 bis 27 zum einen auf Versorgungspotentialseite und zum anderen auf Bezugspotentialseite. Die erste Signalquelle 34, 35 mit den zugeordneten Kollektorwiderständen 32 entspricht dabei einer Emitterfolger-Schaltung. Die zweite Signalquelle 24 bis 27 mit den Emitterwiderständen 28 entspricht in Aufbau und Wirkungsweise der Signalquelle gemäß Figur 4. Mit dem ersten Signaleingang 37, 38, der als Hochfrequenz Ausgang ausgebildet ist, ist eine Umsteuerung vom ersten Differenzverstärker 2, 3 auf den zweiten Differenzverstärker 4, 5 bewirkt. Hierzu sind die Eingangsklemmen 37, 38 mit den Basisanschlüssen der Transistoren 34, 35 gekoppelt, deren Kollektoranschlüsse miteinander und mit dem Versorgungspotentialanschluß 21 verbunden sind. Versorgungspotentialanschluß 21 ist über eine Spannungsquelle 36 mit Bezugspotential 8 verbunden. Der Emit-

teranschluß des Transistors 34 ist über je einen Widerstand 32 mit den Steuereingängen der Transistoren des ersten Transistorpaars 2, 3; und der Emitteranschluß des Transistors 35 über je einen gleichartigen Widerstand 32 an die beiden Steuereingänge des zweiten Differenzverstärkers 4, 5 des Multipliziererkerns 1 angeschlossen.

[0059] Zur Umsteuerung zwischen ersten und zweiten Transistoren 2, 4; 3, 5 jeweils innerhalb der Transistorpaare sind Transistoren 24 bis 27 kollektorseitig gemäß dem vorliegenden Prinzip an die Transistorpaare 2, 5 beziehungsweise 3, 4 angeschlossen. Emitterseitig sind die Transistoren 24 bis 27 der zweiten Signalquelle über je einen Emitterwiderstand 28 an einen gemeinsamen Emitterknoten und weiterhin über eine Stromquelle 29 an Bezugspotentialanschluß 8 angeschlossen, während ein zweiter Signaleingang 39, 40, dem ein zweites zu multiplizierendes Signal zuführbar ist, an je einen Basisanschluß der Transistoren 24 bis 27 angekoppelt ist.

[0060] Im vorliegenden Fall ist der Multiplizierer als Empfangs-Demodulator ausgelegt, dem an seinem ersten Eingangsklemmenpaar 37, 38 ein von einer Antenne einkoppelndes Hochfrequenzsignal RF zuführbar ist und an dessen zweitem Eingangsklemmenpaar 39, 40 ein differentiell Lokoszillator-Signal LO als Überlagerungssignal zuführbar ist. Am Ausgang 22 des Multipliziererkerns 1 ist ein heruntergemischtes beziehungsweise demoduliertes Nutzsignal ableitbar.

[0061] Da die beiden Eingangstore des Multiplizierers aufgrund der gleichartigen Transistoren 30, 31, 34, 35 sowie der gleichartigen Widerstände 32 und damit insgesamt einer gleichen Quellimpedanz erster und zweiter Signalquelle eine hohe Symmetrie aufweisen, ist mit dem beschriebenen Multiplizierer ein hochlinearer, präziser Analogmischer gebildet, der in breitbandigen Phasen-/Frequenzdemodulatorschaltungen einsetzbar ist.

[0062] Falls das Hochfrequenz-Signal, welches am Eingang 37, 38 gemäß Figur 7 zuführbar ist, von einer logarithmischen Last, beispielsweise einer Diodenlast, geliefert wird, so kann der Gegenkopplungswiderstand 9 in den Emitterzweigen entfallen.

[0063] Die Multipliziererschaltung gemäß Figur 7 kann mit Versorgungsspannungen < 3 V bei einem Strombedarf < 3 mA betrieben werden.

[0064] Bei der Ausführung gemäß Figur 7 arbeiten die Transistoren 34, 35 als Spannungsfolger und erzeugen an ihren Emitterpunkten niederohmige Spannungssteuern. Der notwendige Ruhestrom der Spannungsfolgertransistoren 34, 35 wird dabei aus den zum Konstantstrom aufsummierten Strömen der Gleichtakstrompfade des Spannungs-/Stromwandler-Differenzverstärkers der zweiten Signalquelle gewonnen.

[0065] Bei einer Rauschzahl NF(Noise Figure) von 20 dB liefert die Multiplizierschaltung gemäß Figur 7 eine Verstärkung von 6 dB. Die Eingangs-Intercept-Punkte (IIP) 2. und 3. Ordnung liegen dabei bei +65 dBm beziehungsweise 20 dBm oder größer.

[0066] Figur 8 schließlich zeigt eine Alternative zu der

Ansteuerung mit den Transistoren 34, 35 gemäß Figur 7, deren Spannungsansteuerung durch eine Stromsteuerung gemäß Figur 8 ersetzt ist. Dabei sind die als Emitterfolger geschalteten Transistoren 34, 35 der ersten Signalquelle von Figur 7 ersetzt durch einen gegengekoppelten Differenzverstärker. Dieser Differenzverstärker weist zwei Bipolar-Transistoren 30, 31 auf, deren Kollektoranschlüsse über je einen Hochfrequenzwiderstand 41 an den Versorgungspotentialanschluß 21 angeschlossen sind. Zusätzlich sind die Kollektoranschlüsse über je einen Widerstand 32, wie in Figur 7 gezeichnet, mit den vier Steuereingängen des Multipliziererkerns 1 verbunden. Den Basisanschlüssen der Transistoren 30, 31 ist über den symmetrischen Eingang 37, 38 ein Hochfrequenzsignal zuführbar. Die Emitteranschlüsse der Transistoren 30, 31 sind über einen Gegenkopplungswiderstand 42 miteinander und über je eine Stromquelle 43 mit dem Bezugspotentialanschluß 8 verbunden.

Bezugszeichenliste

[0067]

25	1	Multipliziererkern
	2	Transistor
	3	Transistor
	4	Transistor
	5	Transistor
30	6	Stromquelle
	7	Stromquelle
	8	Bezugspotentialanschluß
	9	Widerstand
35	10	Stromquelle
	11	Stromquelle
	12	Quellimpedanz
	13	Stromquelle
	14	Stromquelle
	15	Stromquelle
40	16	Quellimpedanz
	17	Spannungsquelle
	18	Stromquelle
	19	Widerstand
	20	Widerstand
45	21	Versorgungspotentialanschluß
	22	Ausgang
	23	Kollektorwiderstand
	24	Transistor
	25	Transistor
50	26	Transistor
	27	Transistor
	28	Widerstand
	29	Stromquelle
	30	Transistor
55	31	Transistor
	32	Widerstand
	33	Diode
	34	Transistor

35 Transistor
 36 Spannungsquelle
 37 Transistor
 38 Transistor
 39 Transistor
 40 Transistor
 41 Widerstand
 42 Widerstand
 43 Stromquelle

Patentansprüche

1. Multipliziererschaltung, aufweisend

- einen Multipliziererkern (1) mit zwei kreuzgekoppelten Transistorpaaren (2, 3; 4, 5) und mit Steuereingängen,
- eine erste Signalquelle (10, 14), der ein erstes zu multiplizierendes Signal zuführbar ist, mit einem Ausgang, der mit den Steuereingängen des Multipliziererkerns (1) verbunden ist, und mit einer ersten Impedanz der ersten Signalquelle (12), und
- eine zweite Signalquelle (11, 13), der ein zweites zu multiplizierendes Signal zuführbar ist, mit einem Ausgang, der mit den Steuereingängen des Multipliziererkerns (1) verbunden ist, und mit einer zweiten Impedanz der zweiten Signalquelle (12),

dadurch gekennzeichnet, daß

die zweite Impedanz (12) gleich der ersten Impedanz (12) ist, derart, daß zwei elektrisch gleichwertige Eingänge der Multipliziererschaltung gebildet sind.

2. Multipliziererschaltung nach Anspruch 1,

dadurch gekennzeichnet, daß der Multipliziererkern (1) ein erstes Transistorpaar (2, 3) und ein zweites Transistorpaar (4, 5) umfaßt, welche miteinander kreuzgekoppelt sind, und welche je einen ersten (2, 4) und einen zweiten Transistor (3, 5) mit je einem Steuereingang umfassen, und daß die Signalquellen (10, 11, 13, 14) den Multipliziererkern (1) so ansteuern, daß mit dem ersten zu multiplizierenden Signal eine Umsteuerung zwischen dem ersten Transistorpaar (2, 3) und dem zweiten Transistorpaar (4, 5) und mit dem zweiten zu multiplizierenden Signal eine Umsteuerung zwischen den ersten Transistoren (2, 4) und den zweiten Transistoren (3, 5) bewirkt ist.

3. Multipliziererschaltung nach Anspruch 2,

dadurch gekennzeichnet, daß die erste Signalquelle (10, 14) mit dem Multipliziererkern (1) zur Signalführung derart gekoppelt ist, daß

- den Steuereingängen von erstem und zweitem Transistor (2, 3) des ersten Transistorpaares das erste zu multiplizierende Signal unverändert und
- den Steuereingängen von erstem und zweitem Transistor (4, 5) des zweiten Transistorpaares das erste zu multiplizierende Signal invertiert zugeführt wird, und daß
- den Steuereingängen der ersten Transistoren (2, 4) das zweite zu multiplizierende Signal unverändert und
- den Steuereingängen der zweiten Transistoren (3, 5) von erstem und zweitem Transistorpaar das zweite zu multiplizierende Signal invertiert zugeführt wird.

4. Multipliziererschaltung nach einem der Ansprüche 1 bis 3,

dadurch gekennzeichnet, daß die Steueranschlüsse der Transistoren (2 bis 5) der Transistorpaare des Multipliziererkerns (1) deren Basis- oder Gateanschlüsse sind.

5. Multipliziererschaltung nach einem der Ansprüche 1 bis 4,

dadurch gekennzeichnet, daß die Emitter- oder Sourceanschlüsse der ersten und zweiten Transistoren (2, 3; 4, 5) jeweils zur Bildung eines Transistorpaares miteinander verbunden sind.

6. Multipliziererschaltung nach einem der Ansprüche 1 bis 5,

dadurch gekennzeichnet, daß die erste und die zweite Signalquelle (10, 14; 11, 13) jeweils einen Differenzverstärker (24, 25, 26, 27) mit je zwei Eingängen zur Zuführung der zu multiplizierenden Signale und vier Ausgängen zum Anschluß an die Steuereingänge der Transistoren des Multipliziererkerns (1) umfassen.

7. Multipliziererschaltung nach Anspruch 6,

dadurch gekennzeichnet, daß der Differenzverstärker der ersten Signalquelle (34, 35) mit einem Versorgungspotentialanschluß (21) und der Differenzverstärker der zweiten Signalquelle (30, 31) mit einem Bezugspotentialanschluß (8) gekoppelt ist.

8. Multipliziererschaltung nach Anspruch 6 oder 7,

dadurch gekennzeichnet, daß die Differenzverstärker je vier Transistoren (24 bis 27) umfassen, an die je ein Emitterwiderstand (28) angeschlossen ist.

9. Multipliziererschaltung nach einem der Ansprüche 1 bis 8,

dadurch gekennzeichnet, daß erste und zweite Signalquelle (10, 11, 13, 14) als Spannungs-/Stromwandler ausgebildet sind.

Claims

1. Multiplier circuit having

- a multiplier core (1) with two cross-coupled transistor pairs (2, 3; 4, 5) and with control inputs,
- a first signal source (10, 14) which can be supplied with a first signal to be multiplied, with an output which is connected to the control inputs of the multiplier core (1), and with a first impedance of the first signal source (12), and
- a second signal source (11, 13) which can be supplied with a second signal to be multiplied, with an output which is connected to the control inputs of the multiplier core (1) and with a second impedance of the second signal source (12), **characterized in that** the second impedance (12) is equal to the first impedance (12), such that two electrically equivalent inputs of the multiplier circuit are formed.

2. Multiplier circuit according to Claim 1, **characterized in that** the multiplier core (1) comprises a first transistor pair (2, 3) and a second transistor pair (4, 5) which are cross-coupled with one another and which in each case comprise a first (2, 4) and a second transistor (3, 5) having in each case one control input, and **in that** the signal sources (10, 11, 13, 14) drive the multiplier core (1) in such a manner that by means of the first signal to be multiplied, a diversion between the first transistor pair (2, 3) and the second transistor pair (4, 5) is effected and by means of the second signal to be multiplied, a diversion between the first transistors (2, 4) and the second transistors (3, 5) is effected.

3. Multiplier circuit according to Claim 2, **characterized in that** the first signal source (10, 14) is coupled to the multiplier core (1) for supplying a signal, in such a manner that

- the control inputs of the first and second transistor (2, 3) of the first transistor pair are supplied with the first signal to be multiplied unchanged and
- the control inputs of the first and second transistor (4, 5) of the second transistor pair are supplied with the first signal to be multiplied inverted, and **in that**
- the control inputs of the first transistors (2, 4) are supplied with a second signal to be multiplied unchanged, and
- the control inputs of the second transistors (3, 5) of the first and second transistor pair are supplied with the second signal to be multiplied inverted.

4. Multiplier circuit according to one of Claims 1 to 3, **characterized in that** the control terminals of the transistors (2 to 5) of the transistor pairs of the multiplier core (1) are their base or gate terminals.

5. Multiplier circuit according to one of Claims 1 to 4, **characterized in that** the emitter or source terminals of the first and second transistors (2, 3; 4, 5) are in each case connected to one another for forming a transistor pair.

6. Multiplier circuit according to one of Claims 1 to 5, **characterized in that** the first and second signal source (10, 14; 11, 13) in each case comprise a differential amplifier (24, 25, 26, 27) having, in each case two inputs for supplying the signals to be multiplied and four outputs for connection to the control inputs of the transistors of the multiplier core (1).

7. Multiplier circuit according to Claim 6, **characterized in that** the differential amplifier of the first signal source (34, 35) is coupled to a supply potential connection (21) and the differential amplifier of the second signal source (30, 31) is coupled to a reference potential connection (8).

8. Multiplier circuit according to Claim 6 or 7, **characterized in that** the differential amplifiers in each case comprise four transistors (24 to 27) to which in each case one emitter resistor (28) is connected.

9. Multiplier circuit according to one of Claims 1 to 8, **characterized in that** the first and second signal source (10, 11, 13, 14) are constructed as voltage/current converters.

Revendications

1. Circuit multiplicateur comprenant

- un noyau (1) multiplicateur ayant deux paires (2, 3; 4, 5) de transistors couplés transversalement et ayant des entrées de commande,
- une première source (10, 14) de signal, à laquelle peut être relié un premier signal à multiplier, ayant une sortie, qui est reliée aux entrées de commande du noyau (1) multiplicateur, et avec une première impédance de la première source (12) de circuit de signal, et
- une deuxième source (11, 13) de signal, à laquelle peut être envoyé un deuxième signal à multiplier, ayant une sortie, qui est reliée aux entrées de commande du noyau (1) multiplicateur, et avec une deuxième impédance de la deuxième source (12) de signal, le circuit multiplicateur étant **caractérisé par le fait que** ladite deuxième impédance est égale à la pre-

mière impédance (12) de façon à former deux entrées équivalentes électriquement du circuit multiplicateur.

2. Circuit multiplicateur suivant la revendication 1, 5
caractérisé en ce que le noyau (1) multiplicateur comprend une première paire (2, 3) de transistors et une deuxième paire (4, 5) de transistors, qui sont couplés transversalement entre elles et qui comprennent respectivement un premier (2, 4) et un 10
deuxième (3, 5) transistors ayant respectivement une entrée de commande et **en ce que** les sources (10, 11, 13, 14) de signal commandent le noyau (1) multiplicateur de façon à provoquer par le premier 15
signal à multiplier une inversion entre la première paire (2, 3) de transistors et la deuxième paire (4, 5) de transistors et par le deuxième signal à multiplier une inversion entre les premier (2, 4) transistors et les deuxièmes (3, 5) transistors. 20

3. Circuit multiplicateur suivant la revendication 2, 25
caractérisé en ce que la première source (10, 14) de signal est couplée au noyau (1) multiplicateur pour l'envoi d'un signal de façon à ce que,
 - le premier signal à multiplier soit envoyé sans modification aux entrées de commande par le premier et le deuxième transistors (2, 3) de la première paire de transistors, et
 - le premier signal à multiplier soit envoyé de ma- 30
nière inversée aux entrées de commande par le premier et le deuxième transistors (4, 5) de la deuxième paire de transistors et **en ce que**,
 - le deuxième signal à multiplier soit envoyé sans modification aux entrées de commande des 35
premiers transistors (2, 4), et
 - le deuxième signal à multiplier soit envoyé de manière inversée aux entrées de commande des deuxièmes transistors (3, 5) par la première et la deuxième paire de transistors. 40

4. Circuit multiplicateur suivant l'une des revendications 1 à 3, 45
caractérisé en ce que les bornes de commande des transistors (2, 3; 4, 5) des paires de transistors du noyau (1) multiplicateur sont des bornes de base ou des bornes de grille.

5. Circuit multiplicateur suivant l'une des revendications 1 à 4, 50
caractérisé en ce que les bornes d'émetteur ou de source des premiers et deuxièmes transistors (2, 3; 4, 5) sont reliées respectivement entre elles pour former une paire de transistors. 55

6. Circuit multiplicateur suivant l'une des revendications 1 à 5,
caractérisé en ce que la première et la deuxième

sources (10, 14; 11, 13) de signal comprennent respectivement un amplificateur (24, 25, 26, 27) différentiel ayant respectivement deux entrées pour entrer des signaux à multiplier et quatre sorties pour la connexion aux entrées de commande des transistors du noyau (1) multiplicateur.

7. Circuit multiplicateur suivant la revendication 6, 10
caractérisé en ce que l'amplificateur différentiel de la première source (34, 35) de signal est couplée à une borne (21) de potentiel d'alimentation et l'amplificateur différentiel de la deuxième source (30, 31) de signal à une borne (8) de potentiel de référence.

8. Circuit multiplicateur suivant la revendication 6 ou 7,
caractérisé en ce que l'amplificateur différentiel comprend respectivement quatre transistors (24, 25, 26, 27) auxquels est raccordée respectivement une résistance (28) d'émetteur.

9. Circuit multiplicateur suivant l'une des revendications 1 à 8,
caractérisé en ce que la première et la deuxième sources (10, 11, 13, 14) de signal sont constituées sous la forme d'un convertisseur tension/courant.

FIG 1

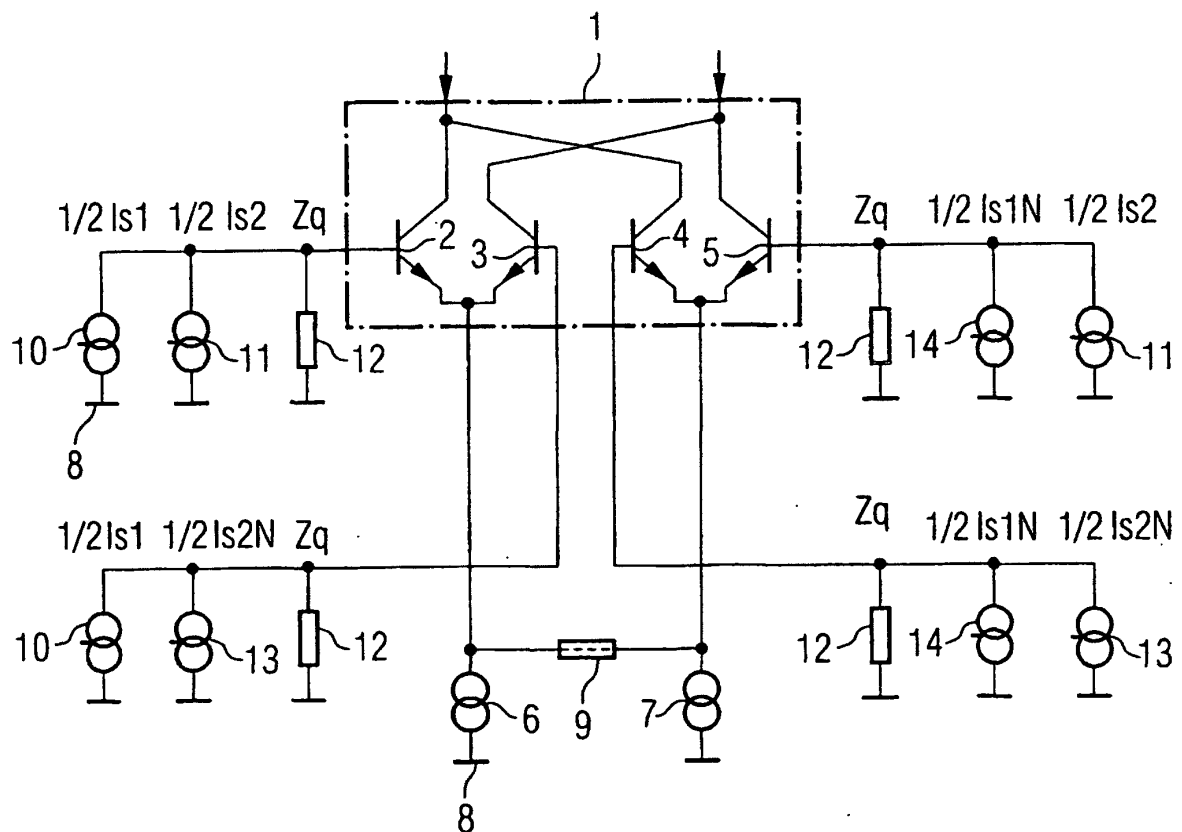


FIG 2a

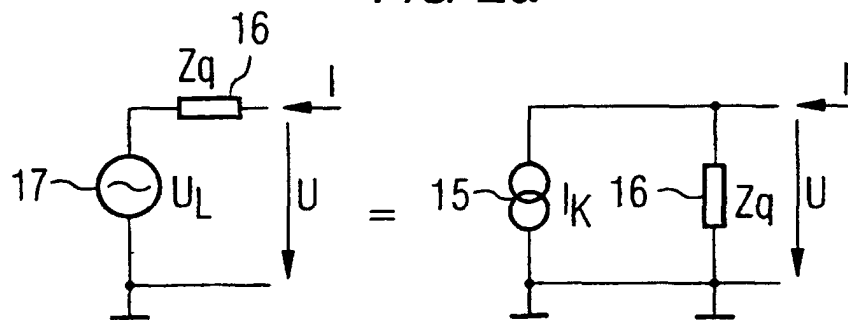


FIG 2b

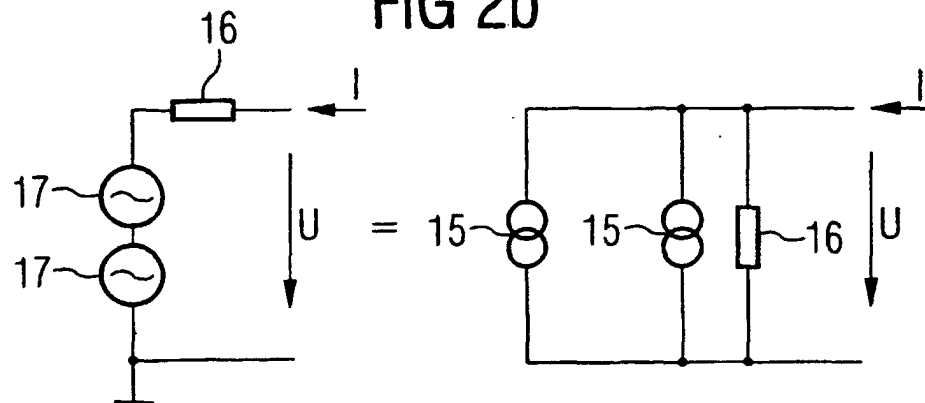
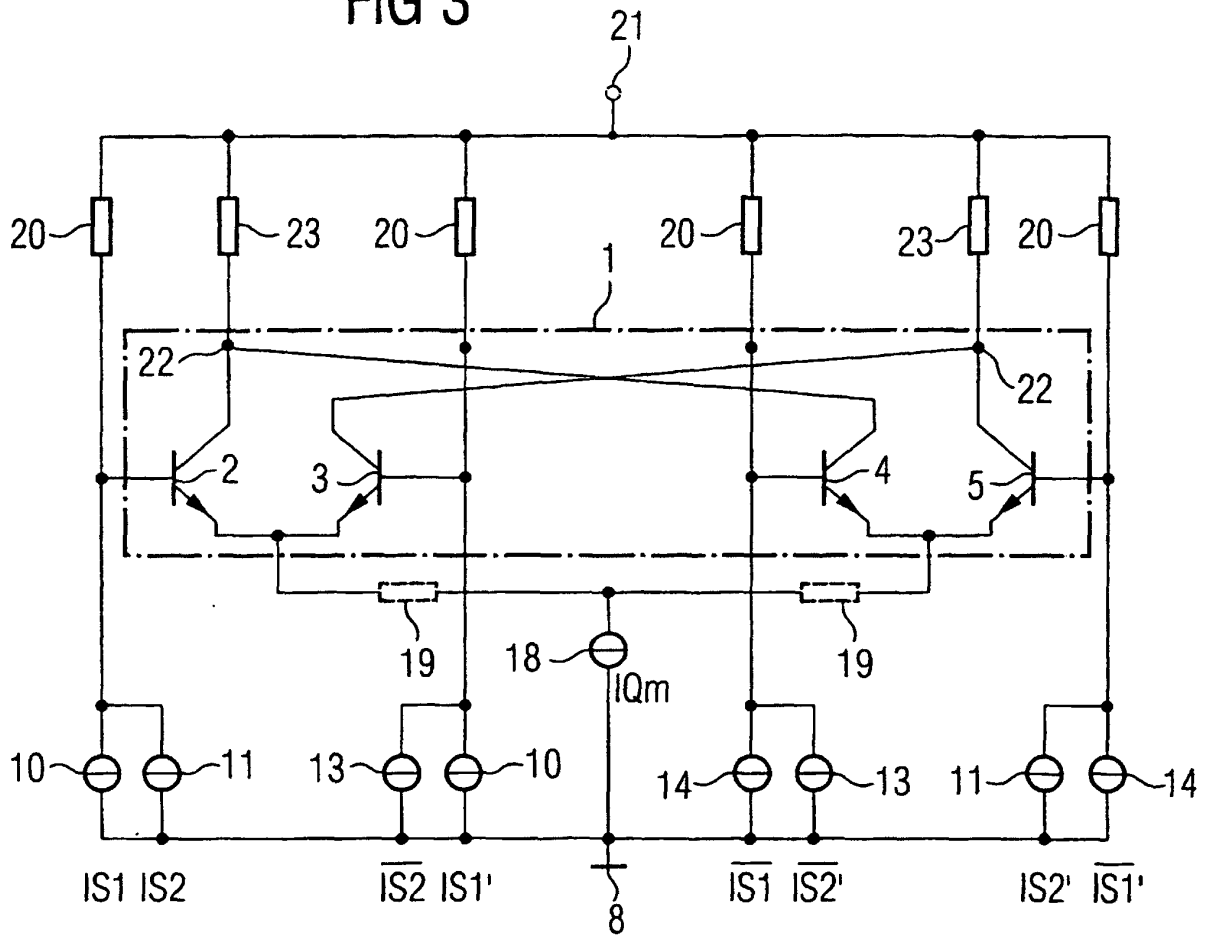


FIG 3



$$\begin{aligned} \varphi(IS1) &= \varphi(IS1') & \overline{\varphi(IS1)} &= \overline{\varphi(IS1')} & A(IS1) &= A(IS1') & \overline{A(IS1)} &= \overline{A(IS1')} \\ \varphi(IS2) &= \varphi(IS2') & \overline{\varphi(IS2)} &= \overline{\varphi(IS2')} & A(IS2) &= A(IS2') & \overline{A(IS2)} &= \overline{A(IS2')} \end{aligned}$$

FIG 4

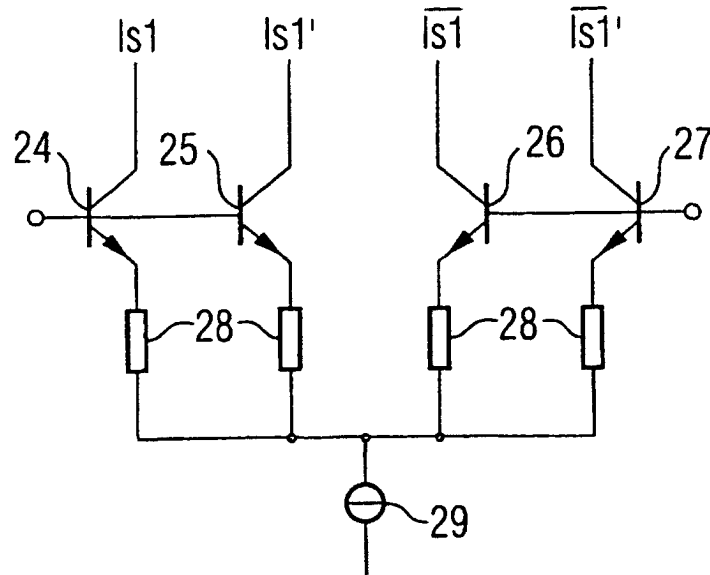


FIG 5

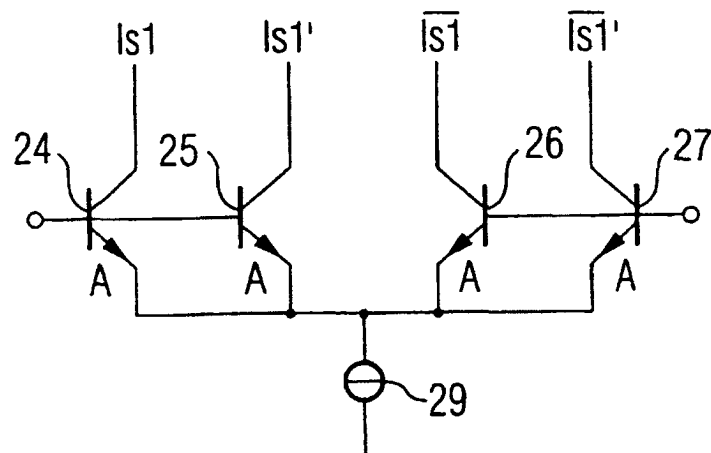


FIG 6

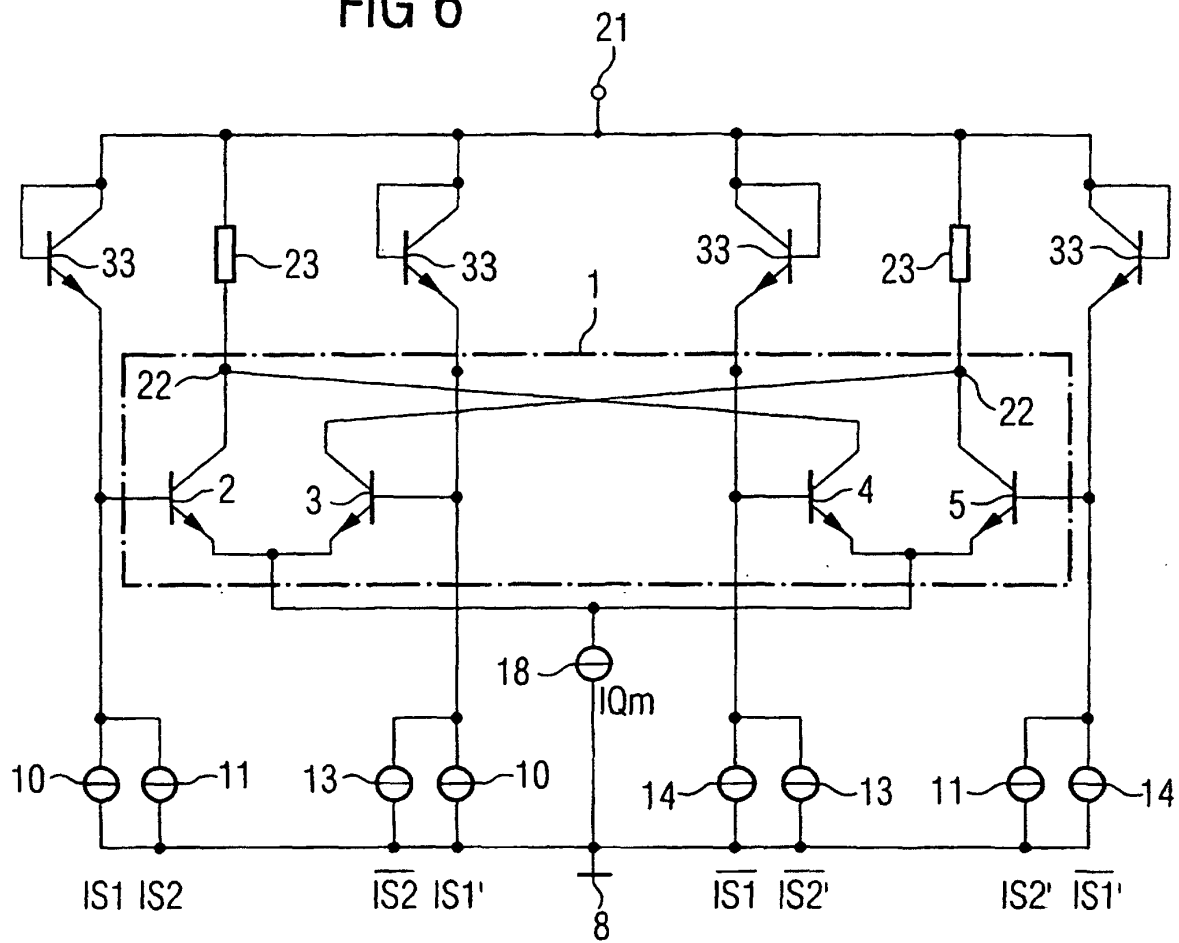


FIG 7

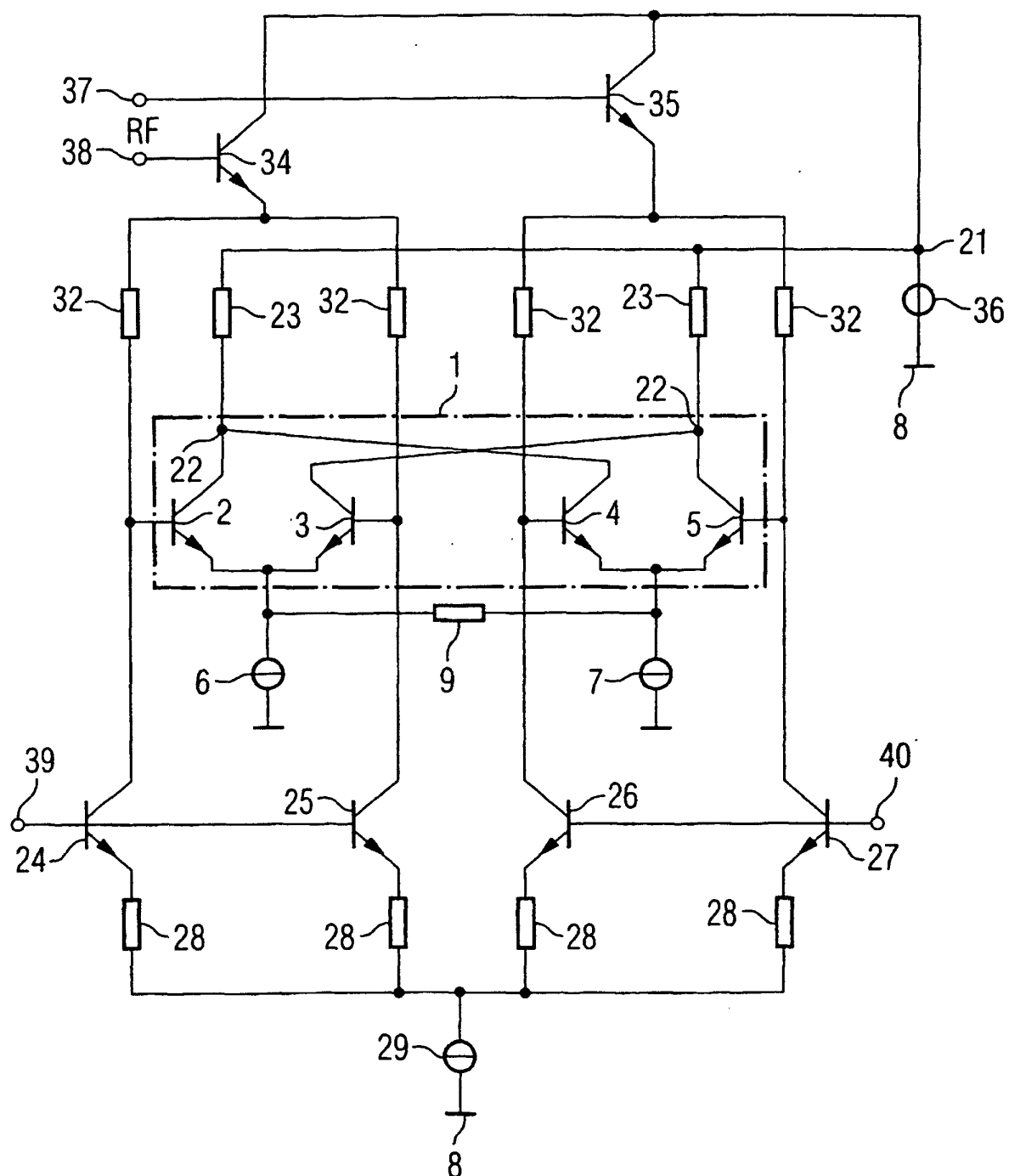


FIG 8

