(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4205800号
(P4205800)

(45)発行日　平成21年1月7日(2009.1.7)　(24)登録日　平成20年10月24日(2008.10.24)

(51)Int.Cl.			F I		
H04N	5/06	(2006.01)	H04N	5/06	Z
H03L	7/06	(2006.01)	H03L	7/06	A
H04N	5/46	(2006.01)	H04N	5/46	

請求項の数 6　(全 23 頁)

(21)出願番号　特願平11-10755
(22)出願日　平成11年1月19日(1999.1.19)
(65)公開番号　特開2000-209458(P2000-209458A)
(43)公開日　平成12年7月28日(2000.7.28)
審査請求日　平成18年1月11日(2006.1.11)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100072718
弁理士　古谷　史旺
(74)代理人　100075591
弁理士　鈴木　榮祐
(72)発明者　竹中　裕二
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(72)発明者　日高　信二
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

最終頁に続く

(54)【発明の名称】ビデオインタフェース回路

(57)【特許請求の範囲】

【請求項１】

入力されるアナログビデオ信号に伴う同期信号に位相同期した書込クロック信号に基づいて、デコード処理手段によってサンプリング処理を行い、表示領域に含まれる有効な画素に対応して得られたサンプリング結果を蓄積手段を介して後段の符号化処理に供するビデオインタフェース回路において、

対応する種類のアナログビデオ信号の特徴に合わせた特性を有し、該当する種類のアナログビデオ信号に対応するクロック信号を生成する複数の位相同期発振回路と、

前記デコード処理手段に入力されるアナログビデオ信号の種類を判別する判別手段と、

前記判別手段による判別結果に応じて、該当する位相同期発振回路によって生成されたクロック信号を読出クロック信号として選択する選択手段と、

入力される読出クロック信号に同期して、前記蓄積手段から蓄積データを読み出して符号化処理に供する読出手段と、

入力される読出クロック信号に基づいて、ライン周期およびフィールド周期を示す出力側同期信号を生成して、前記読出手段の処理に供する同期信号生成手段とを備え、

前記複数の位相同期発振回路の１つは、

フィールド周期で位相比較を行う第１位相比較手段と、

ライン周期で位相比較を行う第２位相比較手段と、

前記第１位相比較手段および前記第２位相比較手段による位相比較結果を合成して制御量を決定する合成手段と、

前記合成手段によって得られた制御量に応じて、発振周期を変動する発振手段とを備えた構成である
ことを特徴とするビデオインタフェース回路。
【請求項２】
入力されるアナログビデオ信号に伴う同期信号に位相同期した書込クロック信号に基づいて、デコード処理手段によってサンプリング処理を行い、表示領域に含まれる有効な画素に対応して得られたサンプリング結果を蓄積手段を介して後段の符号化処理に供するビデオインタフェース回路において、
対応する種類のアナログビデオ信号の特徴に合わせた特性を有し、該当する種類のアナログビデオ信号に対応するクロック信号を生成する複数の位相同期発振回路と、
前記デコード処理手段に入力されるアナログビデオ信号の種類を判別する判別手段と、
前記判別手段による判別結果に応じて、該当する位相同期発振回路によって生成されたクロック信号を読出クロック信号として選択する選択手段と、
入力される読出クロック信号に同期して、前記蓄積手段から蓄積データを読み出して符号化処理に供する読出手段と、
入力される読出クロック信号に基づいて、ライン周期およびフィールド周期を示す出力側同期信号を生成して、前記読出手段の処理に供する同期信号生成手段と、
調整指示の入力に応じて、前記読出クロックの周期を調整し、この調整結果の読出クロック信号を前記読出手段および同期信号生成手段の処理に供するクロック調整手段と、
前記入力側同期信号に対する前記出力側同期信号の遅延を測定し、この測定結果に応じて調整指示を生成して前記クロック調整手段の処理に供する遅延測定手段とを備え、
前記複数の位相同期発振回路の１つは、
フィールド周期で位相比較を行う第１位相比較手段と、
ライン周期で位相比較を行う第２位相比較手段と、
前記第１位相比較手段および前記第２位相比較手段による位相比較結果を合成して制御量を決定する合成手段と、
前記合成手段によって得られた制御量に応じて、発振周期を変動する発振手段とを備えた構成である
ことを特徴とするビデオインタフェース回路。
【請求項３】
請求項１または請求項２に記載のビデオインタフェース回路において、
前記合成手段は、
第１位相比較手段による比較結果と所定の閾値とを比較する比較手段と、
前記比較手段による比較結果に応じて、前記第２位相比較手段による位相比較結果が制御量に与えるべき寄与分を算出する第１寄与分算出手段と、
前記第２位相比較手段による位相比較結果に対応する寄与分と前記第１位相比較手段による比較結果とに基づいて、制御量を決定する制御量決定手段とを備えた構成である
ことを特徴とするビデオインタフェース回路。
【請求項４】
請求項１または請求項２に記載のビデオインタフェース回路において、
合成手段は、
入力される同期信号に基づいて、各フィールド周期に含まれる特定の区間を検出する区間検出手段と、
前記区間検出手段による検出結果に応じて、前記第２位相比較手段による位相比較結果が制御量に与えるべき寄与分を算出する第２寄与分算出手段と、
前記第２位相比較手段による位相比較結果に対応する寄与分と前記第１位相比較手段による比較結果とに基づいて、制御量を決定する制御量決定手段とを備えた構成である
ことを特徴とするビデオインタフェース回路。
【請求項５】
入力されるアナログビデオ信号に伴う同期信号に位相同期した書込クロック信号に基づ

いて、デコード処理手段によってサンプリング処理を行い、表示領域に含まれる有効な画素に対応して得られたサンプリング結果を蓄積手段を介して後段の符号化処理に供するビデオインタフェース回路において、
対応する種類のアナログビデオ信号の特徴に合わせた特性を有し、該当する種類のアナログビデオ信号に対応するクロック信号を生成する複数の位相同期発振回路と、
前記デコード処理手段に入力されるアナログビデオ信号の種類を判別する判別手段と、
前記判別手段による判別結果に応じて、該当する位相同期発振回路によって生成されたクロック信号を読出クロック信号として選択する選択手段と、
入力される読出クロック信号に同期して、前記蓄積手段から蓄積データを読み出して符号化処理に供する読出手段と、
入力される読出クロック信号に基づいて、ライン周期およびフィールド周期を示す出力側同期信号を生成して、前記読出手段の処理に供する同期信号生成手段とを備え、
前記読出手段は、
前記蓄積手段から読み出した１フィールド分の蓄積データを保持する保持手段と、
選択指示の入力に応じて、蓄積手段から読み出した蓄積データあるいは前記保持手段に保持された蓄積データを選択し、後段の符号化処理に供するデータ選択手段と、
前記入力側同期信号の入力間隔の変化に基づいて、入力アナログビデオ信号の種類の切り替えを検出する切替検出手段と、
前記切替検出手段による検出結果に応じて、切り替えが発生したフィールドと所定の関係にあるフィールドについて、前記保持手段に保持された蓄積データを選択する旨の選択指示を生成する選択制御手段と、
前記切替検出手段による検出結果に応じて、蓄積手段からの読出動作を停止する停止手段とを備えた構成であり、
前記判別手段は、入力アナログビデオ信号の垂直帰線区間における特徴に基づいて、その種類を判別する構成である
ことを特徴とするビデオインタフェース回路。

【請求項６】
入力されるアナログビデオ信号に伴う同期信号に位相同期した書込クロック信号に基づいて、デコード処理手段によってサンプリング処理を行い、表示領域に含まれる有効な画素に対応して得られたサンプリング結果を蓄積手段を介して後段の符号化処理に供するビデオインタフェース回路において、
対応する種類のアナログビデオ信号の特徴に合わせた特性を有し、該当する種類のアナログビデオ信号に対応するクロック信号を生成する複数の位相同期発振回路と、
前記デコード処理手段に入力されるアナログビデオ信号の種類を判別する判別手段と、
前記判別手段による判別結果に応じて、該当する位相同期発振回路によって生成されたクロック信号を読出クロック信号として選択する選択手段と、
入力される読出クロック信号に同期して、前記蓄積手段から蓄積データを読み出して符号化処理に供する読出手段と、
入力される読出クロック信号に基づいて、ライン周期およびフィールド周期を示す出力側同期信号を生成して、前記読出手段の処理に供する同期信号生成手段と、
調整指示の入力に応じて、前記読出クロックの周期を調整し、この調整結果の読出クロック信号を前記読出手段および同期信号生成手段の処理に供するクロック調整手段と、
前記入力側同期信号に対する前記出力側同期信号の遅延を測定し、この測定結果に応じて調整指示を生成して前記クロック調整手段の処理に供する遅延測定手段とを備え、
前記読出手段は、
前記蓄積手段から読み出した１フィールド分の蓄積データを保持する保持手段と、
選択指示の入力に応じて、蓄積手段から読み出した蓄積データあるいは前記保持手段に保持された蓄積データを選択し、後段の符号化処理に供するデータ選択手段と、
前記入力側同期信号の入力間隔の変化に基づいて、入力アナログビデオ信号の種類の切り替えを検出する切替検出手段と、

前記切替検出手段による検出結果に応じて、切り替えが発生したフィールドと所定の関係にあるフィールドについて、前記保持手段に保持された蓄積データを選択する旨の選択指示を生成する選択制御手段と、

前記切替検出手段による検出結果に応じて、蓄積手段からの読出動作を停止する停止手段とを備えた構成であり、

前記判別手段は、入力アナログビデオ信号の垂直帰線区間における特徴に基づいて、その種類を判別する構成である

ことを特徴とするビデオインタフェース回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、例えば、テレビ会議システムやケーブルテレビシステムのように、圧縮された画像情報を伝送する動画像伝送システムに用いられるディジタル画像符号化復号化装置に、アナログ画像を入力するためのビデオインタフェース回路に関するものである。

ディジタル画像符号化装置によって、入力されるアナログ画像をディジタル化してフレーム相関を用いて符号化するためには、映像を構成する各フレームについて一定のサンプル数を維持し、各フレームにおける各画素に対応するサンプリングポイントの空間的な位置を一定とする必要がある。

【０００２】

【従来の技術】

図１２に、従来のビデオインタフェース回路を適用したディジタル画像符号化復号化装置の構成例を示す。

図１２に示したディジタル画像符号化復号化装置において、符号化処理部４１１は、ビデオインタフェース回路４１２を介して受け取った画像情報を符号化し、回線制御部４１３を介して送出する構成となっている。

【０００３】

また、復号化処理部４１４は、この回線制御部４１３を介して符号化された情報を受け取って復号化処理を行い、復元した画像情報をエンコード処理部４１５の処理に供する構成となっている。

図１２に示したビデオインタフェース回路４１２において、デコード処理部４２１は、アナログ－ディジタル（Ａ／Ｄ）変換部４２２によってディジタル化されたビデオ信号を受け取り、このビデオ信号をディジタルコンポーネント信号に変換し、後述する有効領域分の変換結果を上述した符号化処理部４１１に送出する構成となっている。

【０００４】

このビデオインタフェース回路４１２において、位相同期発振回路（ＰＬＬ）４２３は、同期信号検出部４２４によってコンポジットビデオ信号から抽出された同期信号に基づいてサンプリングクロック（CLK)を生成し、このサンプリングクロックをＡ／Ｄ変換部４２２とデコード処理部４２１の処理クロックとして供給する構成となっている。

【０００５】

図１２に示した構成のビデオインタフェース回路に用いられる位相同期発振回路４２３は、図１３に示すように、水平同期信号（HSYNC）に基づいて、電圧制御発振器４３１による発振動作を制御することにより、水平同期信号に位相同期したクロック信号を生成する構成となっており、ラインロックＰＬＬと呼ばれている。

【０００６】

この場合は、電圧制御発振器４３１の出力は、分周器４３２によって水平同期信号と同等の周波数に分周された後に位相比較器４３３に入力され、波形変換器４３４を介して入力される水平同期信号との位相比較に供され、この位相比較器４３３による比較結果を積分器４３５によって積分したものが、電圧制御発振器４３１の制御入力となっている。

【０００７】

このようにして生成されたクロック信号を、図１２に示したビデオインタフェース回路に

おいてサンプリングクロックとして利用することにより、例えば、テレビカメラからのビデオ信号のように、水平同期信号の周期、すなわちライン周期がほぼ一定に保たれているＮＴＳＣスタンダード信号を正常にサンプリングし、後段の符号化処理部４１１に各画素に対応するディジタルコンポーネント信号を順次に渡すことができる。

【０００８】

この場合は、各フレームの各画素に対応するサンプリングポイントは、空間的に一定に保たれており、MPEG-2のようなフレーム相関を用いる符号化処理を適用するための条件を満たしている。

ところで、ディジタル画像符号化復号化装置には、セレクタスイッチ（スイッチ）４１６が備えられており、テレビカメラ（図示せず）やビデオ再生装置（図示せず）からのアナログビデオ信号を選択的にビデオインタフェース回路に入力する構成となっており、入力されるビデオ信号は、上述したようなＮＴＳＣスタンダード信号ばかりとは限らない。

【０００９】

例えば、ビデオテープを再生した際に得られるビデオ信号では、図１４(ａ)に示すように、フィールドの境界において、ヘッドの切り替えを行うためにライン周期が急激に変動する特徴を有しており、ＮＴＳＣノンスタンダード信号と呼ばれている。

このようなＮＴＳＣノンスタンダード信号に対応するための技法として、図１５に示すように、サンプリング結果をバッファメモリに保持しておき、ビデオ信号の同期信号とは全く独立のクロック信号に同期して読み出して、符号化処理に供する構成のビデオインタフェース回路が提案されている。

【００１０】

図１５に示したビデオインタフェース回路において、アナログ－ディジタル変換部４２２およびデコード処理部４２１によって得られたディジタルコンポーネントビデオ信号は、バッファメモリ４２５を介して後段の符号化処理に送出される。

また、図１５において、同期信号生成部４２６は、ビデオ信号とは全く独立の発振器４２７を備えており、この発振器４２７の出力に基づいて生成したクロック信号および同期信号をタイミング制御部４２８の処理に供する構成となっている。

【００１１】

このタイミング制御部４２８は、位相同期発振回路４２３から受け取ったクロック信号および同期信号検出部４２４によって検出された同期信号に従ってバッファメモリ４２５に対する書込動作を制御し、また、同期信号生成部４２６から受け取ったクロック信号および同期信号に従ってバッファメモリ４２５からの読出動作を制御する構成となっている。

【００１２】

ここで、ビデオ信号においてライン周期が大きく変動するのは垂直帰線区間であり、表示領域内におけるライン周期はＮＴＳＣスタンダード信号と同様に十分に安定している。

したがって、位相同期発振回路４２３によって生成されたクロック信号に従って、アナログ－ディジタル変換部４２２およびデコード処理部４２１が動作することにより、各フレームの表示領域については、空間的に同一の位置についてサンプリングすることができる。

【００１３】

このとき、図１５に示すように、タイミング制御部４２７により、各フレームの表示領域についてのみ、バッファメモリ４２５への書き込み動作を許可する構成とすれば、ライン周期が乱れる区間では、バッファメモリ４２５への書き込みを禁止して、バッファメモリ４２５の内容を保護することができる。

この場合に、上述した同期信号生成部４２６により、適切な周期の読出クロック信号を生成すれば、１フレームに相当する時間内に、表示領域内の各画素に対応するディジタルコンポーネントビデオ信号を読み出して、ＮＴＳＣスタンダード信号から得られたディジタルコンポーネントビデオ信号と同様に、符号化処理部４１１の処理に供することができる。

【００１４】

【発明が解決しようとする課題】
上述したラインロックＰＬＬを用いた第１のビデオインタフェース回路は、回路構成を単純にすることができる反面、サンプリング処理の同期信号が、入力映像信号の同期信号に完全に依存しているので、ＮＴＳＣノンスタンダード信号が入力された場合に正常な動作を保証することができない。
【００１５】
これに対して、サンプリング結果をバッファメモリに蓄積し、入力信号とは独立のクロック信号に同期して、このバッファメモリからの読出処理を行う構成の第２のビデオインタフェース回路は、ＮＴＳＣノンスタンダード信号にも対応することができる。
しかしながら、第２のビデオインタフェース回路では、バッファメモリからの読出クロック信号が入力映像信号と独立であることがまさに原因となって、バッファメモリの破綻が発生する可能性がある。
【００１６】
なぜなら、読出クロック信号は、入力映像信号とは完全に独立であるから、入力映像信号をサンプリングして得られたディジタルコンポーネントビデオ信号がバッファメモリ４２５に書き込まれたか否かにかかわらずバッファメモリ４２５からの読出動作が行われ、また、バッファメモリ４２５に書き込まれたディジタルコンポーネントビデオ信号が読み出されたか否かにかかわらず、バッファメモリ４２５への書き込み処理が行われるからである。
【００１７】
その一方、例えば、テレビ会議システムを利用して、遠隔地間を結んでプレゼンテーションなどを行う場合のように、テレビカメラで捉えられた映像とビデオテープを再生して得られる映像とを頻繁に切り替える用途も考えられるので、ディジタル画像符号化復号化装置側でも、このような多様な映像情報に柔軟に対応することが必要である。
【００１８】
本発明は、入力される映像信号の種類にかかわらず、各フレームのサンプル点を確実にサンプリングすることが可能なビデオインタフェース回路を提供することを目的とする。
【００１９】
【課題を解決するための手段】
図１に、請求項１および請求項６のビデオインタフェース回路の原理ブロック図を示す。
【００２０】
請求項１の発明は、入力されるアナログビデオ信号に伴う同期信号に位相同期した書込クロック信号に基づいて、デコード処理手段１１１によってサンプリング処理を行い、表示領域に含まれる有効な画素に対応して得られたサンプリング結果を蓄積手段１１２を介して後段の符号化処理に供するビデオインタフェース回路において、対応する種類のアナログビデオ信号の特徴に合わせた特性を有し、該当する種類のアナログビデオ信号に対応するクロック信号を生成する複数の位相同期発振回路１１３と、デコード処理手段１１１に入力されるアナログビデオ信号の種類を判別する判別手段１１４と、判別手段１１４による判別結果に応じて、該当する位相同期発振回路１１３によって生成されたクロック信号を読出クロック信号として選択する選択手段１１５と、入力される読出クロック信号に同期して、蓄積手段１１２から蓄積データを読み出して符号化処理に供する読出手段１１６と、入力される読出クロック信号に基づいて、ライン周期およびフィールド周期を示す出力側同期信号を生成して、読出手段１１６の処理に供する同期信号生成手段１１７とを備え、複数の位相同期発振回路１１３の１つは、フィールド周期で位相比較を行う第１位相比較手段１２１と、ライン周期で位相比較を行う第２位相比較手段１２２と、第１位相比較手段１２１および第２位相比較手段１２２による位相比較結果を合成して制御量を決定する合成手段１２３と、合成手段１２３によって得られた制御量に応じて、発振周期を変動する発振手段１２４とを備えた構成であることを特徴とする。
【００２１】
請求項１の発明は、判別手段１１４による判別結果に応じて選択手段１１５が動作する

ことにより、入力ビデオ信号に対応する位相同期発振回路１１３によって、そのビデオ信号の特徴を考慮して生成された読出クロック信号と、この読出クロック信号に基づいて同期信号生成手段１１７によって生成された同期信号とを読出手段１１６に供給することができる。

また、合成手段１２３の動作により、第１位相比較手段１２１と第２位相比較手段１２２との双方による比較結果を考慮して、発振手段１２４の発振動作を制御することができる。

【００２２】

図２に、請求項２乃至請求項５のビデオインタフェース回路の原理ブロック図を示す。

請求項２の発明は、入力されるアナログビデオ信号に伴う同期信号に位相同期した書込クロック信号に基づいて、デコード処理手段１１１によってサンプリング処理を行い、表示領域に含まれる有効な画素に対応して得られたサンプリング結果を蓄積手段１１２を介して後段の符号化処理に供するビデオインタフェース回路において、対応する種類のアナログビデオ信号の特徴に合わせた特性を有し、該当する種類のアナログビデオ信号に対応するクロック信号を生成する複数の位相同期発振回路１１３と、デコード処理手段１１１に入力されるアナログビデオ信号の種類を判別する判別手段１１４と、判別手段１１４による判別結果に応じて、該当する位相同期発振回路１１３によって生成されたクロック信号を読出クロック信号として選択する選択手段１１５と、入力される読出クロック信号に同期して、蓄積手段１１２から蓄積データを読み出して符号化処理に供する読出手段１１６と、入力される読出クロック信号に基づいて、ライン周期およびフィールド周期を示す出力側同期信号を生成して、読出手段１１６の処理に供する同期信号生成手段１１７と、調整指示の入力に応じて、読出クロックの周期を調整し、この調整結果の読出クロック信号を読出手段１１６および同期信号生成手段１１７の処理に供するクロック調整手段１１８と、入力側同期信号に対する出力側同期信号の遅延を測定し、この測定結果に応じて調整指示を生成してクロック調整手段１１８の処理に供する遅延測定手段１１９とを備え、複数の位相同期発振回路１１３の１つは、フィールド周期で位相比較を行う第１位相比較手段１２１と、ライン周期で位相比較を行う第２位相比較手段１２２と、第１位相比較手段１２１および第２位相比較手段１２２による位相比較結果を合成して制御量を決定する合成手段１２３と、合成手段１２３によって得られた制御量に応じて、発振周期を変動する発振手段１２４とを備えた構成であることを特徴とする。

【００２３】

請求項２の発明は、請求項１で述べた判別手段１１４および選択手段１１５の動作によって選択された読出クロック信号をクロック調整手段１１８の処理に供し、このクロック調整手段１１８による調整結果として得られる読出クロックに基づいて、同期信号生成手段１１７により、入力ビデオ信号に伴う同期信号と半ば独立した同期信号を生成して、この同期信号に基づいて、遅延測定手段１１９がクロック調整手段１１８の動作を制御することができる。

【００２４】

これにより、入力ビデオ信号に伴う同期信号と蓄積手段１１２からの読出動作に伴う同期信号との遅延量に応じて、読出クロック信号の周期を制御することが可能であるから、蓄積手段１１２への書込動作と読出動作との遅延を一定値に維持することができる。

また、合成手段１２３の動作により、第１位相比較手段１２１と第２位相比較手段１２２との双方による比較結果を考慮して、発振手段１２４の発振動作を制御することができる。

請求項３の発明は、請求項１または請求項２に記載のビデオインタフェース回路において、合成手段１２３は、第１位相比較手段１２１による比較結果と所定の閾値とを比較する比較手段１２５と、比較手段１２５による比較結果に応じて、第２位相比較手段１２２による位相比較結果が制御量に与えるべき寄与分を算出する第１寄与分算出手段１２６と、第２位相比較手段１２２による位相比較結果に対応する寄与分と第１位相比較手段１２１による比較結果とに基づいて、制御量を決定する制御量決定手段１２７とを備えた構成

であることを特徴とする。

【００２５】

請求項３の発明は、第１寄与分算出手段１２６が比較手段１２５による比較結果に応じて動作し、得られた寄与分に応じて制御量決定手段１２７が動作することにより、第１位相比較手段１２１による比較結果の大小に応じて、第２位相比較手段１２２による比較結果が制御量に及ぼす寄与分を制御することができる。

【００２６】

請求項４の発明は、請求項１または請求項２に記載のビデオインタフェース回路において、合成手段１２３は、入力される同期信号に基づいて、各フィールド周期に含まれる特定の区間を検出する区間検出手段１２８と、区間検出手段１２８による検出結果に応じて、第２位相比較手段１２２による位相比較結果が制御量に与えるべき寄与分を算出する第２寄与分算出手段１２９と、第２位相比較手段１２２による位相比較結果に対応する寄与分と第１位相比較手段１２１による比較結果とに基づいて、制御量を決定する制御量決定手段１２７とを備えた構成であることを特徴とする。

【００２７】

請求項４の発明は、第２寄与分算出手段１２９が区間検出手段１２８による検出結果に応じて動作し、得られた寄与分に応じて制御量決定手段１２７が動作することにより、フィールド内の特定の区間に対応する第２位相比較手段１２２による比較結果が制御量に及ぼす寄与分を制御することができる。

請求項５の発明は、入力されるアナログビデオ信号に伴う同期信号に位相同期した書込クロック信号に基づいて、デコード処理手段１１１によってサンプリング処理を行い、表示領域に含まれる有効な画素に対応して得られたサンプリング結果を蓄積手段１１２を介して後段の符号化処理に供するビデオインタフェース回路において、対応する種類のアナログビデオ信号の特徴に合わせた特性を有し、該当する種類のアナログビデオ信号に対応するクロック信号を生成する複数の位相同期発振回路１１３と、デコード処理手段１１１に入力されるアナログビデオ信号の種類を判別する判別手段１１４と、判別手段１１４による判別結果に応じて、該当する位相同期発振回路１１３によって生成されたクロック信号を読出クロック信号として選択する選択手段１１５と、入力される読出クロック信号に同期して、蓄積手段１１２から蓄積データを読み出して符号化処理に供する読出手段１１６と、入力される読出クロック信号に基づいて、ライン周期およびフィールド周期を示す出力側同期信号を生成して、読出手段１１６の処理に供する同期信号生成手段１１７とを備え、読出手段１１６は、蓄積手段１１２から読み出した１フィールド分の蓄積データを保持する保持手段１３１と、選択指示の入力に応じて、蓄積手段１１２から読み出した蓄積データあるいは保持手段１３１に保持された蓄積データを選択し、後段の符号化処理に供するデータ選択手段１３２と、入力側同期信号の入力間隔の変化に基づいて、入力アナログビデオ信号の種類の切り替えを検出する切替検出手段１３３と、切替検出手段１３３による検出結果に応じて、切り替えが発生したフィールドと所定の関係にあるフィールドについて、保持手段１３１に保持された蓄積データを選択する旨の選択指示を生成する選択制御手段１３４と、切替検出手段１３３による検出結果に応じて、蓄積手段１１２からの読出動作を停止する停止手段１３５とを備えた構成であり、判別手段１１４は、入力アナログビデオ信号の垂直帰線区間における特徴に基づいて、その種類を判別する構成であることを特徴とする。

【００２８】

請求項５の発明は、切替検出手段１３３による検出結果に応じて、停止手段１３５が蓄積手段１１２からの読出動作を停止し、代わりに、選択制御手段１３４およびデータ選択手段１３２が動作することにより、保持手段１３１によって１フィールド分だけ遅延させたデータを選択し、符号化処理に供することができる。

これにより、入力ビデオ信号の切り替えによる同期信号の乱れから後段の符号化処理を保護することができる。

請求項６の発明は、図１に示すように、入力されるアナログビデオ信号に伴う同期信号

に位相同期した書込クロック信号に基づいて、デコード処理手段１１１によってサンプリング処理を行い、表示領域に含まれる有効な画素に対応して得られたサンプリング結果を蓄積手段１１２を介して後段の符号化処理に供するビデオインタフェース回路において、対応する種類のアナログビデオ信号の特徴に合わせた特性を有し、該当する種類のアナログビデオ信号に対応するクロック信号を生成する複数の位相同期発振回路１１３と、デコード処理手段１１１に入力されるアナログビデオ信号の種類を判別する判別手段１１４と、判別手段１１４による判別結果に応じて、該当する位相同期発振回路１１３によって生成されたクロック信号を読出クロック信号として選択する選択手段１１５と、入力される読出クロック信号に同期して、蓄積手段１１２から蓄積データを読み出して符号化処理に供する読出手段１１６と、入力される読出クロック信号に基づいて、ライン周期およびフィールド周期を示す出力側同期信号を生成して、読出手段１１６の処理に供する同期信号生成手段１１７と、調整指示の入力に応じて、読出クロックの周期を調整し、この調整結果の読出クロック信号を読出手段１１６および同期信号生成手段１１７の処理に供するクロック調整手段１１８と、入力側同期信号に対する出力側同期信号の遅延を測定し、この測定結果に応じて調整指示を生成してクロック調整手段１１８の処理に供する遅延測定手段１１９とを備え、読出手段１１６は、蓄積手段１１２から読み出した１フィールド分の蓄積データを保持する保持手段１３１と、選択指示の入力に応じて、蓄積手段１１２から読み出した蓄積データあるいは保持手段１３１に保持された蓄積データを選択し、後段の符号化処理に供するデータ選択手段１３２と、入力側同期信号の入力間隔の変化に基づいて、入力アナログビデオ信号の種類の切り替えを検出する切替検出手段１３３と、切替検出手段１３３による検出結果に応じて、切り替えが発生したフィールドと所定の関係にあるフィールドについて、保持手段１３１に保持された蓄積データを選択する旨の選択指示を生成する選択制御手段１３４と、切替検出手段１３３による検出結果に応じて、蓄積手段１１２からの読出動作を停止する停止手段１３５とを備えた構成であり、判別手段１１４は、入力アナログビデオ信号の垂直帰線区間における特徴に基づいて、その種類を判別する構成であることを特徴とする。

【００２９】

請求項６の発明は、切替検出手段１３３による検出結果に応じて、停止手段１３５が蓄積手段１１２からの読出動作を停止し、代わりに、選択制御手段１３４およびデータ選択手段１３２が動作することにより、保持手段１３１によって１フィールド分だけ遅延させたデータを選択し、符号化処理に供することができる。

これにより、入力ビデオ信号の切り替えによる同期信号の乱れから後段の符号化処理を保護することができる。

【００３０】

【発明の実施の形態】

以下、図面に基づいて、本発明の実施形態について詳細に説明する。

図３に、請求項１のビデオインタフェース回路の実施形態を示す。

図３に示したビデオインタフェース回路において、サンプリング処理部２１１は、図１２に示したデコード処理部４２１に相当する変換処理部２０１およびアナログ－ディジタル変換部４２２をＬＳＩ化したものであり、入力されたコンポジットビデオ信号をディジタルコンポーネントビデオ信号に変換し、バッファメモリ２１２に蓄積する構成となっている。

【００３１】

このサンプリング処理部２１１のＬＳＩにおいて、バーストクロックＰＬＬ２０２は、入力されたビデオ信号に基づいてクロック信号を生成し、アナログ－ディジタル変換部４２２および変換処理部２０１に供給するとともに、バッファメモリ２１２への書込処理に供する構成となっている。

また、上述した変換処理部２０１は、後述するライトストローブ信号を生成する機能を備えており、このライトストローブ信号によってバッファメモリ２１２への書込動作を制御する構成となっている。

【００３２】
この変換処理部２０１は、ライトストローブ信号として、例えば、垂直帰線区間を除いた各ラインについて、水平帰線区間を除く有効な画素に対応する区間に渡って論理「１」を維持し、他の区間は論理「０」となる信号を生成すればよい。
これにより、表示領域に対応する有効な画素について選択的にバッファメモリ２１２への書込を有効とすることができる。
【００３３】
また、上述したバーストクロックＰＬＬ２０２によって得られるクロック信号は、フィールド境界付近で不安定となるが、入力されるビデオ信号の種類にかかわらず、表示領域内での安定性は確認されている。したがって、このクロック信号に同期してサンプリング処理を行うとともに、このサンプリング処理結果をバッファメモリ２１２に書き込む動作を上述したライトストローブ信号によって制御することにより、各フィールドにおけるサンプリングポイントの空間的同一性を確保しつつ、表示領域内の有効な画素に対応するディジタルコンポーネントビデオ信号のみをバッファメモリ２１２に選択的に蓄積することが可能である。
【００３４】
このようにしてバッファメモリ２１２に蓄積されたディジタルコンポーネントビデオ信号は、読出制御部２１３により、後述する読出クロック信号に同期して読み出され、後段の符号化処理に供されている。
次に、読出クロック信号を生成する方法について説明する。
図３に示したビデオインタフェース回路において、標準ＰＬＬ２１４およびＶＴＲ用ＰＬＬ２１５は、同期信号検出部４２４によってビデオ信号から分離された同期信号に基づいて読出クロック信号を生成し、セレクタ２１６を介して上述した読出制御部２１３および同期信号生成部２１７に供給する構成となっている。
【００３５】
このセレクタ２１６は、請求項１で述べた選択手段１１５に相当するものであり、請求項１で述べた判別手段１１４に相当する判別回路２１８で生成された切り替え信号に応じて、上述した標準ＰＬＬ２１４あるいはＶＴＲ用ＰＬＬ２１５によって生成されたクロック信号を選択する構成となっている。
また、同期信号生成部２１７は、読出クロック信号に同期して動作するカウンタを備えて構成されており、ライン周期を示す水平同期信号およびフィールド周期を示す垂直同期信号を生成し、後段の符号化処理に供する構成となっている。
【００３６】
また、図３において、読出制御部２１３は、上述した同期信号生成部２１７によって生成された垂直同期信号とセレクタ２１６を介して受け取った読出クロックとに基づいて、上述したライトストローブ信号と同様に、表示領域内の有効な画素に対応するリードストローブ信号を生成し、読出クロック信号とともにバッファメモリ２１２に供給する構成となっている。
【００３７】
これにより、このリードストローブ信号によって読出が有効とされた期間に限って、読出クロック信号に同期してバッファメモリ２１２からサンプリング結果が読み出され、符号化処理部に送出される。
図３において、標準ＰＬＬ２１４は、請求項１述べた位相同期回路１１３の１つに相当するものであり、図１３に示したＰＬＬ４２３と同等の構成を有し、ＮＴＳＣスタンダード信号に対応する読出クロック信号をセレクタ２１６の入力端子の一方に入力する構成となっている。
【００３８】
一方、図２に示したＶＴＲ用ＰＬＬ２１５は、請求項１で述べた位相同期回路１１３の別の１つに相当するものであり、後述するようにして、ビデオテープレコーダによって得られるＮＴＳＣノンスタンダード信号（以下、ＶＴＲ信号と略称する）に対応する読出クロ

ック信号を生成し、セレクタ２１６の入力端子の他方に入力する構成となっている。
【００３９】
ここで、ＶＴＲ信号の水平同期信号の周期は、図１４(ａ)に示したように、１フィールド内では単調に変化していき、フィールドの境界付近で急激に変動するため、水平同期信号周期の差分に注目すれば、図１４(ｂ)に示すように、フィールドの境界にパルス状の特有のパターンが現れる。
その一方、このようなパターンが現れるのは、非表示領域内のフィールドの境界であり、このパターンが現れる近傍のタイミングでディジタルコンポーネントビデオ信号が上述したバッファメモリ２１３に書き込まれることはない。したがって、読出クロック信号が、上述したライン周期の変動に忠実に追従する必要はない。
【００４０】
むしろ、バッファメモリ２１２からの読出動作を安定化するためには、ＶＴＲ用ＰＬＬ２１５を、図１４(ｂ)に示したライン周期の変動がクロック信号の周期に与える影響を排除する構成とすべきである。
このため、図３に示したＶＴＲ用ＰＬＬ２１５は、水平同期信号の代わりに垂直同期信号を位相比較部２２１に入力し、電圧制御発振器２２２の出力を分周器２２３によって垂直同期信号に相当する周波数にまで分周して得られる信号を対照信号として入力し、この対照信号と垂直同期信号との位相誤差により、電圧制御発振器２２２の発振動作を制御する構成となっている。
【００４１】
ＶＴＲ信号においても、ＮＴＳＣスタンダード信号と同様にフィールド周期は十分に安定しているから、上述したようにして、フィールド周期ごとに位相同期制御を行うことにより、フィールド境界付近のライン周期の変動にかかわらず、安定した読出クロック信号を得ることが可能である。
この場合は、位相同期が確立するまで数フィールド分の時間が必要となる。しかし、一旦位相同期が確立すれば、以降は、一定してＶＴＲ信号を正常にサンプリングすることができる。
【００４２】
したがって、判別回路２１８により、ＮＴＳＣスタンダード信号とＶＴＲ信号とを正確に判別し、セレクタ２１６により、２つの読出クロック信号を切り替えれば、入力されるビデオ信号の種類にかかわらず、バッファ２１２に保持されたサンプリング結果を安定して読み出して、後段の符号化処理に供することができる。
【００４３】
次に、判別回路２１８により、ＮＴＳＣスタンダード信号とＶＴＲ信号とを判別する方法について説明する。
図４に、判別回路２１８の詳細構成図を示す。
図４に示した判別回路２１８において、周期差分測定部２２４は、水平同期信号を受け取ってその周期を測定し、ライン周期の差分値を求めてＶＴＲパターン検出部２２５の処理に供する構成となっている。
【００４４】
また、ラインカウンタ２２６は、水平同期信号と垂直同期信号とに基づいて、フィールドごとに現在のライン番号を計数し、ＶＴＲパターン検出部２２５の処理に供する構成となっている。
このＶＴＲパターン検出部２２５は、ヘッドの切り替えが発生するライン番号付近に注目し、この区間に属する各ラインに対応する差分値が、そのラインに対応して設定した範囲（図５参照）に含まれているか否かを判定し、この判定結果を示す第１ＶＴＲ検出信号を検出保護回路２２７を介してセレクタ２１６に送出する構成となっている。
【００４５】
例えば、ＶＴＲパターン検出部２２５は、ヘッド切り替えが発生するラインnpを中心とする前後２ｎラインに注目し、ライン番号np-nからライン番号np-kまでの範囲およびライン

番号np+nからライン番号np+kまでの範囲については、差分値が所定値m0から別の所定値m1までの範囲に含まれる場合と、ライン番号np-kからライン番号np-1までの範囲およびライン番号np+1からライン番号np+kまでの範囲については、差分値が所定値m0以上である場合と、ライン番号npにおいて、差分値が所定値m2以上である場合に、ＶＴＲ特有のパターンを検出した旨の第１ＶＴＲ検出信号を出力すればよい。

【００４６】

上述した第１ＶＴＲ検出信号によって、各ラインに対応する差分値が閾値を超えている旨が示された場合は、受け取った差分値が上述したＶＴＲ特有のパターン（図１４(ｂ)参照）の一部を構成している可能性があることを示しているものの、ノイズの影響を受けている場合があるので、検出保護回路２２７により、その影響を除去する必要がある。

【００４７】

図４に示した検出保護回路２２７において、検出判定回路２２８は、連続した所定数のラインにわたってＶＴＲパターンである可能性がある旨の検出結果が得られた場合に、論理「１」を出力してセットリセットフリップフロップ２３０のセット端子に入力する構成となっている。

一方、非検出判定回路２２９は、連続した所定数のラインにわたってＶＴＲパターンである可能性はない旨の検出結果が得られた場合に、論理「１」を出力してセットリセットフリップフロップ２３０のリセット端子に入力する構成となっている。

【００４８】

このようにして、ＶＴＲパターン検出部２２５による検出結果の連続性を判定することにより、ノイズの有無にかかわらず、ＮＴＳＣスタンダードビデオ信号とＶＴＲ信号とを正確に判別し、セレクタ２１６を介して適切な読出クロック信号を読出制御部２１３に供給することができる。

これにより、入力されるビデオ信号の種類にかかわらず、正常なサンプリング処理動作を維持して、空間的な同一性を保ったサンプリング結果を符号化処理に供することが可能となり、ビデオインタフェース回路の信頼性を向上することができる。

【００４９】

ところで、図３に示したようなＶＴＲ用ＰＬＬ２１５を採用した場合は、位相比較周期が長いために、クロック信号の位相同期が確立するまでに数フィールドが必要であるので、この程度の期間についての読出動作が不安定となることを無視できないような用途には適用できない。

【００５０】

次に、ＶＴＲ信号に適合する読出クロック信号を迅速かつ安定に生成する方法について説明する。

図６に、請求項３乃至請求項５の発明を適用したＶＴＲ用ＰＬＬの実施形態を示す。

図６に示したＶＴＲ用ＰＬＬは、図３に示したＶＴＲ用ＰＬＬ２１５に、水平同期信号を入力とする位相比較部２３１と加算器２３２とを付加し、この位相比較部２３１による比較結果と、請求項３で述べた第１位相比較手段１２１に相当する位相比較部２２１による比較結果とを加算器２３２によって加算し、電圧制御発振器２２２に制御入力として入力する構成となっている。

【００５１】

この位相比較部２３１は、請求項３で述べた第２位相比較手段１２２に相当するものであり、図６において、分周器２３３は、クロック信号を分周して水平同期信号に相当する対照信号を生成する構成となっており、位相比較器２３４は、この対照信号と入力される水平同期信号との位相比較を行い、３ステートバッファ２３５を介して、積分器２３６の処理に供する構成となっている。

【００５２】

また、図６に示すマスク信号生成部２３７において、フィールド境界検出回路２４１は、請求項５で述べた区間検出手段１２８に相当するものであり、垂直同期信号とクロック信号とに基づいて２つのカウンタおよびデコーダが動作することにより、各フィールドの境

界を検出し、フィールド境界に対応するラインを含む所定数のラインに相当する期間を示す第１マスク信号を生成し、オアゲート２４２の入力端子の一方に入力する構成となっている。

【００５３】

一方、図６に示した比較器２４３は、請求項４で述べた比較手段１２５に相当するものであり、位相比較部２２１の出力と所定の閾値とを比較することによってフィールド周期ごとの位相同期の収束状態を判定し、位相比較部２２１の出力が上述した閾値未満である場合に、位相同期が確立している旨を示す第２マスク信号をオアゲート２４２の入力端子の他方に入力する構成となっている。

【００５４】

また、このオアゲート２４２の出力は、上述した３ステートバッファ２３５の制御端子に入力されており、第１マスク信号あるいは第２マスク信号として論理「１」が入力されたときに、この３ステートバッファ２３５をハイインピーダンス状態として、位相比較部２３１と電圧制御発振器２２２とを切り離す構成となっている。

【００５５】

この場合は、フィールド周期に基づく位相同期が未収束状態であるときに、フィールド境界付近を除く期間に限って、位相比較部２１８の出力と位相比較部２３１の出力とが加算器２３２によって合成され、ライン周期に基づく位相同期制御が有効となる。

このように、３ステートバッファ２３５が、オアゲート２４２の出力に応じて動作することにより、請求項４および請求項５で述べた第１寄与分算出手段１２６および第２寄与分算出手段１２９の機能を実現し、積分器２３６および加算器２３２によって形成される制御量決定手段１２７を介して、ライン周期についての位相比較結果を読出クロック信号に適切に反映させることができ、全体として請求項２で述べた合成手段１２３の機能が実現されている。

【００５６】

上述したようにして、ライン周期に基づく位相同期制御を限定的に利用することにより、ＶＴＲ信号に現れるヘッド切替に伴うライン周期の変動パターンによる影響を排除しつつ、位相同期を確立するまでに要する時間を短縮することが可能である。

また、このようにして、入力ビデオ信号の同期信号に基づいて、安定した読出クロック信号を生成したことにより、バッファメモリ２１２の破綻をほぼ確実に防ぐことが可能である。

【００５７】

次に、バッファメモリ２１２の破綻を更に確実に防止するために、バッファメモリ２１２の占有量を一定に保つ方法について説明する。

図７に、請求項２のビデオインタフェース回路の実施形態を示す。

【００５８】

図７に示したビデオインタフェース回路は、図２に示したビデオインタフェース回路に、第２段の調整用ＰＬＬ２３８を付加し、セレクタ２１６によって選択された読出クロック信号をこの調整用ＰＬＬ２３８を介して読出制御部２１３および同期信号生成部２１７に供給する構成となっている。

図８に、調整用ＰＬＬの詳細構成を示す。

【００５９】

図８に示した調整用ＰＬＬ２３８において、第１分周回路２５１は、セレクタ２１６から受け取った読出クロック信号を分周して、水平同期信号に相当する第１対照信号を生成し、第１位相比較器２５２に入力する構成となっている。

この第１位相比較器２５２は、第２分周回路２５３による分周結果と上述した第１対照信号とについて位相比較を行い、比較結果を積分器２５４を介して電圧制御発振器２５５に供する構成となっており、請求項２で述べたクロック調整手段１１８を形成している。

【００６０】

また、図８において、第２位相比較器２５６は、遅延回路２５７を介して入力された読出

側垂直同期信号と書込側垂直同期信号とについて位相比較を行う構成となっており、また、分周比制御部２５８は、この比較結果に応じて、上述した第２分周回路２５３による分周動作を制御する構成となっている。
この分周比制御部２５６は、第２位相比較器２５６によって位相が等しい旨の比較結果が得られた場合に、第２分周回路２５３の分周比と上述した第１分周回路２５１の分周比とを等しくし、位相差がある場合は、その値に応じて分周比を増減する構成とすればよい。
【００６１】
このように、第２位相比較器２５６による比較結果に応じて、分周比制御部２５８が動作することにより、請求項２で述べた遅延測定手段１１８の機能を実現し、書込側垂直同期信号に対する読出側垂直同期信号の遅延に応じて、電圧制御発振器２５５によって生成される読出クロック信号の周期を調整することができる。
【００６２】
例えば、書込側垂直同期信号に対する読出側垂直同期信号の遅延が大きくなったときに、分周比制御部２５８による分周比を大きくして、読出クロック信号の周期を縮める制御を行うことにより、読出側垂直同期信号と書込側垂直同期信号との位相差を一定値に保つことができる。
これにより、バッファメモリ２１２に書き込まれたサンプリング結果と読出済みのサンプリング結果との差をほぼ一定に保つことが可能であるから、バッファメモリ２１２の破綻をより確実に防ぐことができる。
【００６３】
また、この場合は、図７に示す同期信号生成部２１７において、上述した調整用ＰＬＬ２３８から受け取った読出クロック信号に同期して計数動作を行うペルカウンタと、このペルカウンタによる計数値が１ライン分の画素数に達するごとに計数値を加算するラインカウンタとに対して、これらのカウンタの計数値からゲート回路によって生成した読出側垂直同期信号に応じて、計数値の初期値をロードしてリセットする構成を採用することができる。
【００６４】
なぜなら、上述したように、調整用ＰＬＬ２３８の動作により、書込側垂直同期信号に対する読出側垂直同期信号の遅延を一定値に保つことができるから、図７に示したように、同期信号生成部２１７内部で生成した読出側垂直同期信号によって自身をリセットしても、回路内部における処理遅延時間を一定に保つことができ、一般にこのような回路における問題点とされている処理遅延時間の不定を避けることができるからである。
【００６５】
また、上述した同期信号生成回路２１７を採用することにより、調整用ＰＬＬ２３８を介して入力される読出クロック信号により、入力ビデオ信号の同期信号との相関を持ちながら、入力ビデオ信号の同期信号そのものが、読出側で用いる同期信号に及ぼす直接的な影響を排除することができる。
したがって、図８に示した調整用ＰＬＬ２３８および図７に示した構成の同期信号生成回路２１７を採用した場合に得られる読出クロック信号および読出側の同期信号は、入力ビデオ信号に忠実なクロック信号および同期信号と、入力ビデオ信号とは全く独立のクロック信号および同期信号との中間の性質を持ち、双方の特長を兼ね備えているから、このような構成を採用することにより、ビデオインタフェース回路の信頼性を大幅に向上することができる。
【００６６】
ところで、図１２に示したように、複数のビデオ信号入力をセレクタを介してビデオインタフェース回路に入力する構成の場合は、当然ながら、入力ビデオ信号が頻繁に切り替えられる場合があり、その際には、同期信号の乱れから映像の乱れが生じてしまう。
次に、入力ビデオ信号の切替に伴う映像の乱れを回避する方法について説明する。
【００６７】
図９に、請求項６のビデオインタフェース回路の実施形態を示す。また、図１０に、請求

項６のビデオインタフェース回路の主要部の詳細構成を示す。
図９に示したビデオインタフェース回路は、図７に示したビデオインタフェース回路に遅延用バッファ２６１、データセレクタ（図においては、単にセレクタとして示した）２６２および切替検出部２６３を付加し、データセレクタ２６２が、切替検出部２６３からの指示に応じて、バッファメモリ２１２から読み出されたデータあるいは遅延用バッファ２６１を介して入力されたデータを選択し、後段の符号化処理に供する構成となっている。
【００６８】
また、同期信号検出部４２４によって検出された垂直同期信号は、後述する保護回路２６４を介して各部に供給されている。
上述した遅延用バッファ２６１は、請求項６で述べた保持手段１３１に相当するものであり、例えば、１フィールド分の容量を持つＦＩＦＯを備えて形成され、読出クロック信号に同期して、バッファメモリ２１２から読み出されたサンプリング結果を順次に格納するとともに、最も古いデータを出力することにより、サンプリング結果に１フィールド分の遅延を与える構成となっている。
【００６９】
また、図１０に示した切替検出部２６３において、セットリセットフリップフロップ（ＦＦ）２６５は、セット端子に入力される書込側垂直同期信号とリセット端子に入力される読出側垂直同期信号とに応じて動作し、このセットリセットフリップフロップ２６５の出力をフリップフロップ２６６が読出側垂直同期信号に同期して保持する構成となっており、このフリップフロップ２６６の出力が読出許可信号として、読出制御部２１３およびデータセレクタ２６２に入力されている。
【００７０】
この場合に、読出制御部２１３は、図１０に示すように、ペルカウンタ２７１およびデコーダ２７２によって各ラインにおける有効画素の範囲を示す有効画素信号を生成するとともに、ラインカウンタ２７３およびデコーダ２７４によって有効なラインの範囲を示す有効ライン信号を生成し、得られた有効画素信号および有効ライン信号と切り替え検出部２６３による検出結果とを請求項６で述べた停止手段１３５に相当するアンドゲート２７５に入力して、その論理積をリードストローブ信号としてバッファメモリ２１２に供給する構成とすればよい。
【００７１】
例えば、ＮＴＳＣスタンダードビデオ信号が継続的に入力されている状態では、上述した調整用ＰＬＬ２３８による位相同期が確立しており、図１１(ａ)、(ｂ)に示すように、書込側垂直同期信号V-W と読出側垂直同期信号V-R とは所定の遅延ｄを保っている。この場合は、図１１(ｃ)、(ｄ)に示すように、対応する垂直同期信号に従って、各フィールドのデータがバッファメモリ２１２に書き込まれ、各フィールドのデータが読み出されている。
【００７２】
このとき、セットリセットフリップフロップ２６５は、書込側垂直同期信号に応じてセットされ、読出側垂直同期信号に応じてリセットされるから、その出力信号(SRFF-Q)は、図１１(ｅ)に示すように、上述した所定の遅延に相当する幅のパルスを有する信号となる。この場合は、読出側垂直同期信号の入力タイミングでは、常に、セットリセットフリップフロップ２６５の出力(SRFF-Q)は論理「１」であるから、図１１(ｆ)に示すように、フリップフロップ２６６の出力(FF-Q)もまた論理「１」に保たれ、バッファメモリ２１２からの読み出しを許可する旨の許可信号としてデータセレクタ２６２に入力され、これに応じて、各フィールドのサンプリングデータがそのまま読み出されて後段の符号化処理に供される。
【００７３】
ところで、例えば、ビデオインタフェース回路の動作中に、入力ビデオ信号がテレビカメラ（図示せず）から入力されるＮＴＳＣスタンダードビデオ信号からビデオテープレコーダ（図示せず）から入力されるＶＴＲ信号に切り替わった場合には、当然ながら、それま

でのフィールド周期にかかわらず、入力されるＶＴＲ信号に対応する垂直同期信号が入力される。

【００７４】

このような入力ビデオ信号の切り替えに伴って、書込側垂直同期信号の間隔が通常のフィールド周期よりも短くなってしまうことを防ぐために、保護回路２５４が設けられている。

図１０に示した周期保護回路２６４において、マスク信号生成部２６７は、マスク信号として、同期信号検出部４２４から受け取った垂直同期信号に応じて論理「０」となり、フィールド周期よりも所定の時間だけ短い期間に渡って論理「０」を維持してから論理「１」に戻る信号を生成し、アンドゲート２６８の入力端子の一方に入力する構成となっている。

【００７５】

したがって、入力ビデオ信号の切り替えが発生し、図１１(ａ)に点線で示すように、フィールドの途中で新たな入力ビデオ信号に伴う垂直同期信号が入力された場合は、この垂直同期信号は、上述したマスク信号によってマスクされ、ビデオインタフェース回路内の他の回路ブロックには供給されない。

このため、入力ビデオ信号の切り替えが発生したタイミングにかかわらず、入力ビデオ信号の切り替えに伴って、書込側垂直同期信号の間隔は、確実にフィールド周期よりも長くなる（図１１(ａ)参照）。

【００７６】

この場合は、先に到着した読出側垂直同期信号によって、セットリセットフリップフロップ２６５がリセットされた後に、次のフィールドの先頭を示す書込側垂直同期信号が到着するため、フリップフロップ２６６の出力は、読出側垂直同期信号に応じて論理「０」となり（図１１(ｆ)参照）、バッファメモリ２１２からの読み出しを禁止する旨の許可信号として、データセレクタ２６２に入力される。

【００７７】

これに応じて、データセレクタ２６２が動作し、図１１(ｄ)に示すように、入力ビデオ信号の切替が発生したフィールドの次のフィールドａについては、遅延用バッファ２６１に保持された直前のフィールド（図１１において、符号LASTを付して示した）のサンプリングデータが、後段の符号化処理に供される。

また、このフィールドａと次のフィールドｂとの境界では、図１１(ｆ)に示すように、読出側垂直同期信号の到着に応じてフリップフロップ２６６の出力は再び論理「１」となり、以降は論理「１」が維持される。

【００７８】

したがって、このフィールドｂ以降はデータセレクタ２６２によりバッファメモリ２１２からのサンプリングデータが選択され、図１１(ｃ)、(ｄ)に示すように、各フィールドのサンプリングデータが後段の符号化処理に供される。

上述したように、入力ビデオ信号の切替による読出側垂直同期信号と書込側垂直同期信号との位相の逆転に応じて、遅延用バッファ２６１から１フィールド遅延したデータを読み出すことにより、逆転した位相を更に逆転し、バッファメモリ２１２の破綻を確実に防ぐことができる。

【００７９】

なお、このとき、書込側垂直同期信号に対する読出側垂直同期信号の遅延は一時的に大きくなるが、上述した調整用ＰＬＬ２３８が動作して読出クロック信号周期を調整することにより、この遅延を徐々に縮小し、再び、元の一定値を回復してその後はこれを維持することができる。

これにより、入力ビデオ信号の切替に伴う同期信号周期の急激な変動を排除することができるから、入力ビデオ信号の切替の有無にかかわらず、後段の符号化処理部を正常に動作させることが可能となる。

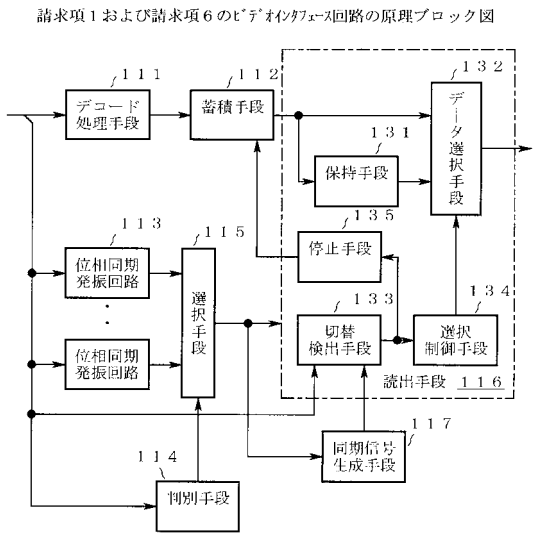
【００８０】

【発明の効果】
以上に説明したように、請求項１の発明によれば、入力ビデオ信号の特徴を考慮した読出クロック信号を用いて蓄積手段からサンプリングデータを読み出すことができるので、入力ビデオ信号の種類にかかわらず、各フレームについて空間的に一定なサンプル点を確実にサンプリングすることができる。
【００８１】
また、請求項２の発明によれば、入力側同期信号に対する出力側同期信号の遅延量に応じて、読出クロック信号を調整することにより、蓄積手段への書込動作に対する読出動作の遅延量を一定値に保つことが可能であるから、蓄積手段の破綻を確実に防止することができる。
一方、請求項３乃至請求項５の発明によれば、ライン周期についての位相比較結果とフィールド周期についての位相比較結果とを適切に合成して、発振手段による発振動作の制御量とすることにより、引き込みの迅速化と読出クロック信号の安定性とを両立することが可能である。
【００８２】
また、請求項６の発明によれば、入力ビデオ信号の種類の切り替えに応じて、蓄積手段からの読出動作を停止するとともに、代わりに、保持手段に保持された１フィールド分遅延したデータを送出することにより、入力ビデオ信号の切り替えに伴うサンプリング動作の乱れの伝搬を阻止し、符号化処理の動作を保護することができる。
【図面の簡単な説明】
【図１】請求項１および請求項６のビデオインタフェース回路の原理ブロック図である。
【図２】請求項２乃至請求項５のビデオインタフェース回路の原理ブロック図である。
【図３】請求項１のビデオインタフェース回路の実施形態を示す図である。
【図４】判別回路の詳細構成図である。
【図５】ＶＴＲパターンの検出方法を説明する図である。
【図６】請求項３乃至請求項５の発明を適用したＶＴＲ用ＰＬＬの構成を示す図である。
【図７】請求項２のビデオインタフェース回路の実施形態を示す図である。
【図８】調整用ＰＬＬの詳細構成を示す図である。
【図９】請求項６のビデオインタフェース回路の実施形態を示す図である。
【図１０】請求項６のビデオインタフェース回路の主要部の構成を示す図である。
【図１１】ビデオインタフェース回路の動作を表すタイミング図である。
【図１２】従来のビデオインタフェース回路を適用したディジタル画像符号化復号化装置の構成例を示す図である。
【図１３】位相同期発振回路の構成例を示す図である。
【図１４】ＶＴＲ信号の特徴を説明する図である。
【図１５】ビデオインタフェース回路の別構成例を示す図である。
【符号の説明】
１１１　デコード処理手段
１１２　蓄積手段
１１３　位相同期発振回路
１１４　判別手段
１１５　選択手段
１１６　読出手段
１１７　同期信号生成手段
１１８　クロック調整手段
１１９　遅延測定手段
１２１　第１位相比較手段
１２２　第２位相比較手段
１２３　合成手段
１２４　発振手段

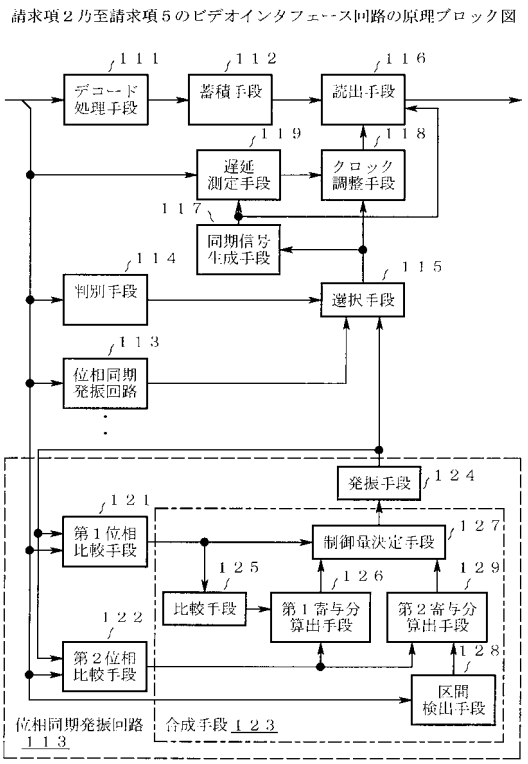
１２５　比較手段
１２６　第１寄与分算出手段
１２７　制御量決定手段
１２８　区間検出手段
１２９　第２寄与分算出手段
１３１　保持手段
１３２　データ選択手段
１３３　切替検出手段
１３４　選択制御手段
１３５　停止手段
２０１　変換処理部
２０２　バーストクロックＰＬＬ
２１１　サンプリング処理部
２１２、４２５　バッファメモリ
２１３　読出制御部
２１４　標準位相同期発振回路（標準ＰＬＬ）
２１５　ＶＴＲ用位相同期発振回路（ＶＴＲ用ＰＬＬ）
２１６、４１６　セレクタ
２１７、４２６　同期信号生成部
２１８　判別回路
２２１、２３１　位相比較部
２２２、２５５、４３１　電圧制御発振器
２２３、２３３、４３２　分周器
２２４　周期差分測定部
２２５　ＶＴＲパターン検出部
２２６、２７３　ラインカウンタ
２２７　検出保護回路
２２８　検出判定回路
２２９　非検出判定回路
２３０、２６５　セットリセットフリップフロップ
２３２　加算器
２３４、４３３　位相比較器
２３５　３ステートバッファ
２３６、２５４、４３４　積分器
２３７　マスク信号生成部
２３８　調整用ＰＬＬ
２４１　フィールド境界検出回路
２４２　オアゲート
２４３　比較器
２５１　第１分周回路
２５２　第１位相比較器
２５３　第２分周回路
２５６　第２位相比較部
２５７　遅延回路
２５８　分周比制御部
２６１　遅延用バッファ
２６２　データセレクタ（セレクタ）
２６３　切替検出部
２６４　周期保護回路
２６６　フリップフロップ

２６７　マスク信号発生部
２６８、２７５　アンドゲート
２７１　ペルカウンタ
２７２、２７４　デコーダ
４１１　符号化処理部
４１２　ビデオインタフェース回路
４１３　回線制御部
４１４　復号化処理部
４１５　エンコード処理部
４１６　セレクタスイッチ（スイッチ）
４２１　デコード処理部
４２２　アナログ－ディジタル（Ａ／Ｄ）変換部
４２８　タイミング制御部

【図１】

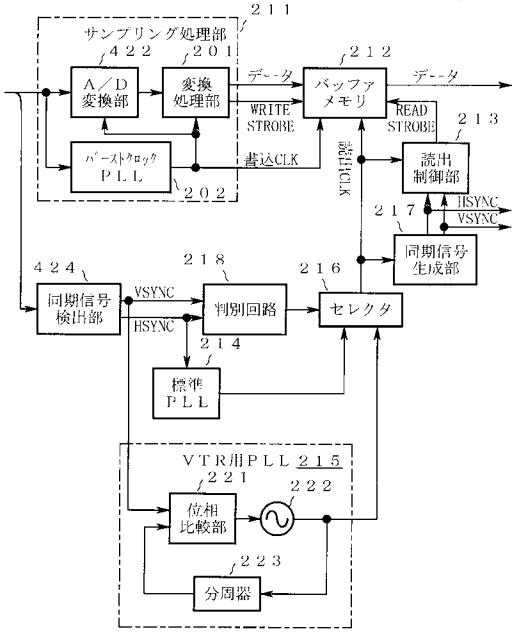


【図２】



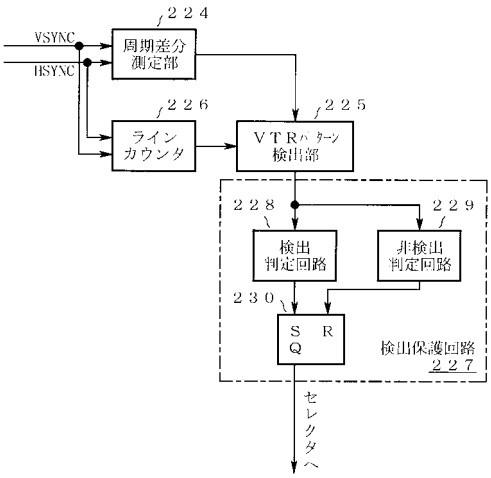
【図３】

請求項１のビデオインタフェース回路の実施形態を示す図



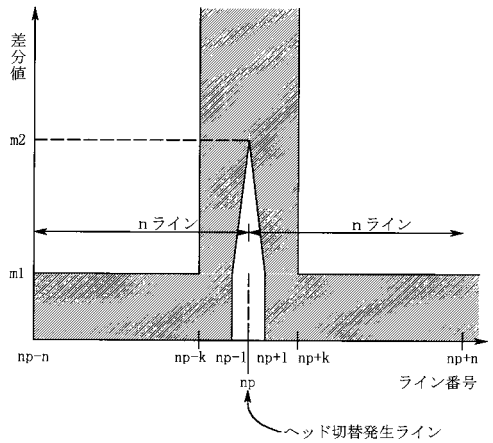
【図４】

判別回路の詳細構成図



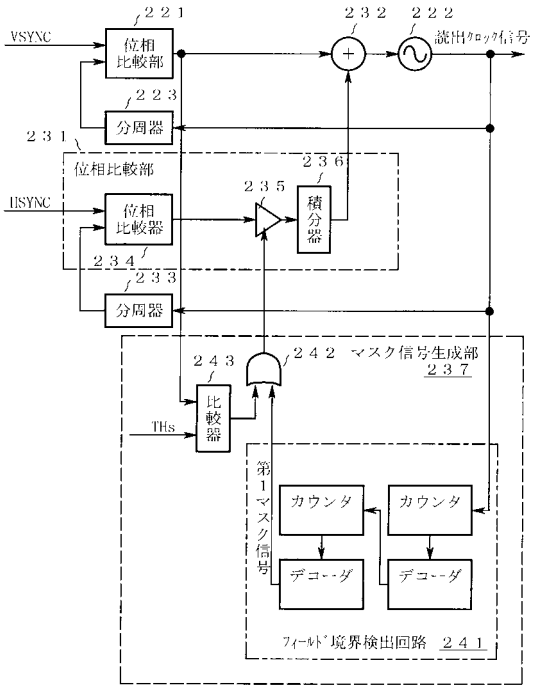
【図５】

VTRパターンの検出方法を説明する図



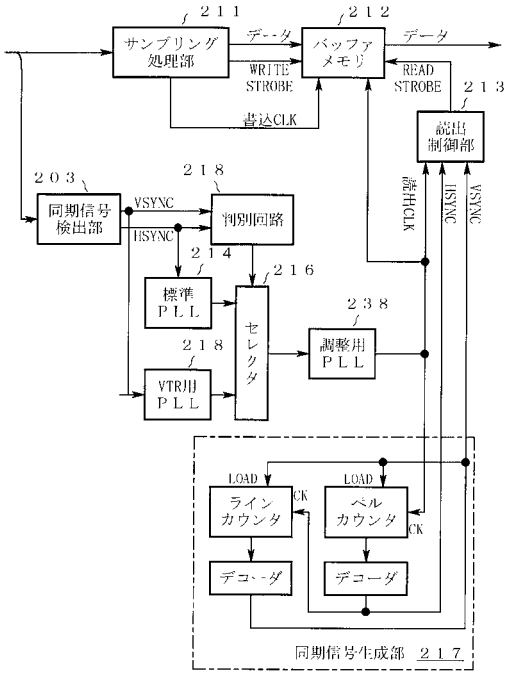
【図６】

請求項３乃至請求項５の発明を適用したＶＴＲ用ＰＬＬの構成を示す図



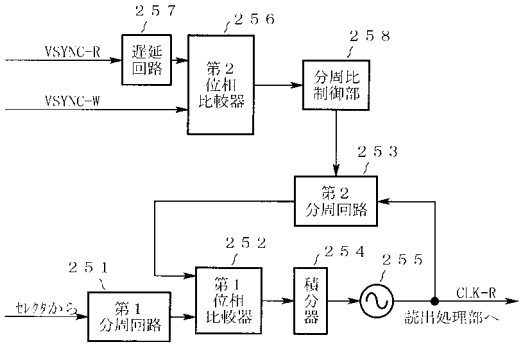
【図７】

請求項２のビデオインタフェース回路の実施形態を示す図



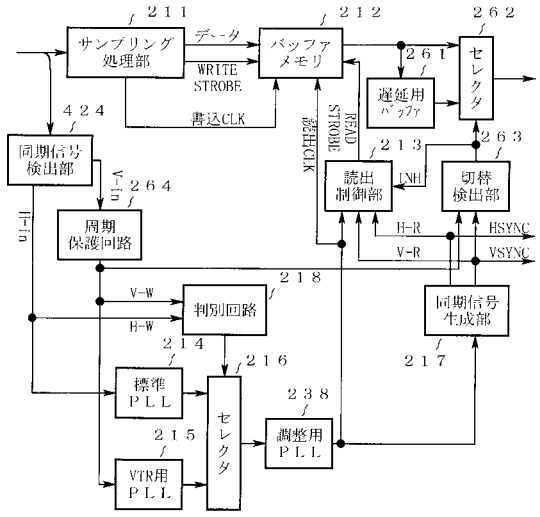
【図８】

調整用ＰＬＬの詳細構成を示す図



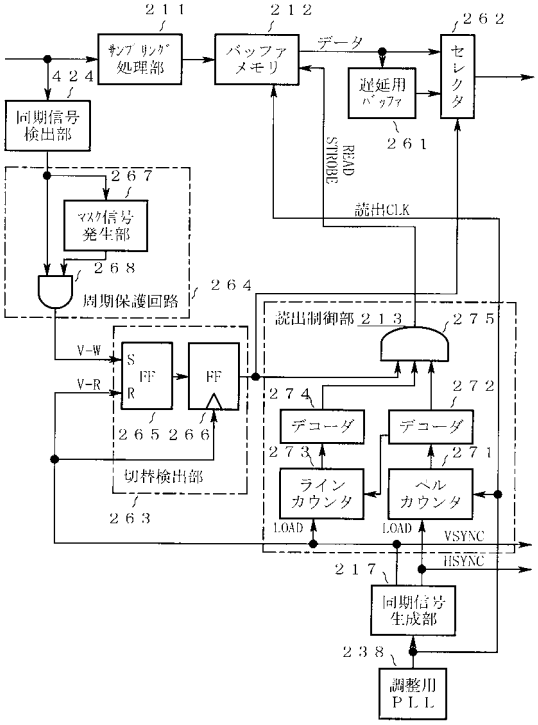
【図９】

請求項６のビデオインタフェース回路の実施形態を示す図



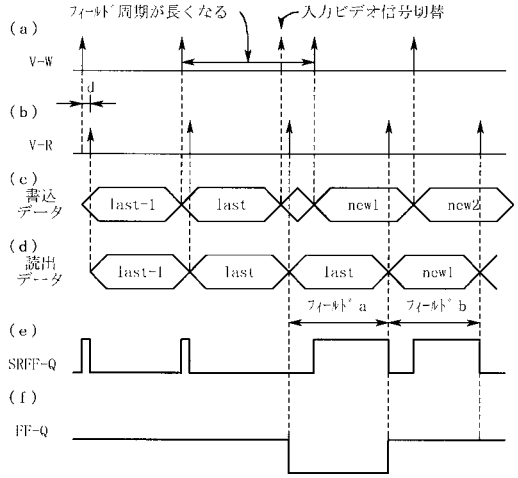
【図１０】

請求項６のビデオインタフェース回路の主要部の詳細構成を示す図



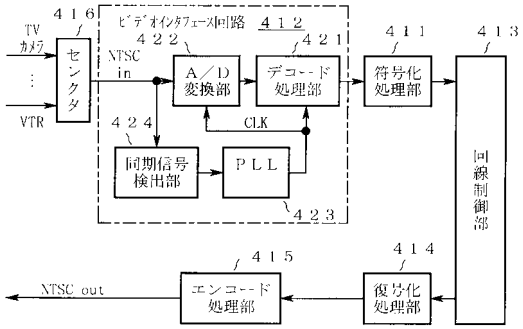
【図１１】

ビデオインタフェース回路の動作を表すタイミング図



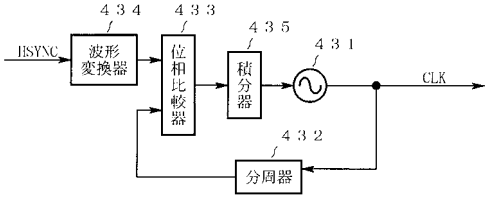
【図１２】

従来のデジタル画像符号化復号化装置の構成例を示す図



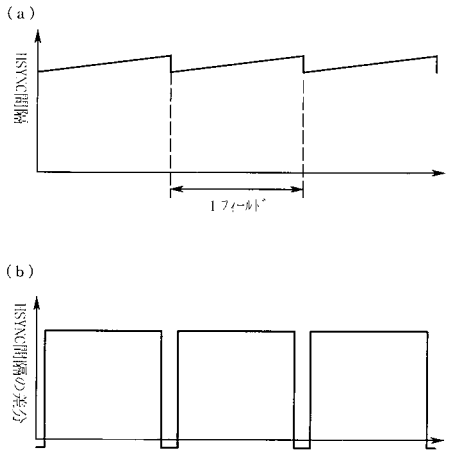
【図１３】

位相同期発振回路の構成例を示す図



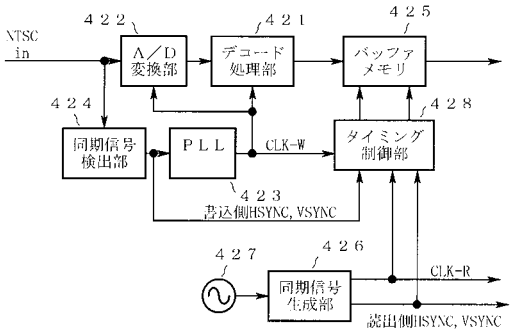
【図１４】

ＶＴＲ信号の特徴を説明する図



【図１５】

ビデオインタフェース回路の別構成例を示す図



フロントページの続き

(72)発明者　村雲　正志
福岡県福岡市博多区博多駅前三丁目２２番８号　富士通九州ディジタル・テクノロジ株式会社内
(72)発明者　吉田　要
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

審査官　佐藤　直樹

(56)参考文献　特開平０３－１４３０８１（ＪＰ，Ａ）
特開平０４－０１４３９２（ＪＰ，Ａ）
特開平０７－１７０５０３（ＪＰ，Ａ）
特開平０８－０７７６９８（ＪＰ，Ａ）
特開平０８－０９８１４９（ＪＰ，Ａ）
特開平０５－２０７５１４（ＪＰ，Ａ）
特開平０５－２５２５３６（ＪＰ，Ａ）
特開平０２－２４９３９２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N　5/06
H03L　7/06
H04N　5/46