

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95149955

※ 申請日期：95.12.29

※ IPC 分類：H01L 27/115 (2006.01)

一、發明名稱：(中文/英文)

對虛擬接地陣列記憶裝置施加雙側偏壓之方法

DOUBLE-SIDE-BIAS METHODS OF PROGRAMING AND
ERASING A VIRTUAL GROUND ARRAY MEMORY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

旺宏電子股份有限公司

MACRONIX INTERNATIONAL CO., LTD.

代表人：(中文/英文) 吳敏求/ WU, MIIN-CHYOU

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路 16 號

NO.16, LI-HSIN ROAD, SCIENCE-BASED INDUSTRIAL PARK,
HSINCHU, R.O.C.

國 籍：(中文/英文) 中華民國/R.O.C.

三、發明人：(共 1 人)

姓 名：(中文/英文)

吳昭誼/WU, CHAO-I

國 籍：(中文/英文) 中華民國/R.O.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95149955

※ 申請日期：95.12.29

※IPC 分類：7101/6 27/115 (2006.01)

一、發明名稱：(中文/英文)

對虛擬接地陣列記憶裝置施加雙側偏壓之方法

DOUBLE-SIDE-BIAS METHODS OF PROGRAMING AND
ERASING A VIRTUAL GROUND ARRAY MEMORY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

旺宏電子股份有限公司

MACRONIX INTERNATIONAL CO., LTD.

代表人：(中文/英文) 吳敏求/ WU, MIIN-CHYOU

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路 16 號

NO.16, LI-HSIN ROAD, SCIENCE-BASED INDUSTRIAL PARK,
HSINCHU, R.O.C.

國 籍：(中文/英文) 中華民國/R.O.C.

三、發明人：(共 1 人)

姓 名：(中文/英文)

吳昭誼/WU, CHAO-I

國 籍：(中文/英文) 中華民國/R.O.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☒ 無主張專利法第二十七條第一項國際優先權：

美國 US；2006/12/21；11/614,742。

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般係有關於電氣可程式化與可抹除記憶體，並尤其有關於電荷捕捉記憶陣列的程式化與抹除操作。

【先前技術】

以電荷儲存結構為基礎的電氣可程式化與可抹除非揮發性記憶技術，係稱為電氣可抹除可程式化唯讀記憶體（EEPROM）以及快閃記憶體，這些記憶體係用於許多當前的應用中。快閃記憶體的設計係基於可以獨立可程式化與讀取之記憶細胞所組成的陣列。快閃記憶體中的感測放大器係用以決定資料數值、或者儲存在非揮發性記憶體中的數值。在一典型的感測機構中，通過記憶細胞的電流係被感測，並在電流感測放大器中與一參考電流作比較。

在 EEPROM 和快閃記憶體中使用了數種記憶細胞結構。隨著積體電路的體積縮小，此領域的研究能量係逐漸投注於以電荷捕捉介電層為基礎的記憶細胞結構，因為其製程可縮小尺寸、且相對簡單。以電荷捕捉介電層為基礎的記憶細胞結構，包括俗稱為「N 位元記憶體」之結構。此記憶細胞結構係藉由在一電荷捕捉介電層中捕捉電荷而儲存資料，電荷捕捉介電層可舉例如氮化矽。負電荷被捕捉後，記憶細胞的臨界電壓會上升。記憶細胞的臨界電壓係藉由從電荷捕捉層移除負電荷而降低。

N 位元裝置使用了相當厚的底氧化物以避免電荷流失，其厚度係大於例如 3 奈米，典型地係介於約 5 至 9 奈米。用以抹除細胞的技術並非直接穿隧，而是帶至帶穿隧

所誘發的熱電洞注入(BTBTHH)。然而，熱電洞注入會造成氧化物的損害，導致高臨界電壓細胞中的電荷流失，並導致低臨界電壓細胞中的電荷累積。在程式化與抹除循環時，抹除時間必須逐漸增加，因為在電荷捕捉結構中的電荷將會因為逐漸累積而難以抹除。電荷累積的發生係導因於電洞注入點與電子注入點並不彼此重疊，因此在抹除脈衝之後仍留下部分電子。此外，在 N 位元記憶體的區塊抹除操作之後，每一細胞的抹除速度會因為製程變化（例如通道長度的不同）而產生差異。在抹除速度的差異將導致抹除狀態下的大 V_t 分佈，使得某些細胞難以抹除、而某些細胞則過度抹除。因此，目標臨界電壓區間（ V_t window）係在每一程式化與抹除循環之後關閉，因而得到不良的耐久性。隨著製程技術持續微小化，此現象會變得更加嚴重。

傳統的浮動閘極裝置，係在一導電浮動閘極中儲存一位元的電荷。N 位元裝置具有複數個細胞，其中每一 N 位元細胞提供了可在一氧化物-氮化物-氧化物（ONO）介電層中儲存二位元電荷的快閃細胞。在 N 位元記憶細胞的典型結構中，氮化物層係用做為捕捉材料，而設置於一頂氧化物層與一底氧化物層之間。ONO 結構有效地取代了浮動閘極裝置中的閘極介電層。在 ONO 介電層中的電荷，可以儲存在一 N 位元細胞的左側或右側。

習知的程式化與抹除技術，係使用通道熱電子方法進行程式化，並使用帶至帶穿隧誘發熱電洞方法進行抹除。較佳係可提供更有效率的方法，以對非揮發性記憶體進行程式化與抹除。

【發明內容】

本發明描述了施加雙側偏壓 (DSB) 操作至一虛擬接地陣列記憶體之方法，此陣列包括了由 N 位元記憶細胞所組成之矩陣。在第一實施例中，虛擬接地陣列係由雙側偏壓方法所程式化，此方法同時施加相同或類司之偏壓至一選定電荷捕捉記憶細胞之源極區域與汲極區域，使得此選定電荷捕捉記憶細胞之左位元與右位元可同時被程式化。施加一負閘極電壓 ($-V_g$) 至此選定電荷捕捉記憶細胞之閘極終端，以增進電洞注入效率。

在第二實施例中，虛擬接地陣列係利用雙側偏壓方法而抹除，此方法同時施加相同或類似之偏壓電壓至此虛擬接地陣列中之複數個電荷捕捉記憶細胞之源極與汲極區域，使得每一電荷捕捉記憶細胞的左位元與右位元可同時被抹除。在第一與第二實施例中的雙側偏壓方法，係模擬富勒-諾德罕 (Fowler-Nordheim) 操作的正極與負極，但偏壓較低。施加一正閘極電壓 ($+V_g$) 至選定電荷捕捉記憶細胞之閘極終端，以增進電子注入效率。

大致而言，一種用於包括有複數個電荷捕捉記憶細胞的虛擬接地陣列記憶裝置的雙側偏壓方法，此複數個電荷捕捉記憶細胞具有各自的源極與汲極終端，每一電荷捕捉記憶細胞具有 N 位元，此方法包括，利用一程式化技術而對此複數個電荷捕捉記憶細胞中之一電荷捕捉記憶細胞進行程式化，此電荷捕捉記憶細胞具有一閘極終端、一源極終端、以及一汲極終端，此電荷捕捉記憶細胞具有一個以上的電荷捕捉位置；以及藉由同時施加一第一電壓至複數個電荷捕捉記憶細胞之源極終端、並施加一第二電壓至該些汲極終端，以對此複數個電荷捕捉記憶細胞中的 N 位元

進行抹除，此二電壓值係大約相等。

雙側偏壓抹除操作可以增加虛擬接地陣列的抹除效率。此雙側偏壓方法亦可用於此虛擬接地陣列的區塊抹除中。本發明的雙側偏壓方法可進一步用以取代帶至帶熱電洞抹除方法，以增加虛擬接地陣列的 N 位元抹除效率。

以下係詳細說明本發明之結構與方法。本發明內容說明章節目的並非在於定義本發明。本發明係由申請專利範圍所定義。舉凡本發明之實施例、特徵、目的及優點等將可透過下列說明申請專利範圍及所附圖式獲得充分瞭解。

【實施方式】

以下將參照第 1-7 圖而對本發明之結構實施例與方法進行詳細敘述。可以瞭解的是，本發明並不限於所揭露的實施例，而是可以利用其他特徵、元件、方法與態樣以實施本發明。在不同實施例中的相似元件，一般係以類似的標號指定之。

第 1 圖係為一流程圖，繪示利用雙側偏壓 (DSB) 電洞注入方法而對電荷捕捉記憶細胞 (或 N 位元) 100 進行抹除的剖面圖。此電荷捕捉記憶細胞 100 包括一 p 型基板 110，其中有 n+ 摻雜區域 120, 122，並在 n+ 摻雜區域之間有一 p 型摻雜區域。P-基板 110 的通道寬度 X 112 係位於左端的 n+ 摻雜區域 120 與右側的 n+ 摻雜區域 122 之間。底介電結構 130 (底氧化物) 係位於 p-基板 110 之通道寬度 X 112 的上表面之上。電荷捕捉結構 132 (例如氮化矽層) 係位於底介電結構 130 之上。頂介電結構 (頂氧化物) 134 係位於電荷捕捉結構 132 之上。一多晶矽閘極 140 係位於頂介電結構 134 之上。底介電結構 130、電荷捕捉結構 132、

以及頂介電結構 134 的組合，一般係稱為 ONO（氧化物-氮化物-氧化物）結構。此 ONO 結構的寬度，典型但非必要地，係與 p 型基板 110 的通道寬度 X 112 對準。電荷捕捉記憶細胞 100 在電荷捕捉結構 132 中包括了第一電荷捕捉位置 180、以及第二電荷捕捉位置 182，第一電荷捕捉位置可舉例如電荷捕捉結構 132 的左側以儲存一個以上的位元，而第二電荷捕捉位置則可舉例如在電荷捕捉結構 132 的右側以儲存一個以上的位元。頂介電層的代表物質包括二氧化矽與氮氧化矽，或其他類似的高介電常數材料，包括如氧化鋁等，其厚度係介於約 5 至 10 奈米。代表性的底介電層包括二氧化矽與氮氧化矽，或其他類似的高介電常數材料，其厚度係介於約 3 至 10 奈米之間。電荷捕捉結構的代表性材料包括氮化矽、或其他高介電常數材料，包括如氧化鋁、氧化鈣、氧化鈾等金屬氧化物，其厚度係介於約 3 至 9 奈米之間。電荷捕捉結構可為一組不連續的電荷捕捉材料囊或顆粒，或為圖中所示之連續層。

舉例而言，類似 N 位元細胞的記憶細胞具有一底氧化物層（厚度介於 3 至 10 奈米）、一電荷捕捉層（厚度介於 3 至 9 奈米）、以及一頂氧化物層（厚度介於 5 至 10 奈米）。舉例而言，類似 SONOS 細胞的記憶細胞具有一底氧化物層（厚度介於 1 至 30 奈米）、一電荷捕捉層（厚度介於 3 至 9 奈米）、以及一頂氧化物層（厚度介於 3 至 10 奈米）。

在本文中，「程式化」係指提高一記憶細胞的臨界電壓，而「抹除」則是指降低一記憶細胞的臨界電壓。然而，本發明包括，程式化指提高一記憶細胞之臨界電壓、且抹除指降低一記憶細胞之臨界電壓的產品與方法，以及程式化指降低一記憶細胞之臨界電壓、且抹除指升高一記憶細胞

胞之臨界電壓的產品與方法。

電荷捕捉細胞 100 係在 $n+$ 摻雜區域 120, 122 進行雙側偏壓，其可指稱至源極區域 120 以及汲極區域 122。「雙側偏壓」一詞係指稱至同時施加偏壓至源極區域 120 與汲極區域 122。「同時」一詞在本發明中的解釋較寬，包括同時操作、重疊操作、共同操作、平行操作、或大約同時操作。施加至源極區域 120 與汲極區域 122 的偏壓電壓可以為相同或不同的電壓。在本實施例中，係施加相同的 5 伏特電壓至源極區域 120 和汲極區域 122，其顯示施加一 5 伏特的源極電壓 V_s 150 至源極區域 120，並施加一 5 伏特的汲極電壓 V_d 152 至汲極區域 122。

負閘極電壓 ($-V_g$) 160 係以雙側偏壓電洞注入方法，而施加至多晶矽閘極 140。在本實施例中，-10 伏特的負閘極電壓 ($-V_g$) 160 係施加至多晶矽閘極 140，以增加電洞注入效率。電洞電荷 170 可藉由一接面電壓而產生，其係用以控制電洞產生效率。

第 2 圖係為一流程圖，繪示將氮化物捕捉記憶細胞 100 藉由雙側偏壓電子注入方法 (EI) 而進行程式化的剖面圖。第 2 圖中的氮化物捕捉細胞 100 也是藉由同時施加相同的電壓到源極區域 120 和汲極區域 122，而進行雙側偏壓方法。5 伏特的源極電壓 V_s 150 係施加至源極區域 120，而 5 伏特的汲極電壓 V_d 152 係施加至汲極區域。在一電子注入方法中，+10 伏特的正閘極電壓 $+V_g$ 210 係施加至多晶矽閘極 140，以增加電子注入效率。電子電荷 220 可以利用一接面電壓而產生，其係用以控制電子產生效率。

第 3 圖係為一簡化電路圖，繪示虛擬接地陣列記憶裝置 300 之一 N 位元記憶細胞 310 的右位元，以通道熱電子

(CHE) 進行程式化。虛擬接地陣列記憶裝置 300 包括複數條位元線和複數條字元線。包括有第一位元線 320、第二位元線 322 和第三位元線 324 的複數條位元線，垂直地延伸而和複數條字元線相交，複數條字元線包括第一字元線 330、第二字元線 322 和第三字元線 334。在本圖式中，N 位元記憶細胞 310 係被選定而進行通道熱電子程式化。N 位元記憶細胞 310 包括一閘極終端 311、源極終端 312、以及汲極終端 313。

虛擬接地陣列 300 的特性之一，係在於施加到源極終端 312 的源極電壓、與施加到汲極終端 313 的汲極電壓之間，有一電壓差。10 伏特的正字元線電壓 V_{WL16} 340 係施加到 N 位元記憶細胞 310 的閘極終端 311。 $+5$ 伏特的第三位元線電壓 V_{BL3} 350 係施加到 N 位元記憶細胞 310 的汲極終端 313，而施加到第三位元線 324。供給到第二位元線 322 的電壓 V_{BL2} 352 係以 0 伏特施加至源極終端 312，進而在源極終端 312 和汲極終端 313 之間產生 5 伏特的電壓差。由於汲極終端 313 的汲極電壓係大於源極終端 312 的源極電壓，電子電荷 360 會注入 N 位元記憶細胞 310 的右側。N 位元記憶細胞 310 的右側係因為電子電荷 360 而程式化至高臨界電壓 V_t 模式。

第 4 圖係為一簡化電路圖，說明虛擬接地陣列記憶裝置 300 的 N 位元記憶細胞 310 中，藉由通道熱電子程式化技術而對左位元進行程式化。第 4 圖中，在源極終端 312 之源極電壓與汲極終端 313 之汲極電壓之間的電壓差，許第 3 圖相反，因為電子電荷 410 係注入 N 位元記憶細胞 310 的左側而非右側。在本說明中，第二位元線電壓 V_{BL2} 352 係以 5 伏特而施加至第二位元線 322，以對 N 位元記憶細

胞 310 的源極終端 312 進行充電。第三位元線電壓 350 係以 0 伏特施加至第三位元線 324，第三位元線 324 則係連接到 N 位元記憶細胞 310 的汲極終端 313。施加至閘極終端 311 的閘極電壓，則依然維持在 10 伏特，且係經由 V_{WL16} 340 而提供。

第 5 圖係為簡化電路圖，說明藉由雙側偏壓電洞注入方法，而對虛擬接地記憶陣列 300 進行抹除操作。虛擬接地陣列 300 包括由 N 位元記憶細胞 510, 512, 514, 520, 522, 524, 530, 532, 534 所組成的矩陣。N 位元記憶細胞 510, 512, 514 的源極終端係連接到第一位元線 320，且其汲極終端係連接到第二位元線 322。N 位元記憶細胞 520, 522, 524 的源極終端係連接到第二位元線 322，且其汲極終端係連接到第三位元線 324。N 位元記憶細胞 530, 532, 534 的源極終端係連接到第三位元線 324，且其汲極終端係連接到第四位元線 326。第一字元線 330 係連接到每一 N 位元記憶細胞 510, 520, 530 的對應閘極終端。第二字元線 332 係連接到每一 N 位元記憶細胞 512, 522, 532 的對應閘極終端。第三位元線 334 係連接到每一 N 位元記憶細胞 514, 524, 534 的對應閘極終端。

以雙側偏壓電洞注入方法而對虛擬接地記憶陣列 300 進行抹除操作時，會需要同時（或大致同時）提供一偏壓至 N 位元記憶細胞源極終端與汲極終端。一負閘極電壓係施加到 N 位元記憶細胞的閘極終端。所有在虛擬接地陣列 300 中的 N 位元記憶細胞 510, 512, 514, 520, 522, 524, 530, 532, 534 係同時（或大致同時）被抹除。對於 N 位元記憶細胞 512, 514, 516 而言，第一位元線電壓 V_{BL1} 354 施加了 5 伏特到第一位元線 320，且第二位元線電壓 V_{BL2} 352 施

加了 5 伏特到第二位元線 322，而抹除了 N 位元記憶細胞 510,512,514 的左側和右側位元，如同 N 位元記憶細胞 510 左側和右側電洞電荷 511a, 511b、N 位元記憶細胞 512 左側和右側電洞電荷 513a, 513b、以及 N 位元記憶細胞 514 左側和右側電洞電荷 515a, 515b 所示。第一字元線電壓 V_{WL1} 342、第二字元線電壓 V_{WL16} 340、以及第三字元線電壓 V_{WL32} 344，分別提供-10 伏特的負電壓至 N 位元記憶細胞 510,512,514 的閘極終端。

對於 N 位元記憶細胞 520,522,524 而言，第二位元線電壓 V_{BL2} 352 提供了 5 伏特到第二位元線 322，且第三位元線電壓 V_{BL3} 350 提供了 5 伏特到第三位元線 324，因而抹除了每一 N 位元記憶細胞 520,522,524 的左側和右側位元，如同 N 位元記憶細胞 520 左側和右側電洞電荷 521a, 521b、N 位元記憶細胞 522 左側和右側電洞電荷 523a, 523b、以及 N 位元記憶細胞 524 左側和右側電洞電荷 525a, 525b 所示。第一字元線電壓 V_{WL1} 342、第二字元線電壓 V_{WL16} 340、以及第三字元線電壓 V_{WL32} 344，分別提供-10 伏特的負電壓至 N 位元記憶細胞 520,522,524 的閘極終端。

對於 N 位元記憶細胞 530,532,534 而言，第三位元線電壓 V_{BL2} 350 提供了 5 伏特到第三位元線 324，且第四位元線電壓 V_{BL4} 356 提供了 5 伏特到第四位元線 326，因而抹除了每一 N 位元記憶細胞 530,532,534 的左側和右側位元，如同 N 位元記憶細胞 530 左側和右側電洞電荷 531a, 531b、N 位元記憶細胞 532 左側和右側電洞電荷 533a, 533b、以及 N 位元記憶細胞 534 左側和右側電洞電荷 535a, 535b 所示。第一字元線電壓 V_{WL1} 342、第二字元線電壓 V_{WL16} 340、以及第三字元線電壓 V_{WL32} 344，分別提供-10

伏特的負電壓至 N 位元記憶細胞 530,532,534 的閘極終端。

第 6 圖係為一電路圖，說明在虛擬接地記憶體 300 之中，讀取一選定記憶細胞 310 的右位元。在讀取操作中，施加至一 N 位元記憶細胞之閘極終端的電壓係為正電壓，但典型地，在讀取操作中的電壓數量係低於在通道熱電子程式化操作的電壓數量。在本情況中，第二字元線電壓 V_{WL16} 340 係以 5 伏特施加，而非先前通道熱電子程式化時所施加的 10 伏特。在第二字元線電壓 V_{WL16} 340 上所選定的電壓數量，係施加 5 伏特而足以啟動 N 位元記憶細胞 310，但同時也與通道熱電子程式化所需要的電壓位階有一段差距。

N 位元記憶細胞 310 的源極終端係連接到第二位元線 322，且汲極終端連接到第三位元線 324。在第二位元線 322 的 V_{BL2} 352 和第三位元線 324 的 V_{BL3} 350 之間的電壓差，也低於通道熱電子程式化的電壓差。在本實施例中， V_{BL2} 352 提供了 1.6 伏特到第二位元線 322，且 V_{BL3} 354 提供了 0 伏特到第三位元線 324。在一實施例中，第二位元線 322 與第三位元線 324 之間的電壓差，係介於 1.6 至 1.8 伏特之間。

在本實施例中，虛擬接地陣列 300 的讀取操作，係為一反相讀取。反相讀取操作係讀取 N 位元記憶細胞施加高電壓側的相反側。第二位元線電壓 V_{BL2} 352 施加了 1.6 伏特至 N 位元記憶細胞 310 的源極終端（亦即，左側），使得 N 位元記憶細胞 310 的右位元 610 被讀取。

第 7 圖係為一電路圖，說明虛擬接地陣列 300 中之選定記憶細胞的左位元進行讀取操作。讀取 N 位元記憶細胞 310 之左位元的操作條件與性質，類似於第 6 圖中 N 位元

記憶細胞 310 的右位元讀取操作。從 N 位元記憶細胞 310 讀取位元資訊的反相讀取條件指出，與施加至源極終端（亦即，左側）的電壓相較之下，讀取左位元 710 需要施加更高的電壓至汲極終端（亦即，右側）。在本實施例中，第三位元線電壓 VBL3 施加了 1.6 伏特到第三位元線 324，其係連接至 N 位元記憶細胞 310 的源極終端，且第二位元線電壓 VBL2 352 係提供 0 伏特到 N 位元記憶細胞 310 的第二位元線 322。

本發明係參考特定實施例而進行描述。舉例而言，本發明的電荷儲存結構適用於任何類型的電荷捕捉記憶體或變化型，包括 n 通道和 p 通道 SONOS 型裝置以及浮動閘極記憶體。雖然上述的程式化技術係指稱到通道熱電子程式化，但亦可實施其他類型的程式化技術，而不背離本發明之精神。因此，所有此等替換方式及修改樣式係意欲落在本發明於隨附申請專利範圍及其均等物所界定的範疇之中。

【圖式簡單說明】

第 1 圖係一程序圖，繪示一虛擬接地陣列記憶體的剖面，且利用本發明之方法，藉由施加雙側偏壓電洞注入方法而抹除之。

第 2 圖係一程序圖，繪示一虛擬接地陣列記憶體的剖面，且利用本發明之方法，藉由施加雙側偏壓電子注入方法而程式化之。

第 3 圖係一電路圖，根據本發明而繪示一虛擬接地記憶體的右位元以通道熱電子方式程式化。

第 4 圖係一電路圖，根據本發明而繪示一虛擬接地記

憶體的左位元以通道熱電子方式程式化。

第 5 圖係一電路圖，根據本發明而繪示一虛擬接地記憶陣列以雙側偏壓電洞注入方法而抹除。

第 6 圖係一電路圖，根據本發明而讀取虛擬接地記憶體中的一選定記憶細胞的右位元。

第 7 圖係一電路圖，根據本發明而讀取虛擬接地記憶體中的一選定記憶細胞的左位元。

【主要元件符號說明】

100	電荷捕捉記憶細胞
110	p 型基板
112	通道寬度 X
120,122	n+ 摻雜區域
130	底介電結構
132	電荷捕捉結構
134	頂介電結構
140	多晶矽閘極
150	V_s 源極電壓
152	V_d 汲極電壓
160	$-V_g$ 負閘極電壓
170	電洞電荷
180	第一電荷捕捉位置
182	第二電荷捕捉位置
210	閘極電壓
220	電子電荷
300	虛擬接地陣列記憶裝置
310	N 位元記憶細胞

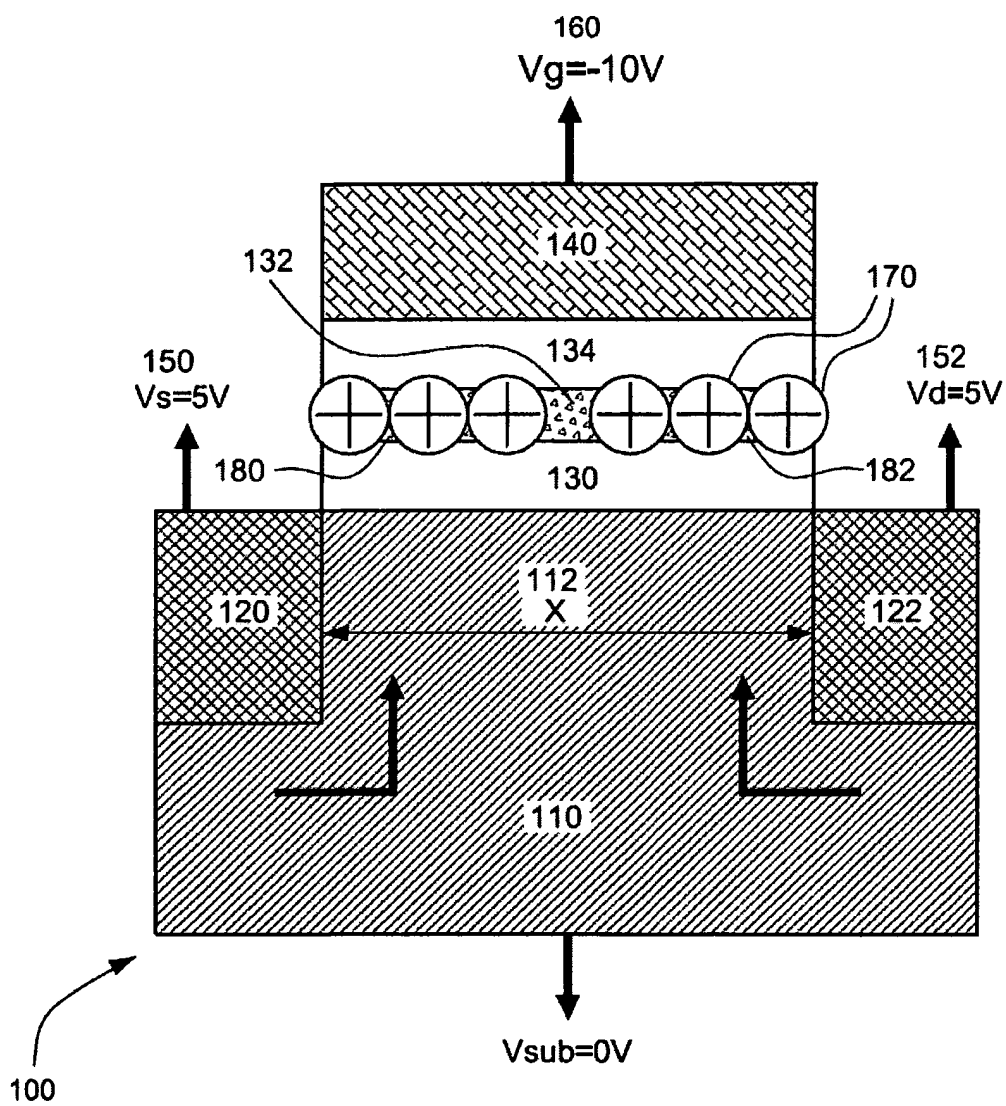
311	閘極終端	
312	源極終端	
313	汲極終端	
320,322,324,326	位元線	
330,332,334	字元線	
340	字元線電壓	
350	第三位元線電壓	
352	第二位元線電壓	
256	第四位元線電壓	
360,410	電子電荷	
510,512,514,520,522,524,530,532,534	N 位元記憶細胞	
610	右位元	
710	左位元	

五、中文發明摘要：

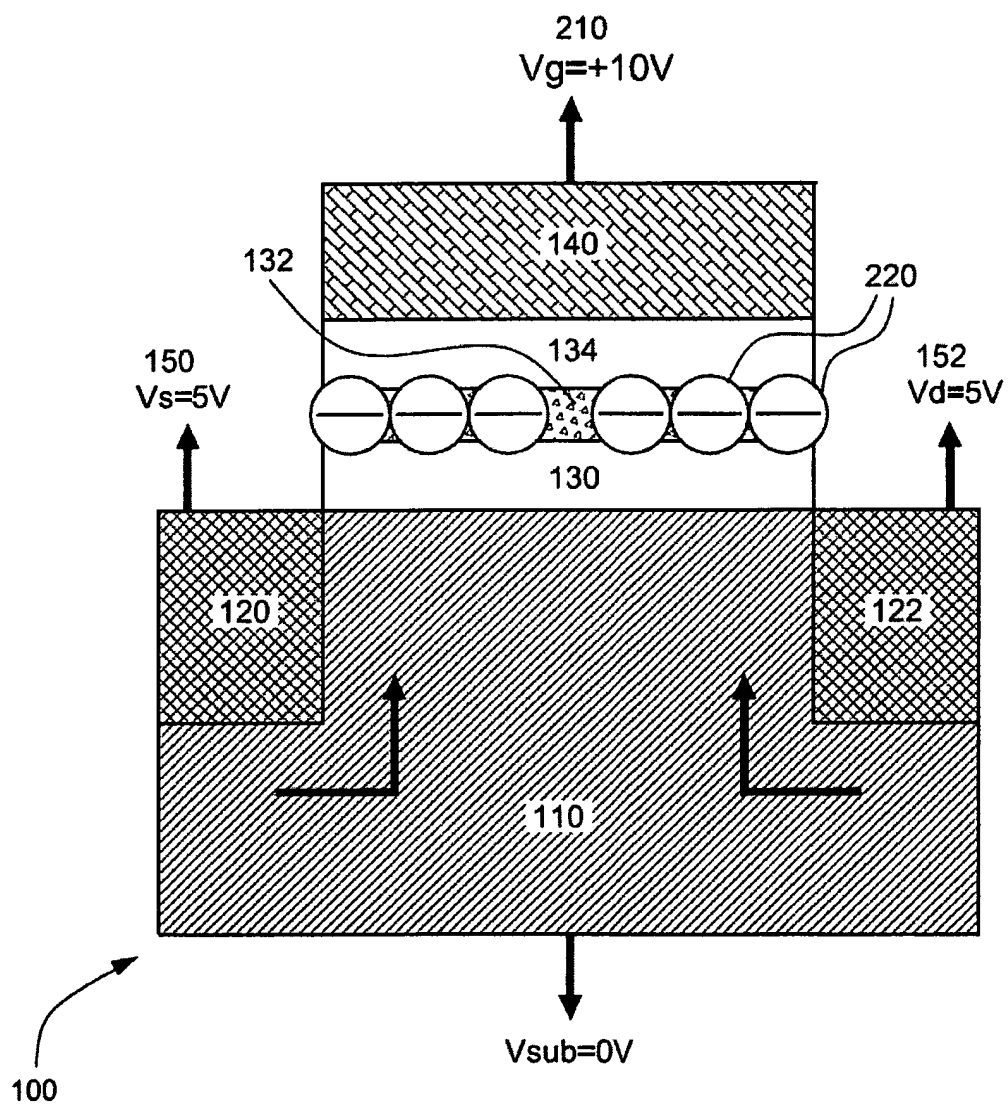
本發明提供一種用以施加一雙側偏壓操作至一虛擬接地陣列記憶體之方法，此記憶體係由 N-位元記憶細胞陣列所構成。在第一實施例中，虛擬接地陣列係由一雙側偏壓方法而程式化，此方法係同時施加相同或類似的偏壓電壓至一選定電荷捕捉記憶細胞之源極區域與汲極區域，使得選定電荷捕捉記憶細胞的左位元和右位元可以同時被程式化。在一第二實施例中，虛擬接地陣列係被一雙側偏壓方法所抹除，此方法係同時施加相同或類似的偏壓電壓，至此虛擬接地陣列中的複數個電荷捕捉記憶細胞的源極區域和汲極區域，使得每一電荷捕捉記憶細胞的左位元和右位元同時被抹除。

六、英文發明摘要：

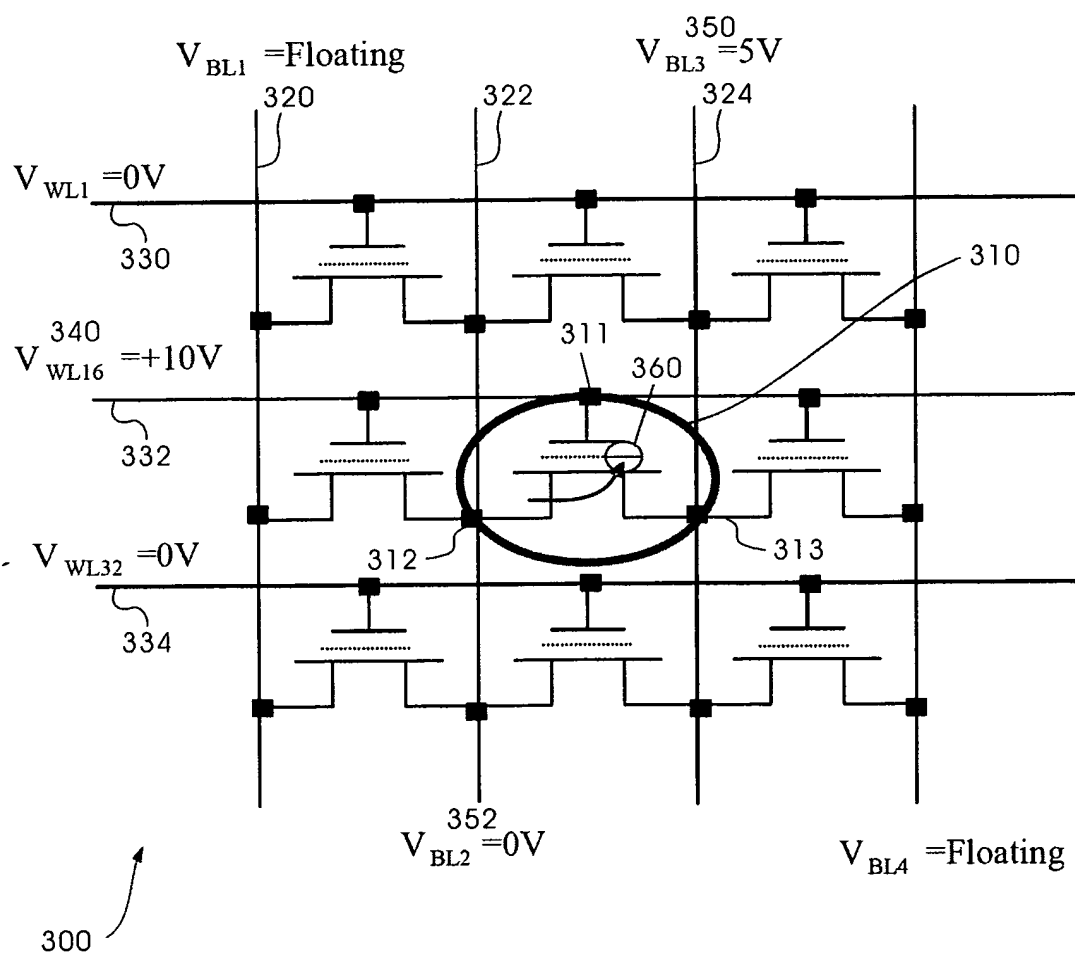
The present invention provides a method for applying a double-side-bias operation to a virtual ground array memory composed of a matrix of N-bit memory cells. In a first embodiment, the virtual ground array is programmed by a double-side-bias method which applies the same or similar biasing voltage simultaneously on the source region and drain region of a selected charge trapping memory cell so that the left bit and the right bit of the selected charge trapping memory cell are programmed together. In a second embodiment, the virtual ground array is erased by a double-side-bias method which applies the same or similar biasing voltage simultaneously on source regions and regions of a plurality of charge trapping memory cells in the virtual ground array so that the left bit and the right bit of each charge trapping memory cell are erased together.



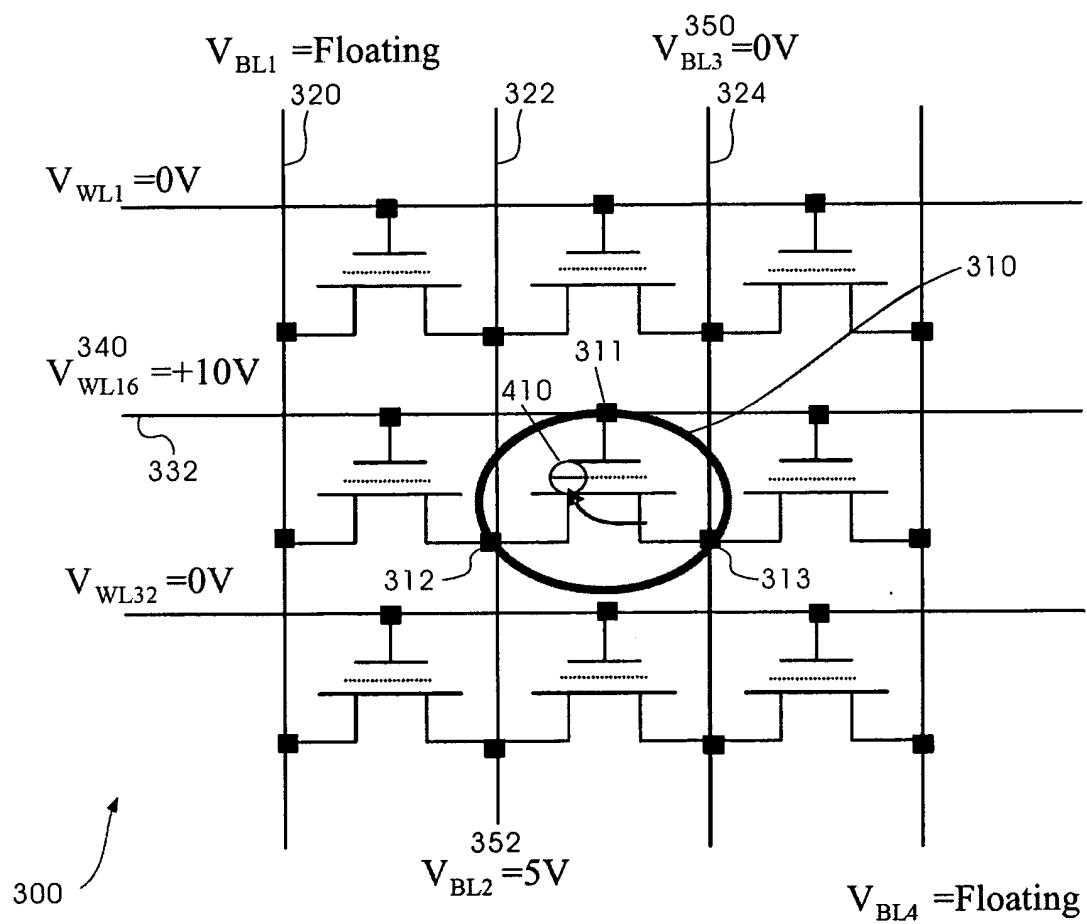
第1圖



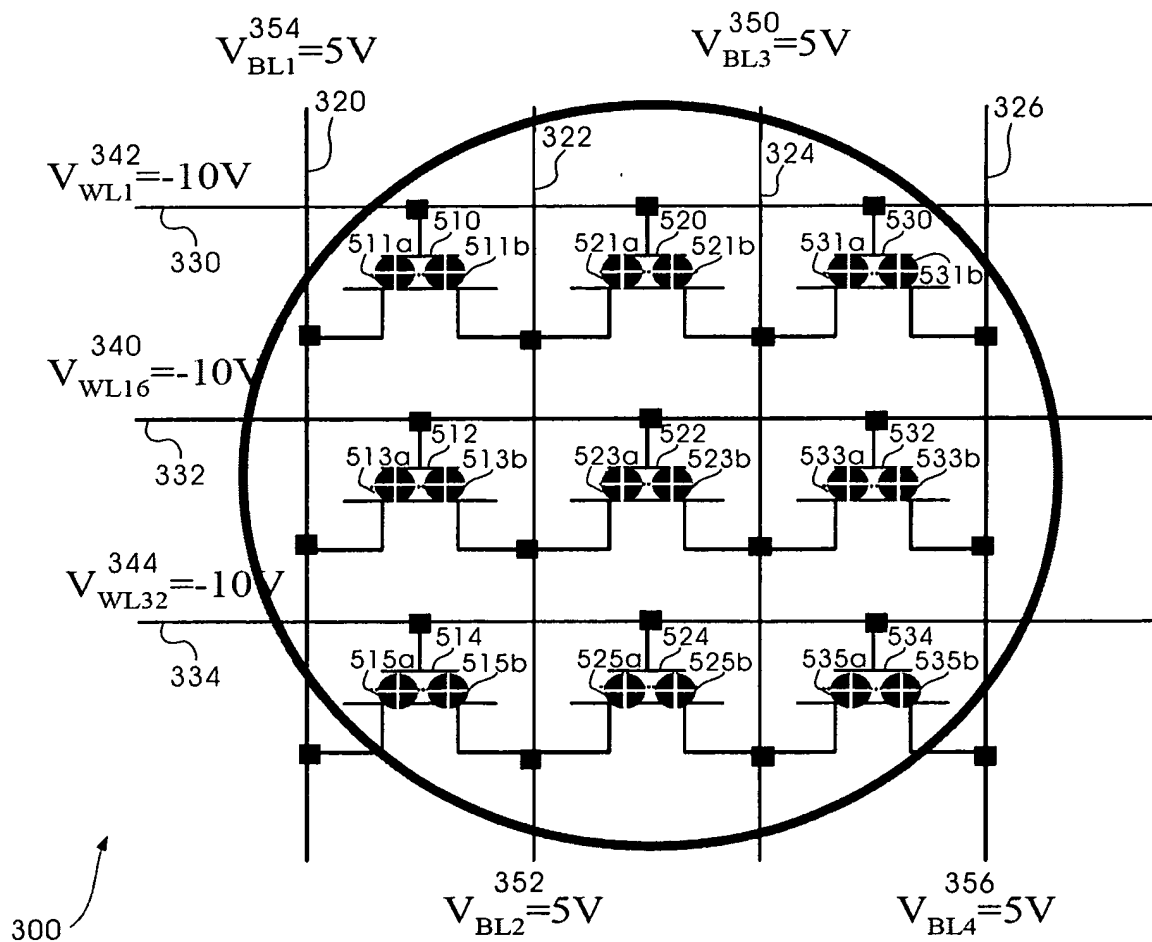
第2圖



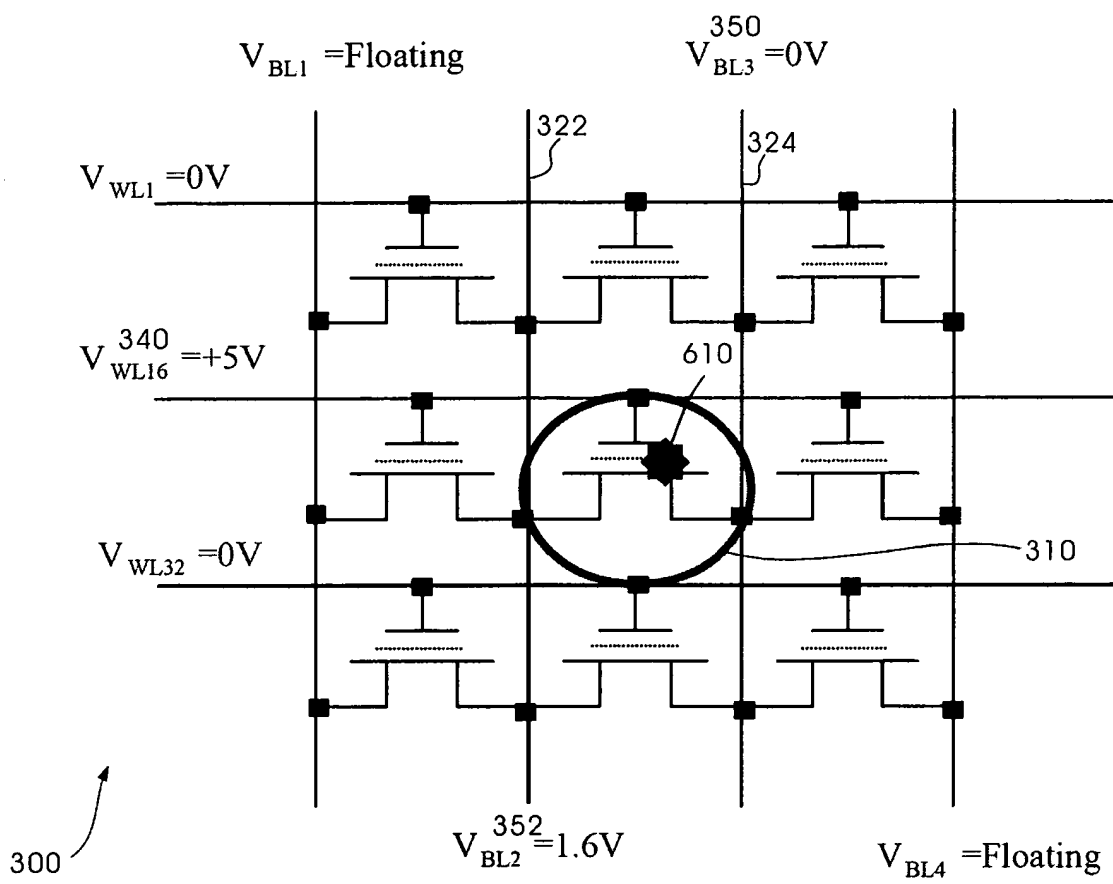
第3圖



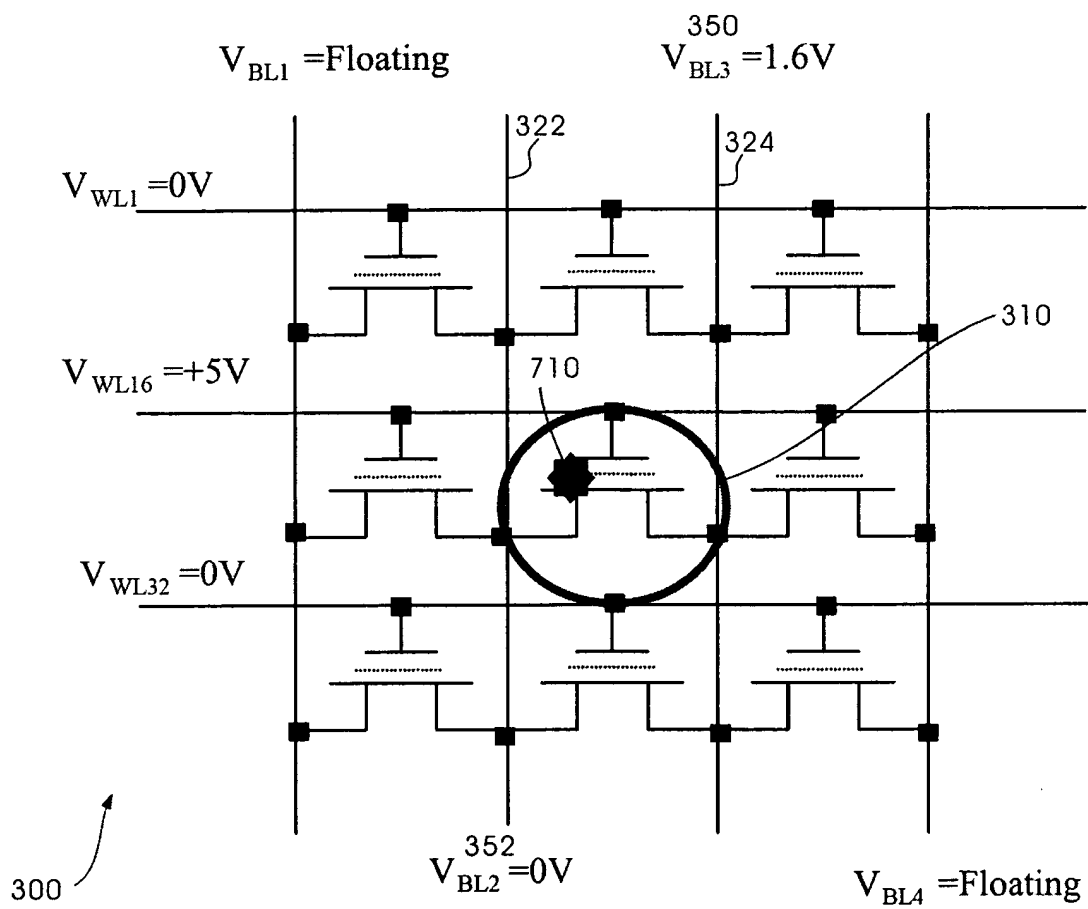
第4圖



第5圖



第6圖



第7圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	電荷捕捉記憶細胞
110	p 型基板
112	通道寬度 X
120,122	n+摻雜區域
130	底介電結構
132	電荷捕捉結構
134	頂介電結構
140	多晶矽閘極
150	Vs 源極電壓
152	Vd 汲極電壓
160	-Vg 負閘極電壓
170	電洞電荷
180	第一電荷捕捉位置
182	第二電荷捕捉位置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍

98年11月18日修正替換頁

1. 一種針對一虛擬接地陣列記憶裝置施加雙側偏壓的方法，該裝置具有複數個電荷捕捉記憶細胞，該複數個電荷捕捉記憶細胞各自包括有一閘極終端連接至一字元線、一源極終端連接至一第一位元線、以及汲極終端連接至一第二位元線，每一該電荷捕捉記憶細胞包括有一個以上電荷捕捉位置以儲存複數個位元，該方法包括：

於該複數個電荷捕捉記憶細胞中，藉由一程式化技術而程式化一電荷捕捉記憶細胞，該電荷捕捉記憶細胞包括有一閘極終端、一源極終端、以及一汲極終端，該電荷捕捉記憶細胞具有一個以上電荷捕捉位置；以及

藉由施加一負電壓該閘極、且同時施加一第一電壓至該複數個電荷捕捉記憶細胞之源極終端、並施加一第二電壓至該複數個電荷捕捉記憶細胞之汲極終端而抹除該複數個電荷捕捉記憶細胞，其中該第一電壓及該第二電壓是定電壓。

2. 如申請專利範圍第 1 項所述之方法，其中該一個以上之電荷捕捉位置係包括一第一捕捉位置與一第二捕捉位置。

3. 如申請專利範圍第 2 項所述之方法，其中該程式化步驟包括：藉由施加一第一電壓至該第一位元線而程式化該電荷捕捉記憶細胞中之該第一電荷捕捉位置，以及藉由施加一第二電壓至該第二位元線而程式化該電荷捕捉記憶細胞中之該第二電荷捕捉位置，其中該第一電壓係高於該第二電壓。

98年11月18日修正替換頁

4. 如申請專利範圍第 2 項所述之方法，其中該程式化步驟包括：藉由施加一第一電壓至該第一位元線而程式化該電荷捕捉記憶細胞中之該第一電荷捕捉位置，以及藉由施加一第二電壓至該第二位元線而程式化該電荷捕捉記憶細胞中之該第二電荷捕捉位置，其中該第二電壓係高於該第一電壓。
5. 如申請專利範圍第 1 項所述之方法，其中該程式化步驟包括施加一正閘極電壓至該字元線，該字元線係連接至該電荷捕捉記憶細胞之閘極終端。
6. 如申請專利範圍第 1 項所述之方法，其中該抹除步驟包括一區塊抹除該複數個電荷捕捉記憶細胞之 N-位元。
7. 如申請專利範圍第 1 項所述之方法，其中該第一電壓係約等於該第二電壓。
8. 如申請專利範圍第 1 項所述之方法，其中該第一電壓係與該第二電壓不同。
9. 如申請專利範圍第 2 項所述之方法，其中每一該電荷捕捉記憶細胞包括一第一電荷捕捉位置以儲存一第一位元、以及一第二捕捉位置以儲存一第二位元。
10. 如申請專利範圍第 2 項所述之方法，其中每一該電荷捕捉記憶細胞包括一第一電荷捕捉位置以及一第二電荷捕

捉位置，該第一電荷捕捉位置係用以儲存一第一位元與一第二位元，該第二電荷捕捉位置係用以儲存一第三位元與一第四位元。

11. 如申請專利範圍第 9 項所述之方法，更包括藉由施加一第三電壓至該第一位元線、以及施加一第四電壓至該第二位元線而讀取該電荷捕捉記憶細胞中之該第一位元，其中該第四電壓係高於該第三電壓。

12. 如申請專利範圍第 9 項所述之方法，更包括藉由施加一第三電壓至該第一位元線、以及施加一第四電壓至該第二位元線而讀取該電荷捕捉記憶細胞中之該第二位元，其中該第三電壓係高於該第四電壓。

13. 如申請專利範圍第 1 項所述之方法，其中該程式化步驟包括一通道熱電子程式化。

14. 一種針對一虛擬接地陣列記憶裝置施加雙側偏壓之方法，該記憶裝置包括有複數個電荷捕捉記憶細胞，每一該電荷捕捉記憶細胞包括有對應之源極與汲極終端，每一該電荷捕捉記憶細胞包括有一個以上之電荷捕捉位置以儲存複數個位元，該方法包括：

程式化該複數個電荷捕捉記憶細胞中之一電荷捕捉記憶細胞，其係藉由同時施加一第一電壓於該電荷捕捉記憶細胞之一源極、並施加一第二電壓於該電荷捕捉記憶細胞之一汲極而達成，該電荷捕捉記憶細胞具有與該源極終端相關之一第一電荷捕捉位置、以及與該汲極終端相關之一

98年11月18日修正替換頁

第二電荷捕捉位置；以及

抹除該複數個電荷捕捉記憶細胞，其係藉由施加一負電壓該閘極、且同時施加一第一電壓至該些電荷捕捉記憶細胞之源極終端、並施加一第二電壓至該些電荷捕捉記憶細胞之汲極終端而達成，其中該第一電壓及該第二電壓是定電壓。

15. 如申請專利範圍第 14 項所述之方法，其中該電荷捕捉記憶細胞具有一閘極終端連接至一字元線、該源極終端連接至一第一位元線、且該汲極終端連接至一第二位元線。

16. 如申請專利範圍第 15 項所述之方法，更包括施加一正閘極電壓至該字元線，該字元線係連接至該電荷捕捉記憶細胞之該閘極終端。

17. 如申請專利範圍第 15 項所述之方法，更包括施加一負閘極電壓至該字元線，該字元線係連接至該電荷捕捉結構之該閘極終端。

18. 如申請專利範圍第 15 項所述之方法，更包括施加一第一位元線電壓至該第一位元線、並施加一第二位元線電壓至該第二位元線，該第一位元線係連接至該電荷捕捉記憶細胞之該源極終端，且該第二位元線係連接至該電荷捕捉記憶細胞之該汲極終端，其中該第一位元線電壓以及該第二位元線電壓係於該電荷捕捉記憶細胞之該源極終端與該汲極終端之間，生成一電壓差。

19. 如申請專利範圍第 15 項所述之方法，其中該第一電荷捕捉位置係儲存一第一位元，且該第二電荷捕捉位置係儲存一第二位元。

20. 如申請專利範圍第 19 項所述之方法，更包括藉由施加一第一電壓至該第一位元線、並施加一第二電壓至該第二位元線，而從該電荷捕捉記憶細胞之該第一電荷捕捉位置讀取該第一位元，其中該第二電壓係高於該第一電壓。

21. 如申請專利範圍第 19 項所述之方法，更包括藉由施加一第一電壓至該第一位元線、並施加一第二電壓至該第二位元線，以從該電荷捕捉記憶細胞之該第二電荷捕捉位置讀取該第二位元，其中該第一電壓係高於該第二電壓。

22. 如申請專利範圍第 14 項所述之方法，其中在抹除步驟中，該第一電壓係約等於該第二電壓。

23. 如申請專利範圍第 14 項所述之方法，其中在抹除步驟中，該第一電壓係不等於該第二電壓。