



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0092487
(43) 공개일자 2011년08월18일

(51) Int. Cl.

H04L 7/02 (2006.01)

(21) 출원번호 10-2010-0011932

(22) 출원일자 2010년02월09일

심사청구일자 2010년02월09일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김철우

서울특별시 성북구 안암동5가 1번지 고려대학교
전기전자전파공학부

송준영

서울특별시 성북구 안암동5가 1번지 고려대학교
자연계 캠퍼스 미래융합기술관 516호

(뒷면에 계속)

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 9 항

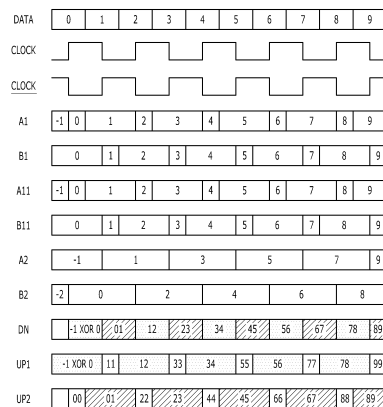
(54) 임베디드 클럭 및 데이터 복원 회로 및 그 방법

(57) 요약

본 발명은 클럭 및 데이터 복원 회로 및 그 방법에 관한 것이다.

본 발명에 따른 클럭 및 데이터 복원 회로는, 데이터와 클럭의 주파수 및 위상 차를 검출하여 다운(DN) 신호, 제1 업(UP) 신호 및 제2 업(UP) 신호를 출력하는 주파수 및 위상 검출기, 상기 다운 신호, 상기 제1 업 신호 및 상기 제2 업 신호에 응답하여 전하를 펌핑하는 전하 펌프, 상기 전하 펌프에서 출력되는 전하량에 따라 제어 전압을 출력하는 루프 필터 및 상기 제어 전압에 따라 가변되는 상기 클럭을 출력하는 전압 제어 발진기를 포함하고, 상기 다운 신호는, 상기 클럭의 펄스 폭과 동일한 펄스 폭을 가지고, 상기 제1 업 신호 및 상기 제2 업 신호는, 상기 데이터와 상기 클럭 사이의 주파수 및 위상 차이를 선형적으로 반영하는 펄스 폭을 가진다.

대표도 - 도3



(72) 발명자

곽영호

서울특별시 성북구 안암동5가 1번지 고려대학교 자
연계 캠퍼스 미래융합기술관 516호

정인화

서울특별시 성북구 안암동5가 1번지 고려대학교 자
연계 캠퍼스 미래융합기술관 516호

특허청구의 범위

청구항 1

데이터와 클록의 주파수 및 위상 차를 검출하여 다운(DN) 신호, 제1 업(UP) 신호 및 제2 업(UP) 신호를 출력하는 주파수 및 위상 검출기;

상기 다운 신호, 상기 제1 업 신호 및 상기 제2 업 신호에 응답하여 전하를 펌핑하는 전하 펌프;

상기 전하 펌프에서 출력되는 전하량에 따라 제어 전압을 출력하는 루프 필터; 및

상기 제어 전압에 따라 가변되는 상기 클록을 출력하는 전압 제어 발진기를 포함하고,

상기 다운 신호는, 상기 클록의 펄스 폭과 동일한 펄스 폭을 가지고,

상기 제1 업 신호 및 상기 제2 업 신호는, 상기 데이터와 상기 클록 사이의 주파수 및 위상 차이를 선형적으로 반영하는 펄스 폭을 가지는, 클록 및 데이터 복원 회로.

청구항 2

제1항에 있어서,

상기 주파수 및 위상 검출기는,

상기 데이터를 상기 클록에 따라 래치하는 제1 래치;

상기 데이터를 반전된 클록에 따라 래치하는 제2 래치;

상기 제1 래치의 출력 신호를 상기 반전된 클록에 따라 래치하는 제3 래치; 및

상기 제2 래치의 출력 신호를 상기 클록에 따라 래치하는 제4 래치를 포함하고,

상기 다운 신호는, 상기 제3 래치의 출력 신호와 상기 제4 래치의 출력 신호를 배타적 논리합하여 출력되고,

상기 제1 업 신호는, 상기 제2 래치의 출력 신호와 상기 제3 래치의 출력 신호를 배타적 논리합하여 출력되며,

상기 제2 업 신호는, 상기 제1 래치의 출력 신호와 상기 제4 래치의 출력 신호를 배타적 논리합하여 출력되는, 클록 및 데이터 복원 회로.

청구항 3

제1항에 있어서,

상기 제1 업 신호 및 상기 제2 업 신호는, 상기 클록의 한 주기 내에 교대로 생성되는, 클록 및 데이터 복원 회로.

청구항 4

제1항에 있어서,

상기 전하 펌프는, 상기 다운 신호, 상기 제1 업 신호 및 상기 제2 업 신호를 이용하여 더미(dummy) 다운 신호, 더미 제1 업 신호 및 더미 제2 업 신호를 생성하고,

상기 더미 다운 신호, 상기 더미 제1 업 신호 및 상기 더미 제2 업 신호는, 상기 다운 신호, 상기 제1 업 신호 및 상기 제2 업 신호에 따라 상기 전하가 상기 제어 전압으로 흐르기 전에, 전하를 더미 제어 전압으로 흐르게 하여 상기 제어 전압에 리플이 생기는 것을 방지하는, 상기 제어 전압 클록 및 데이터 복원 회로.

청구항 5

- (a) 데이터와 클록의 주파수 및 위상 차를 검출하여 다운(DN) 신호, 제1 업(UP) 신호 및 제2 업(UP) 신호를 출력하는 단계;
 - (b) 상기 다운 신호, 상기 제1 업 신호 및 상기 제2 업 신호에 응답하여 전하를 펌핑하는 단계;
 - (c) 펌핑되는 상기 전하 양에 따라 제어 전압을 출력하는 단계; 및
 - (d) 상기 제어 전압에 따라 가변되는 상기 클록을 출력하는 단계를 포함하고,
- 상기 다운 신호는, 상기 클록의 펄스 폭과 동일한 펄스 폭을 가지고,
- 상기 제1 업 신호 및 상기 제2 업 신호는, 상기 데이터와 상기 클록 사이의 주파수 및 위상 차이를 선형적으로 반영하는 펄스 폭을 가지는, 클록 및 데이터 복원 방법.

청구항 6

제5항에 있어서,

상기 제1 업 신호 및 상기 제2 업 신호는, 상기 클록의 한 주기 내에 교대로 생성되는, 클록 및 데이터 복원 방법.

청구항 7

제5항에 있어서,

상기 (a) 단계는,

- (a1) 상기 데이터를 상기 클록에 따라 래치하는 단계;
- (a2) 상기 데이터를 반전된 클록에 따라 래치하는 단계;
- (a3) 상기 (a1)단계의 출력 신호를 상기 반전된 클록에 따라 래치하는 단계; 및
- (a4) 상기 (a2)단계의 출력 신호를 상기 클록에 따라 래치하는 단계를 포함하고,

상기 다운 신호는, 상기 (a3)단계의 출력 신호와 상기 (a4)단계의 출력 신호를 배타적 논리합하여 출력되고,

상기 제1 업 신호는, 상기 (a2)단계의 출력 신호와 상기 (a3)단계의 출력 신호를 배타적 논리합하여 출력되며,

상기 제2 업 신호는, 상기 (a1)단계의 출력 신호와 상기 (a4)단계의 출력 신호를 배타적 논리합하여 출력되는, 클록 및 데이터 복원 방법.

청구항 8

제5항에 있어서,

상기 데이터와 상기 클록의 주파수 및 위상 차를 검출하는 기준이 되는 상기 다운 신호의 펄스 폭과 상기 업 신호(상기 제1 업 신호 및 상기 제2 업 신호)의 펄스 폭의 비는, 2 대 3인, 클록 및 데이터 복원 방법.

청구항 9

제5항에 있어서,

상기 다운 신호, 상기 제1 업 신호 및 상기 제2 업 신호를 이용하여 더미(dummy) 다운 신호, 더미 제1 업 신호 및 더미 제2 업 신호를 생성하는 단계를 더 포함하고,

상기 더미 다운 신호, 상기 더미 제1 업 신호 및 상기 더미 제2 업 신호는, 상기 다운 신호, 상기 제1 업 신호

및 상기 제2 업 신호에 따라 상기 전하가 상기 제어 전압으로 흐르기 전에, 전하를 더미 제어 전압으로 흐르게 하여 상기 제어 전압에 리플이 생기는 것을 방지하는, 클록 및 데이터 복원 방법.

명세서

기술 분야

[0001] 본 발명은 클록 및 데이터 복원 회로 및 그 방법에 관한 것이다.

배경 기술

[0002] 현대에 들어서 각종 인터페이스(interface) 간의 데이터의 전송량이 많아짐에 따라 빠른 전송 속도가 요구되고 있다. 그러나, 고속으로 동작하는 인터페이스일수록 송신단에서 수신단으로 신호를 전송할 때 신호의 감쇄 및 잡음의 영향이 커진다. 신호의 감쇄 및 잡음으로 인해 왜곡된 데이터 신호를 온전한 신호로 복구하기 위해서, 수신기는 최소한의 지터(jitter)를 갖는 클록(clock)을 복원해야 한다. 또한, 클록과 데이터 간의 주파수 및 위상 차이를 최적의 상태로 일정하게 유지하도록 클록을 복원하여야 한다. 이로써, 비트 에러율(bit error rate)을 최소로 하면서, 클록과 데이터를 복원할 수 있다. 이를 담당하는 회로가 클록 및 데이터 복원(Clock and Data Recovery: CDR) 회로이고 고속의 신호를 전송할수록 클록 및 데이터 복원 회로가 담당하는 역할이 커진다.

[0003] 일반적으로 클록 및 데이터 복원을 위하여 송신단에서 기준 클록을 전송하는 경우가 있다. 이러한 경우, 송신단에서는 기준 클록을 생성하는 회로의 추가로 설계 비용이 증가하는 문제점이 있다. 또한, 송수신단 간의 기준 클록의 송수신을 위해, 데이터 송수신을 위한 채널을 제외하고 추가적인 채널이 필요하게 되어 역시 설계 비용이 증가한다는 단점이 있다. 송신단에서 기준 클록을 전송하지 않고 수신단에서 미리 주파수정보를 알아 두고 수신단에서 기준 클록을 만들어주는 별도의 오실레이터를 이용하여 주파수를 맞추는 경우도 있다. 하지만 이 경우 역시 오실레이터를 추가해야 하기 때문에 비용이 증가하게 된다.

발명의 내용

해결하려는 과제

[0004] 따라서, 본 발명은, 송신단에서 기준 클록을 전송하지 않고 데이터만 전송하고 수신단에서도 별도의 오실레이터를 사용하지 않음으로써, 필요한 채널의 수 및 회로의 수를 줄임으로써 하드웨어적인 비용을 절감할 수 있는, 클록 및 데이터 복원 회로 및 그 방법을 제공하는 것을 목적으로 한다.

[0005] 또한, 본 발명은, 데이터 전송로의 잡음으로 인하여 수신단에서 신호 복원 시 발생하는 지터를 해소함으로써 비트 에러율을 줄일 수 있는, 클록 및 데이터 복원 회로 및 그 방법을 제공하는 것을 다른 목적으로 한다.

[0006] 또한, 본 발명은, 데이터의 전송 속도가 빠를수록 수신단의 전압 제어 발진기의 동작 주파수가 높아짐에 따라 크게 증가하는 전력 소모량을 줄일 수 있는, 클록 및 데이터 복원 회로 및 그 방법을 제공하는 것을 다른 목적으로 한다.

[0007] 또한, 본 발명은, 일정한 규칙이 없는 데이터만을 이용하여 주파수와 위상을 검출할 수 있는 선형적인 주파수 및 위상 검출기를 이용함으로써 클록 및 데이터 복원 회로의 구조를 간단하게 할 수 있는, 클록 및 데이터 복원 회로 및 그 방법을 제공하는 것을 다른 목적으로 한다.

[0008] 또한, 본 발명은, 전하 펌프에서 전하 축적 현상으로 인하여 전압 제어 발진기를 제어하는 전압을 조절해 주는 전류가 순간적으로 크게 흐르는 것을 방지하게 함으로써, 전압 제어 발진기에서 생성되는 클록의 지터를 최소화할 수 있는, 클록 및 데이터 복원 회로 및 방법을 제공하는 것을 다른 목적으로 한다.

과제의 해결 수단

[0009] 이러한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 클록 및 데이터 복원 회로는, 데이터와 클록의 주파수 및 위상 차를 검출하여 다운(DN) 신호, 제1 업(UP) 신호 및 제2 업(UP) 신호를 출력하는 주파수 및 위상 검출기, 상기 다운 신호, 상기 제1 업 신호 및 상기 제2 업 신호에 응답하여 전하를 펌핑하는 전하 펌프, 상기 전하 펌프에서 출력되는 전하량에 따라 제어 전압을 출력하는 루프 필터 및 상기 제어 전압에 따라 가변되는 상기 클록을 출력하는 전압 제어 발진기를 포함하고, 상기 다운 신호는, 상기 클록의 펄스 폭과 동일한 펄스 폭을 가

지고, 상기 제1 업 신호 및 상기 제2 업 신호는, 상기 데이터와 상기 클록 사이의 주파수 및 위상 차이를 선형적으로 반영하는 펄스 폭을 가진다.

[0010] 본 발명의 일 실시예에 따른 클록 및 데이터 복원 방법은, a) 데이터와 클록의 주파수 및 위상 차를 검출하여 다운(DN) 신호, 제1 업(UP) 신호 및 제2 업(UP) 신호를 출력하는 단계, (b) 상기 다운 신호, 상기 제1 업 신호 및 상기 제2 업 신호에 응답하여 전하를 펌핑하는 단계, (c) 펌핑되는 상기 전하 양에 따라 제어 전압을 출력하는 단계 및 (d) 상기 제어 전압에 따라 가변되는 상기 클록을 출력하는 단계를 포함하고, 상기 다운 신호는, 상기 클록의 펄스 폭과 동일한 펄스 폭을 가지고, 상기 제1 업 신호 및 상기 제2 업 신호는, 상기 데이터와 상기 클록 사이의 주파수 및 위상 차이를 선형적으로 반영하는 펄스 폭을 가진다.

발명의 효과

[0011] 본 발명에 의하면, 클록 및 데이터 복원 회로에서 일정한 규칙이 없는 데이터를 바탕으로 클록 복원이 가능하기 때문에, 송신단에서 기준 클록을 전송하지 않고 수신단에서도 별도의 오실레이터를 사용하지 않음으로써 채널의 수 및 회로의 수를 줄여 하드웨어적인 비용을 절감할 수 있다.

[0012] 또한, 본 발명에 의하면, 클록 및 데이터 복원 회로는 송신단이 기준 클록을 보내지 않아도 데이터를 이용하여 클록을 복원하기 때문에, 송신단이 데이터와 기준 클록을 동시에 전송한 경우에도 신호의 감쇄 및 잡음으로 인한 데이터와 기준 클록 사이의 달라지는 위상 관계를 근본적으로 제거할 수 있다.

[0013] 또한, 본 발명에 의하면, 데이터 전송로에서 발생하는 신호의 감쇄 및 잡음으로 인하여 발생하는 지터를 해소함으로써 비트 에러율을 최소화할 수 있다.

[0014] 또한, 본 발명에 의하면, 클록 및 데이터 복원 회로는 데이터 전송 속도의 절반의 동작 주파수를 가지는 클록을 생성하는 전압 제어 발진기를 이용함으로써 전력 소모량을 줄일 수 있다.

[0015] 또한, 본 발명은, 일정한 규칙이 없는 데이터만을 이용하여 주파수와 위상을 검출할 수 있는 선형적인 주파수 및 위상 검출기를 이용함으로써 클록 및 데이터 복원 회로의 구조를 간단하게 하고 설계를 용이하게 할 수 있다. 또한 필요한 회로의 수가 줄어들어서 전력 소모량을 줄일 수 있다.

[0016] 또한, 본 발명은, 전하 펌프에서 발생하는 전하 축적 현상을 제거함으로써 전압 제어 발진기를 제어하는 전압의 순간적인 변화를 최소화하여 전압 제어 발진기에서 생성되는 클록의 지터를 최소화할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 클록 및 데이터 복원 회로의 구성을 나타내는 블럭도이다.

도 2는 본 발명의 일 실시예에 따른 주파수 및 위상 검출기의 구조를 나타내는 도면이다.

도 3은 수신한 데이터와 전압 제어 발진기에서 생성한 클록의 주파수 및 위상이 최적화되었을 때 주파수 및 위상 검출기에서 생성하는 신호의 펄스 폭을 나타내는 도면이다.

도 4 및 도 5는 본 발명의 일 실시예에 따른 전하 펌프의 구조를 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 도 4의 전하 펌프에서 생성하는 신호의 파형을 나타내는 도면이다.

도 7은 데이터와 클록의 주파수 및 위상이 최적화되었을 때 주파수 및 위상 검출기에서 생성하는 신호의 펄스 폭을 나타내는 도면이다.

도 8은 데이터와 클록의 위상 차가 있는 경우 주파수 및 위상 검출기에서 생성하는 신호의 펄스 폭을 나타내는 도면이다.

도 9는 클록의 주파수가 도 7에서의 클록 주파수의 1/2인 경우 주파수 및 위상 검출기에서 생성하는 신호의 펄스 폭을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함

에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성 요소를 가리키는 것으로 사용된다.

- [0019] 본 발명은, 송신단에서 수신단으로 데이터를 전송하면, 수신단의 클럭 및 데이터 복원 회로가 송신단으로부터 수신한 데이터를 이용하여 클럭을 복원한다. 그리하여, 데이터와의 주파수 및 위상 차이를 최적의 상태로 일정하게 유지하도록 복원한 클럭을 이용하여 데이터를 복원할 수 있다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 클럭 및 데이터 복원 회로의 구성을 나타내는 블록도이다.
- [0021] 도 1을 참조하면, 클럭 및 데이터 복원 회로는 주파수 및 위상 검출기(110), 전하 펌프(120), 루프 필터(130) 및 전압 제어 발진기(140)를 포함한다.
- [0022] 주파수 및 위상 검출기(110)는 송신단으로부터 수신한 데이터(102)와 전압 제어 발진기(140)로부터 출력된 클럭(CLOCK)의 주파수 및 위상 차를 검출하여 UP1, UP2 및 DN 신호를 출력한다. 주파수 및 위상 검출기(110)는 전압 제어 발진기(140)에서 출력된 클럭(CLOCK)의 펄스 폭과 같은 펄스 폭을 가지는 DN 신호를 생성하고, 클럭(CLOCK)과 데이터(102) 사이의 주파수 및 위상 차이를 선형적으로 반영하는 펄스 폭을 가지는 UP1 및 UP2 신호를 생성한다.
- [0023] 본 발명에서 데이터(102)는 일정한 규칙이 없는 데이터, 즉 불규칙적인 데이터를 말한다. 다시 말하면, 송신단과 수신단은 클럭(CLOCK)을 복원하는데 사용하기 위해 미리 정해진 데이터를 송수신할 수 있는데, 본 발명에서는 송신단과 수신단이 미리 정해진 데이터를 송수신하여 클럭(CLOCK)을 복원하는 것이 아니라, 미리 정해진 데이터 없이 실제 데이터를 바로 송수신하여 클럭(CLOCK)을 복원함으로써, 회로의 구성을 간단하게 하고 이로써 전력 소모량을 줄일 수 있다.
- [0024] 전하펌프(120)는 주파수 및 위상 검출기(110)의 출력 신호(UP1, UP2 및 DN)에 응답하여 전하를 펌핑(pumping)한다.
- [0025] 루프필터(130)는 전하펌프(120)에서 출력되는 전하량에 따라 제어 전압을 출력한다. 즉, 루프필터(130)는 전하펌프(120)로부터의 전하를 축적했다가 방출하는 역할과 불필요한 고주파 성분을 포함한 잡음을 필터링(filtering)하는 역할을 하며, 일반적으로 저대역 필터(Low Pass Filter:LPF)의 구조를 가진다.
- [0026] 전압 제어 발진기(140)는 전하 펌프(120) 및 루프 필터(130)를 거쳐 출력되는 제어 신호(Ctrl)를 입력받아 클럭(CLOCK)을 생성한다. 제어 신호(Ctrl)는 전압일 수 있다. 전압 제어 발진기(140)에서 생성된 클럭(CLOCK)은, 앞서 설명한 바와 같이 주파수 및 위상 검출기(110)에서 데이터(102)의 주파수 및 위상을 검출하는 신호로 사용되고, 샘플러(150)에서 데이터(102)를 샘플링(sampling)하는 신호로 사용된다.
- [0027] 샘플러(150)는 전압 제어 발진기(140)에서 출력된 클럭(CLOCK)을 이용하여 데이터(102)를 샘플링하고 샘플링된 데이터를 출력한다. 샘플러(150)는 클럭 및 데이터 복원 회로 내에 구현될 수도 있고, 클럭 및 데이터 복원 회로와 별도로 구현될 수도 있다.
- [0028] 이하, 본 발명에 따라 데이터(102)와 클럭(CLOCK) 간의 주파수 및 위상 관계를 최적화하도록 클럭(CLOCK)을 복원하는 방법에 대하여 설명한다.
- [0029] 도 3은 데이터(102)와 클럭(CLOCK) 간의 주파수 및 위상 관계가 최적화되었을 때, 주파수 및 위상 검출기(110)에서 생성하는 신호들(UP1, UP2, DN)의 펄스 폭을 나타낸다. 도 3의 실시예에서, 데이터(102)는 0번째 데이터부터 9번째 데이터까지 수신된다. 즉, 여기서 숫자는 데이터의 인덱스(index)를 나타낸다.
- [0030] 데이터(102)와 전압 제어 발진기(140)에서 생성된 클럭(CLOCK)의 주파수 및 위상이 최적화되었을 때의 클럭(CLOCK)은, 도 3에 나타난 바와 같이, 각 데이터의 중앙에서 상승 에지와 하강 에지를 교대로 가진다. 즉, 0번째 데이터의 중간에서 상승 에지를 가지면, 그 다음 데이터인 1번째 데이터의 중간에서 하강 에지를 가지고, 그

다음 데이터인 2번째 데이터의 중간에서 다시 상승 에지를 가진다. 따라서, 클록(CLOCK)은 이와 같은 모양의 펄스로 생성됨으로써, 데이터 전송 속도의 절반의 동작 주파수를 가진다. 예를 들면, 데이터(102)의 전송 속도가 2.7 Gbps일 때, 클록(CLOCK)의 주파수는 2.7 GHz가 아닌 1.35 GHz가 된다. 이와 같이, 본 발명에 따른 클록 및 데이터 복원 회로는 데이터 전송 속도의 절반의 동작 주파수를 가지는 클록을 생성하는 전압 제어 발진기를 이용함으로써 전력 소모량을 줄일 수 있다.

- [0031] 도 3에서 "-1 XOR 0"은 -1번째 데이터와 0번째 데이터에 대해 배타적 논리합(exclusive OR: 이하 'XOR') 연산을 수행함을 나타낸다. 마찬가지로 "01"은 0번째 데이터와 1번째 데이터를 XOR함을 나타낸다. 본 발명의 도 3, 도 7, 도 8 및 도 9에서 UP1, UP2 및 DN 신호는 이와 같은 방법으로 표현된다.
- [0032] 도 3에서 알 수 있듯이, 데이터(102)와 클록(CLOCK) 간의 주파수 및 위상 관계가 최적화되었을 때, DN 신호와 UP 신호(UP1, UP2)의 펄스 폭의 비는 2 대 3이 된다. 따라서, 이 비율(2 대 3)이 DN 신호와 UP 신호(UP1, UP2)의 펄스 폭의 장단(length)을 판단하는 기준 비율이 된다. 이에 따라, 전하펌프(120)에서 생성하는 DN 신호와 UP 신호(UP1, UP2)에 대한 기준 전류 비는 3:2가 된다.
- [0033] 따라서, UP 신호(UP1, UP2)의 펄스 폭이 DN 신호의 펄스 폭의 3/2보다 짧으면 DN 신호가 상대적으로 긴 것을 의미하므로, 클록(CLOCK)은 DN 신호를 기초로 조정된다. 반대로, UP 신호(UP1, UP2)의 펄스 폭이 DN 신호의 펄스 폭의 3/2보다 길면 UP 신호가 상대적으로 긴 것을 의미하므로, 클록(CLOCK)은 UP 신호(UP1, UP2)를 기초로 조정된다.
- [0034] 위에서 설명한 바와 같이, DN 신호는 클록(CLOCK)의 펄스 폭과 같은 펄스 폭을 가지므로, 클록(CLOCK)의 한 주기 내에 두 번의 DN 신호가 생성된다.
- [0035] UP 신호(UP1, UP2)는 DN 신호와 달리, 같은 인덱스를 가지는 데이터를 XOR 하는 구간이 존재한다. 같은 인덱스를 가지는 데이터를 XOR 하는 것은, 동일한 데이터를 XOR 하는 것이므로 항상 0의 값을 가진다. 따라서, UP 신호(UP1, UP2)는 클록(CLOCK) 주기의 3/4만큼의 펄스 폭을 갖는 신호를 출력한다. 이러한 펄스 폭을 가지는 두 개의 UP 신호(UP1, UP2)는 동시에 생성되는 것이 아니라 클록(CLOCK)의 반 주기마다 번갈아 가면서 생성된다. 다시 말하면, DN 신호로 나타나는 신호는 그 펄스 폭을 달리하여 클록(CLOCK)의 반 주기마다 UP1 신호 및 UP2 신호에 교대로 나타난다. 도 3에 도시된 실시예를 참조하면, -1 XOR 0은 UP1 신호로 나타나고, 클록(CLOCK)의 반 주기 후 0 XOR 1은 UP2 신호로 나타나며, 클록(CLOCK)의 반 주기 후 1 XOR 2는 UP1 신호로 나타난다.
- [0036] 따라서, 클록(CLOCK)의 한 주기에 주파수 및/또는 위상 차를 두 번 검출해 낼 수 있어, 데이터(102)의 주파수 및 위상을 빠르게 찾아갈 수 있는 특징이 있다. 이에 대해서는 도 7 내지 도 9의 실시예를 참조하여 후술한다.
- [0037] 이상 설명한 도 3에서의 신호들(DN, UP1, UP2)은, 일 실시예로 도 2와 같은 주파수 및 위상 검출기(110)를 통해 생성될 수 있다.
- [0038] 도 2는 본 발명의 일 실시예에 따른 주파수 및 위상 검출기(110)의 구조를 나타내는 도면이다.
- [0039] 도 2에서 래치 202-1은 입력되는 신호인 클록(CLOCK)을 래치 202-1의 딜레이만큼 딜레이시켜 CLOCK1을 출력한다. 래치 202-2, 204-1 및 204-2는 래치 202-1과 같이 동작한다. 그리고, 래치 202-3은 클록(CLOCK)의 상승 에지에서 데이터(102)를 읽어들이고 하강 에지를 만날 때까지 입력된 데이터(102)를 읽어들이 후, 하강 에지일 때의 데이터 값을 유지한다. 래치 202-4, 204-3 및 204-4는 래치 202-3과 같이 동작한다.
- [0040] 도 2를 참조하면, 송신단으로부터 전송된 데이터(102)는 전압 제어 발진기(140)에서 생성된 클록(CLOCK)으로 동작하는 래치 202-3과 반전된 클록(CLOCK)으로 동작하는 래치 202-4로 입력되어 각각 A1 신호와 B1 신호를 출력하고, 전압 제어 발진기(140)에서 생성된 클록(CLOCK)과 반전된 클록(CLOCK)은 각각 래치 202-1 및 래치 202-2로 입력되어 각각 CLOCK1 및 CLOCK1을 출력한다(202). 본 발명에서, 반전된 클록(CLOCK)은 도 3에 나타난 바와 같이, 전압 제어 발진기(140)에서 생성된 클록(CLOCK)이 반전된 신호를 말한다.
- [0041] 그 다음, A1 신호는 입력되는 신호를 래치 204-1의 딜레이만큼 딜레이시키는 래치 204-1과 CLOCK1로 동작하는 래치 204-3으로 입력되어 각각 A11 신호와 A2 신호를 출력하고, B1 신호는 입력되는 신호를 래치 204-2의 딜레이만큼 딜레이시키는 래치 204-2와 CLOCK1로 동작하는 래치 204-4로 입력되어 각각 B11 신호와 B2 신호를 출력한다(204).
- [0042] 이렇게 생성된 A11, B11, A2 및 B2 신호는, B11과 A2, A11과 B2 및 A2와 B2의 쌍(pair)으로 배타적 논리합

(XOR: 206-1, 206-2, 206-3) 회로의 입력으로 인가되어 각각 UP1, UP2 및 DN 신호를 생성한다(206).

- [0043] 도 7 내지 도 9의 실시예를 참조하여, 본 발명에 따라 데이터(102)와 클록(CLOCK) 간의 주파수 및 위상 관계가 최적화되도록 클록(CLOCK)을 복원하는 방법에 대하여 설명한다. 도 7은 데이터(102)와 클록(CLOCK) 간의 주파수 및 위상 관계가 최적화되었을 때를 나타내는 도면으로, 도 3과 동일하다.
- [0044] 먼저, 도 8을 참조하여 데이터(102)와 클록(CLOCK) 간에 위상 차가 있는 경우를 설명한다. 도 8은 도 7과 비교하여 알 수 있듯이, 클록(CLOCK)의 위상이 빠른 경우를 나타낸다. 도 8에서 DN 신호와 UP 신호(UP1, UP2)의 펄스 폭을 살펴보면, DN 신호의 펄스 폭은 도 7의 DN 신호의 펄스 폭과 동일하나, UP 신호(UP1, UP2)의 펄스 폭은 클록(CLOCK)의 위상 변화로 인해 도 7에서보다 짧아졌음을 알 수 있다. 따라서, UP 신호(UP1, UP2)의 펄스 폭이 DN 신호의 펄스 폭의 3/2보다 짧으므로, DN 신호가 상대적으로 긴 것으로 판단한다. 그러므로, DN 신호를 기초로 클록(CLOCK)의 위상을 늦춤으로써, 클록(CLOCK)의 위상을 복원할 수 있다. 마찬가지로, 클록(CLOCK)의 위상이 느린 경우에는 상대적으로 긴 UP 신호를 기초로 클록(CLOCK)의 위상을 빠르게 함으로써, 클록(CLOCK)의 위상을 복원할 수 있다.
- [0045] 다음, 도 9를 참조하여 클록(CLOCK)의 주파수가 도 7의 최적화된 클록 주파수의 1/2인 경우를 설명한다. 도 9에서 DN 신호와 UP 신호(UP1, UP2)의 펄스 폭은, 2:3으로 최적화된 경우와 동일하다. 그러나, UP 신호(UP1, UP2)에서는, DN 신호에서는 나타나지 않는 신호가 출력된다. 다시 말하면, UP 신호(UP1, UP2)에서는 (0, -1), (1, 2) 및 (3, 4)와 같이 추가로 신호가 나타나는 구간이 발생한다. 따라서, 이와 같이 UP 신호(UP1, UP2)에서 추가로 나타나는 신호를 이용하여 클록(CLOCK)의 주파수를 빠르게 함으로써, 클록(CLOCK)의 주파수를 복원할 수 있다. 또한, 클록(CLOCK)의 주파수가 최적화된 경우의 주파수보다 빠른 경우에도 DN 신호 및 UP 신호(UP1, UP2)를 이용하여 클록(CLOCK)의 주파수를 느리게 함으로써, 클록(CLOCK)의 주파수를 복원할 수 있다.
- [0046] 이하, 클록(CLOCK)을 제어하는 신호(Ctrl)에 리플(ripple)이 생기는 것을 방지하기 위한 방법에 대하여 설명한다. 도 4 및 도 5는 본 발명의 일 실시예에 따른 전하 펌프(120)의 구조를 나타내는 도면이다.
- [0047] 먼저, 도 5를 참조하면, 전하 펌프(120)는 Delay_UP1, Delay_UP2, Delay_DN, Win_UP1, Win_UP2 및 Win_DN 신호를 이용하여 전하를 펌핑함으로써, 전압 제어 발진기(140)를 제어하는 전압(Ctrl)이 결정되도록 한다. 여기서, Delay_UP1, Delay_UP2 및 Delay_DN 신호는, 주파수 및 위상 검출기(110)에서 출력된 UP1 신호, UP2 신호 및 DN 신호를 일정한 위상 차만큼 딜레이(delay)시킨 신호를 말하는 것으로 후술할 더미 신호(dummy signal: Win_UP1, Win_UP2 및 Win_DN 신호)를 사용하기 위해 생성한 신호이다.
- [0048] Delay_UP1, Delay_UP2 및 Delay_DN 신호로만 제어 전압(Ctrl)을 제어할 경우에는, 전류원 501과 전류원 502의 아래 노드에 Delay_UP1, Delay_UP2 및 Delay_DN으로 동작하는 스위치가 켜져 있을 때 전하가 축적되어 있다가 스위치가 켜지면 축적되어 있던 전하들이 한 번에 제어 전압(Ctrl)으로 흐르면서 제어 전압(Ctrl)에 리플이 생성된다.
- [0049] 이를 방지하기 위하여, 더미 신호(Win_UP1, Win_UP2 및 Win_DN 신호)를 생성하여, 축적되어 있는 전하를 더미 제어 전압(Dummy_Ctrl) 쪽으로 미리 흐르게 한다. 즉, 이와 같이, 전하 축적 현상이 제어 전압(Ctrl)으로 직접 전달되는 것을 방지함으로써 제어 전압(Ctrl)에 리플이 생성되는 것을 방지할 수 있다. 또한, 스위치가 켜져도 전류원 501, 전류원 502, 전류원 505 및 전류원 506에서 항상 일정한 양의 전류가 제어 전압(Ctrl)에 공급되도록 한다.
- [0050] 전술한 바와 같이, 축적되어 있는 전하를 더미 제어 전압(Dummy_Ctrl) 쪽으로 미리 흐르게 하기 위해 사용되는 더미 신호(Win_UP1, Win_UP2 및 Win_DN 신호)를 생성하는 실시예를 설명한다.
- [0051] 먼저, 전하 펌프(120)는 주파수 및 위상 검출기(110)에서 출력된 신호(UP1, UP2, DN)를 입력받아 일정한 위상 차만큼 딜레이(delay)시켜 Delay_UP1, Delay_UP2 및 Delay_DN 신호를 생성하고, Delay_UP1, Delay_UP2 및 Delay_DN 신호를 다시 일정한 위상 차만큼 딜레이시켜 각각 Delay2_UP1, Delay2_UP2 및 Delay2_DN 신호를 생성한다. 이는 일 실시예로, 도 4의 (a)와 같이 버퍼(buffer)를 사용하여 구현할 수 있다.
- [0052] 다음, 전하 펌프(120)는 도 6과 같이 Delay_DN 신호보다 먼저 출력되는 Win_DN 신호, Delay_UP1 신호보다 먼저

출력되는 Win_UP1 신호 및 Delay_UP2 신호보다 먼저 출력되는 Win_UP2 신호를 생성한다. 이는 일 실시예로, 도 4의 (b)와 같은 방법을 사용하여 구현할 수 있다.

[0053] 상술한 바와 같은 본 발명의 방법은 프로그램으로 구현되어 컴퓨터로 읽을 수 있는 형태로 기록매체(씨디롬, 램, 플로피 디스크, 하드 디스크, 광자기 디스크 등)에 저장될 수 있다. 이러한 과정은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있으므로 더 이상 상세히 설명하지 않기로 한다.

[0054] 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니다.

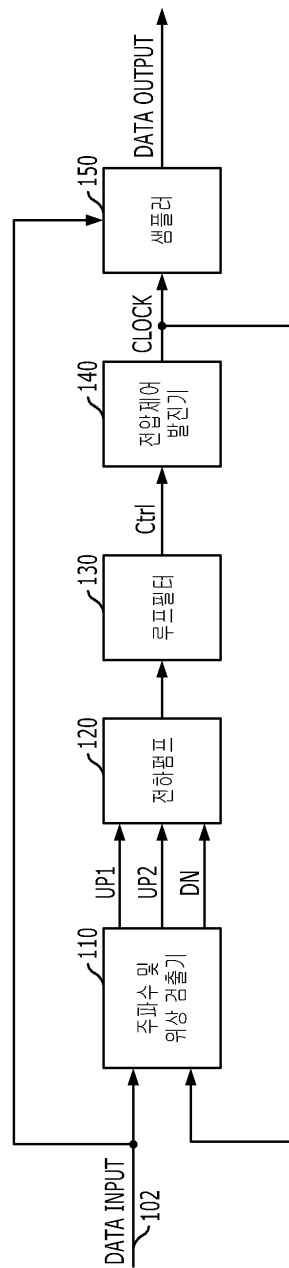
부호의 설명

[0055]

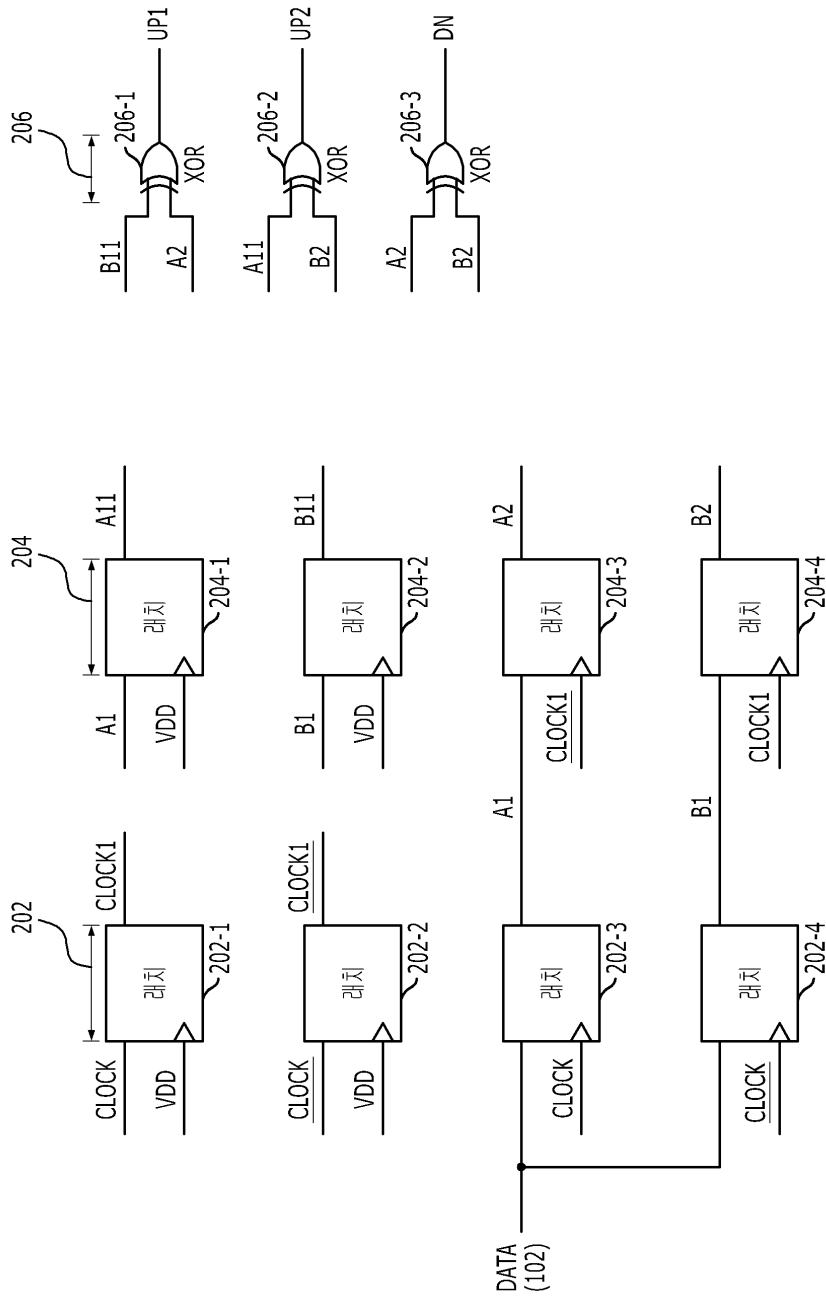
110 : 주파수 및 위상 검출기	120 : 전하 펌프
130 : 루프 필터	140 : 전압 제어 발진기

도면

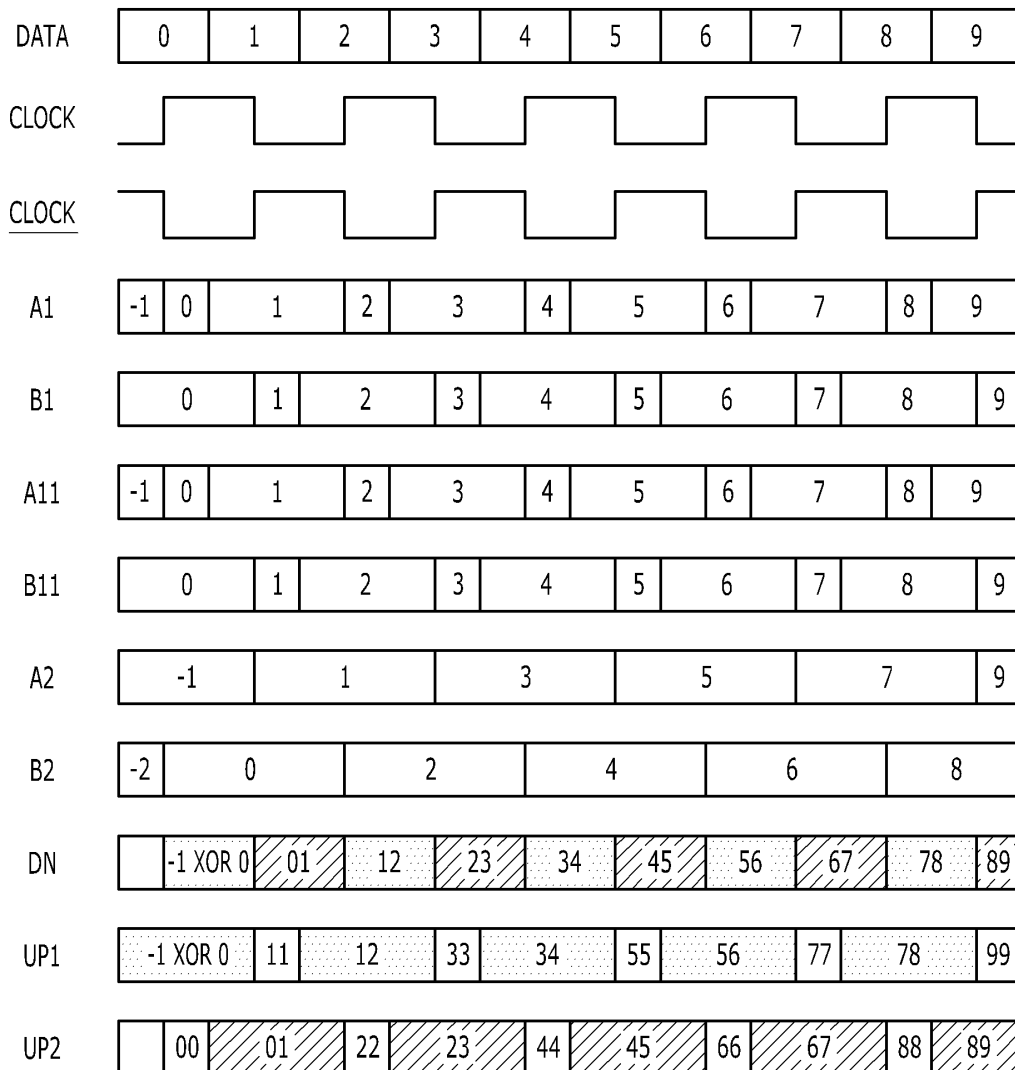
도면1



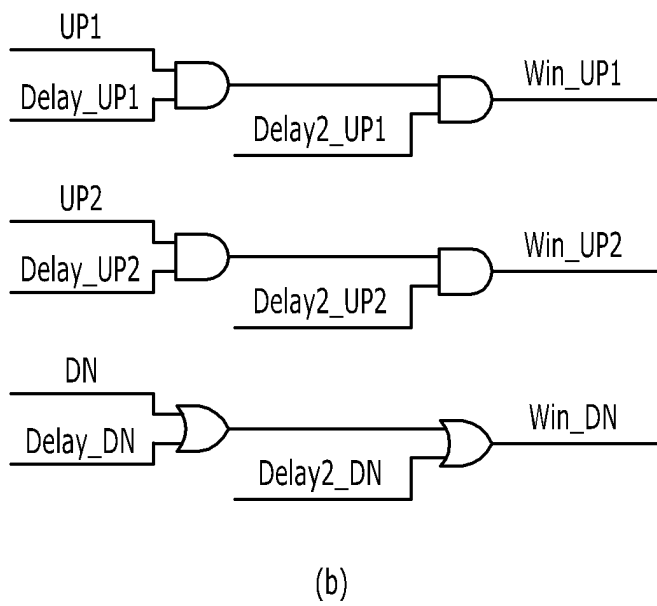
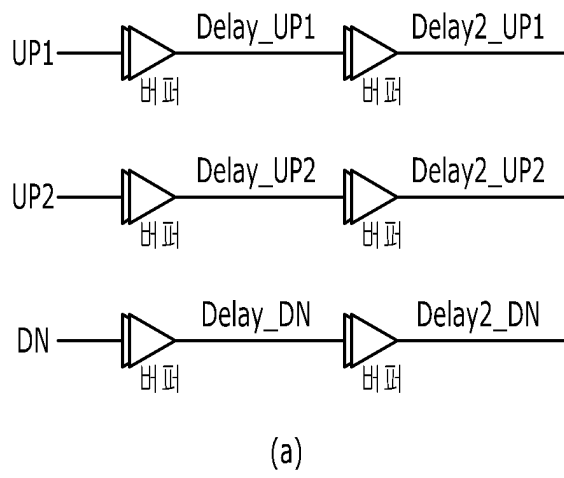
도면2



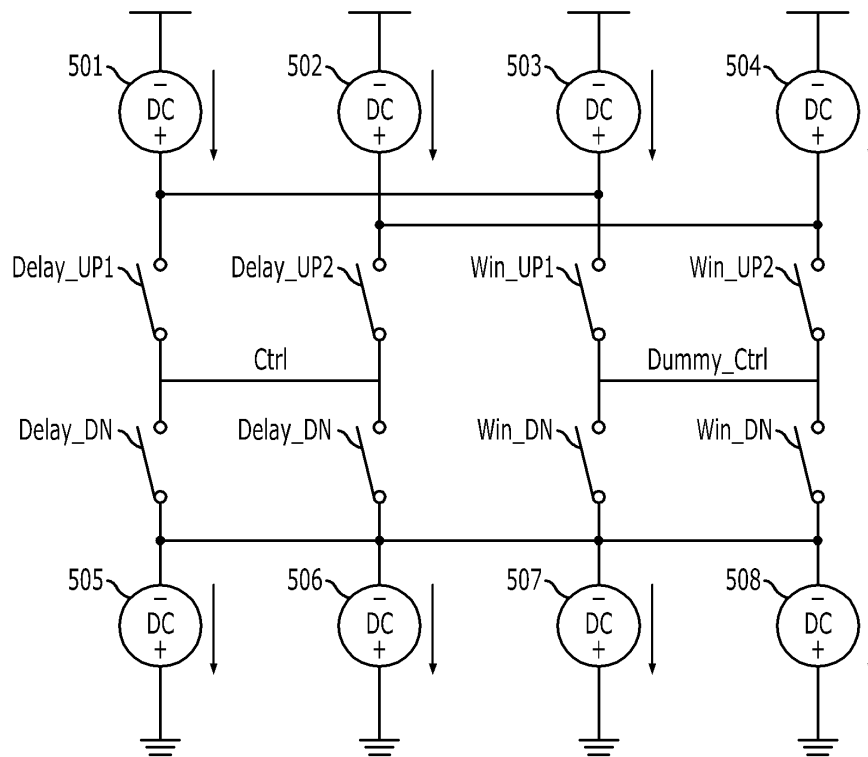
도면3



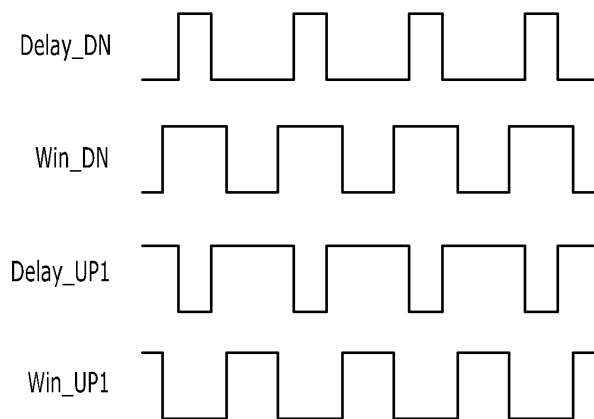
도면4



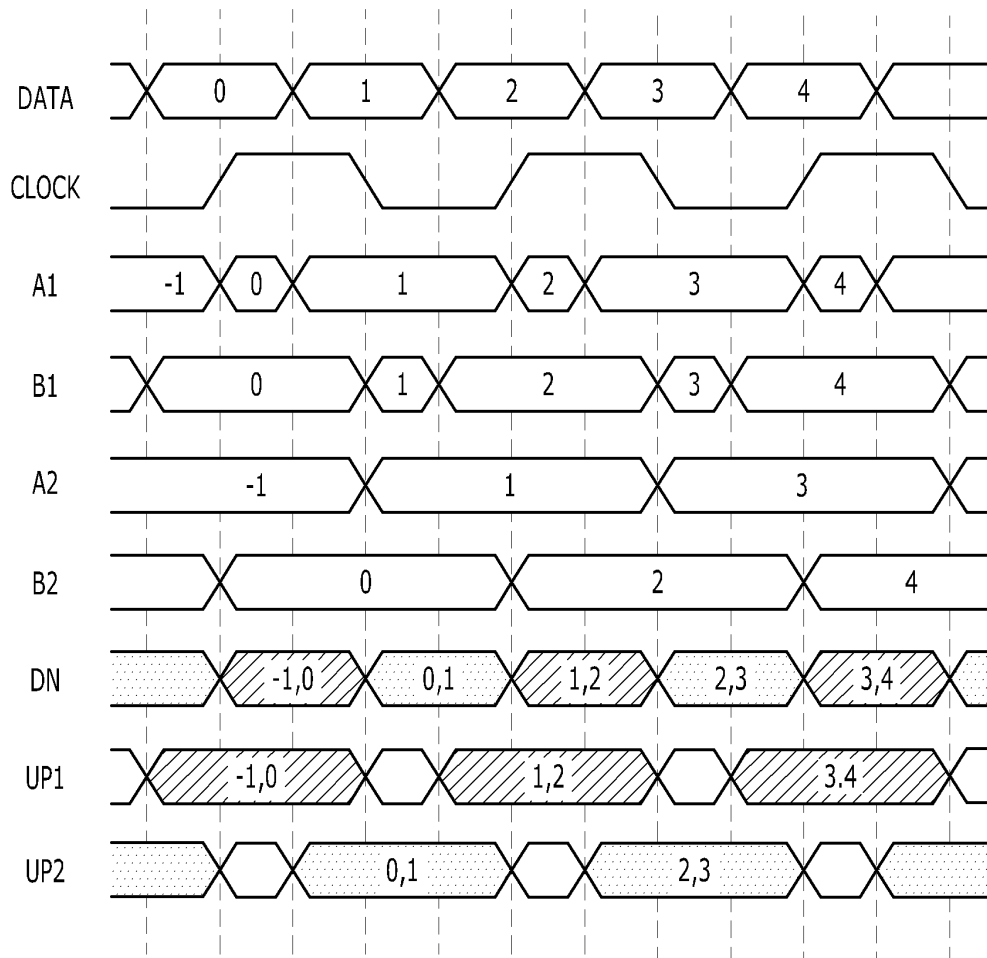
도면5



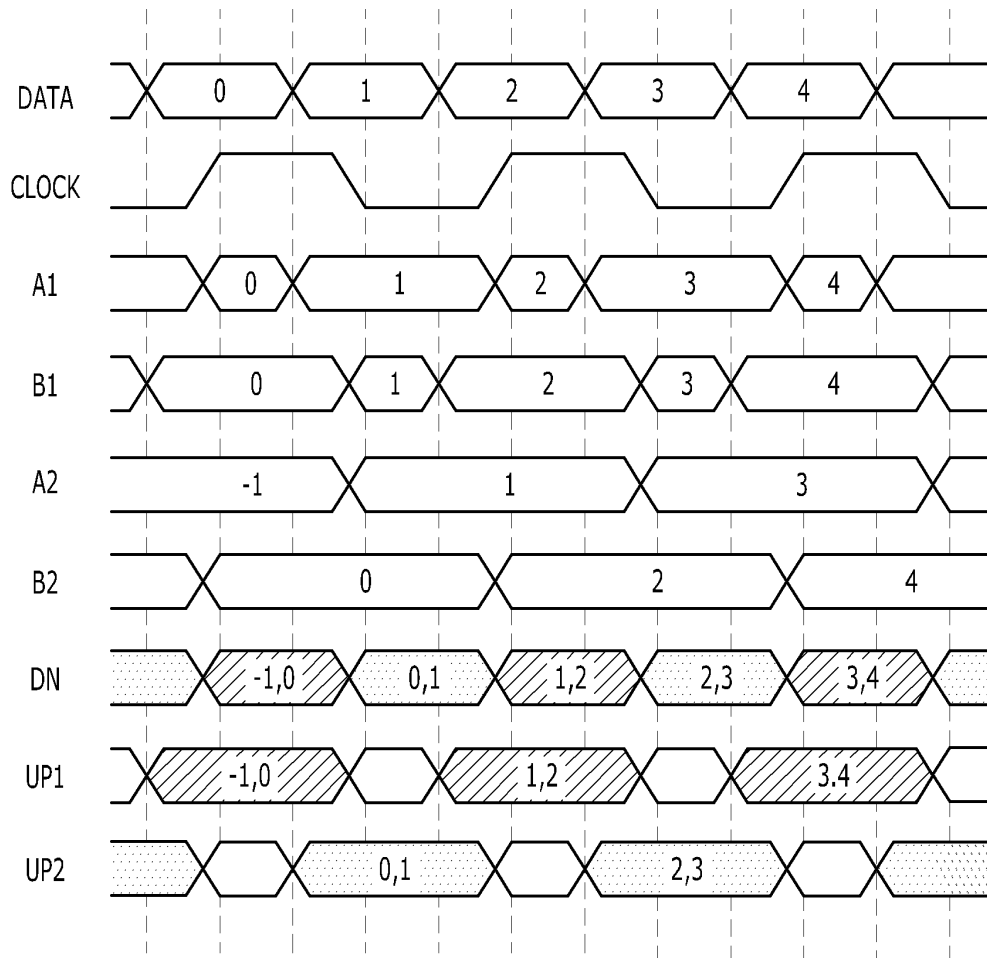
도면6



도면7



도면8



도면9

